



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0154934
(43) 공개일자 2023년11월09일

- (51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) B23K 26/53 (2014.01)
H01L 21/02 (2006.01) H01L 21/67 (2006.01)
H01L 21/768 (2006.01) H01L 21/78 (2006.01)
- (52) CPC특허분류
H01L 21/76251 (2013.01)
B23K 26/53 (2018.08)
- (21) 출원번호 10-2023-7033854
- (22) 출원일자(국제) 2022년02월25일
심사청구일자 없음
- (85) 번역문제출일자 2023년10월04일
- (86) 국제출원번호 PCT/JP2022/007959
- (87) 국제공개번호 WO 2022/190908
국제공개일자 2022년09월15일
- (30) 우선권주장
JP-P-2021-037189 2021년03월09일 일본(JP)

- (71) 출원인
도쿄엘렉트론가부시키키가이사
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1코
- (72) 발명자
야마시타 요헤이
일본, 쿠마모토켄, 키쿠치군, 오즈마치,
타카오노, 272-4, 도쿄 엘렉트론 큐슈 가부시키키가
이샤 내
미조모토 야스타카
일본, 쿠마모토켄, 키쿠치군, 오즈마치,
타카오노, 272-4, 도쿄 엘렉트론 큐슈 가부시키키가
이샤 내
타노우에 하야토
일본, 쿠마모토켄, 키쿠치군, 오즈마치,
타카오노, 272-4, 도쿄 엘렉트론 큐슈 가부시키키가
이샤 내
- (74) 대리인
특허법인엠에이피에스

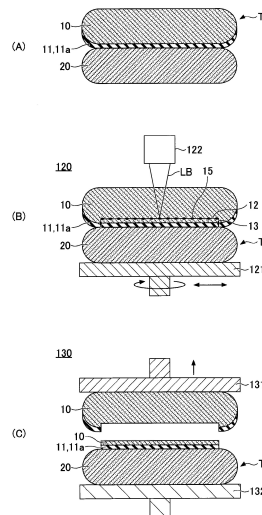
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 적층 기판의 제조 방법 및 기판 처리 장치

(57) 요약

적층 기판의 제조 방법은, 하기 (A) ~ (D)를 포함한다. (A) 제 1 반도체 기판의 표면에, 산화층을 포함하는 접합층을 형성한다. (B) 상기 접합층의 상기 산화층과 제 2 반도체 기판을 접촉시키고, 상기 접합층을 개재하여 상기 제 1 반도체 기판과 상기 제 2 반도체 기판을 접합한다. (C) 상기 접합한 후, 상기 제 1 반도체 기판을 두께 방향으로 분할할 예정인 제 1 분할 예정면에, 개질층을 레이저 광선으로 형성한다. (D) 상기 제 1 분할 예정면에 형성한 개질층을 기점으로 상기 제 1 반도체 기판을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기판과 접합된 상기 제 1 반도체 기판을 박화한다.

대표도 - 도2



(52) CPC특허분류

H01L 21/02238 (2013.01)

H01L 21/67092 (2013.01)

H01L 21/76898 (2013.01)

H01L 21/7806 (2013.01)

명세서

청구범위

청구항 1

제 1 반도체 기관의 표면에, 산화층을 포함하는 접합층을 형성하는 것과,

상기 접합층의 상기 산화층과 제 2 반도체 기관을 접촉시키고, 상기 접합층을 개재하여 상기 제 1 반도체 기관과 상기 제 2 반도체 기관을 접합하는 것과,

상기 접합한 후, 상기 제 1 반도체 기관을 두께 방향으로 분할할 예정인 제 1 분할 예정면에, 개질층을 레이저 광선으로 형성하는 것과,

상기 제 1 분할 예정면에 형성한 개질층을 기점으로 상기 제 1 반도체 기관을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기관과 접합된 상기 제 1 반도체 기관을 박화하는 것

을 포함하는, 적층 기관의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 분할 예정면의 주연으로 설정되는 링 형상의 제 2 분할 예정면에, 개질층을 레이저 광선으로 형성하는 것과,

상기 제 1 분할 예정면과 상기 제 2 분할 예정면에 형성한 개질층을 기점으로 상기 제 1 반도체 기관을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기관과 접합된 상기 제 1 반도체 기관을 박화하고, 또한 상기 제 1 반도체 기관의 베벨을 제거하는 것

을 포함하는, 적층 기관의 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 접합층의 상기 산화층은, 상기 제 1 반도체 기관의 표면을 열 산화함으로써 형성되는 열 산화층인, 적층 기관의 제조 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 반도체 기관 및 상기 제 2 반도체 기관의 각각이 실리콘 웨이퍼이며, 상기 접합층의 상기 산화층이 실리콘 산화층인, 적층 기관의 제조 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 박화한 상기 제 1 반도체 기관의 표면에 제 1 디바이스층을 형성하는 것과,

상기 제 1 디바이스층을 형성한 후에, 상기 제 2 반도체 기관을 투과하는 레이저 광선으로, 상기 제 2 반도체 기관과 상기 접합층의 계면 또는 상기 접합층의 내부에 개질층을 형성하는 것과,

상기 제 2 반도체 기관과 상기 접합층의 계면 또는 상기 접합층의 내부에 형성한 개질층을 기점으로 상기 제 2 반도체 기관과 상기 접합층을 박리하는 것

을 포함하는, 적층 기관의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 디바이스층을 형성한 후, 상기 제 2 반도체 기판과 상기 접합층의 계면 또는 상기 접합층의 내부에 개질층을 형성하기 전에, 상기 제 1 디바이스층과, 제 3 반도체 기판에 형성된 제 2 디바이스층을 마주 보게 하여 접합하는 것을 포함하는, 적층 기판의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 2 반도체 기판과 상기 접합층을 박리한 후에, 상기 접합층을 제거하는 것을 포함하는, 적층 기판의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 제 2 반도체 기판과 상기 접합층을 박리한 후에, 또는 상기 제 1 디바이스층을 형성하기 전에, 상기 접합층과 상기 제 1 반도체 기판에 비아를 형성하는 것을 포함하는, 적층 기판의 제조 방법.

청구항 9

제 5 항에 있어서,

상기 제 1 디바이스층을 형성한 후, 상기 제 2 반도체 기판과 상기 접합층의 계면 또는 상기 접합층의 내부에 개질층을 형성하기 전에, 상기 제 1 디바이스층과, 캐리어 기판을 마주 보게 하여 접합하는 것을 포함하는, 적층 기판의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 반도체 기판과 상기 접합층을 박리한 후에, 상기 접합층의 표면에 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 상기 접합층을 에칭하는 것을 포함하는, 적층 기판의 제조 방법.

청구항 11

제 6 항 또는 제 7 항에 있어서,

상기 제 3 반도체 기판과 상기 제 2 디바이스층과의 사이에는, 박리층이 형성되어 있고,

상기 제 2 반도체 기판과 상기 접합층을 박리한 후에, 상기 제 1 반도체 기판과 상기 제 1 디바이스층과 상기 제 2 디바이스층과 상기 박리층을 다이싱하는 것과,

상기 다이싱한 후에, 상기 제 1 반도체 기판을, 상기 제 3 반도체 기판과는 반대측에 배치한 테이프를 개재하여 프레임에 장착하는 것과,

상기 제 1 반도체 기판을 상기 프레임에 장착한 후, 상기 제 3 반도체 기판을 투과하는 레이저 광선을 상기 박리층에 조사하여, 상기 제 3 반도체 기판과 상기 박리층의 계면 또는 상기 박리층의 내부에 개질층을 형성하는 것과,

상기 제 3 반도체 기판과 상기 박리층의 계면 또는 상기 박리층의 내부에 형성한 개질층을 기점으로 상기 제 3 반도체 기판과 상기 박리층을 박리하는 것

을 포함하는, 적층 기판의 제조 방법.

청구항 12

제 1 반도체 기판과, 상기 제 1 반도체 기판의 표면에 형성된 접합층과, 상기 접합층을 개재하여 상기 제 1 반도체 기판과 접합된 제 2 반도체 기판을 포함하는 적층 기판으로서, 상기 접합층이 상기 제 2 반도체 기판에 접하는 산화층을 포함하는 적층 기판을 반송하는 반송부와,

상기 적층 기판을 두께 방향으로 분할할 예정인 제 1 분할 예정면에, 개질층을 레이저 광선으로 형성하는 레이

저 가공부와,

상기 제 1 분할 예정면에 형성한 개질층을 기점으로 상기 적층 기판을 분할하는 분할부와,

상기 반송부와 상기 레이저 가공부와 상기 분할부를 제어하는 제어부

를 구비하고,

상기 제어부는, 상기 제 1 분할 예정면을 상기 제 1 반도체 기판의 내부에 설정하고, 상기 제 1 분할 예정면에 개질층을 형성하고, 형성한 개질층을 기점으로 상기 제 1 반도체 기판을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기판과 접합된 상기 제 1 반도체 기판을 박화하는, 기판 처리 장치.

청구항 13

제 12 항에 있어서,

상기 제어부는, 상기 제 1 분할 예정면의 주연으로 설정되는 링 형상의 제 2 분할 예정면에, 개질층을 레이저 광선으로 형성하는 것과, 상기 제 1 분할 예정면과 상기 제 2 분할 예정면에 형성한 개질층을 기점으로 상기 제 1 반도체 기판을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기판과 접합된 상기 제 1 반도체 기판을 박화하고, 또한 상기 제 1 반도체 기판의 베벨을 제거하는 것을 실시하는, 기판 처리 장치.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 접합층의 상기 산화층은, 상기 제 1 반도체 기판의 표면을 열 산화함으로써 형성된 열 산화층인, 기판 처리 장치.

청구항 15

제 12 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 반도체 기판 및 상기 제 2 반도체 기판의 각각이 실리콘 웨이퍼이며, 상기 접합층의 상기 산화층이 실리콘 산화층인, 기판 처리 장치.

발명의 설명

기술 분야

[0001] 본 개시는 적층 기판의 제조 방법 및 기판 처리 장치에 관한 것이다.

배경 기술

[0002] 특허 문헌 1 및 2에는, SOI 기판의 제조 방법이 기재되어 있다. 특허 문헌 1에 기재된 제조 방법은, 하기 (a) ~ (f)의 단계를 구비한다. (a) 제 1 웨이퍼의 정해진 깊이에 매립 산화막층을 형성한 후, 상기 제 1 웨이퍼 상에 산화막을 형성한다. (b) 상기 매립 산화막층보다 깊은 깊이의 상기 제 1 웨이퍼에 수소 매립층을 형성한다. (c) 상기 산화막 상에 제 2 웨이퍼를 접합시킨다. (d) 상기 매립 산화막층과 상기 수소 매립층과의 사이의 제 1 웨이퍼가 노출되도록, 상기 수소 매립층의 하부의 제 1 웨이퍼를 제거한다. (e) 상기 매립 산화막층과 상기 산화막과의 사이의 제 1 웨이퍼가 노출되도록, (d)에서 노출된 상기 제 1 웨이퍼 및 상기 매립 산화막층을 순차 제거한다. (f) (e)에서 노출된 상기 제 1 웨이퍼의 정해진 두께를 제거한다.

[0003] 특허 문헌 2에 기재된 제조 방법은, 실리콘 단결정으로 이루어지는 활성층을 형성하기 위한 실리콘 기판을 준비하고, 실리콘 기판의 표면에 매립 절연층을 형성한다. 그리고, 매립 절연층을 개재하여 수소 이온을 주입함으로써 박리용의 이온 주입층을 형성하고, 이온 주입층과 매립 절연층의 사이에 Ar 이온 등을 주입함으로써 아몰퍼스층을 형성한다. 그리고, 매립 절연층을 개재하여 실리콘 기판과 지지 기판을 붙인다. 이 후, 가열 처리함으로써 이온 주입층의 장소에서 실리콘 기판의 일부를 스마트 컷법으로 박리시킴으로써 활성층을 형성하고, 또한 가열 처리함으로써 아몰퍼스층을 다결정화시켜 게터링 사이트로서 기능하는 다결정 실리콘층을 형성한다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 일본특허공개공보 2006-173568호
- (특허문헌 0002) 일본특허공개공보 2009-218381호

발명의 내용

해결하려는 과제

- [0005] 본 개시의 일태양은, 반도체 기판과 산화층과 반도체층을 이 순서로 포함하는 적층 기판의 생산성을 향상시키고, 또한 산화층과 반도체 기판의 박리성을 향상시키는, 기술을 제공한다.

과제의 해결 수단

- [0006] 본 개시의 일태양에 따른 적층 기판의 제조 방법은, 하기 (A) ~ (D)를 포함한다. (A) 제 1 반도체 기판의 표면에, 산화층을 포함하는 접합층을 형성한다. (B) 상기 접합층의 상기 산화층과 제 2 반도체 기판을 접촉시키고, 상기 접합층을 개재하여 상기 제 1 반도체 기판과 상기 제 2 반도체 기판을 접합한다. (C) 상기 접합한 후, 상기 제 1 반도체 기판을 두께 방향으로 분할할 예정인 제 1 분할 예정면에, 개질층을 레이저 광선으로 형성한다. (D) 상기 제 1 분할 예정면에 형성한 개질층을 기점으로 상기 제 1 반도체 기판을 분할함으로써, 상기 접합층을 개재하여 상기 제 2 반도체 기판과 접합된 상기 제 1 반도체 기판을 박화한다.

발명의 효과

- [0007] 본 개시의 일태양에 따르면, 반도체 기판과 산화층과 반도체층을 이 순서로 포함하는 적층 기판의 생산성을 향상시키고, 또한 산화층과 반도체 기판의 박리성을 향상시킬 수 있다.

도면의 간단한 설명

- [0008] 도 1은 실시시 형태에 따른 적층 기판의 제조 방법을 나타내는 순서도이다.
- 도 2의 (A)는 S102의 일례를 나타내는 단면도이며, 도 2의 (B)는 S103의 일례를 나타내는 단면도이며, 도 2의 (C)는 도 2의 (B)에 이어 S103의 일례를 나타내는 단면도이다.
- 도 3은 도 1에 이어지는 처리의 제 1 예를 나타내는 순서도이다.
- 도 4의 (A)는 S201의 일례를 나타내는 단면도이며, 도 4의 (B)는 S202의 일례를 나타내는 단면도이며, 도 4의 (C)는 S203의 일례를 나타내는 단면도이며, 도 4의 (D)는 도 4의 (C)에 이어 S203의 일례를 나타내는 단면도이며, 도 4의 (E)는 S204의 일례를 나타내는 단면도이다.
- 도 5는 도 1에 이어지는 처리의 제 2 예를 나타내는 순서도이다.
- 도 6의 (A)는 S301의 일례를 나타내는 단면도이며, 도 6의 (B)는 S302의 일례를 나타내는 단면도이며, 도 6의 (C)는 S303의 일례를 나타내는 단면도이며, 도 6의 (D)는 도 6의 (C)에 이어 S303의 일례를 나타내는 단면도이며, 도 6의 (E)는 S304의 일례를 나타내는 단면도이다.
- 도 7은 도 1에 이어지는 처리의 제 3 예를 나타내는 순서도이다.
- 도 8의 (A)는 S401의 일례를 나타내는 단면도이며, 도 8의 (B)는 S402의 일례를 나타내는 단면도이며, 도 8의 (C)는 S403의 일례를 나타내는 단면도이며, 도 8의 (D)는 도 8의 (C)에 이어 S403의 일례를 나타내는 단면도이며, 도 8의 (E)는 S404의 일례를 나타내는 단면도이다.
- 도 9는 도 3에 이어지는 처리의 일례를 나타내는 순서도이다.
- 도 10의 (A)는 S501의 전에 준비되는 적층 기판의 일례를 나타내는 단면도이며, 도 10의 (B)는 S501의 일례를 나타내는 단면도이며, 도 10의 (C)는 S502의 일례를 나타내는 단면도이다.
- 도 11의 (A)는 S503의 일례를 나타내는 단면도이며, 도 11의 (B)는 S504의 일례를 나타내는 단면도이며, 도 11의 (C)는 도 11의 (B)에 이어 S504의 일례를 나타내는 단면도이다.

도 12는 일 실시 형태에 따른 기관 처리 장치를 나타내는 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 본 개시의 실시 형태에 대하여 도면을 참조하여 설명한다. 또한, 각 도면에 있어서 동일한 또는 대응하는 구성에는 동일한 부호를 부여하고, 설명을 생략하는 경우가 있다. 본 명세서에 있어서, X축 방향, Y축 방향, Z축 방향은 서로 수직인 방향이다. X축 방향 및 Y축 방향은 수평 방향, Z축 방향은 연직 방향이다.
- [0010] 도 1 및 도 2를 참조하여, 일 실시 형태에 따른 적층 기관의 제조 방법에 대하여 설명한다. 적층 기관의 제조 방법은, 예를 들면 도 1에 나타내는 바와 같이, 단계(S101 ~ S107)를 포함한다. 또한, 적층 기관의 제조 방법은, 적어도 S101 ~ S103을 포함하면 된다. 또한, S104 ~ S107의 순서는 도 1의 순서에는 한정되지 않으며, 예를 들면 S107의 후에 S106가 실시되어도 된다.
- [0011] 단계(S101)는, 제 1 반도체 기관(10)의 표면에 접합층(11)을 형성하는 것을 포함한다. 접합층(11)은, 산화층(11a)을 포함한다. 산화층(11a)은, 예를 들면 열 산화법으로 형성되는 열 산화층이다. 열 산화법은, 가열한 제 1 반도체 기관(10)의 표면을 산소 또는 수증기에 노출함으로써, 제 1 반도체 기관(10)의 표면으로부터 내부를 향해 산화층(11a)을 성장시킨다. 열 산화법에 의하면, 후술하는 CVD법 등에 비해, 치밀한 산화층(11a)이 얻어져, 절연성이 우수한 산화층(11a)이 얻어진다. 산화층(11a)의 두께는, 후술하는 레이저 리프트 오프가 용이하게 행해질 수 있도록 설정된다.
- [0012] 제 1 반도체 기관(10)은 예를 들면 실리콘 웨이퍼이며, 산화층(11a)은 예를 들면 실리콘 산화층이다. 또한, 제 1 반도체 기관(10)은, 실리콘 웨이퍼에 한정되지 않으며, 화합물 반도체 웨이퍼 등이어도 된다. 또한, 산화층(11a)은, CVD(Chemical Vapor Deposition)법 또는 ALD(Atomic Layer Deposition)법 등으로 형성되어도 된다.
- [0013] 단계(S102)는, 도 2의 (A)에 나타내는 바와 같이, 접합층(11)을 개재하여 제 1 반도체 기관(10)과 제 2 반도체 기관(20)을 접합하는 것을 포함한다. 제 2 반도체 기관(20)의 표면에는 산화층 등은 형성되지 않고, 제 2 반도체 기관(20)과 접합층(11)의 산화층(11a)이 직접 접촉한다. 제 2 반도체 기관(20)은 예를 들면 실리콘 웨이퍼이다. 제 1 반도체 기관(10)과 접합층(11)과 제 2 반도체 기관(20)을 포함하는 적층 기관(T)이 얻어진다.
- [0014] 제 1 반도체 기관(10)과 제 2 반도체 기관(20)의 접합 전에, 제 2 반도체 기관(20)의 표면과, 접합층(11)의 산화층(11a)의 표면은, 플라즈마 등으로 활성화되어도 되고, 또한 물 또는 수증기의 공급에 의해 친수화되어도 된다. 접합 시에 OH기끼리의 수소 결합이 생긴다. 또한, 수소 결합의 탈수 축합 반응으로 공유 결합이 생겨도 된다. 액체의 접착제를 사용하지 않고, 고체끼리를 직접 붙이므로, 접착제의 변형 등에 의한 위치 어긋남을 방지할 수 있다. 또한, 접착제의 두께 불균일 등에 의한 기울어짐의 발생을 방지할 수 있다.
- [0015] 단계(S103)는, 제 1 반도체 기관(10)을 박화하는 것을 포함한다. 먼저, 도 2의 (B)에 나타내는 바와 같이, 제 1 반도체 기관(10)을 두께 방향으로 분할할 예정인 제 1 분할 예정면(12)에, 개질층(15)을 레이저 광선(LB)으로 형성한다. 이 때, 제 1 분할 예정면(12)의 주연으로 설정되는 링 형상의 제 2 분할 예정면(13)에도, 개질층(15)을 레이저 광선(LB)으로 형성해도 된다.
- [0016] 레이저 광선(LB)은, 예를 들면, 제 1 반도체 기관(10)의 제 2 반도체 기관(20)과는 반대측의 표면으로부터, 제 1 반도체 기관(10)의 내부에 조사된다. 개질층(15)은, 점 형상으로 형성되고, 제 1 분할 예정면(12)과 제 2 분할 예정면(13)에 복수 형성된다. 개질층(15)의 형성 위치는, 갈바노 스캐너 또는 XYθ 스테이지를 이용하여 이동된다. 개질층(15)의 형성 시에, 개질층(15)끼리를 잇는 크랙도 형성된다.
- [0017] 다음으로, 도 2의 (C)에 나타내는 바와 같이, 제 1 분할 예정면(12)에 형성한 개질층(15)을 기점으로 제 1 반도체 기관(10)을 분할함으로써, 접합층(11)을 개재하여 제 2 반도체 기관(20)과 접합된 제 1 반도체 기관(10)을 박화한다. 박화한 제 1 반도체 기관(10)과 접합층(11)과 제 2 반도체 기관(20)을 포함하는 적층 기관(T)이 얻어진다. 이 때, 제 2 분할 예정면(13)에 형성한 개질층(15)을 기점으로 제 1 반도체 기관(10)을 분할함으로써, 제 1 반도체 기관(10)의 베벨을 제거해도 된다.
- [0018] 예를 들면, 상 척(131)이 제 1 반도체 기관(10)을 유지하고, 하 척(132)이 제 2 반도체 기관(20)을 유지한다. 단, 제 1 반도체 기관(10)과 제 2 반도체 기관(20)의 배치는 상하 반대여도 되며, 상 척(131)이 제 2 반도체 기관(20)을 유지하고, 하 척(132)이 제 1 반도체 기관(10)을 유지해도 된다. 다음으로, 상 척(131)이 하 척(132)에 대하여 상승하면, 개질층(15)을 기점으로 크랙이 면 형상으로 확대되어, 제 1 반도체 기관(10)이 제 1 분할 예정면(12)과 제 2 분할 예정면(13)으로 분할된다.

- [0019] 또한, 상 척(131)의 상승 대신에, 또는 상 척(131)의 상승과 더불어, 하 척(132)의 하강이 실시되어도 된다. 또한, 하 척(132)의 연직축 둘레의 회전이 실시되어도 된다.
- [0020] 단계(S104 ~ S107)에서는, 박화한 제 1 반도체 기판(10)에 남은 뒤틀림을 제거하여, 제 1 반도체 기판(10)의 품질을 향상시킨다. 후술하는 바와 같이, 제 1 반도체 기판(10)의 표면에 형성되는 제 1 디바이스층의 불량을 저감시킬 수 있다.
- [0021] 단계(S104)에서는, 박화한 제 1 반도체 기판(10)의 표면을 연삭한다. 단계(S105)에서는, 박화한 제 1 반도체 기판(10)의 표면을 에칭한다. 단계(S106)에서는, 박화한 제 1 반도체 기판(10)을 어닐한다. 단계(S107)에서는, 박화한 제 1 반도체 기판(10)을 연마한다.
- [0022] 종래와 같이 스마트 컷법으로 제 1 반도체 기판을 박화하는 경우, 제 1 반도체 기판에 수소 이온을 주입할 시에 대량의 전력을 소비한다. 또한, 제 1 반도체 기판에 수소 이온을 주입할 수 있는 깊이는 최대여도 1 μm 정도이며, 박화한 제 1 반도체 기판의 두께는 최대여도 1 μm 정도가 된다. 따라서, 박화한 제 1 반도체 기판에 반도체층을 덧붙이기 위하여, 에피택셜 성장 등의 처리가 필요해져 버린다. 또한, 제 1 반도체 기판에 수소 이온을 주입할 시에 방사능이 발생하므로, 방사능을 차폐하는 특수한 챔버가 필요해져 버린다.
- [0023] 본 실시 형태에 따르면, 상기한 대로, 레이저 광선(LB)으로 개질층(15)을 형성하고, 개질층(15)을 기점으로 제 1 반도체 기판(10)을 분할함으로써, 제 1 반도체 기판(10)을 박화한다. 레이저 광선(LB)의 조사는, 수소 이온의 주입에 비해, 소비 전력량을 저감시킬 수 있다. 또한, 개질층(15)을 형성하는 깊이를 레이저 광선(LB)의 집광 위치 등으로 제어할 수 있어, 박화한 제 1 반도체 기판(10)의 두께가 너무 얇아지는 것을 방지할 수 있어, 에피택셜 성장 등의 처리를 생략할 수 있다. 또한, 레이저 광선(LB)의 조사는, 수소 이온의 주입과는 달리, 방사능을 발생시키지 않으므로, 방사능을 차폐하는 특수한 챔버가 불필요하다. 따라서, 박화한 제 1 반도체 기판(10)과 접합층(11)과 제 2 반도체 기판(20)을 포함하는 적층 기판(T)의 생산성을 향상시킬 수 있어, 적층 기판(T)의 생산 코스트를 저감시킬 수 있다.
- [0024] 상기한 대로, 박화한 제 1 반도체 기판(10)과 접합층(11)과 제 2 반도체 기판(20)을 포함하는 적층 기판(T)이 얻어진다. 박화한 제 1 반도체 기판(10)의 두께는, 제 2 반도체 기판(20)의 두께보다 얇다. 제 1 반도체 기판(10) 및 제 2 반도체 기판(20)의 각각이 실리콘 웨이퍼이며, 접합층(11)의 산화층(11a)이 실리콘 산화층인 경우, 도 1에 나타내는 제조 방법으로 얻어지는 적층 기판(T)은, 이른바 SOI(Silicon on Insulator) 기판이다.
- [0025] 상세하게는 후술하는데, 본 실시 형태에 따르면, 도 3, 도 5 및 도 7에 나타내는 바와 같이, 박화한 제 1 반도체 기판(10)의 표면에 제 1 디바이스층(16)을 형성한다. 제 1 디바이스층(16)은, 예를 들면 반도체 소자를 포함한다. 제 1 디바이스층(16)을 형성한 후에, 제 2 반도체 기판(20)을 투과하는 레이저 광선(LB)으로 개질층(15)을 형성한다. 접합층(11)의 산화층(11a)은 레이저 광선(LB)의 흡수율이 높아, 개질층(15)은 제 2 반도체 기판(20)과 접합층(11)의 계면에 형성된다. 또한 개질층(15)은, 접합층(11)의 내부에 형성되어도 된다. 이 후, 개질층(15)을 기점으로 제 2 반도체 기판(20)과 접합층(11)을 박리한다. 산화층(11a)을 포함하는 적층 기판(T)을 이용하면, 제 1 디바이스층(16)의 종류에 관계없이, 레이저 리프트 오프를 실시할 수 있다.
- [0026] 또한, 본 실시 형태에 따르면, 접합층(11)은, 제 2 반도체 기판(20)이 아닌, 제 1 반도체 기판(10)에 형성된 것이다. 따라서, 접합층(11)은 제 1 반도체 기판(10)과는 강고하게 결합하고 있다. 접합층(11)과 제 1 반도체 기판(10)의 계면에서 박리하지 않고, 접합층(11)과 제 2 반도체 기판(20)을 박리하므로, 박리 강도가 낮아, 박리가 용이하다. 박리한 제 2 반도체 기판(20)은, 새로운 제 1 반도체 기판(10)에 접합되어, 재이용된다.
- [0027] 다음으로, 도 3 및 도 4를 참조하여, 도 1에 이어지는 처리의 제 1 예에 대하여 설명한다. 적층 기판의 제조 방법은, 예를 들면 도 3에 나타내는 바와 같이, 단계(S201 ~ S204)를 포함한다. 단계(S201)는, 도 4의 (A)에 나타내는 바와 같이, 박화한 제 1 반도체 기판(10)의 표면에 제 1 디바이스층(16)을 형성하는 것을 포함한다. 제 1 디바이스층(16)은, 예를 들면 이미지 센서를 포함한다. 이미지 센서는, 예를 들면 BSI(Back Side Illumination)형이다.
- [0028] 단계(S202)는, 도 4의 (B)에 나타내는 바와 같이, 제 1 디바이스층(16)과, 제 3 반도체 기판(30)에 형성된 제 2 디바이스층(31)을 마주 보게 하여 접합하는 것을 포함한다. 제 2 디바이스층(31)은, 제 1 디바이스층(16)과 접합되기 전에 제 3 반도체 기판(30)에 형성된다. 제 3 반도체 기판(30)과 제 2 디바이스층(31)의 사이에는, 도 10의 (A)에 나타내는 바와 같이 박리층(35)이 형성되어 있어도 된다. 제 3 반도체 기판(30)은 예를 들면 실리콘 웨이퍼이며, 제 2 디바이스층(31)은 예를 들면 이미지 센서의 로직 회로를 포함한다. 제 1 디바이스층(16)과 제 2 디바이스층(31)으로, 디바이스층(32)이 구성된다.

- [0029] 제 1 디바이스층(16)과 제 2 디바이스층(31)의 접합 전에, 제 1 디바이스층(16)의 표면과 제 2 디바이스층(31)의 표면은, 플라즈마 등으로 활성화되어도 되고, 또한 물 또는 수증기의 공급에 의해 친수화되어도 된다. 접합 시에 OH기끼리의 수소 결합이 생긴다. 또한, 수소 결합의 탈수 축합 반응으로 공유 결합이 생겨도 된다.
- [0030] 단계(S203)는, 제 2 반도체 기판(20)과 접합층(11)을 박리한다. 먼저, 도 4의 (C)에 나타내는 바와 같이, 제 2 반도체 기판(20)을 투과하는 레이저 광선(LB)으로, 제 2 반도체 기판(20)과 접합층(11)의 계면에 개질층(15)을 형성한다. 접합층(11)의 산화층(11a)은 레이저 광선(LB)의 흡수율이 높아, 개질층(15)은 제 2 반도체 기판(20)과 산화층(11a)의 계면에 형성된다. 또한 개질층(15)은, 접합층(11)의 내부에 형성되어도 된다.
- [0031] 다음으로, 도 4의 (D)에 나타내는 바와 같이, 제 2 반도체 기판(20)과 접합층(11)의 계면(또는 접합층(11)의 내부)에 형성한 개질층(15)을 기점으로 제 2 반도체 기판(20)과 접합층(11)을 박리한다. 예를 들면, 미도시의 상 척이 제 2 반도체 기판(20)을 유지하고, 미도시의 하 척이 제 3 반도체 기판(30)을 유지한다. 단, 제 2 반도체 기판(20)과 제 3 반도체 기판(30)의 배치는 상하 반대여도 된다. 다음으로, 상 척이 하 척에 대하여 상승하면, 개질층(15)을 기점으로 크랙이 면 형상으로 확대되어, 제 2 반도체 기판(20)과 접합층(11)이 박리된다.
- [0032] 또한, 상 척의 상승 대신에, 또는 상 척의 상승과 더불어, 하 척의 하강이 실시되어도 된다. 또한, 하 척의 연직축 둘레의 회전이 실시되어도 된다.
- [0033] 단계(S204)는, 도 4의 (E)에 나타내는 바와 같이, 제 2 반도체 기판(20)과 접합층(11)을 박리한 후에, 접합층(11)을 제거하는 것을 포함한다. 접합층(11)은, CMP(Chemical Mechanical Polishing) 등에 의해 제거된다. 그 결과, 박화한 제 1 반도체 기판(10)이 적층 기판(T)의 표면에 노출된다.
- [0034] 또한 접합층(11)은, 후속의 프로세스에 영향을 주지 않는 경우, 제거하지 않아도 된다. 또한, 접합층(11)은, 후술하는 게터링층으로서 이용하는 경우, 제거하지 않는다. 게터링층은, 증금속 등의 불순물을 포획하는 층이다.
- [0035] 다음으로, 도 5 및 도 6을 참조하여, 도 1에 이어지는 처리의 제 2 예에 대하여 설명한다. 적층 기판의 제조 방법은, 예를 들면 도 5에 나타내는 바와 같이, 단계(S301 ~ S304)를 포함한다. 단계(S301)는, 도 6의 (A)에 나타내는 바와 같이, 박화한 제 1 반도체 기판(10)의 표면에 제 1 디바이스층(16)을 형성하는 것을 포함한다. 제 1 디바이스층(16)은, 예를 들면 백 사이드 PDN(Power Delivery Network)을 포함한다.
- [0036] 단계(S302)는, 도 6의 (B)에 나타내는 바와 같이, 제 1 디바이스층(16)과, 제 3 반도체 기판(30)에 형성된 제 2 디바이스층(31)을 마주 보게 하여 접합하는 것을 포함한다. 제 2 디바이스층(31)은, 제 1 디바이스층(16)과 접합되기 전에 제 3 반도체 기판(30)에 형성된다. 제 3 반도체 기판(30)은 예를 들면 실리콘 웨이퍼이며, 제 2 디바이스층(31)은 예를 들면 백 사이드 PDN의 로직 회로를 포함한다. 제 1 디바이스층(16)과 제 2 디바이스층(31)으로, 디바이스층(32)이 구성된다.
- [0037] 제 1 디바이스층(16)과 제 2 디바이스층(31)의 접합 전에, 제 1 디바이스층(16)의 표면과 제 2 디바이스층(31)의 표면은, 플라즈마 등으로 활성화되어도 되고, 또한 물 또는 수증기의 공급에 의해 친수화되어도 된다. 접합 시에 OH기끼리의 수소 결합이 생긴다. 또한, 수소 결합의 탈수 축합 반응으로 공유 결합이 생겨도 된다.
- [0038] 단계(S303)는, 도 3의 단계(S203)와 마찬가지로, 제 2 반도체 기판(20)과 접합층(11)을 박리한다. 먼저, 도 6의 (C)에 나타내는 바와 같이, 제 2 반도체 기판(20)을 투과하는 레이저 광선(LB)으로, 제 2 반도체 기판(20)과 접합층(11)의 계면에 개질층(15)을 형성한다. 또한 개질층(15)은, 접합층(11)의 내부에 형성해도 된다. 다음으로, 도 6의 (D)에 나타내는 바와 같이, 제 2 반도체 기판(20)과 접합층(11)의 계면에 형성한 개질층(15)을 기점으로 제 2 반도체 기판(20)과 접합층(11)을 박리한다.
- [0039] 단계(S304)는, 도 6의 (E)에 나타내는 바와 같이, 제 2 반도체 기판(20)과 접합층(11)을 박리한 후에, 접합층(11)과 제 1 반도체 기판(10)에 비아(17)를 형성한다. 비아(17)는, 접합층(11)과 제 1 반도체 기판(10)을 관통하여 형성되는 관통 전극이다. 또한, 비아(17)의 형성(단계(S304))은, 제 1 디바이스층(16)의 형성(단계(S301)) 전에 행해져도 된다.
- [0040] 다음으로, 도 7 및 도 8을 참조하여, 도 1에 이어지는 처리의 제 3 예에 대하여 설명한다. 적층 기판의 제조 방법은, 예를 들면 도 7에 나타내는 바와 같이, 단계(S401 ~ S404)를 포함한다. 단계(S401)는, 도 8의 (A)에 나타내는 바와 같이, 박화한 제 1 반도체 기판(10)에 비아(18)를 형성하고, 제 1 반도체 기판(10)의 표면에 제 1 디바이스층(16)을 형성하는 것을 포함한다. 비아(18)는, 제 1 반도체 기판(10)을 관통하여 형성되는 관통 전극이다. 제 1 디바이스층(16)은, 예를 들면 DRAM(Dynamic Random Access Memory)을 포함한다. DRAM은, 보다 상세하게는 HBM(High Bandwidth Memory)이어도 된다.

- [0041] 단계(S402)는, 도 8의 (B)에 나타내는 바와 같이, 제 1 디바이스층(16)과, 캐리어 기판(40)을 마주 보게 하여 접합하는 것을 포함한다. 캐리어 기판(40)은, 예를 들면 도시하지 않는 접착제 등을 이용하여, 일시적으로 제 1 디바이스층(16)과 접합된다. 캐리어 기판(40)으로서는, 예를 들면 글라스 기판이 이용된다.
- [0042] 단계(S403)는, 도 3의 단계(S203)와 마찬가지로, 제 2 반도체 기판(20)과 접합층(11)을 박리한다. 먼저, 도 8의 (C)에 나타내는 바와 같이, 제 2 반도체 기판(20)을 투과하는 레이저 광선(LB)으로, 제 2 반도체 기판(20)과 접합층(11)의 계면에 개질층(15)을 형성한다. 또한 개질층(15)은, 접합층(11)의 내부에 형성해도 된다. 다음으로, 도 8의 (D)에 나타내는 바와 같이, 제 2 반도체 기판(20)과 접합층(11)의 계면에 형성한 개질층(15)을 기점으로 제 2 반도체 기판(20)과 접합층(11)을 박리한다.
- [0043] 단계(S404)는, 제 2 반도체 기판(20)과 접합층(11)을 박리한 후에, 접합층(11)의 표면에 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 접합층(11)을 에칭하는 것을 포함한다. 에칭은, 예를 들면 드라이 에칭이다. 접합층(11)을 에칭한 후, 마스크 패턴은 제거된다. 그 결과, 도 8의 (E)에 나타내는 바와 같이, 비아(18)가 노출된다.
- [0044] 다음으로, 도 9 ~ 도 11을 참조하여, 도 3에 이어지는 처리의 일례에 대하여 설명한다. 적층 기판의 제조 방법은, 예를 들면 도 9에 나타내는 바와 같이, 단계(S501 ~ S504)를 포함한다. 도 3에 나타내는 처리에 의해, 도 10의 (A)에 나타내는 적층 기판(T)이 얻어진다. 적층 기판(T)은, 제 1 반도체 기판(10)과, 디바이스층(32)과, 박리층(35)과, 제 3 반도체 기판(30)을 이 순으로 가진다. 박리층(35)은, 접합층(11)과 마찬가지로, 산화층을 포함해도 된다. 또한, 박리층(35)은, 질화층을 포함해도 된다. 질화층에 개질층(15)을 형성하는 것도 가능하다. 또한, 박리층(35)은, 복수 층 구조를 가져도 된다. 또한, 적층 기판(T)은, 제 1 반도체 기판(10)의 디바이스층(32)과는 반대측의 표면에, 게터링층으로서 기능시키는 접합층(11)을 더 가져도 된다.
- [0045] 디바이스층(32)은, 상기한 대로, 제 1 디바이스층(16)과, 제 2 디바이스층(31)을 포함해도 된다. 제 1 디바이스층(16)은, 예를 들면 반도체 메모리를 포함한다. 제 2 디바이스층(31)은, 예를 들면 반도체 메모리의 주변 회로('페리페럴'이라고도 함) 또는 반도체 메모리의 입출 회로('IO'라고도 함) 등을 포함한다.
- [0046] 단계(S501)는, 도 10의 (B)에 나타내는 바와 같이, 접합층(11)(접합층(11)이 없는 경우에는 제 1 반도체 기판(10))의 표면에 다이 어태치 필름(DAF : Die Attach Filim)(33)을 형성하는 것을 포함한다. 다이 어태치 필름(33)은, 다이 본딩용의 접착 시트이다. 다이 어태치 필름(33)은, 반도체 칩의 적층 등에 이용된다. 다이 어태치 필름(33)은 도전성, 절연성의 어느 것이어도 좋다. 다이 어태치 필름(33)은, 액상의 재료를 도포하고, 건조함으로써 얻어진다.
- [0047] 단계(S502)는, 도 10의 (C)에 나타내는 바와 같이, 접합층(11)과 제 1 반도체 기판(10)과 디바이스층(32)과 박리층(35)을 다이싱하는 것을 포함한다. 접합층(11)과 제 1 반도체 기판(10)과 디바이스층(32)과 박리층(35)을 관통하는 홈(19)이 형성된다. 접합층(11)의 위에 다이 어태치 필름(33)이 미리 형성되어 있는 경우, 다이 어태치 필름(33)도 다이싱되고, 홈(19)은 다이 어태치 필름(33)도 관통하여 형성된다. 다이싱 방법은 예를 들면 레이저 다이싱 또는 블레이드 다이싱 등이다.
- [0048] 레이저 다이싱하는 것은, 레이저 광선(LB2)을 이용하여 어블레이션 가공하는 것을 포함한다. 다이 어태치 필름(33)과 접합층(11)과 제 1 반도체 기판(10)과 디바이스층(32)과 박리층(35)은, 레이저 광선(LB2)을 흡수함으로써 발열하고, 승화 또는 증발한다. 그 결과, 홈(19)이 형성된다.
- [0049] 제어부는, 제 1 반도체 기판(10)을 다이싱할 시와, 디바이스층(32) 및 박리층(35)을 다이싱할 시에서, 레이저 광선(LB2)의 에너지를 변경해도 된다. 예를 들면, 제 1 반도체 기판(10)을 가공할 때는, 실리콘을 가공할 수 있는 에너지가 설정된다. 한편, 디바이스층(32) 및 박리층(35)을 가공할 때는, 도전막 및 산화막을 가공할 수 있고, 또한 실리콘을 가공할 수 없는 에너지가 설정된다. 디바이스층(32) 및 박리층(35)을 가공할 시에, 제 3 반도체 기판(30)의 손상을 방지할 수 있다.
- [0050] 단계(S503)는, 도 11의 (A)에 나타내는 바와 같이, 적층 기판(T)을, 제 3 반도체 기판(30)과는 반대측에 배치한 테이프(51)와 붙이고, 테이프(51)를 개재하여 프레임(52)에 장착하는 것을 포함한다. 프레임(52)은 환상(環狀)으로 형성되고, 테이프(51)는 프레임(52)의 개구부를 덮도록 프레임(52)에 첩부된다.
- [0051] 접합층(11)(접합층(11)이 없는 경우에는 제 1 반도체 기판(10))과 테이프(51)와의 사이에는 다이 어태치 필름(33)이 배치된다. 또한, 다이 어태치 필름(33)은, 본 실시 형태에서는 접합층(11) 등에 미리 형성되지만, 테이프(51)의 표면에 미리 첩부되어 있어도 된다. 후자의 경우, 단계(S503)와 단계(S501)는 동시에 실시된다. 이 경

우, 다이 어태치 필름(33)의 다이싱은, 후술하는 단계(S504)의 이후에 실시되어도 된다.

- [0052] 단계(S504)는, 도 3의 단계(S203)와 마찬가지로, 제 3 반도체 기판(30)과 박리층(35)을 박리한다. 먼저, 도 11의 (B)에 나타내는 바와 같이, 제 3 반도체 기판(30)을 투과하는 레이저 광선(LB)으로, 제 3 반도체 기판(30)과 박리층(35)의 계면에 개질층(15)을 형성한다. 개질층(15)은, 박리층(35)의 내부에 형성해도 된다. 다음으로, 도 11의 (C)에 나타내는 바와 같이, 제 3 반도체 기판(30)과 박리층(35)의 계면에 형성한 개질층(15)을 기점으로 제 3 반도체 기판(30)과 박리층(35)을 박리한다. 박리 후에도, 테이프(51)에 의해 반도체 칩의 산란을 방지할 수 있다. 반도체 칩은, 1 개씩 픽업된다.
- [0053] 제 3 반도체 기판(30)과 박리층(35)을 박리한 후에, 접합층(11)이 제 1 반도체 기판(10)의 표면에 남는다. 남은 접합층(11)은, 증금속 등의 불순물을 포획하는 게터링층으로서 이용된다. 따라서, 게터링층을 형성하는 처리가 불필요하다.
- [0054] 종래, 두께가 두꺼운 제 1 반도체 기판(10)의 표면에 디바이스층(32)을 형성하고, 디바이스층(32)을 블레이드로 다이싱하고, 이어서, 디바이스층(32)에 보호 테이프를 첩부하고, 이 후, 제 1 반도체 기판(10)을 연삭하여, 박화하고 있었다. 블레이드는, 디바이스층(32)을 풀 컷하고, 또한 제 1 반도체 기판(10)을 하프 컷한다. 이 후, 제 1 반도체 기판(10)을 디바이스층(32)과는 반대측으로부터 연삭함으로써, 제 1 반도체 기판(10)이 분할되어, 복수의 반도체 칩이 얻어진다. 이 후, 제 1 반도체 기판(10)의 연삭한 면에 게터링층을 형성하는 것, 제 1 반도체 기판(10)을 사이에 두고 보호 테이프와는 반대측에 테이프(51)를 배치하고, 테이프(51)를 개재하여 제 1 반도체 기판(10)을 프레임(52)에 장착하는 것, 보호 테이프를 제거하는 것 등이 행해지고 있었다.
- [0055] 본 실시 형태에 따르면, 디바이스층(32)을 형성하기 전에, 제 1 반도체 기판(10)을 박화를 끝낸 상태이다(도 4 참조). (1) 종래와 같이, 디바이스층(32)을 형성한 후에 제 1 반도체 기판(10)을 연삭하지 않으므로, 디바이스층(32) 및 제 1 반도체 기판(10)의 손상을 억제할 수 있다. 또한, 본 실시 형태에 따르면, 디바이스층(32) 및 제 1 반도체 기판(10)을 다이싱하여, 복수의 반도체 칩을 얻는다. 이어서, 제 1 반도체 기판(10)을, 제 3 반도체 기판(30)과는 반대측에 배치한 테이프(51)를 개재하여 프레임(52)에 장착한다. 또한 이 후, 레이저 리프트 오프로 제 3 반도체 기판(30)을 제거한다. 제 3 반도체 기판(30)은, 종래의 보호 테이프에 비해 딱딱하다. (2) 제 3 반도체 기판(30)을 제거할 때까지, 제 3 반도체 기판(30)으로 반도체 칩을 보강할 수 있어, 반도체 칩의 손상을 억제할 수 있다. (3) 종래와는 달리, 보호 테이프의 첩부 및 제거가 불필요하다. (4) 제 3 반도체 기판(30)을 제거한 후에 남은 접합층(11)을 게터링층으로서 이용할 수 있어, 게터링층을 형성하는 처리가 불필요하다. 이상 설명한 바와 같이, 본 실시 형태에 따르면, 반도체 칩의 생산성을 향상시킬 수 있다.
- [0056] 또한, 본 실시 형태에서는 도 10의 (A)에 나타내는 바와 같이 접합층(11)이 제 1 반도체 기판(10)에 형성된 적층 기판(T)을 준비했지만, 접합층(11)은 제 2 반도체 기판(20)에 형성되어도 된다. 이 경우라도, 상기 (1) ~ (4)의 효과가 얻어져, 반도체 칩의 생산성을 향상시킬 수 있다. 또한, 도 10의 (A)에 나타내는 바와 같이 접합층(11)이 제 1 반도체 기판(10)에 형성된 적층 기판(T)을 준비하는 경우, (5) 제 2 반도체 기판(20)과 접합층(11)을 용이하게 박리할 수 있다.
- [0057] 다음으로, 도 12 등을 참조하여, 도 1의 단계(S103)를 실시하는 기판 처리 장치(100)에 대하여 설명한다. 기판 처리 장치(100)는 반입반출부(101)와, 반송부(110)와, 레이저 가공부(120)와, 분할부(130)와, 제어부(140)를 가진다.
- [0058] 반입반출부(101)는, 카세트(C)가 배치되는 배치부(102)를 가진다. 카세트(C)는, 예를 들면 도 2의 (A)에 나타내는 적층 기판(T)을 복수 매 수용한다. 적층 기판(T)은, 제 1 반도체 기판(10)과, 제 2 반도체 기판(20)과, 제 1 반도체 기판(10)과 제 2 반도체 기판(20)을 접합하는 접합층(11)을 포함한다. 또한, 배치부(102)의 수 및 카세트(C)의 수는, 도 12에 나타내는 것에는 한정되지 않는다.
- [0059] 반송부(110)는, 반입반출부(101), 레이저 가공부(120) 및 분할부(130)의 옆에 배치되고, 이들에 대하여 적층 기판(T)을 반송한다. 반송부(110)는, 적층 기판(T)을 유지하는 반송 암(111)을 가진다. 반송 암(111)은, 수평 방향(X축 방향 및 Y축 방향의 양 방향) 및 연직 방향으로의 이동, 그리고 연직축을 중심으로 하는 회전이 가능하다.
- [0060] 레이저 가공부(120)는, 도 2의 (B)에 나타내는 바와 같이, 적층 기판(T)을 두께 방향으로 분할할 예정인 분할 예정면에, 개질층(15)을 레이저 광선(LB)으로 형성한다. 레이저 가공부(120)는, 예를 들면, 적층 기판(T)을 유지하는 스테이지(121)와, 스테이지(121)로 유지된 적층 기판(T)에 레이저 광선(LB)을 조사하는 광학계(122)를 포함한다. 스테이지(121)는, 예를 들면 XY θ 스테이지 또는 XYZ θ 스테이지이다. 광학계(122)는, 예를 들면 집

광 렌즈를 포함한다. 집광 렌즈는, 레이저 광선(LB)을 적층 기관(T)을 향해 집광한다. 광학계(122)는, 또한 갈바노 스캐너를 포함해도 된다.

[0061] 분할부(130)는, 도 2의 (C)에 나타내는 바와 같이, 분할 예정면에 형성한 개질층(15)을 기점으로 적층 기관(T)을 분할한다. 분할부(130)는, 예를 들면, 상 척(131)과 하 척(132)을 포함한다. 상 척(131)이 제 1 반도체 기관(10)을 유지하고, 하 척(132)이 제 2 반도체 기관(20)을 유지한다. 단, 제 1 반도체 기관(10)과 제 2 반도체 기관(20)의 배치는 상하 반대여도 된다. 다음으로, 상 척(131)이 하 척(132)에 대하여 상승하면, 개질층(15)을 기점으로 크랙이 먼 형상으로 확대되어, 적층 기관(T)이 제 1 분할 예정면(12) 등으로 분할된다. 또한, 상 척(131)의 상승 대신에, 또는 상 척(131)의 상승과 더불어, 하 척(132)의 하강이 실시되어도 된다. 또한, 하 척(132)의 연직축 둘레의 회전이 실시되어도 된다.

[0062] 제어부(140)는 예를 들면 컴퓨터이며, 도 12에 나타내는 바와 같이, CPU(Central Processing Unit)(141)와, 메모리 등의 기억 매체(142)를 구비한다. 기억 매체(142)에는, 기관 처리 장치(100)에 있어서 실행되는 각종 처리를 제어하는 프로그램이 저장된다. 제어부(140)는, 기억 매체(142)에 기억된 프로그램을 CPU(141)에 실행시키는 것에 의해, 기관 처리 장치(100)의 동작을 제어한다.

[0063] 제어부(140)는, 분할 예정면을 제 1 반도체 기관(10)의 내부로 설정한다. 제어부(140)는, 제 1 분할 예정면(12)에 개질층(15)을 형성하고, 형성한 개질층(15)을 기점으로 제 1 반도체 기관(10)을 분할함으로써, 접합층(11)을 개재하여 제 2 반도체 기관(20)과 접합된 제 1 반도체 기관(10)을 박화한다.

[0064] 또한, 도 12에 나타내는 기관 처리 장치(100)는, 도 1의 단계(S103) 이외에도 사용 가능하며, 예를 들면, 도 3의 단계(S203), 도 5의 단계(S303), 도 7의 단계(S403), 및 도 9의 단계(S504) 등에도 사용 가능하다.

[0065] 제어부(140)는, 도 3의 단계(S203) 또는 도 5의 단계(S303)를 실시하는 경우, 분할 예정면을 제 2 반도체 기관(20)과 접합층(11)의 계면으로 설정하고, 그 계면에 형성한 개질층(15)을 기점으로 제 2 반도체 기관(20)과 접합층(11)을 박리한다. 이 경우, 분할부(130)는, 상 척(131)이 제 2 반도체 기관(20)을 유지하고, 하 척(132)이 제 3 반도체 기관(30)을 유지한다. 개질층(15)은, 접합층(11)의 내부에 형성해도 된다.

[0066] 제어부(140)는, 도 7의 단계(S403)를 실시하는 경우, 분할 예정면을 제 2 반도체 기관(20)과 접합층(11)의 계면으로 설정하고, 그 계면에 형성한 개질층(15)을 기점으로 제 2 반도체 기관(20)과 접합층(11)을 박리한다. 이 경우, 분할부(130)는, 상 척(131)이 제 2 반도체 기관(20)을 유지하고, 하 척(132)이 캐리어 기관(40)을 유지한다.

[0067] 제어부(140)는, 도 9의 단계(S504)를 실시하는 경우, 분할 예정면을 제 3 반도체 기관(30)과 박리층(35)의 계면으로 설정하고, 그 계면에 형성한 개질층(15)을 기점으로 제 3 반도체 기관(30)과 박리층(35)을 박리한다. 이 경우, 분할부(130)는, 상 척(131)이 제 3 반도체 기관(30)을 유지하고, 하 척(132)이 테이프(51)를 유지한다. 개질층(15)은, 박리층(35)의 내부에 형성해도 된다. 또한, 반송부(110)의 반송 암(111)은, 도 11에 나타내는 프레임(52)을 유지함으로써, 적층 기관(T)을 유지한다.

[0068] 이상, 본 개시에 따른 적층 기관의 제조 방법 및 기관 처리 장치의 실시 형태 등에 대하여 설명했지만, 본 개시는 상기 실시 형태 등에 한정되지 않는다. 특허 청구의 범위에 기재된 범주 내에 있어서, 각종 변경, 수정, 치환, 부가, 삭제 및 조합이 가능하다. 그들에 대해서도 당연히 본 개시의 기술적 범위에 속한다.

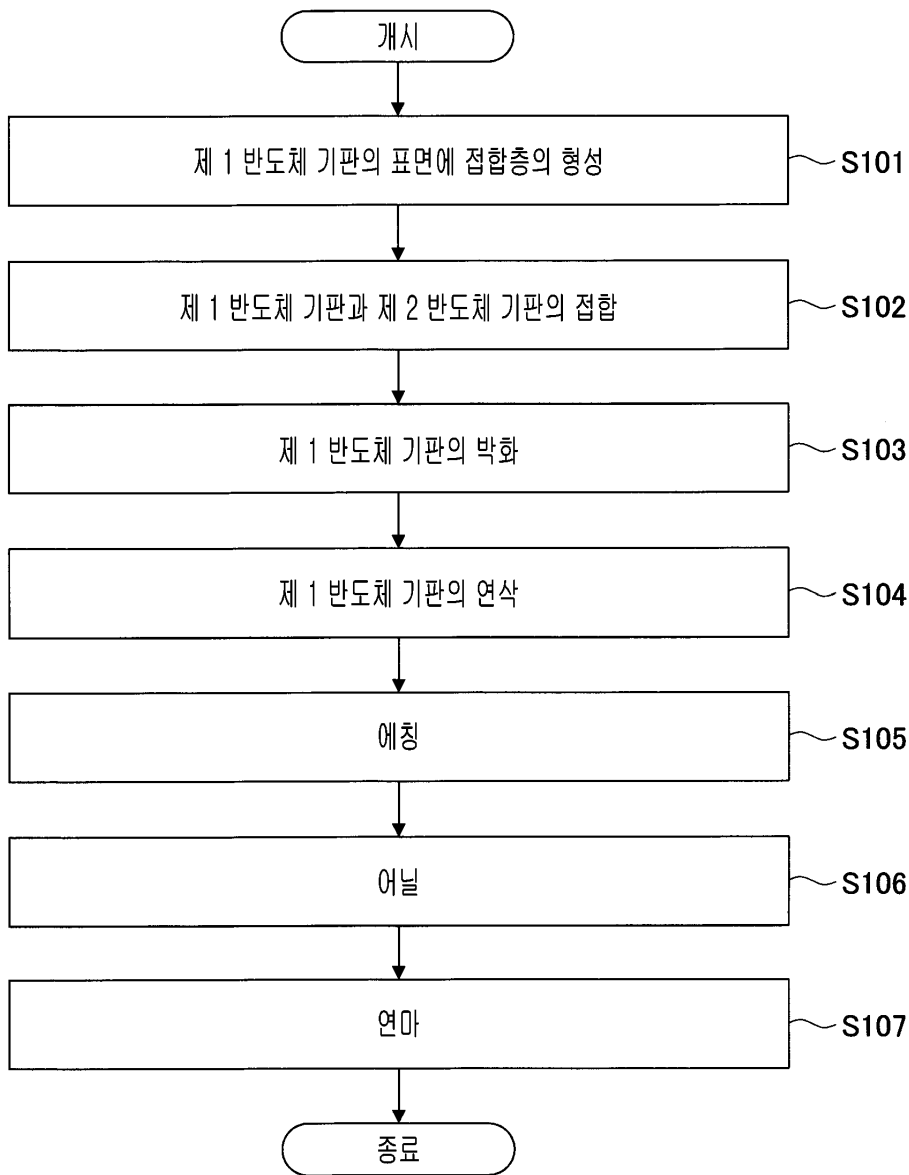
[0069] 본 출원은 2021년 3월 9일에 일본특허청에 출원한 특허출원 2021-037189호에 기초하는 우선권을 주장하는 것이며, 특허출원 2021-037189호의 모든 내용을 본 출원에 원용한다.

부호의 설명

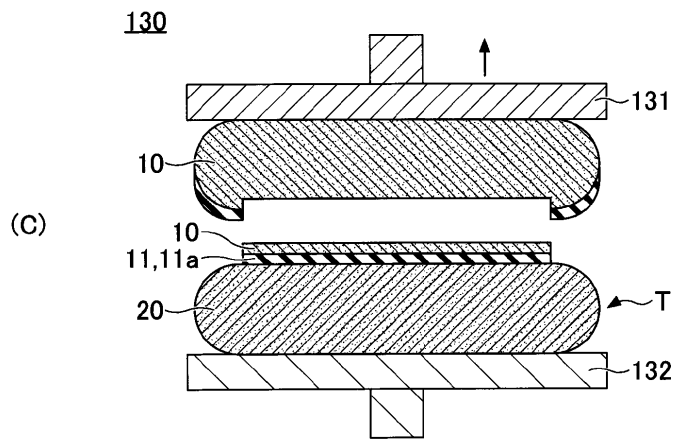
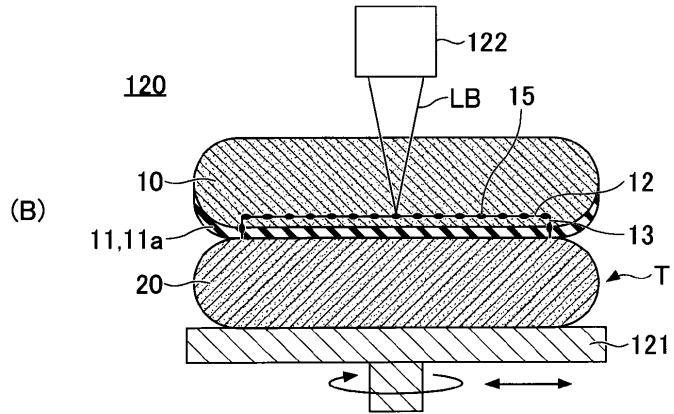
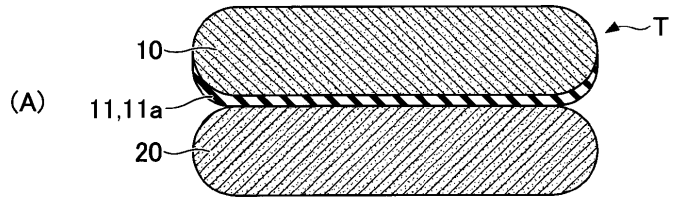
- [0070] 10 : 제 1 반도체 기관
- 11 : 접합층
- 11a : 산화층
- 12 : 제 1 분할 예정면
- 15 : 개질층
- 20 : 제 2 반도체 기관

도면

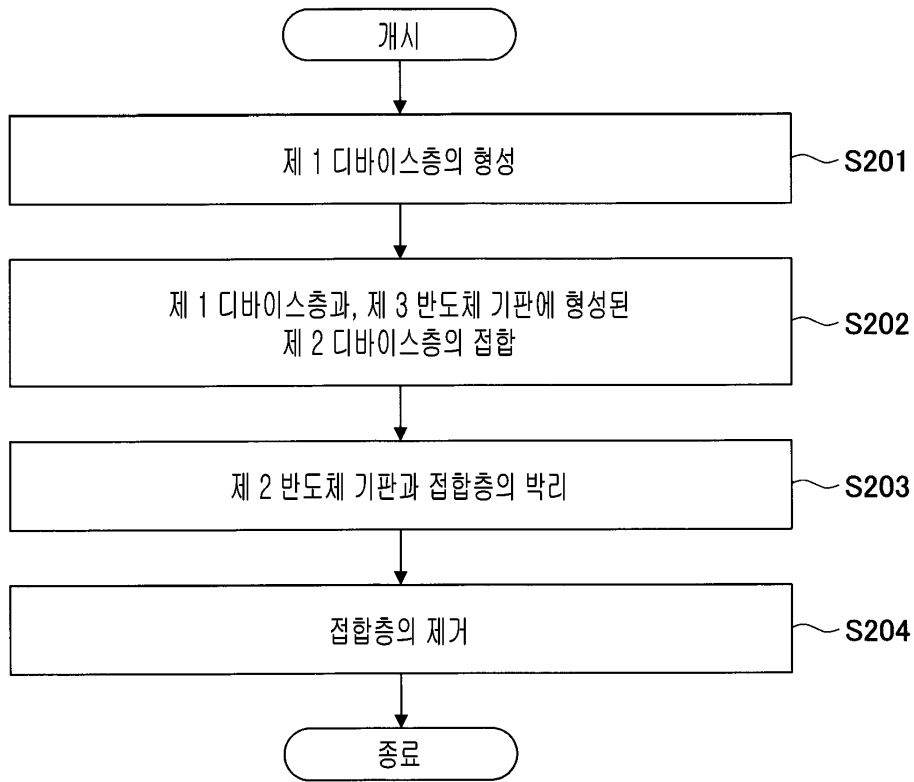
도면1



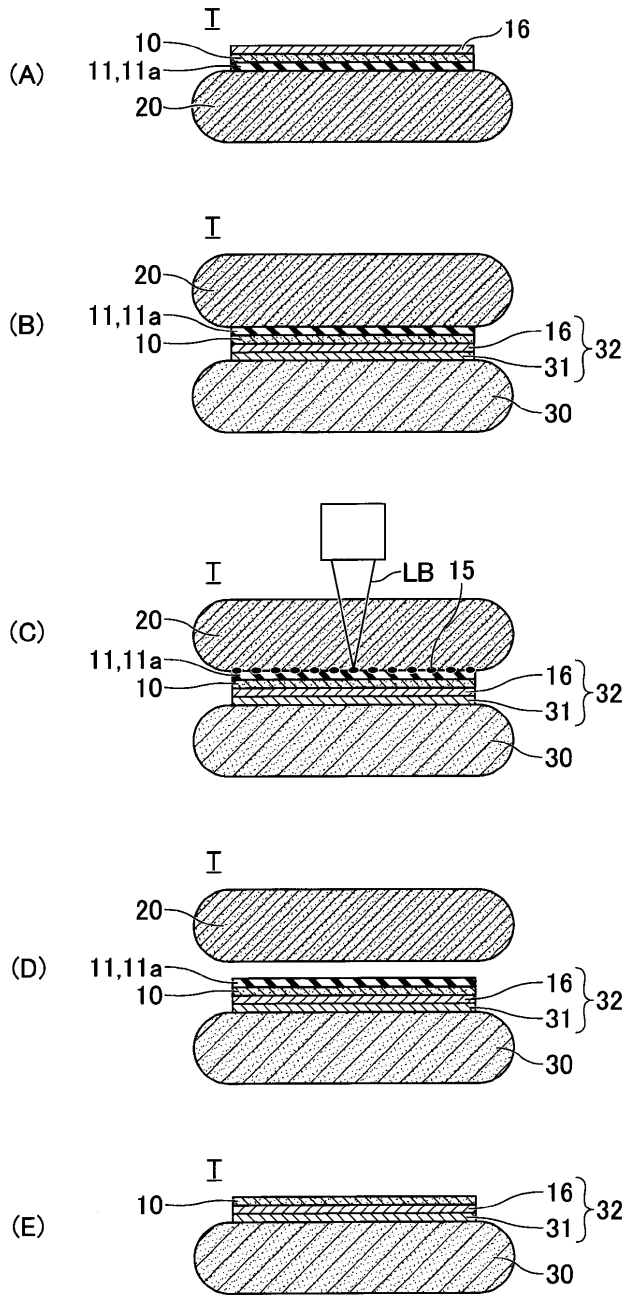
도면2



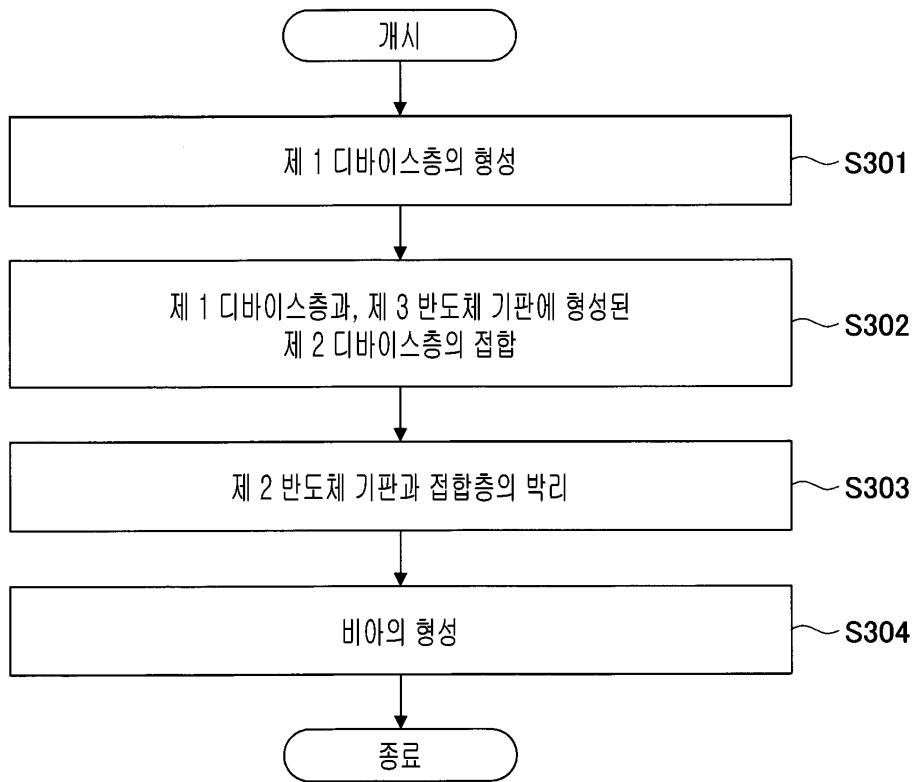
도면3



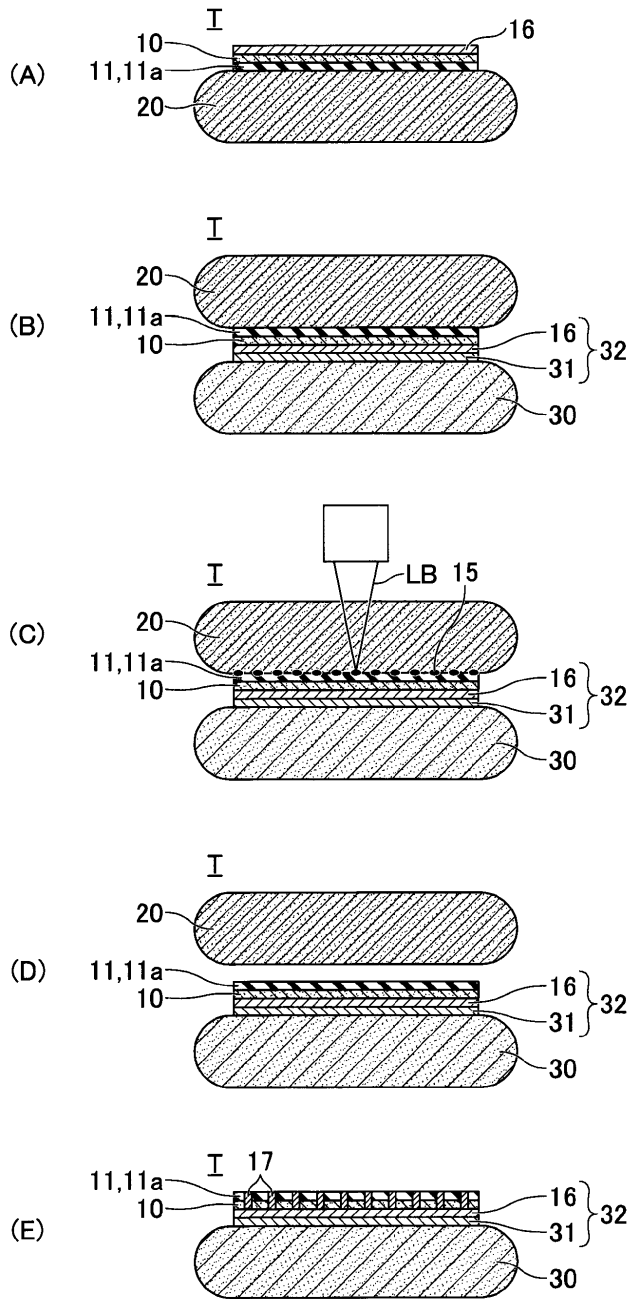
도면4



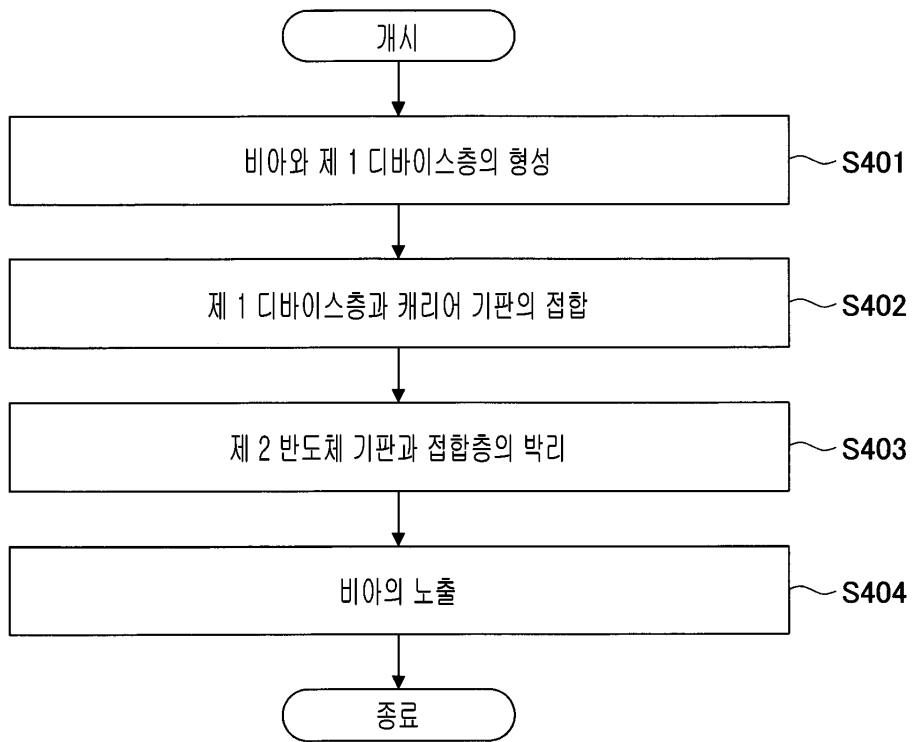
도면5



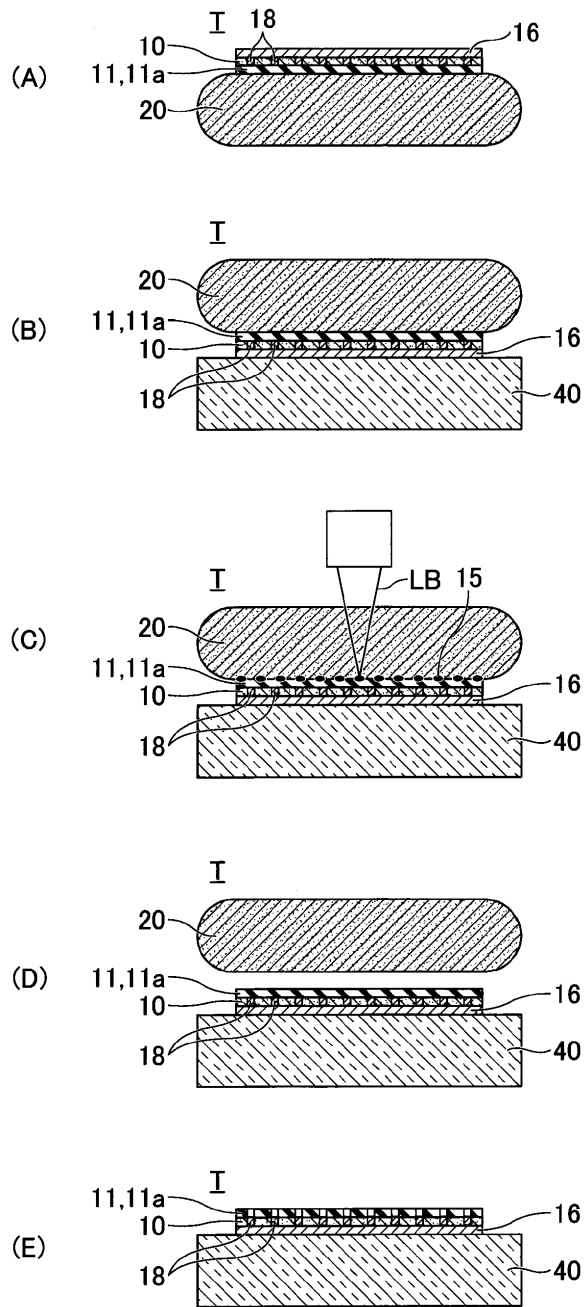
도면6



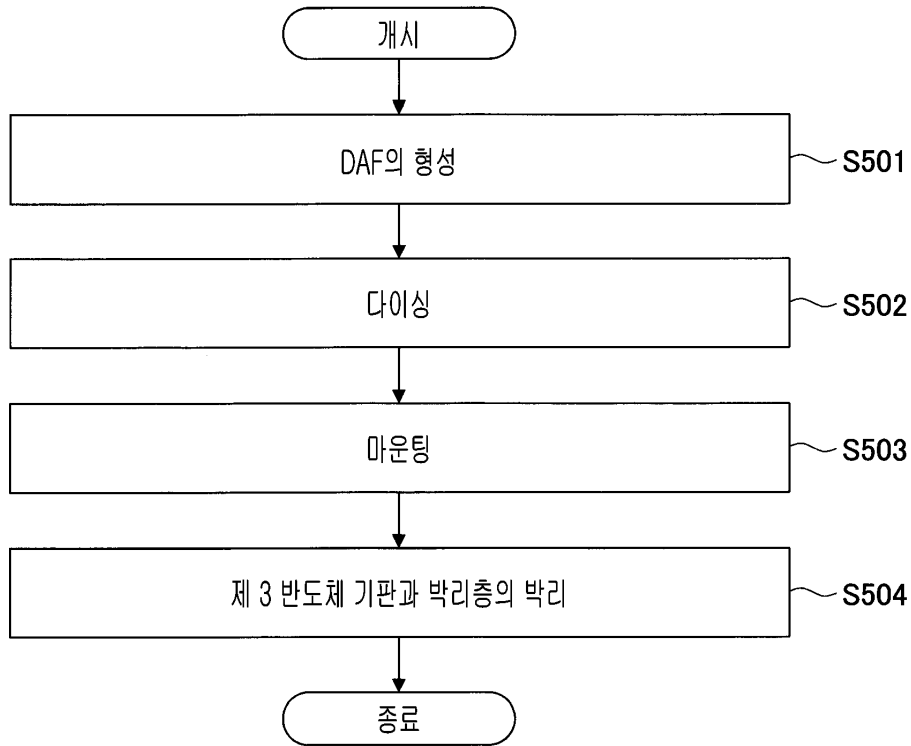
도면7



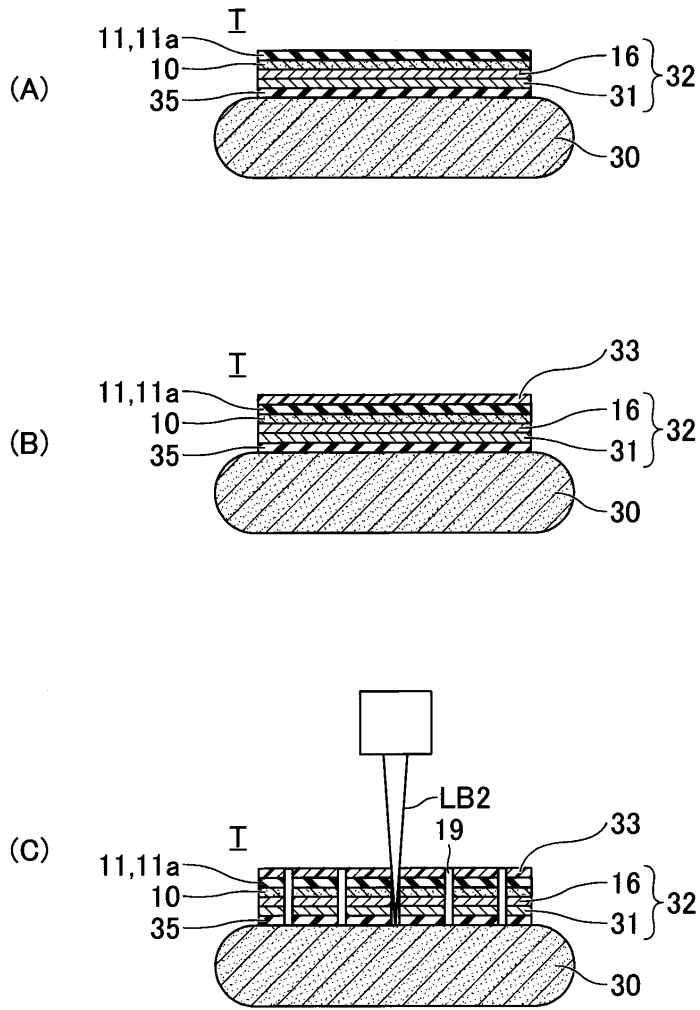
도면8



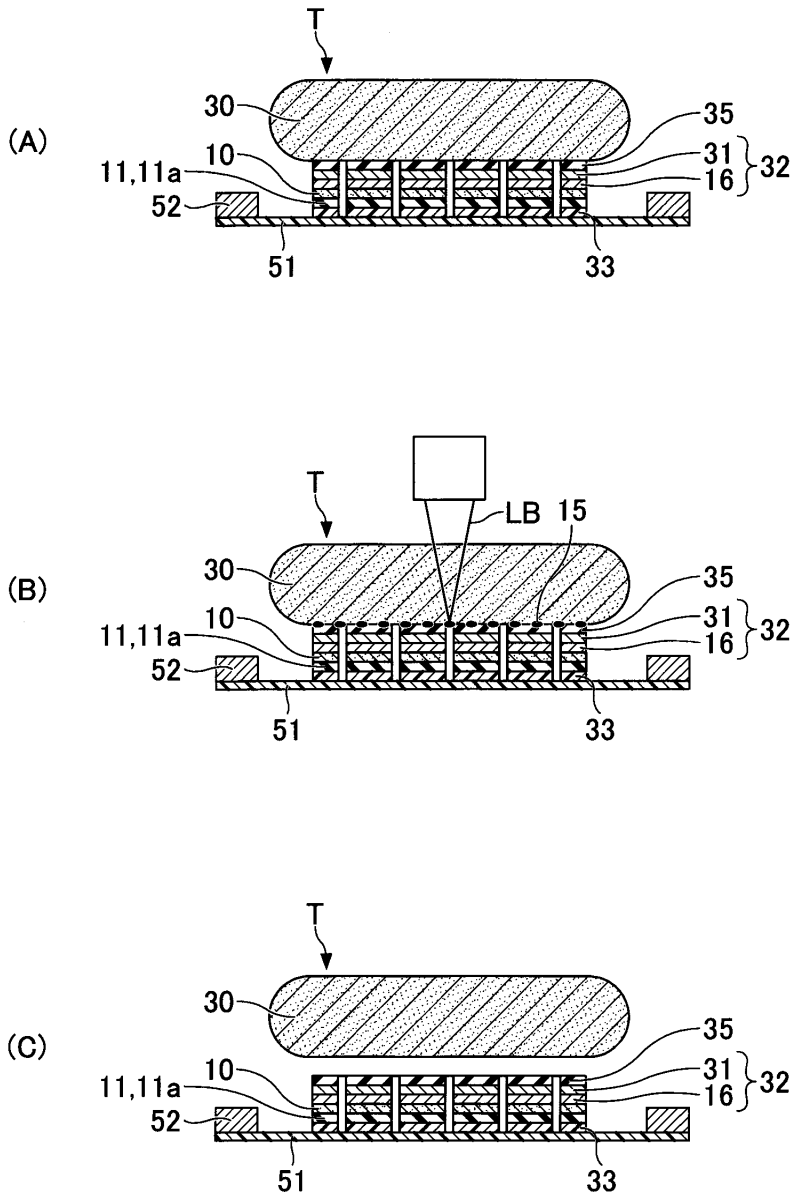
도면9



도면10



도면11



도면12

