

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/50

[12] 发明专利申请公开说明书

H01L 23/52 H01L 21/60

H01L 21/28

[21] 申请号 01103216.2

[43] 公开日 2001 年 12 月 19 日

[11] 公开号 CN 1327266A

[22] 申请日 2001.2.5 [21] 申请号 01103216.2

[30] 优先权

[32] 2000.6.7 [33] JP [31] 170332/2000

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 原田繁 松冈长 竹若博基

[74] 专利代理机构 中国专利代理(香港)有限公司

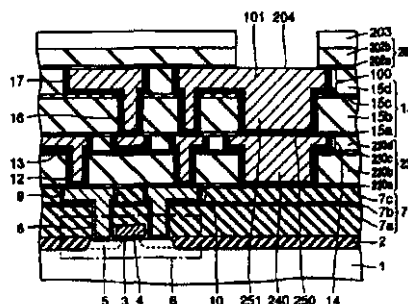
代理人 杨 凯 叶恺东

权利要求书 3 页 说明书 41 页 附图页数 73 页

[54] 发明名称 半导体装置及其制造方法

[57] 摘要

一种半导体装置具备焊区电极(101)。焊区电极的主电极层的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多边形和对至少一个角部进行倒角或作成圆角的大致多边形的组合构成的组中选出的平面形状。主电极层经连接孔(251)与位于下方的下侧电极层(250)连接,在下侧电极层(250)的下侧设置下侧突出部(240)。更为理想的是,在其角部上设置应力缓冲用绝缘壁或应力缓冲用突出部。



ISSN 1008-4274

知识产权出版社出版

权 利 要 求 书

1. 一种半导体装置, 其特征在于:

具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜
5 (100a) 的焊区电极 (101),

上述下敷膜 (100a) 的材料是比上述电极材料硬的材料, 露出上述焊区部的上表面的至少一部分以便与布线接触,

上述焊区电极 (101) 的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作
10 成园角的大致多角形的组合构成的组中选出的平面形状,

上述焊区电极 (101) 包含部分地朝向下方突出的下侧突出部 (150),

上述下侧突出部 (150) 的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角
15 或作成园角的大致多角形的组合构成的组中选出的平面形状,

2. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述下侧突出部 (150) 包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁 (311),

3. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述下侧突出部 (150) 包含在其角部区域中突出的应力缓冲用突出部 (400).
20

4. 一种半导体装置, 其特征在于:

具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜
25 (100a) 的焊区电极 (101),

上述下敷膜 (100a) 的材料是比上述电极材料硬的材料, 露出上述焊区部的上表面的至少一部分以便与布线接触,

上述焊区电极 (101) 的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作
30 成园角的大致多角形的组合构成的组中选出的平面形状,

上述焊区电极 (101) 包含由上述电极材料构成的主电极层和与上述主电极层的上侧相接的上侧电极层 (201),

上述上侧电极层(201)的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

5. 如权利要求4中所述的半导体装置, 其特征在于:

5 上述主电极层包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁(321)。

6. 如权利要求5中所述的半导体装置, 其特征在于:

上述主电极层包含在其角部区域中突出的应力缓冲用突出部(420)。

10 7. 一种半导体装置, 其特征在于:

具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜(100a)的焊区电极(101),

15 上述下敷膜(100a)的材料是比上述电极材料硬的材料, 露出上述焊区部的上表面的至少一部分以便与布线接触,

上述焊区电极(101)的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状,

20 上述焊区电极(101)包含由上述电极材料构成的主电极层和在上述主电极层的下侧经具有在上述主电极层的平面形状的外周的内侧附近沿上述外周的形状的外周的连接孔(251)连接的下侧电极层(250),

25 上述下侧电极层(250)和上述连接孔(251)的至少一方的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

8. 如权利要求7中所述的半导体装置, 其特征在于:

上述下侧电极层(250)和上述连接孔(251)的至少一方包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁(331)。

30 9. 如权利要求7中所述的半导体装置, 其特征在于:

上述下侧电极层(250)和上述连接孔(251)的至少一方包含在其角部区域中突出的应力缓冲用突出部(440)。

10. 如权利要求 7 中所述的半导体装置，其特征在于：

上述下侧电极层（250）具有部分地朝向下方突出的下侧突出部（240），上述下侧突出部（240）的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行
5 倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

11. 如权利要求 10 中所述的半导体装置，其特征在于：

上述下侧突出部（240）包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁（341）。

12. 如权利要求 10 中所述的半导体装置，其特征在于：

10 上述下侧突出部（240）包含在其角部区域中分割上述焊区部的应力缓冲用突出部（450）。

说明书

半导体装置及其制造方法

本发明涉及半导体装置及其制造方法，特别是涉及具有作为连接
5 半导体衬底上的半导体元件与外部端子用的电极被使用的焊区
(pad) 电极的结构的的半导体装置及其制造方法。

在半导体装置中，要求减少布线延迟（减少布线电阻）或增加布
线容许电流，以实现器件的高速化、高性能化，正逐渐使用以电阻更
低、可靠性更高的铜为主要成分的布线，来代替现有的以铝为主要成
10 分的布线。

通常使用最上层的金属布线，与布线同时地形成焊区电极，利用
直接将引线键合到该部分上的引线键合法或在形成了凸点电极那样的
连接电极后经该连接电极连接的倒装芯片法等的方法，与外部端子
进行了连接。再有，由于作为布线的材料使用的铜缺乏干法刻蚀中的
15 微细加工性，故在布线的形成中主要使用了采用化学机械研磨（CMP）
法的埋入布线（镶嵌）法。因此，通常也利用埋入布线法形成键合焊
区电极。

在图 122A、B 中示出使用了这样的铜布线的现有的半导体装置的
剖面结构。

20 如图 122B 中所示，在半导体衬底 1 上形成元件隔离绝缘膜 2、栅
绝缘膜 3、栅电极 4、杂质扩散层 5，构成了 MOS（金属氧化物半导体）
晶体管 6。进而，在其上侧形成了基底绝缘膜 7，从包含第 1 布线槽 9
的第 1 金属（W）的布线层 10 朝下以贯通基底绝缘膜 7 的形状构成了
接触孔 8。再者，在基底绝缘膜 7 的上侧形成了第 1 层间绝缘膜 11，
25 从包含第 2 布线槽 13 的第 2 金属（Cu）的布线层 14 朝下以贯通第 1
层间绝缘膜 11 的形状构成了第 1 通孔 12。再者，在第 1 层间绝缘膜
11 的上侧形成了第 2 层间绝缘膜 15，从包含第 3 布线槽 17 的第 3 金
属（Cu）的布线层 18 朝下以贯通第 2 层间绝缘膜 15 的形状构成了第
2 通孔 16。第 3 金属（Cu）布线层 18 的一部分成为焊区电极 19。保
30 护绝缘膜 20、缓冲覆盖膜 21 覆盖在第 2 层间绝缘膜 15 的上侧，但在
与焊区电极 19 对应的部位上，作为焊区电极开口部 22 成为焊区电极
19 露出的形状。

此外，参照图 123~132 说明图 122A、B 中示出的现有的半导体装置的制造方法。

在该例中，作为布线层是重叠了钨 (W) 布线与 2 层的铜 (Cu) 的 3 层金属布线结构，用最上层的铜布线形成了焊区电极。再有，此时作为例子示出了利用被称为双镶嵌 (Dual Damascene) 法形成各自的金属布线层的情况，在该方法中，在预先形成了连接孔和布线槽且在其中埋入了金属膜后，利用化学机械研磨 (CMP) 法进行研磨、除去不需要的部分的金属膜。

如图 123 中所示，在半导体衬底 1 上形成由元件隔离绝缘膜 2、栅绝缘膜 3、栅电极 4、杂质扩散层 5 构成的 MOS 晶体管等的半导体元件 6。其次，在半导体元件 6 的整个面上，利用热 CVD (化学汽相淀积) 法或等离子 CVD 法等的方法淀积由绝缘膜 7a、作为布线槽加工时的刻蚀中止层的氮化硅膜 (SiN) 7b、形成布线槽用的氧化硅膜 (SiO) 等的绝缘膜 7c 构成的 3 层结构的基底绝缘膜 7，其中，上述绝缘膜 7a 由氧化硅膜 (SiO)、包含磷 (P) 或硼 (B) 等的杂质元素的氧化硅膜构成。

如图 124 中所示，使用照相制版、刻蚀技术，在基底绝缘膜 7 的所需要的部分上形成接触孔 8 和第 1 布线槽 9。此时，由于氮化硅膜 (SiN) 7b 的对于氧化硅膜 7c 的刻蚀选择比高，故起到加工第 1 布线槽 9 时的中止膜的作用。

如图 125 中所示，在整个面上淀积阻挡金属膜 10a 和钨 (W) 膜 10b，以便填埋接触孔 8 和第 1 布线槽 9。作为阻挡金属膜 10a，可使用例如 5~50nm 的钛 (Ti) 与 10~100nm 的氮化钛 (TiN) 的层叠膜，以便得到与半导体元件 6 的杂质扩散区 5 的良好的欧姆接触，利用 PVD (物理汽相淀积) 法或 CVD 法来淀积。另一方面，采用利用六氟化钨 (WF₆) 与氢 (H₂) 的还原反应的热 CVD 法来淀积钨 (W) 膜 10b。

如图 126 中所示，采用例如使用了以过氧化氢水 (H₂O₂) 为基础的氧化铝的研磨剂的化学机械研磨 (CMP) 法除去接触孔 8 和第 1 布线槽 9 以外的钨膜 10b、阻挡金属 (TiN/Ti) 10a，形成第 1 埋入金属 (W) 布线层 10。钨布线层 10 的膜厚通常为 100~300nm。

如图 127 中所示，在第 1 金属 (W) 布线层 10 上，利用等离子 CVD 法等的方法淀积由氧化硅膜 (SiO) 等的绝缘膜 11a、氮化硅膜 (SiN)

11b、氧化硅膜(SiO)等的绝缘膜11c构成的3层结构的第1层间绝缘膜11。再者,使用照相制版、刻蚀技术,在第1层间绝缘膜11的所需要的部分上形成第1通孔12和第2布线槽13。

如图128中所示,在整个面上淀积下敷膜14a和铜(Cu)膜14b、
5 14c,以便填埋第1通孔12和第2布线槽13。下敷膜14a具有防止铜(Cu)扩散到周围的氧化硅膜等的绝缘膜中的作用,通常使用PVD法或CVD法以约10~100nm的厚度来淀积钽(Ta)膜、氮化钽(TaN)膜、钽与氮化钽的层叠膜(TaN/Ta)膜、氮化钛(TiN)膜、钛(Ti)与氮化钛的层叠膜(TiN/Ti)等。再者,在用PVD法或CVD法在整个
10 面上淀积了铜籽(seed)膜14b作为电解电镀的下敷膜后,例如利用使用了以硫酸铜为主要成分的电镀液的电解电镀法,以约500~1000nm的厚度在整个面上淀积铜电镀膜14c。

如图129中所示,采用例如使用了以过氧化氢水(H₂O₂)为基础的氧化铝的研磨剂的化学机械研磨(CMP)法除去第1通孔12和第2
15 布线槽13以外的铜(Cu)膜14c、14b、下敷膜14a,形成第2埋入金属(Cu)布线层14。铜布线层的膜厚由用途来决定,但通常约为300~500nm。

如图130中所示,利用等离子CVD法等的方法淀积由氮化硅膜15a、氧化硅膜等绝缘膜15b、氮化硅膜15c、氧化硅膜等绝缘膜15d
20 构成的4层结构的第2层间绝缘膜15。使用照相制版、刻蚀技术,在第2层间绝缘膜15的所需要的部分上形成第2通孔16和第3布线槽17。利用与上述相同的方法,在整个面上以约1.5μm~3.0μm淀积下敷膜18a和铜(Cu)膜18b、铜电镀膜18c,以便填埋第2通孔16和第3布线槽17后,用化学机械研磨法除去第2通孔16和第3布线槽
25 17以外的铜膜18c、18b、下敷膜18a,形成第3埋入金属(Cu)布线层18。再有,也同时形成在最上层的金属布线层中与外部端子连接用的焊区电极19。作为最上层的金属布线层,考虑引线键合性,通常可使用约0.8μm~1.5μm的比较厚的膜的金属(Cu)布线。

如图131中所示,在第3金属(Cu)布线层18上淀积了作为铜
30 (Cu)的防止扩散层的致密的氮化硅膜(SiN)20a后,以约1.0μm淀积氮化硅膜(SiN)、氧化硅膜(SiO)、硅氧化氮化膜(SiON)或这些膜的层叠结构膜等的保护绝缘膜20b。再有,因为作为保护绝缘

膜 20b 使用的氮化硅膜 (SiN) 必须降低膜应力以便减少半导体衬底的翘曲或为了防止对金属布线施加过度的负载, 必须, 故其膜密度比作为铜的防止扩散层使用的氮化硅膜 (SiN) 20a 的膜密度小。再者, 根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 10\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 21, 为了利用引线键合法等的方法与外部端子 (未图示) 连接, 在焊区电极 19 的所希望的部分上设置开口部 22。

如图 132 中所示, 将半导体衬底 1 分割为各个芯片, 利用树脂或焊锡等将这些芯片的背面粘接到 (未图示) 引线框或安装基板上, 其后, 利用超声波或热压接等的方法将金 (Au) 或铜 (Cu) 引线 23 键合到焊区电极开口部 22 的已露出的铜布线层的部分上, 在焊区电极 19 与键合引线 23 的连接界面上形成金属间化合物层 (在 Cu 焊区电极和 Au 引线的情况下) 或相互扩散膜 (在 Cu 焊区电极和 Cu 引线的情况下) 24。最后, 通过用模塑树脂 25 来密封整体, 可得到现有的半导体装置。

但是, 在利用上述的方法形成的埋入布线结构中形成了焊区电极的情况下, 在焊区电极 61 的底面和侧壁上存在硬的下敷膜 61a, 由于其与包围焊区电极 61 的周围的绝缘膜层牢固地接合, 故如图 134、图 135 中所示, 在引线键合时施加的负载或冲击力直接被传递到周围的绝缘膜层上, 存在绝缘膜层中容易发生裂纹的问题。

例如, 如图 133 中所示, 在利用由于法刻蚀法构图那样的方法形成了焊区电极 51 的情况下, 在焊区电极 51 的侧面上没有硬的下敷膜 51a, 覆盖焊区电极 51 的侧壁的保护绝缘膜 52 的膜厚也较薄。此外, 在其上的聚酰亚胺等的缓冲覆盖膜 53 的机械的弹性较大。因此, 在将引线 55 键合到焊区电极 51 上时, 由于即使施加负载或冲击力 56、57, 焊区电极 51 在横向也只发生很小的变形, 起到对其进行缓冲的作用, 故在层间绝缘膜 50 或保护绝缘膜 52 中不会发生裂纹。

另一方面, 如图 134 中所示, 在利用镶嵌法那样的埋入布线工艺形成的焊区电极 61 的情况下, 在焊区电极 61 的底面和侧壁上都有硬的下敷膜 61a, 其与在一个面上覆盖了焊区电极 61 的周围的层间绝缘膜 60 牢固地接合。因此, 在将引线 65 键合到焊区电极 61 上时, 如果施加负载或冲击力 66、67, 则该负载或冲击力直接被传递到周围的层间绝缘膜 60 上。特别是, 在焊区电极 61 的角部 68 引起应力 (冲

击力)集中,发生层间绝缘膜60的裂纹69,存在键合引线65的剥离或强度下降、或可靠性方面的不良情况的问题。

再有,即使在焊区电极上设置了凸点电极等的连接用电极的情况下,由于在与外部端子的键合时经凸点电极施加负载或冲击力,故与
5 上述同样,存在层间绝缘膜中发生裂纹的问题。

因此,本发明的目的在于提供一种具有即使在将外部端子键合到焊区电极上时经焊区电极施加负载或冲击力、在周围的绝缘膜层中也难以发生裂纹的焊区电极的半导体装置。

为了达到上述目的,在基于本发明的半导体装置的一个方面中,
10 具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜的焊区电极,上述下敷膜的材料是比上述电极材料硬的材料,露出上述焊区部的上表面的至少一部分以便与布线接触,上述焊区电极的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和
15 对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状,上述焊区电极包含部分地朝向下方突出的下侧突出部,上述下侧突出部的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

20 通过采用上述结构,由于在焊区电极上增加下侧突出部,焊区电极的有效厚度变大,故可缓和引线键合时的冲击力。此外,由于下侧突出部的形状为上述平面形状,故可缓和朝向下方突出部的角部的应力集中。因而,可在能充分地确保与外部端子的连接强度的条件下稳定地进行引线键合。

25 此外,在基于本发明的半导体装置的另一个方面中,具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜的焊区电极,上述下敷膜的材料是比上述电极材料硬的材料,露出上述焊区部的上表面的至少一部分以便与布线接触,上述焊区电极的平面形状是从由大致圆形、大致椭圆形、至少1个内角比 90° 大的大致多角形和对至少一个
30 角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状,上述焊区电极包含由上述电极材料构成的主电极层和与上述

主电极层的上侧相接的上侧电极层，上述上侧电极层的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

5 通过采用上述结构，由于焊区电极成为主电极层与上侧电极层 201 的 2 片重叠结构，有效厚度变大，故可缓和引线键合时的冲击力。此外，由于将主电极层和上侧电极层 201 的形状都作成上述平面形状，故可缓和朝向角部的应力集中。因而，可防止在层间绝缘膜中发生裂纹。

10 此外，在基于本发明的半导体装置的另一个方面中，具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜的焊区电极，上述下敷膜的材料是比上述电极材料硬的材料，露出上述焊区部的上表面的至少一部分以便与布线接触，上述焊区电极的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状，上述焊区电极包含由上述电极材料构成的主电极层和在上述主电极层的下侧经具有在上述主电极层的平面形状的外周的内侧附近沿上述外周的形状的外周的连接孔连接的下侧电极层，上述下侧电极层和上述连接孔的至少一方的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

25 通过采用上述结构，焊区电极的有效厚度增加，可缓和引线键合时的冲击力。此外，由于与四角形的情况相比可大幅度地减少朝向应力容易集中的下侧电极层或连接孔的角部的应力集中。因而，可防止在层间绝缘膜中发生裂纹。

30 在本发明中，较为理想的是，上述下侧电极层具有部分地朝向下方突出的下侧突出部，上述下侧突出部的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形的组合构成的组中选出的平面形状。

通过采用上述结构，焊区电极的有效厚度进一步增加，可缓和引

线键合时的朝向下侧电极层的角部的应力集中。因而，可防止在层间绝缘膜中发生裂纹。

在基于本发明的半导体装置的另一个方面中，具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜的焊区电极，上述下敷膜的材料是比上述电极材料硬的材料，露出上述焊区部的上表面的至少一部分以便与布线接触，上述焊区电极包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁。

通过采用上述结构，即使在引线键合等时施加负载或冲击力，在容易引起应力集中的焊区电极角部上通过应力缓冲用绝缘壁 301 发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止在焊区电极角部的层间绝缘膜中发生裂纹。

在本发明中，较为理想的是，上述下侧突出部包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁。

通过采用上述结构，即使在引线键合等时施加负载或冲击力，在容易引起应力集中的下侧电极层的角部上通过应力缓冲用绝缘壁发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止在下侧电极层的角部的层间绝缘膜中发生裂纹。

在本发明中，较为理想的是，上述主电极层包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁。

通过采用上述结构，即使在引线键合等时施加负载或冲击力，在容易引起应力集中的主电极层的角部上通过应力缓冲用绝缘壁发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止在主电极层附近的层间绝缘膜中发生裂纹。

在本发明中，较为理想的是，上述下侧电极层和上述连接孔的至少一方包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁。

通过采用上述结构，即使在引线键合等时施加负载或冲击力，在容易引起应力集中的下侧电极层或连接孔的角部上通过应力缓冲用绝缘壁发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层

间绝缘膜施加小的应力（冲击力）。因而，可防止下侧电极层或连接孔附近的层间膜裂纹。

在本发明中，较为理想的是，上述下侧突出部包含在其角部区域中分割上述焊区部的应力缓冲用绝缘壁。

- 5 通过采用上述结构，在下侧电极层的下侧突出部的角部上通过应力缓冲用绝缘壁发生微小的弹性变形来缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧突出部附近的层间膜裂纹。

- 10 在基于本发明的半导体装置的另一个方面中，具备包含实质上由导电性的电极材料构成的焊区部和在该焊区部的至少底面和侧面上覆盖上述焊区部的至少一部分的下敷膜的焊区电极，上述下敷膜的材料是比上述电极材料硬的材料，露出上述焊区部的上表面的至少一部分以便与布线接触，上述焊区电极包含在其角部区域中突出的应力缓冲用突出部。

- 15 通过采用上述结构，即使由于引线键合等，对焊区电极 101 施加负载或冲击力，特别是在容易引起应力集中的焊区电极角部上通过应力缓冲用突出部发生微小的弹性变形来起到缓冲应力（冲击力）的作用，因此，只对该附近部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止焊区电极 101 的角部的层间膜裂纹。

- 20 在本发明中，较为理想的是，上述下侧突出部包含在其角部区域中突出的应力缓冲用突出部。

- 25 通过采用上述结构，即使在引线键合等时对焊区电极施加负载或冲击力，特别是在容易引起应力集中的下侧突出部的角部上通过应力缓冲用突出部发生微小的弹性变形来起到缓冲应力（冲击力）的作用，因此，只对该附近部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧突出部的角部的层间膜裂纹。

在本发明中，较为理想的是，上述主电极层包含在其角部区域中突出的应力缓冲用突出部。

- 30 通过采用上述结构，即使在引线键合等时对焊区电极施加负载或冲击力，特别是在容易引起应力集中的主电极层的角部上通过应力缓冲用突出部发生微小的弹性变形来起到缓冲应力（冲击力）的作用，因此，只对该附近部分的层间绝缘膜施加小的应力（冲击力）。因而，

可防止主电极层的角部的层间膜裂纹。

在本发明中，较为理想的是，上述下侧电极层和上述连接孔的至少一方包含在其角部区域中突出的应力缓冲用突出部。

通过采用上述结构，即使在引线键合等时对焊区电极施加负载或冲击力，特别是在容易引起应力集中的下侧电极层或连接孔的角部上通过应力缓冲用突出部发生微小的弹性变形来起到缓冲应力（冲击力）的作用，因此，只对该附近部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧电极层或连接孔的角部的层间膜裂纹。

在本发明中，较为理想的是，上述下侧突出部包含在其角部区域中突出的应力缓冲用突出部。

通过采用上述结构，即使在引线键合等时对焊区电极施加负载或冲击力，特别是在容易引起应力集中的下侧电极层的下侧突出部的角部上通过应力缓冲用突出部发生微小的弹性变形来起到缓冲应力（冲击力）的作用，因此，只对该附近部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧电极层的下侧突出部的角部的层间膜裂纹。

在基于本发明的半导体装置的制造方法的一个方面包含：形成凹部的凹部形成工序，该凹部的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形以及包含这些至少一部分的形狀的组合构成的组中选出的平面形状；下敷膜形成工序，在上述凹部的内表面上形成至少覆盖一部分的下敷膜；以及焊区部形成工序，在被上述绝缘膜覆盖了的上述凹部中埋入导电性的电极材料，上述凹部形成工序包含形成第 1 凹部的工序以及在上述第 1 凹部的一部分中形成凹陷更深的第 2 凹部的工序。

通过采用上述方法，由于形成具有上述平面形状且包含下侧突出部的焊区部，故可得到能防止层间绝缘膜的裂纹的发生的半导体装置。

在基于本发明的半导体装置的制造方法的另一个方面包含：形成凹部的凹部形成工序，该凹部的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形以及包含这些至少一部分的形狀的组合构成的组中选出的平面形状；下敷膜形成工序，在上述凹部的内表面上

形成至少覆盖一部分的下敷膜；以及焊区部形成工序，在被上述绝缘膜覆盖了的上述凹部中埋入导电性的电极材料，上述凹部形成工序包含形成成为焊区部本体的凹部本体的工序和在其角部区域中形成用于形成应力缓冲用绝缘壁的绝缘壁凹部的工序。

- 5 通过采用上述方法，由于形成具有上述平面形状且包含应力缓冲用绝缘壁的焊区部，故可得到能防止层间绝缘膜的裂纹的发生的半导体装置。

- 在基于本发明的半导体装置的制造方法的另一个方面包含：形成凹部的凹部形成工序，该凹部的平面形状是从由大致圆形、大致椭圆形、至少 1 个内角比 90° 大的大致多角形和对至少一个角部进行倒角或作成园角的大致多角形以及包含这些至少一部分的形狀的组合构成的组中选出的平面形状；下敷膜形成工序，在上述凹部的内表面上形成至少覆盖一部分的下敷膜；以及焊区部形成工序，在被上述绝缘膜覆盖了的上述凹部中埋入导电性的电极材料，上述凹部形成工序包含形成成为焊区部本体的凹部本体的工序和在形成用于形成在其角部区域中突出的应力缓冲用突出部的缓冲用凹部的工序。
- 10 15

通过采用上述方法，由于形成具有上述平面形状且包含应力缓冲用突出部的焊区部，故可得到能防止层间绝缘膜的裂纹的发生的半导体装置。

- 20 本发明的其他特征、优点在结合以下附图的描述中将变得显而易见。

图 1A 是基于本发明的实施例 1 中的半导体装置的平面图，图 1B 是其剖面图。

- 图 2 是示出基于本发明的实施例 1 中的半导体装置的制造方法的第 1 工序的说明图。
- 25

图 3 是示出基于本发明的实施例 1 中的半导体装置的制造方法的第 2 工序的说明图。

图 4 是说明对基于本发明的实施例 1 中的半导体装置的冲击力的传递的剖面图。

- 图 5 是说明对基于本发明的实施例 1 中的半导体装置的冲击力的传递的平面图。
- 30

图 6 是说明对基于本发明的实施例 1 中的半导体装置的冲击力的

传递的局部放大图。

图 7 是基于本发明的实施例 1 中的半导体装置的主要部分的剖面图。

5 图 8 是基于本发明的实施例 1 中的半导体装置的另一第 1 例的主要部分的平面图。

图 9 是基于本发明的实施例 1 中的半导体装置的另一第 2 例的主要部分的平面图。

图 10 是基于本发明的实施例 1 中的半导体装置的另一第 3 例的主要部分的平面图。

10 图 11A 是基于本发明的实施例 2 中的半导体装置的平面图, 图 11B 是其剖面图。

图 12 是示出基于本发明的实施例 2 中的半导体装置的制造方法的第 1 工序的说明图。

15 图 13 是示出基于本发明的实施例 2 中的半导体装置的制造方法的第 2 工序的说明图。

图 14 是基于本发明的实施例 2 中的半导体装置的主要部分的剖面图。

图 15 是基于本发明的实施例 2 中的半导体装置的另一第 1 例的主要部分的平面图。

20 图 16 是基于本发明的实施例 2 中的半导体装置的另一第 2 例的主要部分的平面图。

图 17 是基于本发明的实施例 2 中的半导体装置的另一第 3 例的主要部分的平面图。

25 图 18 是基于本发明的实施例 2 中的半导体装置的另一第 4 例的主要部分的平面图。

图 19A 是基于本发明的实施例 3 中的半导体装置的平面图, 图 19B 是其剖面图。

图 20 是示出基于本发明的实施例 3 中的半导体装置的制造方法的第 1 工序的说明图。

30 图 21 是示出基于本发明的实施例 3 中的半导体装置的制造方法的第 2 工序的说明图。

图 22 是基于本发明的实施例 3 中的半导体装置的主要部分的剖

面图。

图 23 是基于本发明的实施例 3 中的半导体装置的另一第 1 例的主要部分的平面图。

5 图 24 是基于本发明的实施例 3 中的半导体装置的另一第 2 例的主要部分的平面图。

图 25 是基于本发明的实施例 3 中的半导体装置的另一第 3 例的主要部分的平面图。

图 26 是基于本发明的实施例 3 中的半导体装置的另一第 4 例的主要部分的平面图。

10 图 27A 是基于本发明的实施例 4 中的半导体装置的平面图, 图 27B 是其剖面图。

图 28 是示出基于本发明的实施例 4 中的半导体装置的制造方法的第 1 工序的说明图。

15 图 29 是示出基于本发明的实施例 4 中的半导体装置的制造方法的第 2 工序的说明图。

图 30 是示出基于本发明的实施例 4 中的半导体装置的制造方法的第 3 工序的说明图。

图 31 是基于本发明的实施例 4 中的半导体装置的主要部分的剖面图。

20 图 32 是基于本发明的实施例 4 中的半导体装置的另一第 1 例的主要部分的平面图。

图 33 是基于本发明的实施例 4 中的半导体装置的另一第 2 例的主要部分的平面图。

25 图 34 是基于本发明的实施例 4 中的半导体装置的另一第 3 例的主要部分的平面图。

图 35 是基于本发明的实施例 4 中的半导体装置的另一第 4 例的主要部分的平面图。

图 36A 是基于本发明的实施例 5 中的半导体装置的平面图, 图 36B 是其剖面图。

30 图 37 是示出基于本发明的实施例 5 中的半导体装置的制造方法的第 1 工序的说明图。

图 38 是示出基于本发明的实施例 5 中的半导体装置的制造方法

的第 2 工序的说明图。

图 39 是示出基于本发明的实施例 5 中的半导体装置的制造方法的第 3 工序的说明图。

5 图 40 是基于本发明的实施例 5 中的半导体装置的主要部分的剖面图。

图 41 是基于本发明的实施例 5 中的半导体装置的另一第 1 例的主要部分的平面图。

图 42 是基于本发明的实施例 5 中的半导体装置的另一第 2 例的主要部分的平面图。

10 图 43 是基于本发明的实施例 5 中的半导体装置的另一第 3 例的主要部分的平面图。

图 44 是基于本发明的实施例 5 中的半导体装置的另一第 4 例的主要部分的平面图。

15 图 45A 是基于本发明的实施例 6 中的半导体装置的平面图, 图 45B 是关于图 45A 的 XLVB - XLVB 线的失视剖面图, 图 45C 是其剖面图。

图 46 是说明对基于本发明的实施例 6 中的半导体装置的冲击力的传递的剖面图。

图 47 是说明对基于本发明的实施例 6 中的半导体装置的冲击力的传递的平面图。

20 图 48 是基于本发明的实施例 6 中的半导体装置的主要部分的、关于图 49 的 XLVIII - XLVIII 线的失视剖面图。

图 49 是基于本发明的实施例 6 中的半导体装置的另一第 1 例的主要部分的平面图。

25 图 50 是基于本发明的实施例 6 中的半导体装置的另一第 2 例的主要部分的平面图。

图 51 是基于本发明的实施例 6 中的半导体装置的另一第 3 例的主要部分的平面图。

图 52A 是基于本发明的实施例 6 中的半导体装置的另一第 4 例的主要部分的平面图, 图 52B 是图 52A 的 LIIB - LIIB 线的失视剖面图。

30 图 53A 是基于本发明的实施例 6 中的半导体装置的另一第 5 例的主要部分的平面图, 图 53B 是图 53A 的 LIIB - LIIB 线的失视剖面图。

图 54A 是基于本发明的实施例 7 中的半导体装置的平面图, 图 54B 是关于图 54A 的 XLVB-XLVB 线的矢视剖面图, 图 54C 是其剖面图。

图 55 是基于本发明的实施例 7 中的半导体装置的主要部分的、关于图 49 的 XLVIII-XLVIII 线的矢视剖面图。

5 图 56 是基于本发明的实施例 7 中的半导体装置的另一第 1 例的主要部分的平面图。

图 57 是基于本发明的实施例 7 中的半导体装置的另一第 2 例的主要部分的平面图。

10 图 58 是基于本发明的实施例 7 中的半导体装置的另一第 3 例的主要部分的平面图。

图 59A 是基于本发明的实施例 7 中的半导体装置的另一第 4 例的主要部分的平面图, 图 59B 是图 59A 的 LIXB-LIXB 线的矢视剖面图。

图 60A 是基于本发明的实施例 7 中的半导体装置的另一第 5 例的主要部分的平面图, 图 60B 是图 60A 的 LXB-LXB 线的矢视剖面图。

15 图 61A 是基于本发明的实施例 8 中的半导体装置的平面图, 图 61B 是关于图 61A 的 LXIB-LXIB 线的矢视剖面图, 图 61C 是其剖面图。

图 62 是基于本发明的实施例 8 中的半导体装置的主要部分的、关于图 63 的 LXII-LXII 线的矢视剖面图。

20 图 63 是基于本发明的实施例 8 中的半导体装置的另一第 1 例的主要部分的平面图。

图 64 是基于本发明的实施例 8 中的半导体装置的另一第 2 例的主要部分的平面图。

图 65 是基于本发明的实施例 8 中的半导体装置的另一第 3 例的主要部分的平面图。

25 图 66A 是基于本发明的实施例 8 中的半导体装置的另一第 4 例的主要部分的平面图, 图 66B 是图 66A 的 LIXB-LIXB 线的矢视剖面图。

图 67A 是基于本发明的实施例 8 中的半导体装置的另一第 5 例的主要部分的平面图, 图 67B 是图 67A 的 LXVIIB-LXVIIB 线的矢视剖面图。

30 图 68A 是基于本发明的实施例 9 中的半导体装置的平面图, 图 68B 是关于图 68A 的 LXIIIB-LXIIIB 线的矢视剖面图, 图 68C 是其剖面图。

图 69 是基于本发明的实施例 9 中的半导体装置的主要部分的、关于图 70 的 LXIX - LXIX 线的失视剖面图。

图 70 是基于本发明的实施例 9 中的半导体装置的另一第 1 例的主要部分的平面图。

5 图 71 是基于本发明的实施例 9 中的半导体装置的另一第 2 例的主要部分的平面图。

图 72 是基于本发明的实施例 9 中的半导体装置的另一第 3 例的主要部分的平面图。

10 图 73A 是基于本发明的实施例 9 中的半导体装置的另一第 4 例的主要部分的平面图，图 73B 是图 73A 的 LXXIIIB - LXXIIIB 线的失视剖面图。

图 74A 是基于本发明的实施例 9 中的半导体装置的另一第 5 例的主要部分的平面图，图 74B 是图 74A 的 LXXIVB - LXXIVB 线的失视剖面图。

15 图 75A 是基于本发明的实施例 9 中的半导体装置的另一第 6 例的主要部分的平面图，图 75B 是关于图 75A 的 LXXVIB - LXXVIB 线的失视剖面图。

20 图 76A 是基于本发明的实施例 9 中的半导体装置的另一第 7 例的主要部分的平面图，图 76B 是关于图 76A 的 LXXVIB - LXXVIB 线的失视剖面图。

图 77A 是基于本发明的实施例 10 中的半导体装置的平面图，图 77B 是关于图 77A 的 LXXVIIIB - LXXVIIIB 线的失视剖面图，图 77C 是其剖面图。

25 图 78 是基于本发明的实施例 10 中的半导体装置的主要部分的、关于图 79 的 LXXVIII - LXXVIII 线的失视剖面图。

图 79 是基于本发明的实施例 10 中的半导体装置的另一第 1 例的主要部分的平面图。

图 80 是基于本发明的实施例 10 中的半导体装置的另一第 2 例的主要部分的平面图。

30 图 81 是基于本发明的实施例 10 中的半导体装置的另一第 3 例的主要部分的平面图。

图 82A 是基于本发明的实施例 10 中的半导体装置的另一第 4 例

的主要部分的平面图，图 82B 是图 82A 的 LXXXIIB - LXXXIIB 线的矢视剖面图。

图 83A 是基于本发明的实施例 10 中的半导体装置的另一第 5 例的主要部分的平面图，图 83B 是图 83A 的 LXXXIIB - LXXXIIB 线的矢视剖面图。

图 84A 是基于本发明的实施例 10 中的半导体装置的另一第 6 例的主要部分的平面图，图 84B 是关于图 84A 的 LXXXIVB - LXXXIVB 线的矢视剖面图。

图 85A 是基于本发明的实施例 10 中的半导体装置的另一第 7 例的主要部分的平面图，图 85B 是关于图 85A 的 LXXXVB - LXXXVB 线的矢视剖面图。

图 86A 是基于本发明的实施例 11 中的半导体装置的平面图，图 86B 是关于图 86A 的 LXXXVIB - LXXXVIB 线的矢视剖面图，图 86C 是其剖面图。

图 87 是说明对基于本发明的实施例 11 中的半导体装置的冲击力的传递的剖面图。

图 88 是说明对基于本发明的实施例 11 中的半导体装置的冲击力的传递的平面图。

图 89 是基于本发明的实施例 11 中的半导体装置的主要部分的、关于图 90 的 LXXXIX - LXXXIX 线的矢视剖面图。

图 90 是基于本发明的实施例 11 中的半导体装置的另一第 1 例的主要部分的平面图。

图 91 是基于本发明的实施例 11 中的半导体装置的另一第 2 例的主要部分的平面图。

图 92 是基于本发明的实施例 11 中的半导体装置的另一第 3 例的主要部分的平面图。

图 93A 是基于本发明的实施例 11 中的半导体装置的另一第 4 例的主要部分的平面图，图 93B 是图 93A 的 XCIIIB - XCIIIB 线的矢视剖面图。

图 94A 是基于本发明的实施例 12 中的半导体装置的平面图，图 94B 是关于图 94A 的 XCIVB - XCIVB 线的矢视剖面图，图 94C 是其剖面图。

图 95 是基于本发明的实施例 12 中的半导体装置的主要部分的、关于图 96 的 XCV - XCV 线的失视剖面图。

图 96 是基于本发明的实施例 12 中的半导体装置的另一第 1 例的主要部分的平面图。

5 图 97 是基于本发明的实施例 12 中的半导体装置的另一第 2 例的主要部分的平面图。

图 98 是基于本发明的实施例 12 中的半导体装置的另一第 3 例的主要部分的平面图。

10 图 99A 是基于本发明的实施例 12 中的半导体装置的另一第 4 例的主要部分的平面图，图 99B 是图 99A 的 XCIXB - XCIXB 线的失视剖面图。

图 100 是基于本发明的实施例 12 中的半导体装置的另一第 5 例的主要部分的平面图。

15 图 101A 是基于本发明的实施例 13 中的半导体装置的平面图，图 101B 是关于图 101A 的 CIB - CIB 线的失视剖面图，图 101C 是其剖面图。

图 102 是基于本发明的实施例 13 中的半导体装置的主要部分的、关于图 103 的 CII - CII 线的失视剖面图。

20 图 103 是基于本发明的实施例 13 中的半导体装置的另一第 1 例的主要部分的平面图。

图 104 是基于本发明的实施例 13 中的半导体装置的另一第 2 例的主要部分的平面图。

25 图 105A 是基于本发明的实施例 13 中的半导体装置的另一第 3 例的主要部分的平面图，图 105B 是图 105A 的 CVB - CVB 线的失视剖面图。

图 106A 是基于本发明的实施例 13 中的半导体装置的另一第 4 例的主要部分的平面图，图 106B 是图 106A 的 CVIB - CVIB 线的失视剖面图。

30 图 107A 是基于本发明的实施例 13 中的半导体装置的另一第 5 例的主要部分的平面图，图 107B 是图 107A 的 CVIIB - CVIIB 线的失视剖面图。

图 108A 是基于本发明的实施例 14 中的半导体装置的平面图，图

108B 是关于图 108A 的 CVIIIB - CVIIIB 线的矢视剖面图, 图 108C 是其剖面图。

图 109 是基于本发明的实施例 14 中的半导体装置的主要部分的、关于图 110 的 CIX - CIX 线的矢视剖面图。

5 图 110 是基于本发明的实施例 14 中的半导体装置的另一第 1 例的主要部分的平面图。

图 111 是基于本发明的实施例 14 中的半导体装置的另一第 2 例的主要部分的平面图。

10 图 112A 是基于本发明的实施例 14 中的半导体装置的另一第 3 例的主要部分的平面图, 图 112B 是图 112A 的 CXIIB - CXIIB 线的矢视剖面图。

图 113A 是基于本发明的实施例 14 中的半导体装置的另一第 4 例的主要部分的平面图, 图 113B 是图 113A 的 CXIIIB - CXIIIB 线的矢视剖面图。

15 图 114A 是基于本发明的实施例 14 中的半导体装置的另一第 5 例的主要部分的平面图, 图 114B 是图 114A 的 CXIVB - CXIVB 线的矢视剖面图。

图 115A 是基于本发明的实施例 15 中的半导体装置的平面图, 图 115B 是关于图 115A 的 CXVB - CXVB 线的矢视剖面图, 图 115C 是其剖面图。

20 图 116 是基于本发明的实施例 15 中的半导体装置的主要部分的、关于图 117 的 CXVI - CXVI 线的矢视剖面图。

图 117 是基于本发明的实施例 15 中的半导体装置的另一第 1 例的主要部分的平面图。

25 图 118 是基于本发明的实施例 15 中的半导体装置的另一第 2 例的主要部分的平面图。

图 119 是基于本发明的实施例 15 中的半导体装置的另一第 3 例的主要部分的平面图。

30 图 120A 是基于本发明的实施例 15 中的半导体装置的另一第 4 例的主要部分的平面图, 图 120B 是图 120A 的 CXXB - CXXB 线的矢视剖面图。

图 121 是基于本发明的实施例 15 中的半导体装置的另一第 3 例

的主要部分的平面图。

图 122A 是基于现有技术的半导体装置，图 122B 是其剖面图。

图 123 是示出基于现有技术的半导体装置的制造方法的第 1 工序的说明图。

5 图 124 是示出基于现有技术的半导体装置的制造方法的第 2 工序的说明图。

图 125 是示出基于现有技术的半导体装置的制造方法的第 3 工序的说明图。

10 图 126 是示出基于现有技术的半导体装置的制造方法的第 4 工序的说明图。

图 127 是示出基于现有技术的半导体装置的制造方法的第 5 工序的说明图。

图 128 是示出基于现有技术的半导体装置的制造方法的第 6 工序的说明图。

15 图 129 是示出基于现有技术的半导体装置的制造方法的第 7 工序的说明图。

图 130 是示出基于现有技术的半导体装置的制造方法的第 8 工序的说明图。

20 图 131 是示出基于现有技术的半导体装置的制造方法的第 9 工序的说明图。

图 132 是示出基于现有技术的半导体装置的制造方法的第 10 工序的说明图。

图 133、图 134 是说明对基于现有技术的半导体装置的冲击力的传递的剖面图。

25 图 135 是说明对基于现有技术的半导体装置的冲击力的传递的平面图。

30 本发明的目的是，即使在利用作为铜布线等的形成方法使用的埋入布线法形成了的焊区电极中，即使在引线键合等的与外部端子的连接工序中施加负载或冲击力，在焊区电极的周围或角的绝缘膜中也难以发生裂纹。

(实施例 1)

在图 1A、B 中示出本实施例中的半导体装置的剖面结构图。

如图 1B 中所示, 在半导体衬底 1 上形成元件隔离绝缘膜 2、栅绝缘膜 3、栅电极 4、杂质扩散层 5, 构成了 MOS 晶体管 6。进而, 在其上侧形成了基底绝缘膜 7, 从包含第 1 布线槽 9 的第 1 金属 (W) 的布线层 10 朝下以贯通基底绝缘膜 7 的形状构成了接触孔 8。再者, 在基底绝缘膜 7 的上侧形成了第 1 层间绝缘膜 11, 从包含第 2 布线槽 13 的第 2 金属 (Cu) 的布线层 14 朝下以贯通第 1 层间绝缘膜 11 的形状构成了第 1 通孔 12。再者, 在第 1 层间绝缘膜 11 的上侧形成了第 2 层间绝缘膜 15, 从包含第 3 布线槽 17 的第 3 金属 (Cu) 的布线层 100 朝下以贯通第 2 层间绝缘膜 15 的形状构成了第 2 通孔 16。第 3 金属 (Cu) 布线层 100 的一部分成为焊区电极 101。保护绝缘膜 102、缓冲覆盖膜 103 覆盖在第 2 层间绝缘膜 15 的上侧, 但在与焊区电极 101 对应的部位上, 作为焊区电极开口部 104 成为焊区电极 101 露出的形状。

此外, 在图 2、图 3 中示出如图 1A、B 中示出的本实施例的半导体装置的制造方法。在根据现有技术形成了图 129 中示出的结构后, 如图 2 中所示, 在第 2 金属 (Cu) 的布线层 14 上, 利用等离子 CVD 法等的方法淀积由氮化硅膜 (SiN) 15a、氧化硅膜 (SiO) 等绝缘膜 15b、氮化硅膜 (SiN) 15c、氧化硅膜 (SiO) 等绝缘膜 15d 构成的 4 层结构的第 2 层间绝缘膜 15, 作为铜 (Cu) 的防止扩散层。

使用照相制版、刻蚀技术, 在第 2 层间绝缘膜 15 的所需要的部分上形成第 2 通孔 16 和第 3 布线槽 17。此时, 虽然同时在设置焊区电极的部分上形成凹部, 但形成内角比 90° 大的大致多角形、例如在图 1A 中示出的那样的八角形, 来代替现有的四角形。

利用与上述同样的方法, 在整个面上以约 $1.5\mu\text{m} \sim 3.0\mu\text{m}$ 淀积下敷膜 100a 和铜籽膜 100b、铜电镀膜 100c 以便填埋第 2 通孔 16 和第 3 布线槽 17 后, 用化学机械研磨法除去第 2 通孔 16 和第 3 布线槽 17 以外的铜膜 18c、18b、下敷膜 18a, 形成第 3 埋入金属 (Cu) 布线层 100、焊区电极 101。

再有, 考虑最上层的 (Cu) 布线层被进行引线键合, 故使用约 $0.8\mu\text{m} \sim 1.5\mu\text{m}$ 的比较厚的膜的金属布线。

在第 3 金属 (Cu) 布线层 100 上淀积了作为铜 (Cu) 的防止扩散层的致密的氮化硅膜 102a 后, 以约 $1.0\mu\text{m}$ 淀积氮化硅膜、氧化硅膜、

硅氧化氮化膜或这些膜的层叠结构膜等的保护绝缘膜 102b。再者，根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 10\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 103，为了利用引线键合法等的方法与外部端子（未图示）连接，在焊区电极 101 的所希望的部分上设置开口部 104。

5 如上所述，按照本发明的实施例，如图 4、图 5 中所示，由于将焊区电极 101 的形状作成正八角形，故在键合引线 105 时，即使施加负载或冲击力 106、107，如图 6A 中所示，与四角形的情况相比，也可大幅度地减少朝向焊区电极 101 的角部 108 的应力集中。因此，可防止在层间绝缘膜中发生裂纹。

10 因而，由于能在充分地确保与外部端子的连接强度的条件下进行键合，故具有下述效果：能稳定地且容易地进行连接，能以低成本得到高质量的半导体装置。此外，在缩小了必须相对地提高键合时的负载或冲击力的容许值的焊区电极的情况下也成为有效的方法。

15 再有，在图 1A 中，示出了焊区电极 101 的形状为正八角形的情况，但即使作成将所希望的部分的内角比 90° 大的多角形，也可得到同样的效果。

此外，在图 7 中示出剖面图，但也可在平面图中作成图 8 中示出的那种圆形的焊区电极或椭圆形的焊区电极、图 9 或图 10 中示出的那种在所希望的部分上形成园角或倒角的形状。再者，也可作成部分地采用或组合地采用这些形状的焊区电极的形状。

20 此外，在上述的实施例中，叙述了构成键合焊区电极的金属电极的主要的构成金属是铜的情况，但即使在同样的埋入布线工艺中形成的其它金属的情况下，也可得到同样的效果。例如，也可适用于包含铝或其合金的金属电极、包含金、银、铂等的贵金属的金属电极。

25 （实施例 2）

在上述实施例中，叙述了用最上层的金属（Cu）布线层形成了焊区电极、厚度是均匀的情况，但为了缓和键合时的负载或冲击力，即使部分地增加焊区电极的厚度、使该部分的主要的平面形状与实施例 1 相同、作成圆形、椭圆形、至少 1 个内角比 90° 大的多角形、对至少一个角部进行倒角或作成园角的多角形的某一种、或部分地或组合地应用这些形状，也可得到同样的效果。在图 11A、B 中示出这样的本发明的另一实施例的半导体装置。

如图 11B 中所示, 在焊区电极 101 中包含了下侧突出部 150。其它方面与图 1B 中示出的半导体装置相同。

此外, 在图 12、图 13 中示出图 11A、B 中示出的结构的制造方法。在形成了图 129 中示出的结构后, 如图 12 中所示, 在第 2 金属 (Cu) 的布线层 14 上, 利用等离子 CVD 法等的方法淀积由氮化硅膜 15a、氧化硅膜等绝缘膜 15b、氮化硅膜 15c、氧化硅膜等绝缘膜 15d 构成的 4 层结构的第 2 层间绝缘膜 15, 作为铜 (Cu) 的防止扩散层。

使用照相制版、刻蚀技术, 在第 2 层间绝缘膜 15 的所需要的部分上形成第 2 通孔 16 和第 3 布线槽 17。此时, 在第 2 通孔形成时, 在焊区电极形成区域的一部分上同时形成凹部 150, 但将凹部的平面形状作成内角比 90° 大的多角形, 例如如图 11A 中所示, 作成正八角形。此外, 在布线槽形成时, 在设置焊区电极的部分上也形成布线槽, 但其形状也与实施例 1 同样, 作成内角比 90° 大的多角形, 例如作成正八角形。

利用与上述同样的方法, 在整个面上淀积下敷膜 100a 和铜籽膜 100b、铜电镀膜 100c 以便填埋第 2 通孔 16、第 3 布线槽 17 (包含焊区电极形成部) 和焊区电极形成区域的凹部 150 后, 用化学机械研磨法除去第 2 通孔 16、第 3 布线槽 17、焊区电极 101 以外的铜膜 18c、18b、下敷膜 18a, 形成第 3 埋入金属 (Cu) 布线层 100、焊区电极 101。

再有, 考虑最上层的 (Cu) 布线层被进行引线键合, 故使用约 $0.8\mu\text{m} \sim 1.5\mu\text{m}$ 的比较厚的膜的金属布线。

如图 13 中所示, 在第 3 金属 (Cu) 布线层 100 上淀积了作为铜 (Cu) 的防止扩散层的致密的氮化硅膜 102a 后, 以约 $1.0\mu\text{m}$ 淀积氮化硅膜、氧化硅膜、硅氧化氮化膜或这些膜的层叠结构膜等的保护绝缘膜 102b。再者, 根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 10\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 103, 为了利用引线键合法等的方法与外部端子 (未图示) 连接, 在焊区电极 101 的所希望的部分上设置开口部 104。

(作用、效果)

如上所述, 按照本发明的实施例, 如图 11A、B 中所示, 由于包含作为焊区电极 101 的一部分的下侧突出部 150, 使实质上的焊区电

极厚度加厚，而且，将该部分的形状作成正八角形，故由于即使在引线键合时施加负载或冲击力，因增加了焊区电极的有效厚度，也可使其得到缓和，此外，与四角形的情况相比，可大幅度地减少朝向下侧突出部 150 的角部的应力集中。因此，可防止在层间绝缘膜中发生裂纹。因而，由于能在可充分地确保与外部端子的连接强度的条件下进行引线键合，故具有下述效果：能稳定地且容易地进行连接，能以低成本得到高质量的半导体装置。

此外，在缩小了必须相对地提高键合时的负载或冲击力的容许值的焊区电极的情况下也成为有效的方法。

再有，在图 11 中，示出了焊区电极 101 的形状为正八角形的情况，但即使作成将所希望的部分的内角比 90° 大的多角形，也可得到同样的效果。此外，也可作成图 14、图 15 中示出的那种圆形的焊区电极或椭圆形的焊区电极、图 16 或图 17 中示出的那种在所希望的部分上形成园角或倒角的形状。此外，也可如图 18 中那样，只将下侧突出部 150 的形状作成如上述那样的形状，而将焊区电极 101 作成现有的形状、例如四角形。再者，也可作成部分地采用或组合地采用这些形状作为下侧突出部的形状。

（实施例 3）

再者，即使焊区电极由第 1 金属电极和在其上形成的第 2 金属电极构成、将第 1 金属电极的主要的平面形状作成圆形、椭圆形、至少 1 个内角比 90° 大的多角形、对至少一个角部进行倒角或作成园角的多角形的某一种、或其部分的形状或其组合，也可得到同样的效果。

在图 19A、B 中示出本实施例的半导体装置。

如图 19B 中所示，主电极层 101 的上侧与上侧电极层 201 相接。在焊区电极开口部 204 中露出了上侧电极层 201。其它方面与图 1B 中示出的结构相同。

此外，在图 20、图 21 中示出图 19A、B 中示出的结构的制造方法。到形成图 2 中示出的结构为止，与实施例 1 相同。在图 2 中示出的第 3 布线槽 17 形成时，在设置焊区电极的部分中也形成布线槽，但其形状也与实施例 1 相同，作成内角比 90° 大的多角形，例如作成正八角形。其后，利用与上述相同的方法，形成第 3 金属（Cu）布线层 100 和第 1 焊区电极 101。

如图 20 中所示, 形成第 4 金属布线层 200 和第 2 焊区电极 201, 使其重叠在第 3 金属 (Cu) 布线层 100 或第 1 焊区电极 101 上. 作为该金属布线层, 例如可使用以铝为主要成分的布线. 为了防止下层的铜布线层与铝的相互反应, 使用 PVD 或 CVD 法在整个面上淀积氮化钛膜、钛与氮化钛的层叠膜、钽膜、氮化钽膜、钽与氮化钽的层叠膜等, 作为下敷膜 200a, 在其上淀积了 Al-Cu 膜等的铝合金膜 200b 和氮化钛膜或硅氧化氮化膜等的防止反射膜 200c 后, 使用照相制版、刻蚀技术, 形成第 4 金属布线层 200 和第 2 焊区电极 201. 由于作成将焊区电极与第 1 焊区电极分离开的结构, 故该铝布线层 200 或焊区电极 201 的厚度约为 $0.3\mu\text{m} \sim 1.0\mu\text{m}$ 即可.

再有, 为了防止在这些铝布线形成工序中的铜布线表面的损伤或氧化, 希望第 4 金属 (Al) 布线层 200 和第 2 焊区电极 201 完全覆盖下层的第 3 金属 (Cu) 布线层 100 或第 1 焊区电极 101.

在第 4 金属 (Al) 布线层 200 和第 2 焊区电极 201 上淀积了作为铜的防止扩散层的致密的氮化硅膜 202a 后, 以约 $1.0\mu\text{m}$ 淀积氮化硅膜、氧化硅膜、硅氧化氮化膜或这些膜的层叠结构膜等的保护绝缘膜 202b. 再者, 根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 20\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 203, 为了利用引线键合法等的方法与外部端子 (未图示) 连接, 在焊区电极 201 的所希望的部分上设置开口部 204.

如上所述, 按照本发明的实施例, 如图 19A、B 中所示, 由于作成重叠了用埋入金属布线层形成焊区电极的第 1 焊区电极 101 与用刻蚀法形成的第 2 焊区电极 201 的结构, 而且, 将该部分的形状作成正八角形, 故由于即使在引线键合时施加负载或冲击力, 因增加了焊区电极的有效厚度, 可使其得到缓和, 此外, 与四角形的情况相比, 可大幅度地减少朝向应力容易集中的第 1 焊区电极 101 的角部的应力集中. 因此, 可防止在层间绝缘膜中发生裂纹.

因而, 由于能在充分地确保与外部端子的连接强度的条件下进行引线键合, 故具有下述效果: 能稳定地且容易地进行连接, 能以低成本得到高质量的半导体装置. 此外, 在缩小了必须相对地提高键合时的负载或冲击力的容许值的焊区电极的情况下, 也成为有效的方法. 再者, 由于最上层的金属布线层是重叠了第 3 金属布线层 100 与

第 4 金属布线 200 的层, 有效膜厚变厚, 故在降低电阻、减少布线延迟或噪声容限方面, 也是有效的。

再有, 在图 19A、B 中, 叙述了在重叠了第 1 焊区电极与第 2 焊区电极的结构中将第 1 焊区电极 101 的形状作成正八角形的情况, 但
5 即使作成使所希望的内角比 90° 大的多角形, 也可得到同样的效果。

此外, 也可作成图 22、图 23 中示出的那种圆形的焊区电极或椭圆形的焊区电极、图 24 或图 25 中示出的那种在所希望的部分的角部形成园角或倒角的形状。此外, 也可如图 26 中那样, 只将第 1 焊区电极 101 的形状作成如上述那样的形状, 而将第 2 焊区电极 201 或焊
10 区电极开口部的形状作成现有的形状、例如四角形。再者, 也可作成部分地采用或组合地采用这些形状作为第 1 焊区电极 101 的形状。

(实施例 4)

再者, 即使焊区电极是经大面积的连接孔重叠了第 1 金属电极与第 2 金属电极的结构、将连接孔的主要的平面形状作成圆形、椭圆形、
15 至少 1 个内角比 90° 大的多角形、对至少一个角部进行倒角或作成园角的多角形的某一种、或其部分的形状或其组合, 也可得到同样的效果。所谓「大面积的连接孔」, 是在主电极层的平面形状的外周的内侧附近具有沿主电极层的外周的形状的连接孔。在图 27A、B 中示出这样的本发明的另一实施例的半导体装置的结构。

如图 27B 中所示, 焊区电极在主电极层 101 的下方包含下侧电极层 250。在焊区电极开口部 204 中露出了主电极层 101。利用连接孔 251 连接了主电极层 101 与下侧电极层 205 间。连接孔 251, 如图 27A
20 中所示, 是所谓的大面积的连接孔, 即, 在主电极层的 101 的平面形状的外周的内侧附近具有沿主电极层 101 的外周的形状的外周的连接孔。其它方面与图 11B 中示出的结构相同。

在图 28 - 图 30 中示出图 27A、B 中示出的结构的制造方法。

如图 28 中所示, 到形成第 1 金属(W)布线层 10 为止, 与图 122A、B 中示出的现有的半导体装置的制造方法(图 123 ~ 图 126)相同。

在第 1 金属(W)布线层 10 上, 利用等离子 CVD 法等的方法淀积
30 由氧化硅膜等的绝缘膜 11a、氮化硅膜 11b、氧化硅膜等的绝缘膜 11c 构成的 3 层结构的第 1 层间绝缘膜 11。

再者, 使用照相制版、刻蚀技术, 在第 1 层间绝缘膜 11 的所需

要的部分上形成第 1 通孔 12 和第 2 布线槽 13。在形成第 2 布线槽 13 时，同时在设置第 1 焊区电极的部分上也形成布线槽，但将其形状作成内角比 90° 大的多角形，例如作成正八角形。

其后，在整个面上淀积下敷膜 14a 和铜 (Cu) 膜 14b、14c，以便
5 填埋第 1 通孔 12 和第 2 布线槽 13 (包含下侧电极层的形成部分)，利用化学机械研磨法除去第 1 通孔 12 和第 2 布线槽 13 以外的铜 14c、14b、下敷膜 14a，形成第 2 埋入金属 (Cu) 布线层 14 和下侧电极层。

如图 29 中所示，在第 2 金属 (Cu) 的布线层 14 上，利用等离子
10 CVD 法等方法淀积由氮化硅膜 15a、氧化硅膜等绝缘膜 15b、氮化硅膜 15c、氧化硅膜等绝缘膜 15d 构成的 4 层结构的第 2 层间绝缘膜 15。使用照相制版、蚀刻技术，在第 2 层间绝缘膜 15 的所需要的部分上形成第 2 通孔 16 和第 3 布线槽 17。此时，在第 2 通孔形成时，在下侧电极层上同时形成连接孔 251，但将其平面形状也作成内角比 90°
15 大的多角形，例如作成正八角形。

此外，在第 3 布线槽形成时，在设置主电极层的部分上也形成布线槽，但将其形状也作成内角比 90° 大的多角形，例如作成正八角形。

利用与上述同样的方法，在整个面上淀积下敷膜 100a 和铜膜
20 100b、100c 以便填埋第 2 通孔 16、第 3 布线槽 17、下侧电极层上的连接孔 251、主电极层 101 后，用化学机械研磨法除去不需要的部分，由此形成第 3 埋入金属 (Cu) 布线层 100 和主电极层 101。

如图 30 中所示，在第 3 埋入金属 (Cu) 布线层 100 和第 2 焊区
电极 101 上淀积了作为铜的防止扩散层的致密的氮化硅膜 202a 后，以约 $1.0\mu\text{m}$ 淀积氮化硅膜、氧化硅膜、硅氧化氮化膜或这些膜的层叠
25 结构膜等的保护绝缘膜 202b。再者，根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 10\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 203，为了利用引线键合法等的方法与外部端子 (未图示) 连接，在主电极层 101 的所希望的部分上设置开口部 204。

如上所述，按照本发明的实施例，如图 27A、B 中所示，由于作
30 成经大面积的连接孔 251 重叠了用埋入金属布线层形成焊区电极的下侧电极层 250 和主电极层 101 的结构，而且，将下侧电极层 250 和连接孔 251 的至少一方的形状作成正八角形，故由于即使在键合引线等

的与外部端子连接时施加负载或冲击力，因增加了焊区电极的有效厚度，也可使其得到缓和，此外，与四角形的情况相比，也可大幅度地减少朝向应力容易集中的下侧电极层 250 或连接孔 251 的角部的应力集中。因此，可防止在层间绝缘膜中发生裂纹。

- 5 因而，由于能在可充分地确保与外部端子的连接强度的条件下进行引线键合，故具有下述效果：能稳定地且容易地进行连接，能以低成本得到高质量的半导体装置。

此外，在缩小了必须相对地提高键合时的负载或冲击力的容许值的焊区电极的情况下也成为有效的方法。

- 10 再者，由于最上层的金属布线层是重叠了第 3 金属布线层 100 与第 4 金属布线 200 的层，有效膜厚变厚，故在降低电阻、减少布线延迟或噪声容限方面，也是有效的。

- 15 再者，通常，考虑引线键合等的与外部端子的连接可靠性，使用约 $0.8\mu\text{m} \sim 1.5\mu\text{m}$ 比较厚的膜的金属布线作为最上层的金属 (Cu) 布线层。但通过作成如本实施例那样的经大面积的连接孔重叠了焊区电极的结构，由于可增加有效的焊区电极的厚度，故也可作成使最上层的金属 (Cu) 布线的厚度适合于微细化的更薄的布线层。

- 20 再有，虽然叙述了作成在经大面积的连接孔重叠了下侧电极层和主电极层的结构、下侧电极层 250 的形状为正八角形的情况，但即使作成使所希望的内角比 90° 大的多角形，也可得到同样的效果。

- 25 此外，在图 31 中示出剖面图，但也可在平面图中将下侧电极层 250 作成图 32 中示出的那种圆形的焊区电极或椭圆形的焊区电极、图 33 或图 34 中示出的那种在所希望的部分的角部形成园角或倒角的形状。此外，也可如图 35 中那样，只将下侧电极层 250 的形状作成如上述那样的形状，而将连接孔 251、主电极层 101 或焊区电极开口部 204 的形状作成现有的形状、例如四角形。再者，也可作成部分地采用或组合地采用这些形状作为下侧电极层 250 的形状。

(实施例 5)

- 30 再者，在焊区电极经大面积的连接孔重叠了下侧电极层与主电极层的结构中，部分地加厚下侧电极层的厚度、作成下侧突出部。即使将该下侧突出部的主要的平面形状作成圆形、椭圆形、至少 1 个内角比 90° 大的多角形、对至少一个角部进行倒角或作成园角的多角

形的某一种、或其部分的形状或其组合，也可得到同样的效果。在图 36 中示出这样的本发明的另一实施例的半导体装置的结构。

如图 36B 中所示，焊区电极在下侧电极层 250 的下侧包含下侧突出部 240。其它方面与实施例 4 中示出的结构相同。

5 在图 37~图 39 中示出图 36A、B 中示出的结构的制造方法。

如图 37 中所示，到形成第 1 金属 (W) 布线层 10 为止，与图 122 中示出的现有的半导体装置的制造方法 (图 123~图 124) 相同。

10 在第 1 金属 (W) 布线层 10 上，利用等离子 CVD 法等的方法淀积由氮化硅膜 230a、氧化硅膜等的绝缘膜 230b、氮化硅膜 230c、氧化硅膜等的绝缘膜 230d 构成的 4 层结构的第 1 层间绝缘膜 230。再者，使用照相制版、刻蚀技术，在第 1 层间绝缘膜 230 的所需要的部分上形成第 1 通孔 12 和第 2 布线槽 13。

15 在第 1 通孔 12 形成时，在下侧电极层形成区域的一部分上同时形成凹部 240，但将其形状作成内角比 90° 大的多角形，例如正八角形。

再有，氮化硅膜 230a 是为了在第 1 通孔 12 形成时防止下侧电极层形成区域的凹部 240 被过度刻蚀，在将氮化硅膜 230a 作为中止膜进行了干法刻蚀后，通过对氮化硅膜 230a 进行轻刻蚀，能以良好的控制性来加工凹部。

20 此外，在形成第 2 布线槽 13 时，在设置下侧电极层的区域中也形成布线槽，但该形状也同样作成内角比 90° 大的多角形，例如正八角形。

其后，在整个面上淀积下敷膜 14a 和铜膜 14b、14c 以便填埋第 1 通孔 12、第 2 布线槽 13、下侧电极层形成区域部后，用化学机械研磨法除去不需要的部分的铜膜 14c、14b、下敷膜 14a，由此形成第 2 25 埋入金属 (Cu) 布线层 14 和具有部分地成为厚膜的部分 240 的下侧电极层 250。

30 如图 38 中所示，在第 2 金属 (Cu) 的布线层 14、下侧电极层 250 上，利用等离子 CVD 法等的方法淀积由氮化硅膜 15a、氧化硅膜等绝缘膜 15b、氮化硅膜 15c、氧化硅膜等绝缘膜 15d 构成的 4 层结构的第 2 层间绝缘膜 15。使用照相制版、刻蚀技术，在第 2 层间绝缘膜 15 的所需要的部分上形成第 2 通孔 16 和第 3 布线槽 17。

此时，在第 2 通孔形成时，在下侧电极层上也同时形成连接孔 251，但其平面形状也作成内角比 90° 大的多角形，例如正八角形。

此外，在第 3 布线槽形成时，在设置主电极层的部分上也形成布线槽，但其形状也作成内角比 90° 大的多角形，例如正八角形。

5 利用与上述同样的方法，在整个面上淀积下敷膜 100a 和铜膜 100b、100c 以便填埋第 2 通孔 16、第 3 布线槽 17、第 1 焊区电极上的连接孔 251、第 2 焊区电极形成部 101，通过用化学机械研磨法除去不需要的部分，由此形成第 3 埋入金属 (Cu) 布线层 100 和主电极层 101。

10 如图 39 中所示，在第 3 埋入金属 (Cu) 布线层 100 和主电极层 101 上淀积了作为铜的防止扩散层的致密的氮化硅膜 202a 后，以约 $1.0\mu\text{m}$ 淀积氮化硅膜、氧化硅膜、硅氧化氮化膜或这些膜的层叠结构膜等的保护绝缘膜 202b。再者，根据需要在其上作为第 2 保护绝缘膜形成厚度为 $5\mu\text{m} \sim 10\mu\text{m}$ 的聚酰亚胺等的缓冲覆盖膜 203，为了利用引
15 线键合法等的方法与外部端子 (未图示) 连接，在焊区电极 101 的所希望的部分上设置开口部 204。

(作用、效果)

如上所述，按照本发明的实施例，如图 36A、B 中所示，由于作成经大面积的连接孔 251 重叠了用埋入金属布线层形成焊区电极的下
20 侧电极层 250 和主电极层 101 的结构，使下侧电极层 250 的一部分的厚度朝下加厚，成为下侧突出部 240，而且，将该部分 240 的形状作成正八角形，故由于即使在键合引线等的与外部端子连接时施加负载或冲击力，因增加了焊区电极的有效厚度，可使其得到缓和，此外，与四角形的情况相比，也可大幅度地减少朝向应力容易集中的下侧电
25 极层的下侧突出部 240 的角部的应力集中。因此，可防止在层间绝缘膜中发生裂纹。

因而，由于能在可充分地确保与外部端子的连接强度的条件下进行引线键合，故具有下述效果：能稳定地且容易地进行连接，能以低成本得到高质量的半导体装置。

30 此外，在缩小了必须相对地提高键合时的负载或冲击力的容许值的焊区电极的情况下，也成为有效的方法。

再者，通常，考虑引线键合等的与外部端子的连接可靠性，使用

约 $0.8\mu\text{m} \sim 1.5\mu\text{m}$ 比较厚的膜的金属布线作为最上层的金属 (Cu) 布线层, 但通过作成如本实施例那样的经大面积的连接孔重叠了焊区电极的结构, 由于可增加有效的焊区电极的厚度, 故也可作成使最上层的金属 (Cu) 布线的厚度适合于微细化的更薄的布线层。

5 再有, 在图 36A、B 中, 叙述了作成在经大面积的连接孔重叠了下侧电极层和主电极层的结构、下侧电极层的下侧突出部 240 的形状为正八角形的情况, 但即使作成使所希望的内角比 90° 大的多角形, 也可得到同样的效果。

10 此外, 在图 40 中示出剖面图, 但也可在平面图中将下侧电极层的下侧突出部 240 作成图 41 中示出的那种圆形的焊区电极或椭圆形的焊区电极、图 42 或图 43 中示出的那种在所希望的部分的角部形成园角或倒角的形状。

15 此外, 也可如图 44 中那样, 只将下侧电极层的下侧突出部 240 的形状作成如上述那样的形状, 而将下侧电极层 250、连接孔 251、主电极层 101 或焊区电极开口部 204 的形状作成现有的形状、例如四角形。

再者, 也可作成部分地采用或组合地采用这些形状作为下侧电极层的下侧突出部 240 的形状。

(实施例 6)

20 再者, 在焊区电极的至少一部分由埋入金属布线层构成的结构中, 即使在焊区电极的角部设置应力缓冲用绝缘壁, 也可得到同样的效果。

在图 45A ~ C 中示出这样的本实施例中的半导体装置。

25 如图 45A 中所示, 在焊区电极的角部区域中有应力缓冲用绝缘壁 301, 使其作为应力缓冲用金属 (Cu) 层 300 对该角部区域进行分离分割。其它方面与图 1 中示出的结构相同。

在图 45A ~ C 中示出的制造半导体装置的方法与在图 1A、B 中示出的实施例 1 中的半导体装置的制造方法相同。

30 即, 在根据现有技术形成了图 129 中示出的结构后, 如图 2 中所示, 在第 2 金属 (Cu) 的布线层 14 上, 利用等离子 CVD 法等的方法淀积由氮化硅膜 (SiN) 15a、氧化硅膜 (SiO) 等绝缘膜 15b、氮化硅膜 (SiN) 15c、氧化硅膜 (SiO) 等绝缘膜 15d 构成的 4 层结构的

第2层间绝缘膜15作为铜(Cu)的防止扩散层。

使用照相制版、刻蚀技术，在第2层间绝缘膜15的所需要的部分上形成第2通孔16和作为第3布线槽17的凹部。此时，虽然同时在设置焊区电极的部分上形成凹部，但在该形状的角部区域中形成用于形成应力缓冲用绝缘壁的绝缘壁凹部。所谓绝缘壁凹部，是成为图48的应力缓冲用金属层300的凹部，被形成为在图45A、图49~图51、图52A、图53A中例示的应力缓冲用金属层300那样的平面形状。

利用与上述同样的方法，在整个面上以约 $1.5\mu\text{m}\sim 3.0\mu\text{m}$ 淀积下敷膜100a和铜籽膜100b、铜电镀膜100c以便填埋第2通孔16和第3布线槽17后，用化学机械研磨法除去不需要部分的铜膜18c、18b、下敷膜18a，形成第3埋入金属(Cu)布线层100、焊区电极101、应力缓冲用金属层300。

其后的工序与在实施例1中已说明的工序相同。

(作用、效果)

按照本实施例，如图46、图47中所示那样，在焊区电极的角部放置应力缓冲用金属层300，在与焊区电极101之间设置了应力缓冲用绝缘壁301。因此，即使在引线键合等与外部端子的连接时对焊区电极101施加负载或冲击力304、305，特别是在容易引起应力集中的焊区电极角部上，通过应力缓冲用绝缘壁301发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力(冲击力)。因而，可防止焊区电极101角部的层间膜裂纹。

再有，在图45A~C中，通过在焊区电极101的角部放置三角形的应力缓冲用金属(Cu)层300，设置了应力缓冲用绝缘壁301，但即使是其它形状的绝缘壁，也可得到同样的效果。此外，也可设置多个绝缘壁。

例如，如在图48中示出剖面图、在图49~图52B中示出平面图那样，如果通过在焊区电极101的角部放置多个应力缓冲用金属层300，设置多个应力缓冲用绝缘壁301，则可进一步提高效果。此外，也可如图53A、B中所示那样，使放置于焊区电极101的角部的应力缓冲用金属层300的朝下的厚度与其它焊区电极部分不同。

(实施例7)

再者，在焊区电极的至少一部分由埋入金属布线层构成的结构

中，即使金属电极的厚度部分地朝下变厚、在该角部的区域中设置应力缓冲用绝缘壁，也可得到同样的效果。

(结构)

在图 54A~C 中示出这样的本实施例中的半导体装置。

- 5 焊区部包含下侧突出部 150。下侧突出部 150 在其角部区域中包含分离角部的应力缓冲用绝缘壁 311，作为应力缓冲用金属层 310。

(作用、效果)

- 10 按照本实施例，如图 54A~C 中所示那样，在焊区电极的下侧突出部的角部放置应力缓冲用金属 (Cu) 层 310，在与焊区电极的下侧突出部 150 之间设置了应力缓冲用绝缘壁 311。

- 15 因此，即使在引线键合等与外部端子的连接时对焊区电极的下侧突出部 150 施加负载或冲击力，特别是在容易引起应力集中的下侧突出部的角部上，通过应力缓冲用绝缘壁 311 发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力 (冲击力)。因而，可防止焊区电极厚膜部分 150 角部的层间膜裂纹。

再有，在图 54A~C 中，通过在焊区电极厚膜部分 150 的角部放置三角形的应力缓冲用金属层 310，设置了应力缓冲用绝缘壁 311，但即使是其它形状的绝缘壁，也可得到同样的效果。此外，也可设置多个绝缘壁。

- 20 例如，如图 55~图 57 中所示，作为放置于焊区电极厚膜部分 150 的角部的应力缓冲用金属 (Cu) 层 310，可作成四角形或四分之一圆等的形状。

- 25 此外，如在图 58~图 59A、B 中示出那样，如果通过在焊区电极厚膜部分 150 的角部放置多个应力缓冲用金属 (Cu) 层 310，设置多个应力缓冲用绝缘壁 311，则可进一步提高效果。

此外，也可如图 60A、B 中那样，通过重叠配置在下侧突出部 150 的角部的应力缓冲用金属 (Cu) 层 310 与配置在上部的焊区电极 101 角部的应力缓冲用金属层，如图 60B 中所示，可形成到达焊区电极表面的绝缘壁 301、311。

- 30 (实施例 8)

(结构)

再者，在焊区电极的至少一部分由埋入金属布线层构成、焊区电

极包含主电极层 101 和在其上形成的上侧电极层 201 的结构中, 如图 61A~C 中所示, 即使主电极层 101 的角部的区域中设置应力缓冲用绝缘壁 321, 也可得到同样的效果。除了主电极层 101 的角部的区域中有应力缓冲用绝缘壁 321 以外, 与实施例 3 中的结构 (参照图 5 19A、B) 相同。

(作用、效果)

按照本实施例, 如图 61A~C 中所示那样, 在主电极层 101 的角部的区域中设置应力缓冲用金属层 320, 在与主电极层 101 之间设置了应力缓冲用绝缘壁 321。

10 因此, 即使在引线键合等与外部端子的连接时对焊区电极施加负载或冲击力, 特别是在容易引起应力集中的主电极层 101 的角部上, 通过应力缓冲用绝缘壁 321 发生微小的弹性变形, 也可缓冲应力, 因此, 只对该部分的层间绝缘膜施加小的应力 (冲击力)。因而, 可防止主电极层 101 的角部的层间膜裂纹。

15 再有, 在图 61A~C 中示出的例子中, 通过主电极层 101 的角部放置三角形的应力缓冲用金属层 320, 设置了应力缓冲用绝缘壁 321, 但即使是其它形状的绝缘壁, 也可得到同样的效果。此外, 也可设置多个绝缘壁。

20 例如, 如图 62 中示出剖面、在图 63 或图 64 中示出平面图那样, 作为放置于主电极层 101 的角部的应力缓冲用金属布线 320, 可作成四角形或四分之一圆等的形状。

此外, 如在图 65 或图 66A、B 中示出那样, 如果通过主电极层 101 的角部放置多个应力缓冲用金属层 320, 设置多个应力缓冲用绝缘壁 321, 则可进一步提高效果。此外, 如图 67A、B 中所示, 也可使 25 放置于主电极层 101 的角部的应力缓冲用金属层 320 的下方向的厚度与其它主电极层 101 的深度不同。

(实施例 9)

(结构)

再者, 在焊区电极的至少一部分由埋入金属布线层构成、焊区电 30 极经大面积的连接孔重叠了下侧电极层和主电极层的结构中, 即使在下侧电极层的角部的区域或连接孔的角部上设置应力缓冲用绝缘壁, 也可得到同样的效果。在图 68A~C 中示出本实施例中的半导体

装置。

除了在下侧电极层的角部的区域或连接孔的角部上设置了应力缓冲用绝缘壁以外，与实施例 4 中的结构（参照图 27A、B）相同。

（作用、效果）

5 按照本实施例，如图 68A~C 中所示那样，在下侧电极层 250 的角部的区域中设置应力缓冲用金属层 330，在与下侧电极层 250 之间设置应力缓冲用绝缘壁 331。

因此，即使在引线键合等与外部端子的连接时对焊区电极施加负载或冲击力，特别是在容易引起应力集中的下侧电极层 250 的角部
10 上，通过应力缓冲用绝缘壁 331 发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧电极层 250 的角部的层间膜裂纹。

再有，在图 68A~C 中，通过在下侧电极层 250 的角部放置三角形的应力缓冲用金属层 330，设置了应力缓冲用绝缘壁 331，但即使
15 是其它形状的绝缘壁，也可得到同样的效果。此外，也可设置多个绝缘壁。

例如，如图 69 中示出剖面、在图 70 或图 71 中示出平面图那样，作为放置于下侧电极层 250 的角部的应力缓冲用金属层 330，可作成四角形或四分之一圆等的形状。此外，如在图 72 或图 73A、B 中示出
20 那样，如果通过在下侧电极层 250 的角部放置多个应力缓冲用金属层 330，设置多个应力缓冲用绝缘壁 331，则可进一步提高效果。此外，如图 74A、B、图 75A、B 中所示，也可不仅设置下侧电极层 250 的角部的应力缓冲用金属层 330，而且在连接孔 251 的角部或主电极层 101 的角部上也设置同样的应力缓冲用金属层 320、300，以重叠这些层的
25 形态构成应力缓冲用绝缘壁 331、321、301。

此外，也可如图 76A、B 中所示，只在大面积的连接孔 251 的角部放置应力缓冲用金属层 320，只在与连接孔 251 之间设置应力缓冲用绝缘壁 321。

（实施例 10）

30 （结构）

再者，在焊区电极的至少一部分由埋入金属布线层构成、焊区电极包含重叠了下侧电极层与主电极层的结构、具有下侧电极层的厚度

朝下部分地变厚的下侧突出部的结构中，即使在该角部的区域中设置应力缓冲用绝缘壁，也可得到同样的效果。在图 77A~C 中示出本实施例中的半导体装置。

除了在下侧突出部的角部的区域中设置了应力缓冲用绝缘壁这一点以外，与实施例 5 中的结构（参照图 36A、B）相同。

（作用、效果）

按照本实施例，如图 77A~C 中所示那样，在下侧电极层 250 的下侧突出部 240 的角部上放置应力缓冲用金属层 340，在与下侧突出部 240 之间设置应力缓冲用绝缘壁 341。因此，即使在引线键合等与外部端子的连接时对主电极层 101 施加负载或冲击力，特别是在容易引起应力集中的下侧突出部 240 的角部上，通过应力缓冲用绝缘壁 341 发生微小的弹性变形，也可缓冲应力，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧突出部 240 的角部的层间膜裂纹。

再有，在图 77A~C 中，通过在下侧突出部 240 的角部上放置三角形的应力缓冲用金属层 340，设置了应力缓冲用绝缘壁 341，但即使是其它形状的绝缘壁，也可得到同样的效果。此外，也可设置多个绝缘壁。

例如，如图 78~图 80 中所示，作为放置于第 1 焊区电极厚膜部 240 的角部的应力缓冲用金属层 340，可作成四角形或四分之一圆等的形状。此外，如在图 81 或图 82 中示出那样，如果通过在第 1 焊区电极厚膜部 240 的角部放置多个应力缓冲用金属层 340，设置多个应力缓冲用绝缘壁 341，则可进一步提高效果。此外，如图 83A、B、图 84A、B、图 85A、B 中所示，也可不仅设置下侧突出部 240 的角部的应力缓冲用金属层 340，而且在下侧电极层 250 的角部、连接孔 251 的角部或主电极层 101 的角部上也设置同样的应力缓冲用金属层 330、320、300，以重叠这些层的形态构成应力缓冲用绝缘壁 341、331、321、301。

（实施例 11）

（结构）

再者，在焊区电极的至少一部分由埋入金属布线层构成的结构中，即使在焊区电极的角部的区域中设置应力缓冲用突出部，也可得



到同样的效果。在图 86A-C 中示出本实施例中的半导体装置。

除了 在 焊 区 电 极 101 的 角 部 的 区 域 中 设 置 了 应 力 缓 冲 用 突 出 部 400 这 一 点 以 外， 与 实 施 例 1 中 的 结 构（参 照 图 1A、B）相 同。

(制造方法)

5 在图 86A-C 中示出的制造半导体装置的方法与在图 1A、B 中示出的实施例 1 中的半导体装置的制造方法相同。

即，在根据现有技术形成了图 129 中示出的结构后，如图 2 中所示，在第 2 金属 (Cu) 的布线层 14 上，利用等离子 CVD 法等的方法淀积由氮化硅膜 (SiN) 15a、氧化硅膜 (SiO) 等绝缘膜 15b、氮化硅膜 (SiN) 15c、氧化硅膜 (SiO) 等绝缘膜 15d 构成的 4 层结构的第 2 层间绝缘膜 15 作为铜 (Cu) 的防止扩散层。

使用照相制版、蚀刻技术，在第 2 层间绝缘膜 15 的所需要的部分上形成第 2 通孔 16 和作为第 3 布线槽 17 的凹部。此时，虽然同时在设置焊区电极的部分上形成凹部，但在该形状的角部区域中形成用于形成应力缓冲用突出部的缓冲用凹部。所谓缓冲用凹部，是成为图 86A、B、图 89 的应力缓冲用突出部 400 的凹部，被形成成为在图 90 ~ 图 92、图 93A 中例示的应力缓冲用突出部 400、401、402 那样的平面形状。

20 利用与上述同样的方法，在整个面上以约 $1.5\mu\text{m} \sim 3.0\mu\text{m}$ 淀积下敷膜 100a 和铜籽膜 100b、铜电镀膜 100c 以便填埋第 2 通孔 16 和第 3 布线槽 17 后，用化学机械研磨法除去不需要部分的铜膜 18c、18b、下敷膜 18a，形成第 3 埋入金属 (Cu) 布线层 100、焊区电极 101、应力缓冲用突出部 400、401、402。

其后的工序与在实施例 1 中已说明的工序相同。

25 (作用、效果)

按照本实施例，如图 86A~C 中所示那样，在焊区电极 101 的角部上设置了应力缓冲用突出部 400，在与下侧突出部 240 之间设置应力缓冲用突出部 341。因此，即使在引线键合等与外部端子的连接时对主电极层 101 施加负载或冲击力 304、305，特别是在容易引起应力集中的焊区电极 101 的角部上，如图 87、图 88 中所示，通过应力缓冲用突出部 400 发生微小的弹性变形，起到缓冲应力的作用，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）306。因而，可防

止焊区电极 101 的角部的层间膜裂纹。

再有，在图 86A~C 中，在焊区电极 101 的角部上设置了四角形的应力缓冲用突出部 400，但即使是其它形状的应力缓冲用突出部，也可得到同样的效果。此外，也可设置多个应力缓冲用突出部。

5 例如，如图 89~图 91 中所示，作为放置于焊区电极 101 的角部的应力缓冲用突出部 400，也可使用圆或椭圆的一部分、或多角形的一部分等的其它的图形等。此外，如在图 92 中示出那样，也可在焊区电极 101 的角部上组合地配置多个应力缓冲用突出部 401、402。此外，为了具有更高的应力缓冲效果，也可如图 93A、B 中所示，作成
10 除去了应力缓冲用突出部 400 上的保护绝缘膜 102、103 的结构。

(实施例 12)

(结构)

再者，在焊区电极的至少一部分由埋入金属布线层构成、具有焊区电极的厚度朝下部分地变厚的下侧突出部的结构中，即使在下侧突
15 出部的角部的区域中设置应力缓冲用突出部，也可得到同样的效果。在图 94A~C 中示出本实施例中的半导体装置。

(作用、效果)

按照本实施例，如图 94A~C 中所示那样，在下侧突出部 150 的角部上设置了应力缓冲用突出部 410。因此，即使在引线键合等与外
20 部端子的连接时对焊区电极 101 施加负载或冲击力，特别是在容易引起应力集中的下侧突出部 150 的角部上，通过应力缓冲用突出部发生微小的弹性变形，也可起到缓冲应力的作用，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧突出部 150 的角部的层间膜裂纹。

25 再有，在图 94A~C 中，通过在下侧突出部 150 的角部上设置了四角形的应力缓冲用突出部 410，但即使是其它形状的应力缓冲用突出部，也可得到同样的效果。此外，也可组合地设置多个应力缓冲用突出部。

例如，如图 95~图 97 中所示，作为放置于下侧突出部 150 的角部的应力缓冲用突出部 410，可使用圆或椭圆的一部分、或多角形的一部分等的其它的图形等。此外，如在图 98 中示出那样，也可在下
30 侧突出部 150 的角部上组合地配置多个应力缓冲用突出部 421、412。

此外，为了具有更高的应力缓冲效果，也可如图 99A、B 中所示，作成除去了应力缓冲用突出部 410 上的保护绝缘膜 102、103 的结构。再者，也可如图 100 那样，在下侧突出部 150 的角部及焊区电极 101 的角部这两者上设置应力缓冲用突出部 410、400，而且，组合起来实施除去应力缓冲用突出部的上部的保护绝缘膜 102、103 等的多个对策。

(实施例 13)

(结构)

再者，在焊区电极的至少一部分由埋入金属布线层构成、焊区电极包含主电极层和在其上形成的上侧电极层的结构中，即使在主电极层的角部的区域中设置应力缓冲用突出部，也可得到同样的效果。在图 101A～C 中示出本实施例中的半导体装置。除了在主电极层的角部的区域中存在应力缓冲用突出部这一点以外，与实施例 3 的结构（参照图 19A、B）相同。

(作用、效果)

按照本实施例，如图 101A～C 中所示那样，在主电极层 101 的角部上设置了应力缓冲用突出部 420。因此，即使在引线键合等与外部端子的连接时对上侧电极层 201 施加负载或冲击力，特别是在容易引起应力集中的主电极层 101 的角部上，通过应力缓冲用突出部 420 发生微小的弹性变形，也可起到缓冲应力的作用，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止主电极层 101 的角部的层间膜裂纹。

再有，在图 101A～C 中，通过在主电极层 101 的角部上设置了四角形的应力缓冲用突出部 420，但即使是其它形状的应力缓冲用突出部，也可得到同样的效果。此外，也可组合地设置多个应力缓冲用突出部。

例如，如图 102～图 104 中所示，作为放置于主电极层 101 的角部的应力缓冲用突出部 420，可使用圆或椭圆的一部分、或多角形的一部分等的其它的图形等。此外，如在图 105 中示出那样，也可在主电极层 101 的角部上组合地配置多个应力缓冲用突出部 421、412。此外，为了具有更高的应力缓冲效果，也可如图 106A、B 中所示，作成除去了应力缓冲用突出部 420 上的保护绝缘膜 202、203 的结构。再

者，也可如图 107A、B 中所示那样，在主电极层 101 的角部及焊区电极 101 的角部这两者上设置应力缓冲用突出部 420、430，而且，组合起来实施除去应力缓冲用突出部的上部的保护绝缘膜 102、103 等的多个对策。

5 (实施例 14)

再者，即使焊区电极的至少一部分由埋入金属布线层构成、焊区电极包含经连接孔重叠了下侧电极层与主电极层的结构、在下侧电极层的角部的区域中设置应力缓冲用突出部，也可得到同样的效果。在图 108A~C 中示出本实施例中的半导体装置。除了在下侧电极层的角部的区域中存在应力缓冲用突出部这一点以外，与实施例 4 的结构(参照图 27A、B)相同。

按照本实施例，如图 108A~C 中所示那样，在下侧电极层 250 的角部上设置了应力缓冲用突出部 440。

因此，即使在引线键合等与外部端子的连接时对主电极层 101 施加负载或冲击力，特别是在容易引起应力集中的下侧电极层 250 的角部上，通过应力缓冲用突出部 440 发生微小的弹性变形，也可起到缓冲应力的作用，因此，只对该部分的层间绝缘膜施加小的应力(冲击力)。因而，可防止下侧电极层 250 的角部的层间膜裂纹。

再有，在图 108A~C 中，通过在下侧电极层 250 的角部上设置了四角形的应力缓冲用突出部 440，但即使是其它形状的应力缓冲用突出部，也可得到同样的效果。此外，也可组合地设置多个应力缓冲用突出部。

例如，如图 109~图 111 中所示，作为放置于下侧电极层 250 的角部的应力缓冲用突出部 440，可使用圆或椭圆的一部分、或多角形的一部分等的其它的图形等。此外，如在图 112A、B 中示出那样，也可在下侧电极层 250 的角部上组合地配置多个应力缓冲用突出部 441、442。此外，为了具有更高的应力缓冲效果，也可如图 113A、B 中所示，作成重叠下侧电极层的角部的应力缓冲用突出部 440、连接孔 251 的角部的应力缓冲用突出部 443、除去了其上部的保护绝缘膜 102、103 的结构。

再者，也可如图 114A、B 中所示那样，在下侧电极层 250 的角部、连接孔 251 的角部、主电极层 101 的角部的全部角部上设置应力缓冲

用突出部 440、443、400，而且，组合起来实施除去应力缓冲用突出部的上部的保护绝缘膜 102、103 等的多个对策。

(实施例 15)

再者，即使焊区电极的至少一部分由埋入金属布线层构成、焊区电极包含经连接孔重叠了下侧电极层与主电极层的结构、具有下侧电极层的厚度朝下部分地变厚的下侧突出部、在下侧突出部的角部的区域中设置应力缓冲用突出部，也可得到同样的效果。在图 115A~C 中示出本实施例中的半导体装置。

除了在下侧突出部的角部的区域中存在应力缓冲用突出部这一点以外，与实施例 5 的结构（参照图 36）相同。

(作用、效果)

按照本实施例，如图 115A~C 中所示那样，在下侧电极层的下侧突出部 240 的角部上设置了应力缓冲用突出部 450。

因此，即使在引线键合等与外部端子的连接时对主电极层 101 施加负载或冲击力，特别是在容易引起应力集中的下侧突出部 240 的角部上，通过应力缓冲用突出部 450 发生微小的弹性变形，也可起到缓冲应力的作用，因此，只对该部分的层间绝缘膜施加小的应力（冲击力）。因而，可防止下侧突出部 240 的角部的层间绝缘膜中发生裂纹。

再有，在图 115A~C 中，通过在下侧突出部 240 的角部上设置了四角形的应力缓冲用突出部 450，但即使是其它形状的应力缓冲用突出部，也可得到同样的效果。此外，也可组合地设置多个应力缓冲用突出部。

例如，如图 116~图 118 中所示，作为放置于下侧突出部 240 的角部的应力缓冲用突出部 450，可使用圆或椭圆的一部分、或多角形的一部分等的其它的图形等。

此外，如在图 119 中示出那样，也可在下侧突出部 240 的角部上组合地配置多个应力缓冲用突出部 451、452。此外，为了具有更高的应力缓冲效果，也可如图 120A、B 中所示，作成重叠下侧突出部 240 的角部的应力缓冲用突出部 450、应力缓冲用突出部 250 的角部的应力缓冲用突出部 453、连接孔 251 的角部的应力缓冲用突出部 454、除去了其上部的保护绝缘膜 102、103 的结构。

再者，也可如图 121 中所示那样，也可在下侧突出部 240 的角部、

下侧电极层 250 的角部、连接孔 251 的角部、主电极层 101 的角部的全部角部上设置应力缓冲用突出部 450、453、454、400，而且，组合起来实施除去应力缓冲用突出部的上部的保护绝缘膜 102、103 等的多个对策。

- 5 按照本发明，由于将焊区电极作成规定的平面形状，再者，作为焊区部，适当地组合下侧突出部、应力缓冲用绝缘壁、应力缓冲用突出部并包含这些部分，故即使在进行引线键合时对焊区电极施加负载或冲击力，也可缓和朝向角部的应力集中。其结果，可防止在角部附近的层间绝缘膜的裂纹的发生。这样，因为增加了在引线键合时所容
- 10 许的负载或冲击力，故能以足够的连接强度来进行引线键合，能制成可靠性高的半导体装置。

- 尽管已结合优选实施例对本发明进行了描述，但并不是旨在将本发明的范围限制在所述的特定形式，恰恰相反，旨在包括所附的权利要求中确定的本发明范围和精神中可包含的可选方案、修改方案及等
- 15 同方案。

说明书附图

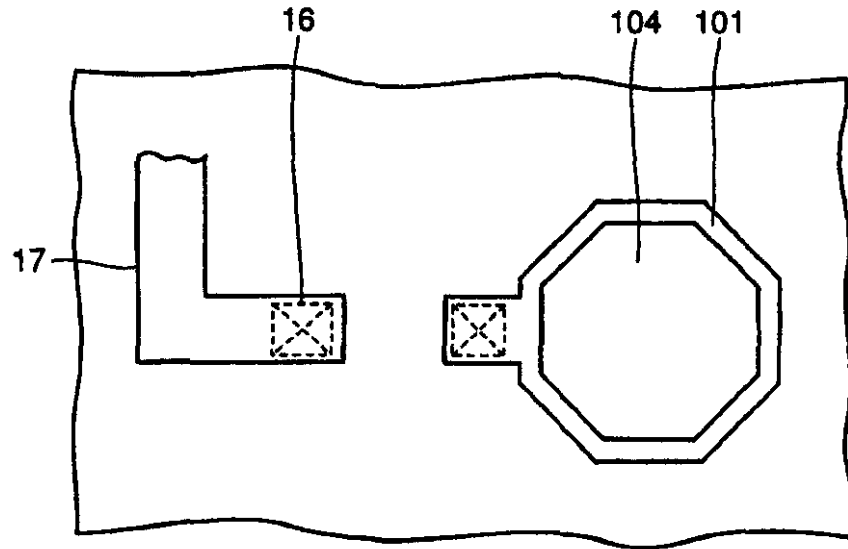


图 1A

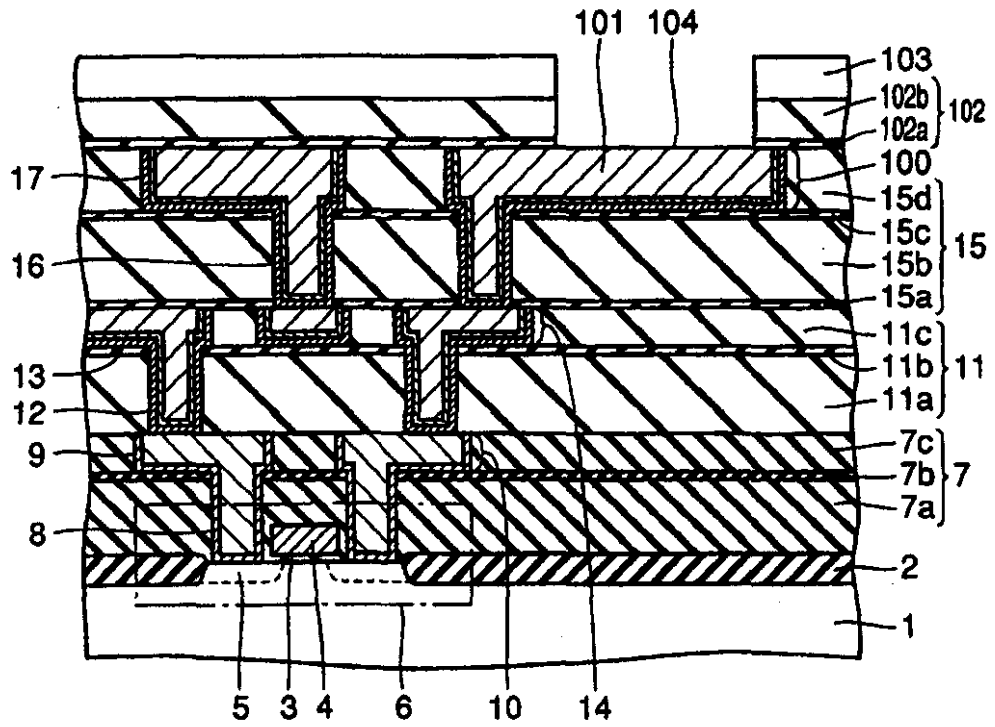


图 1B

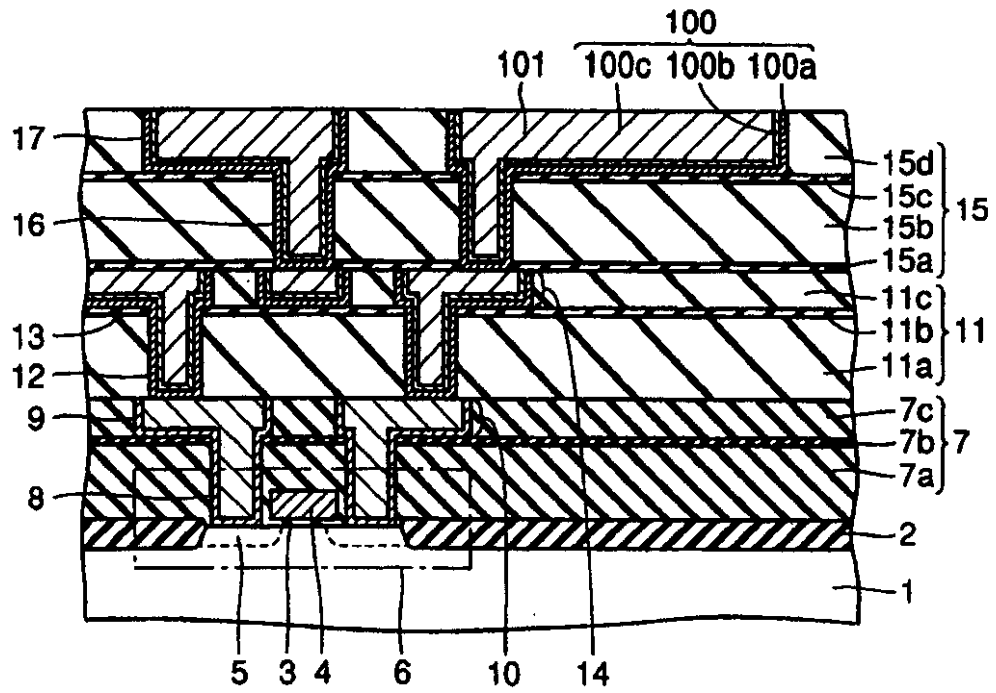


图 2

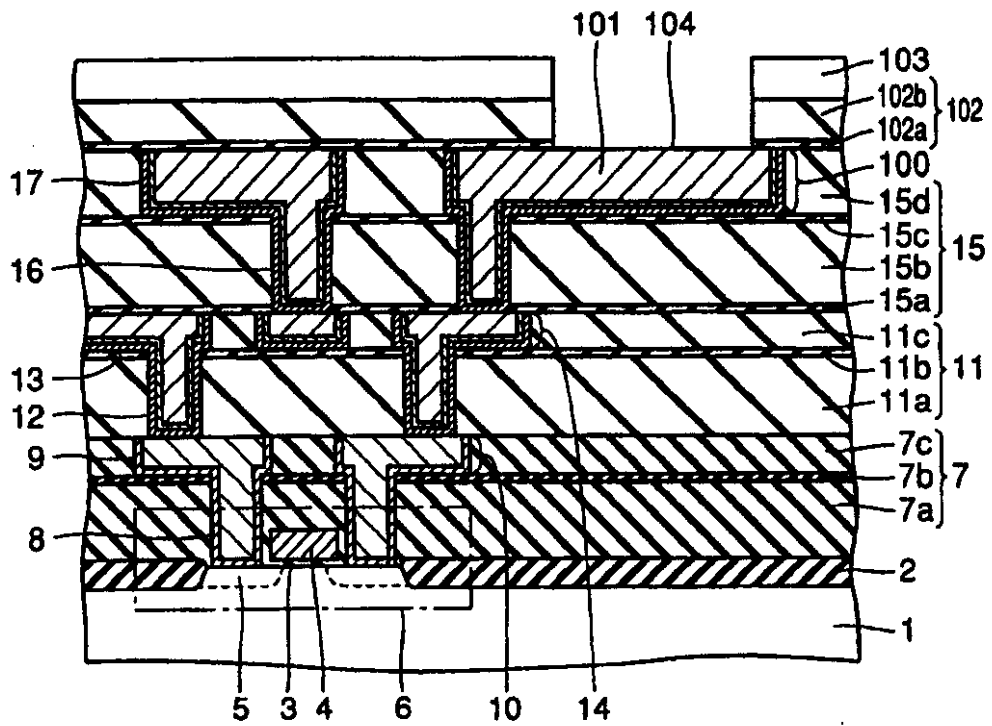


图 3

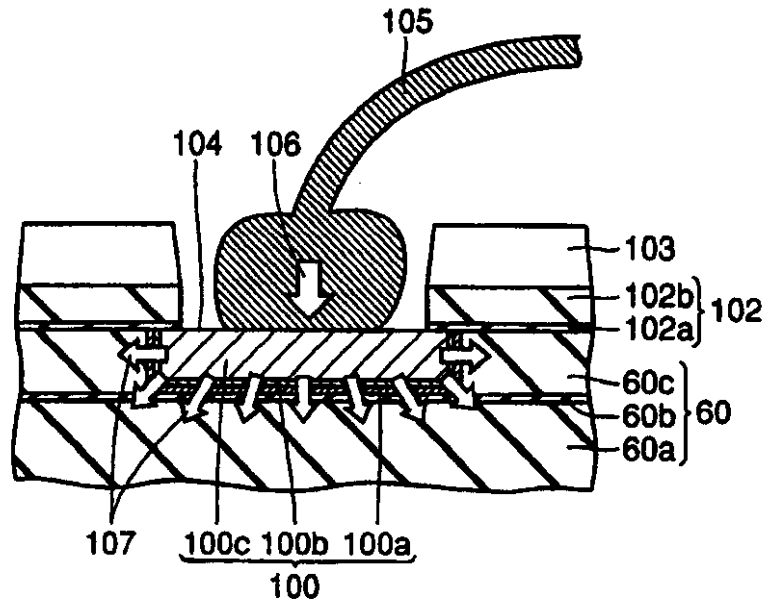


图 4

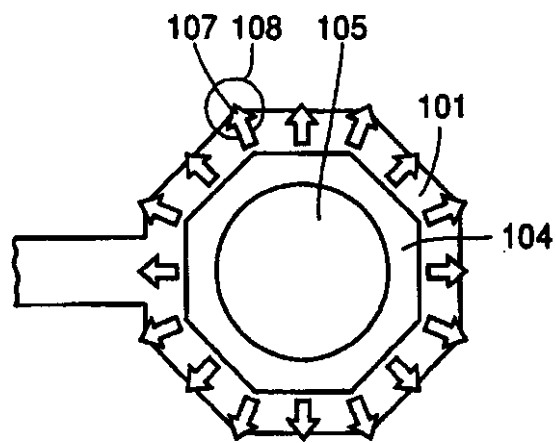


图 5

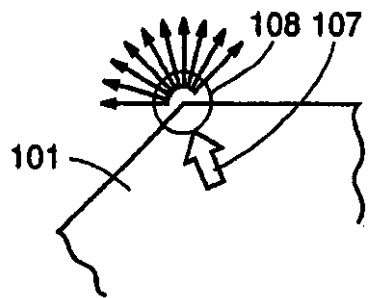


图 6A

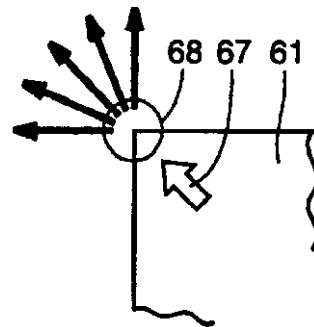


图 6B

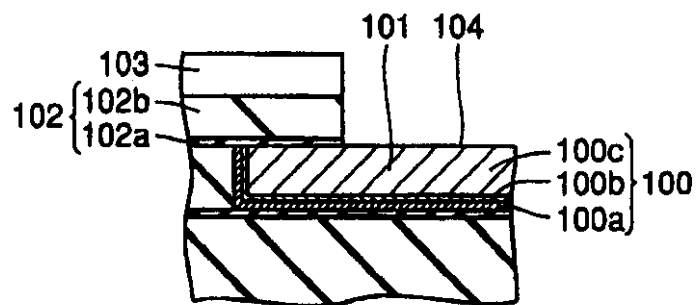


图 7

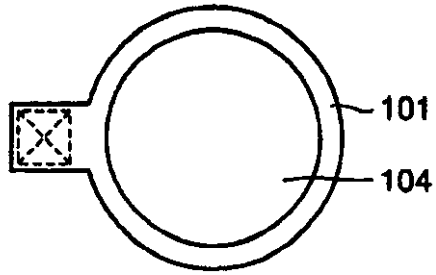


图 8

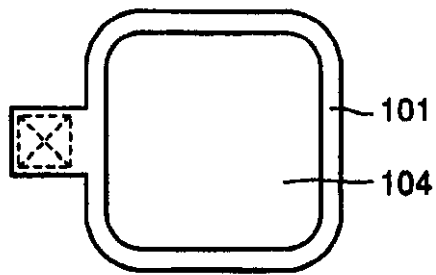


图 9

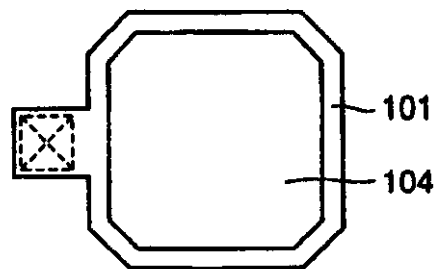


图 10

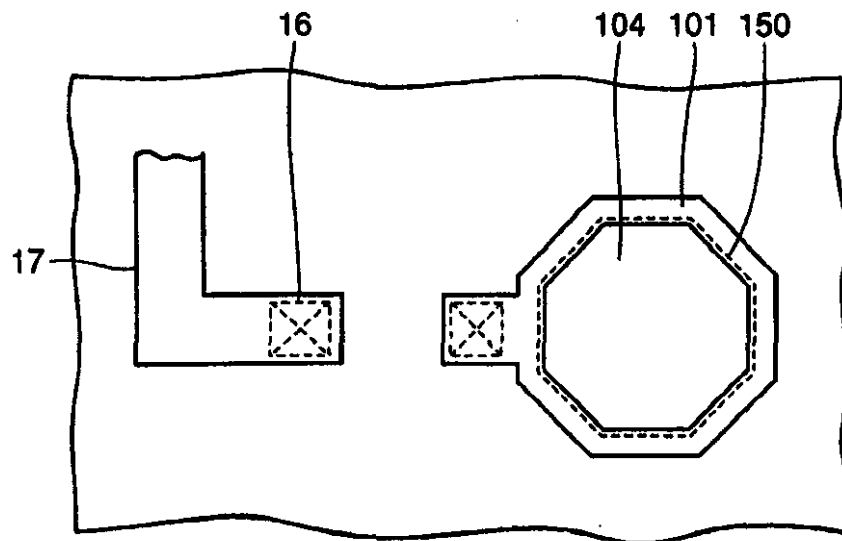


图 11A

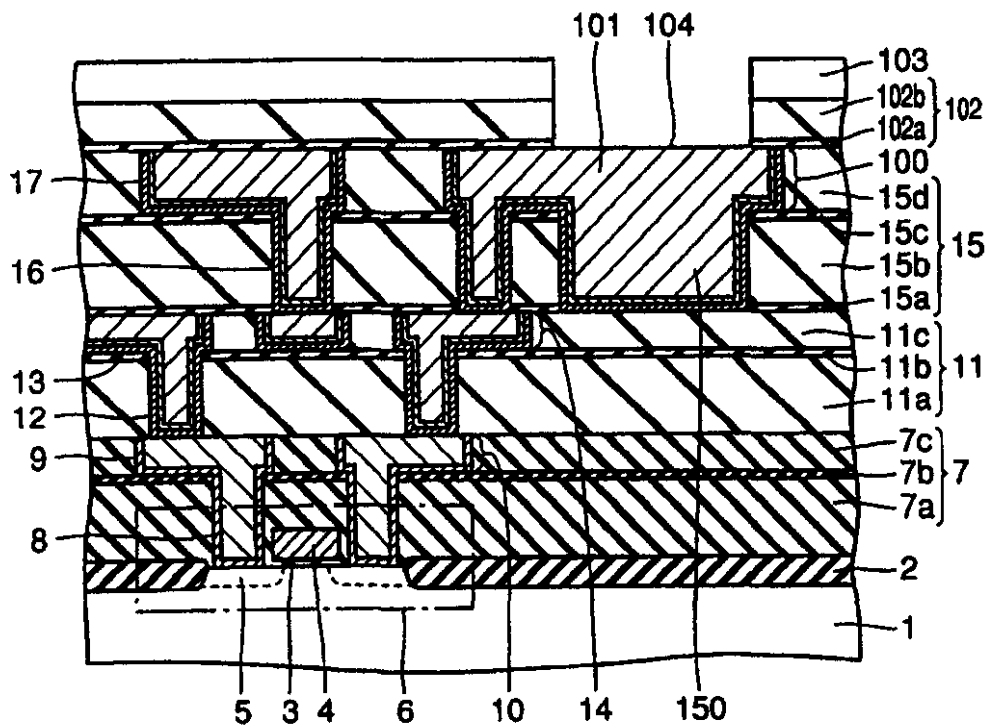


图 11B

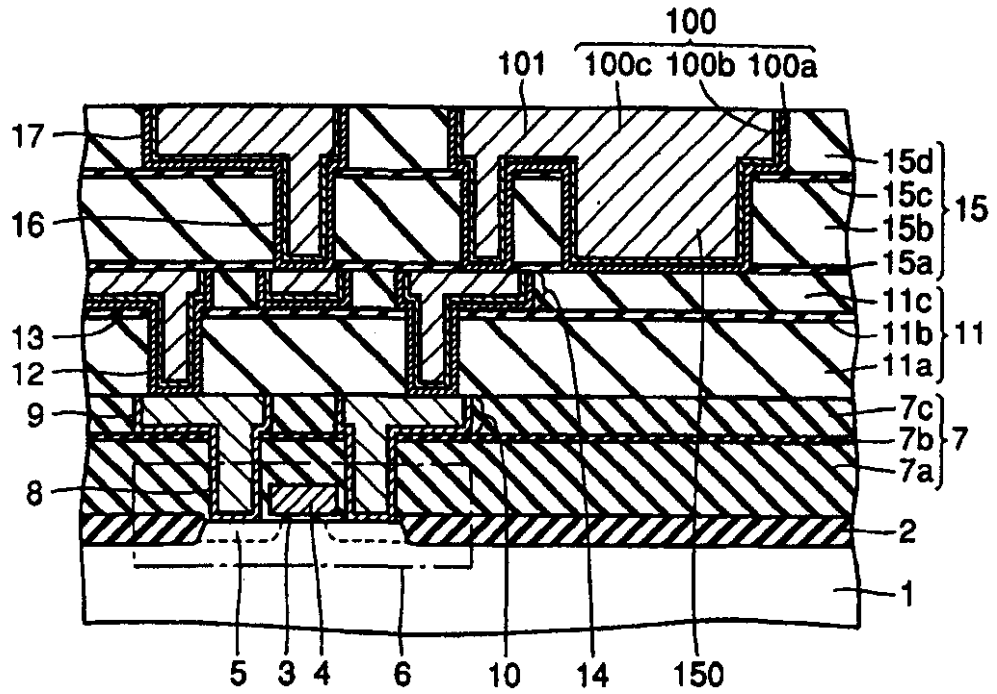


图 12

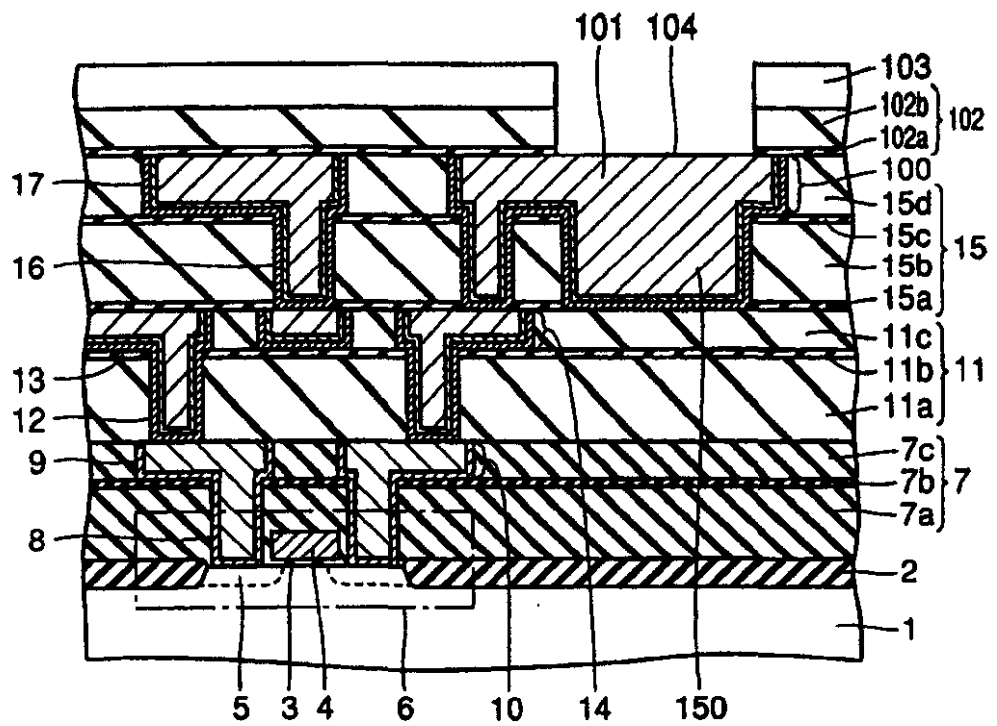


图 13

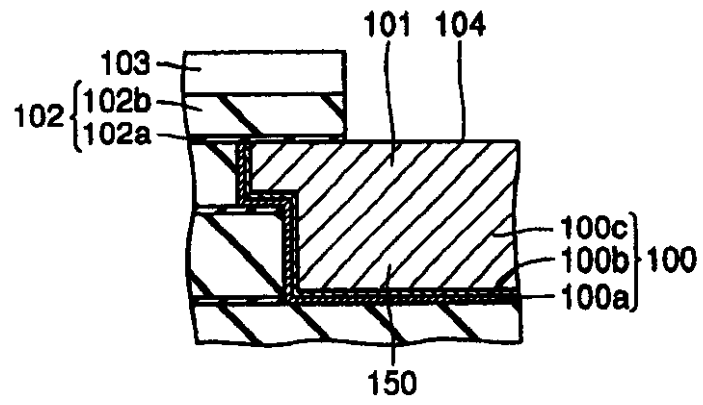


图 14

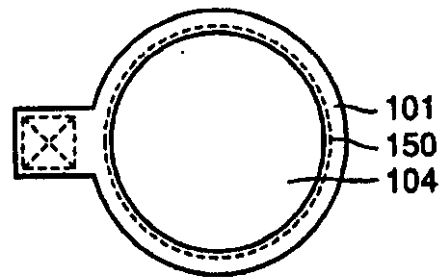


图 15

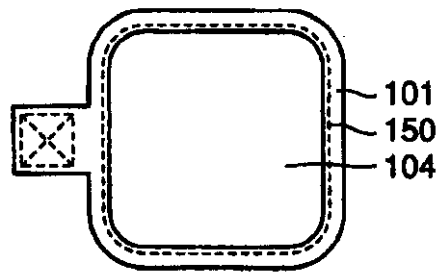


图 16

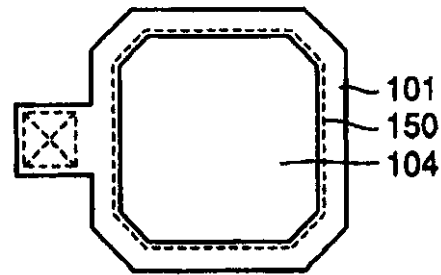


图 17

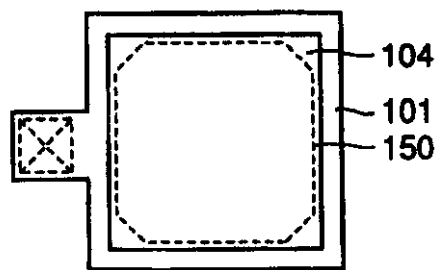


图 18

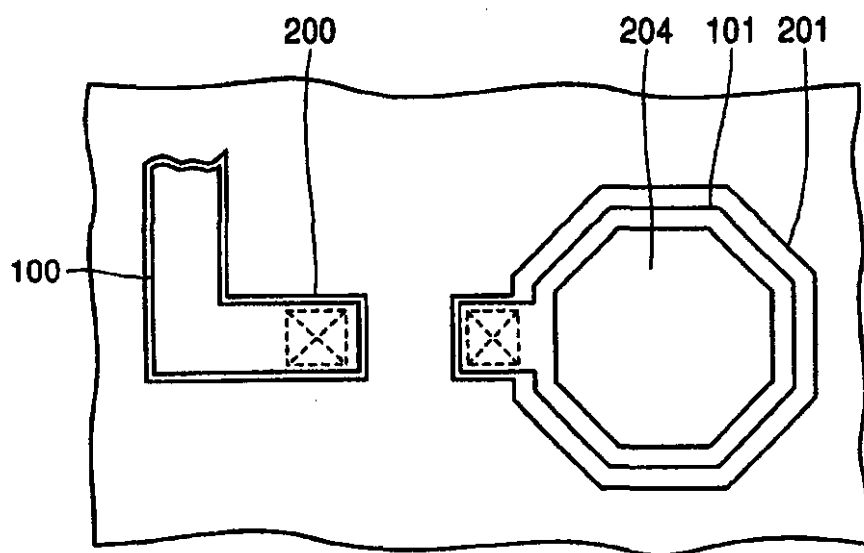


图 19A

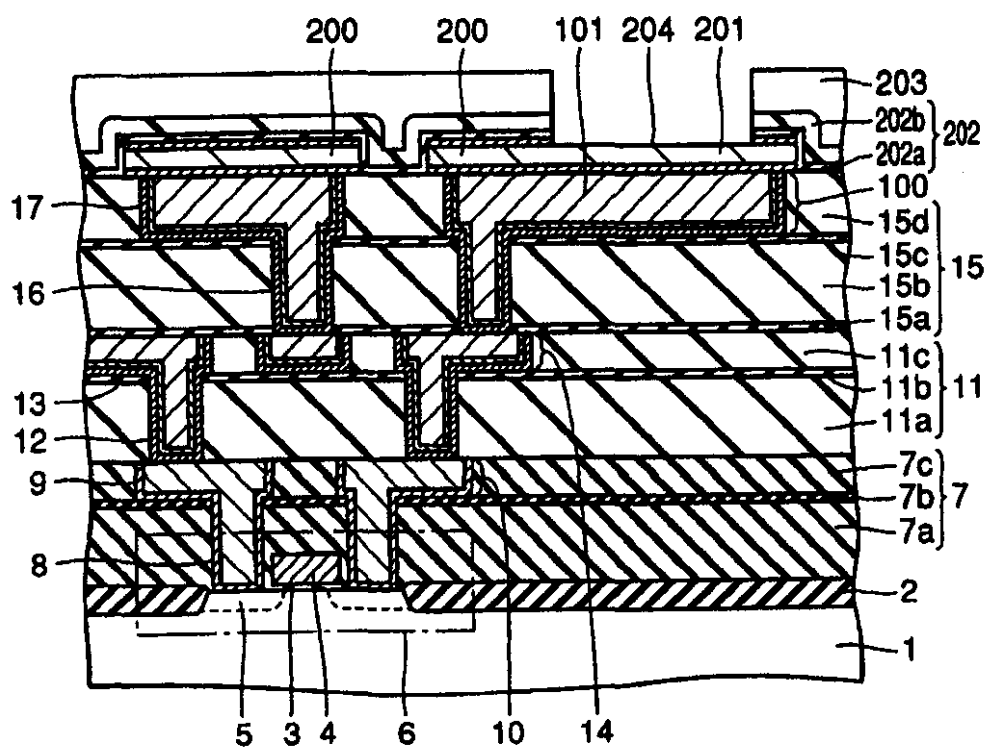


图 19B

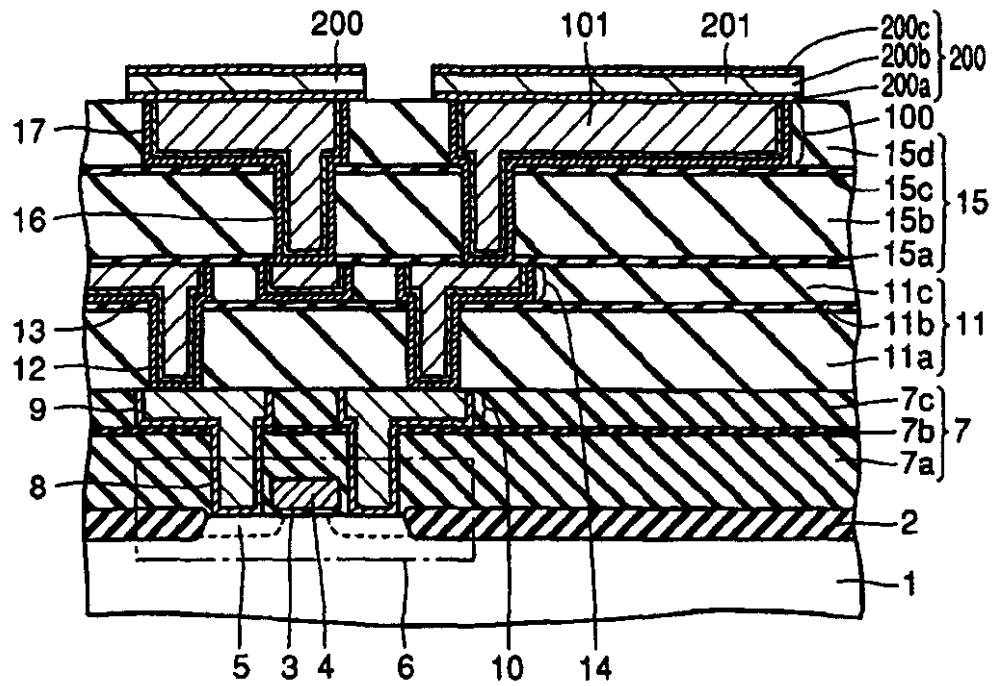


图 20

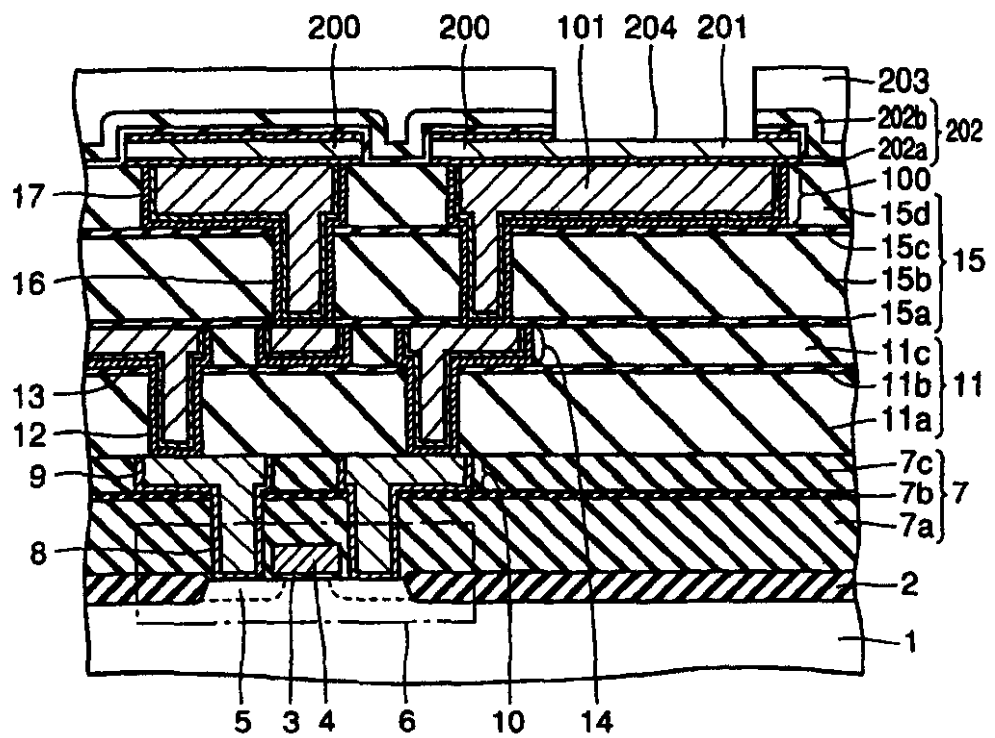


图 21

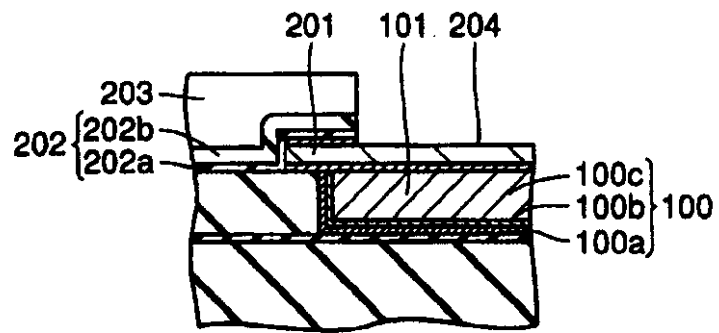


图 22

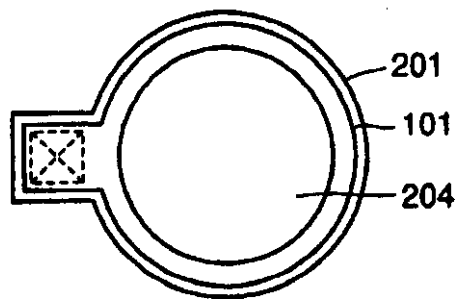


图 23

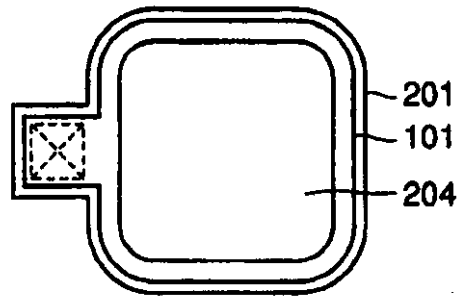


图 24

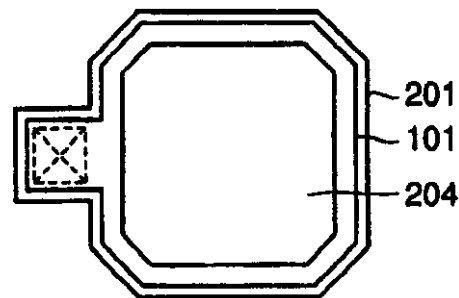


图 25

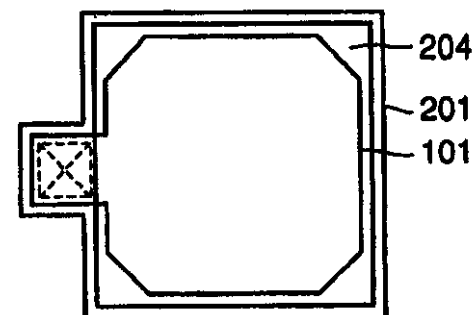


图 26

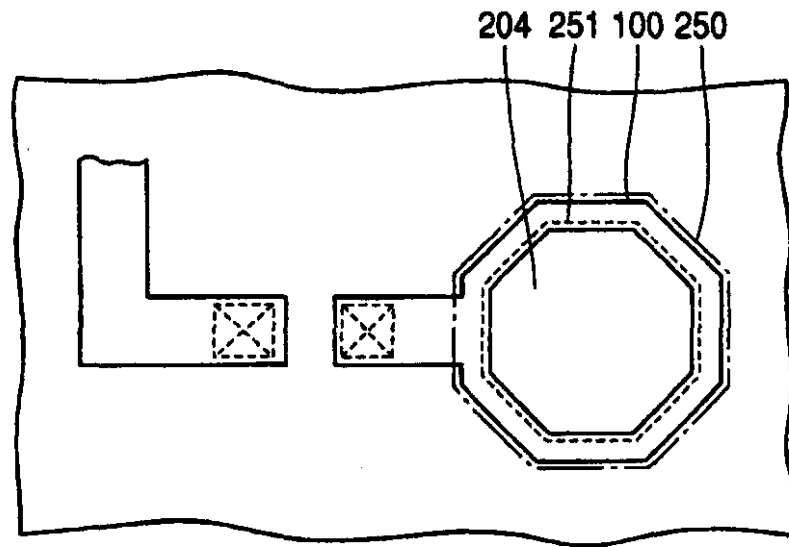


图 27A

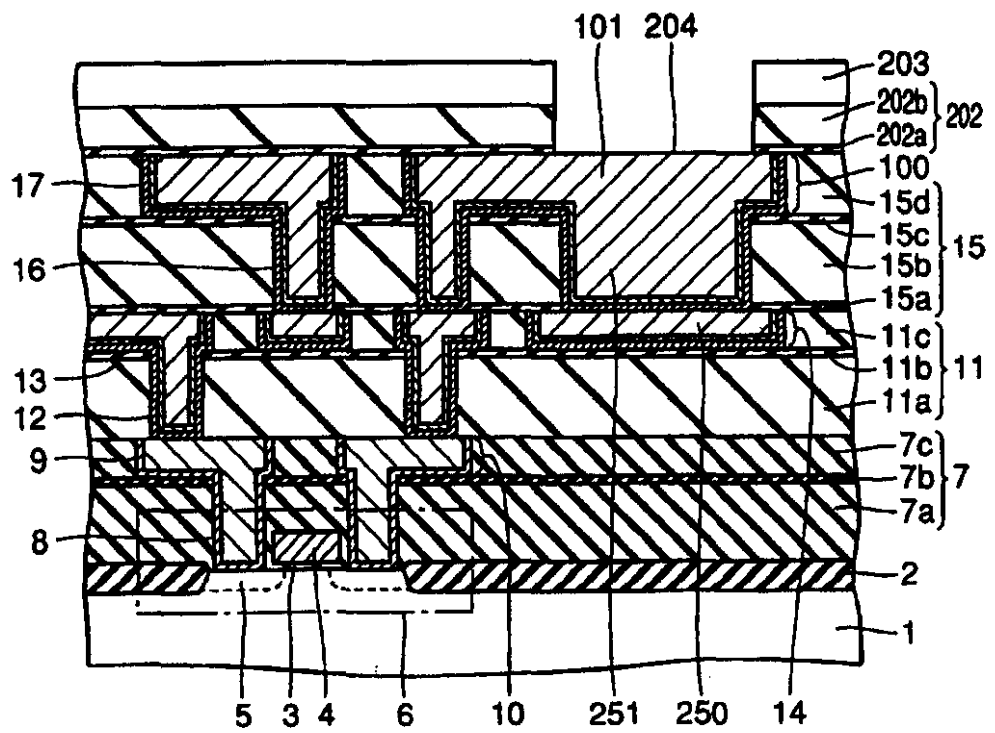


图 27B

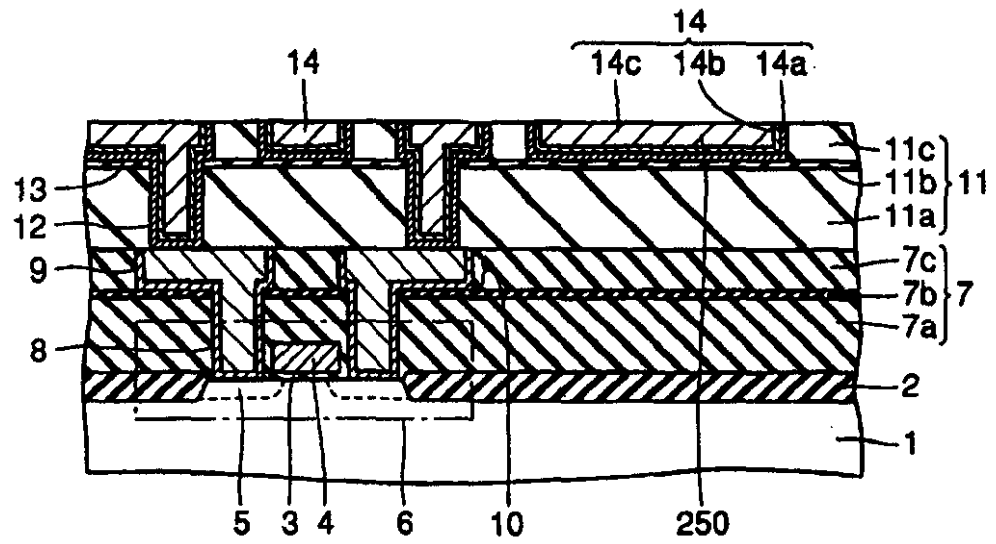


图 28

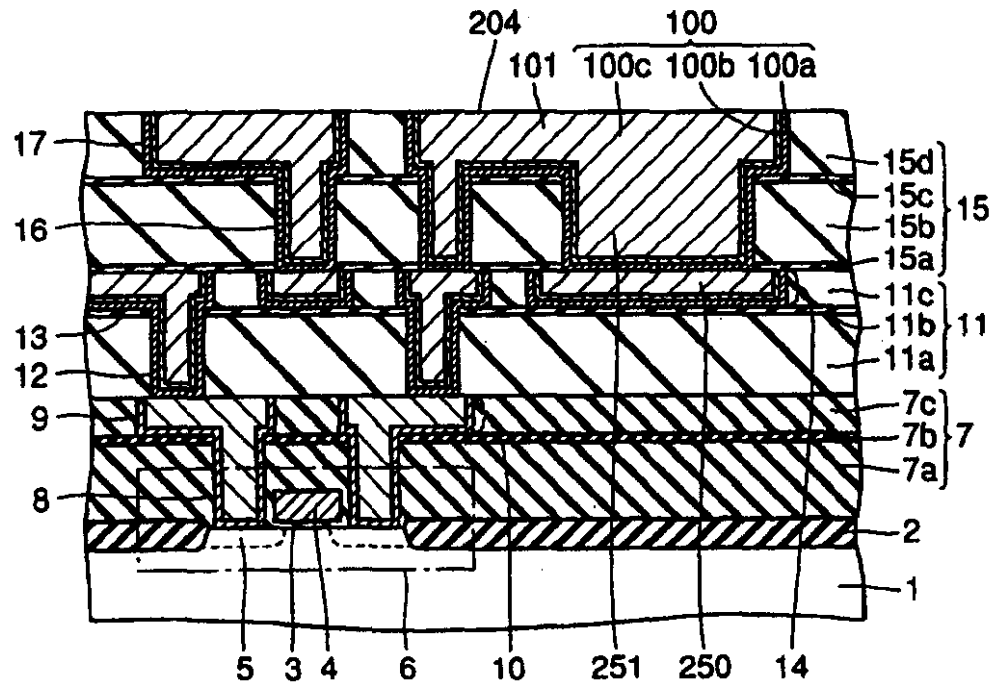


图 29

010005

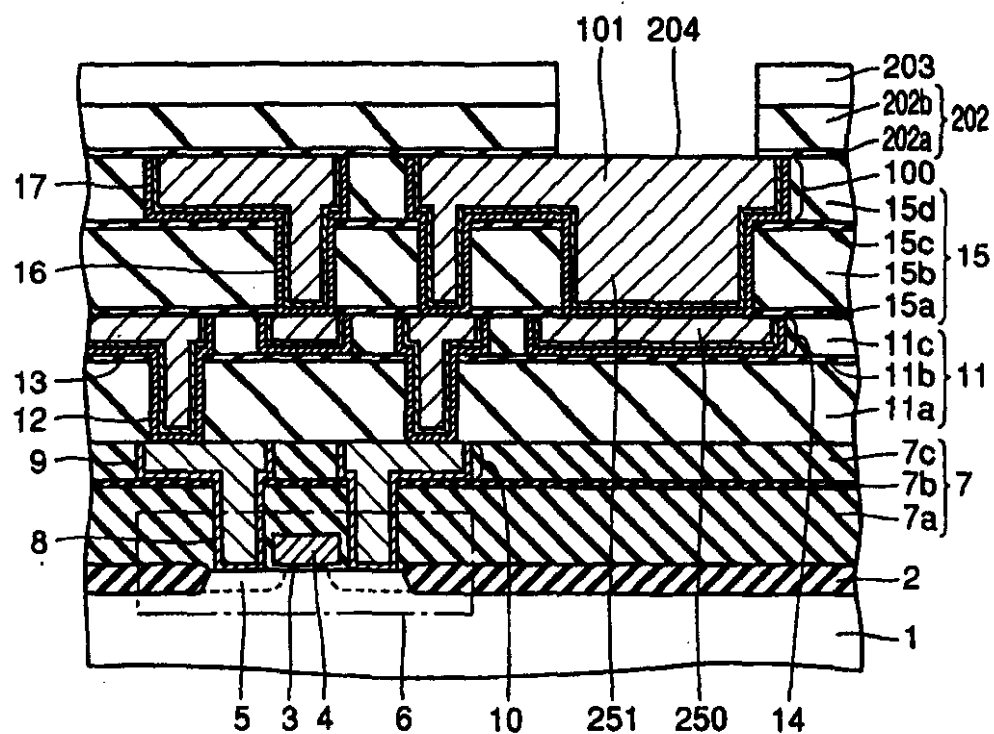


图 30

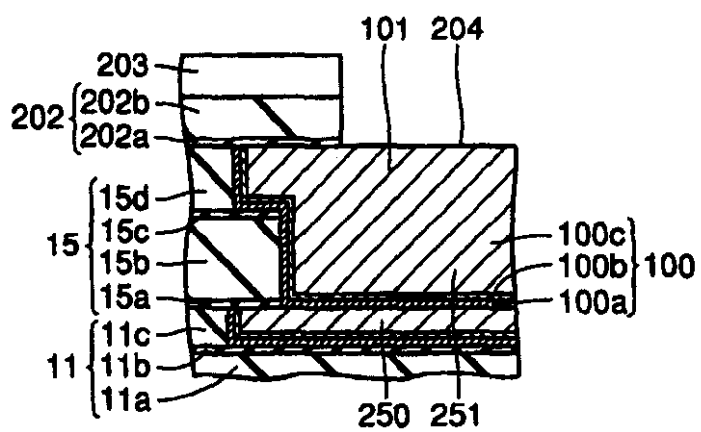


图 31

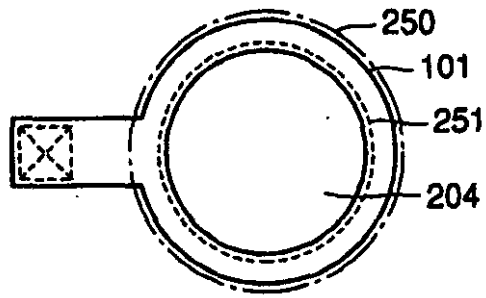


图 32

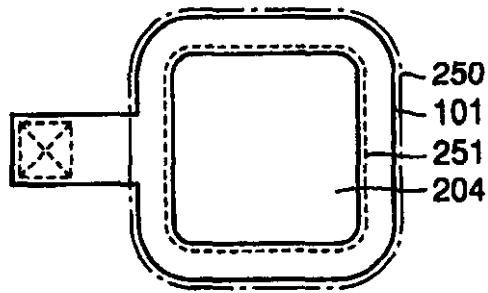


图 33

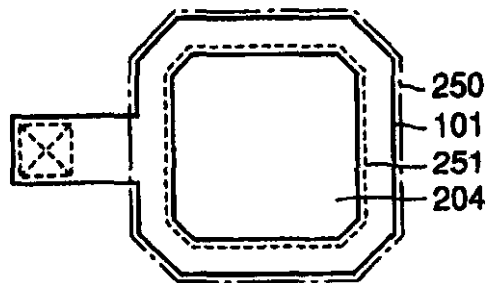


图 34

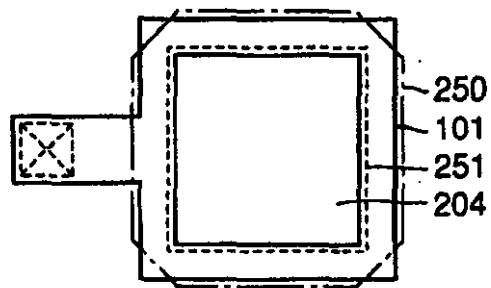


图 35

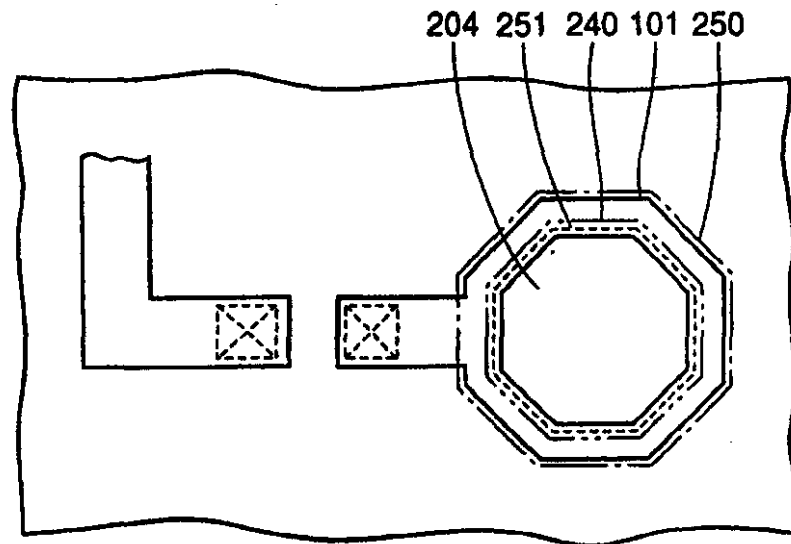


图 36A

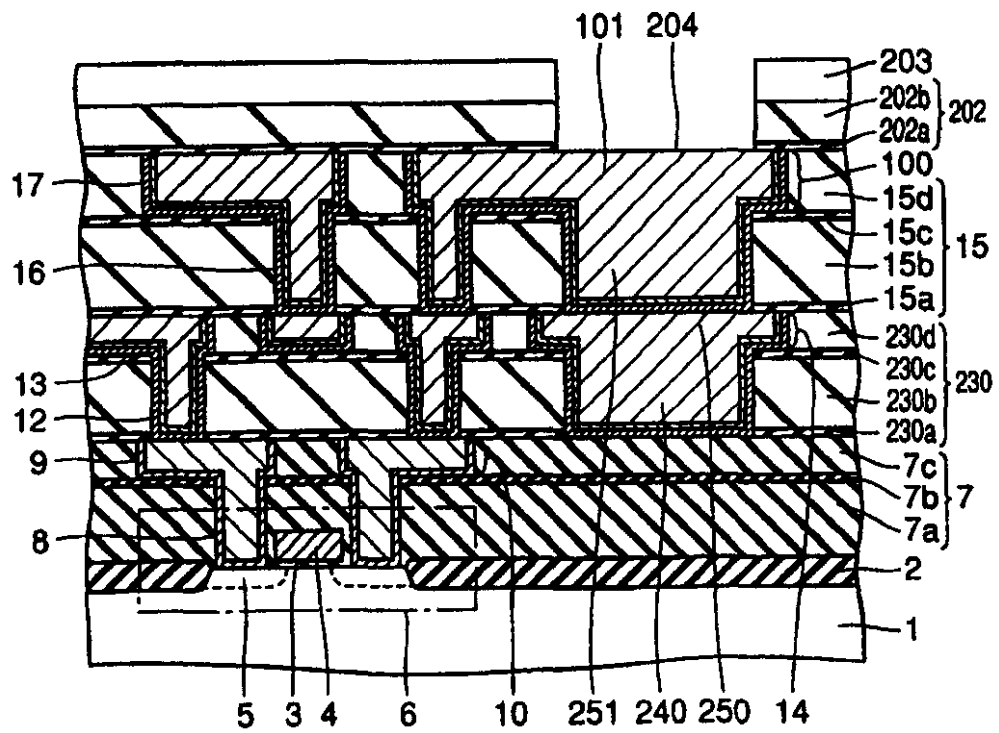


图 36B

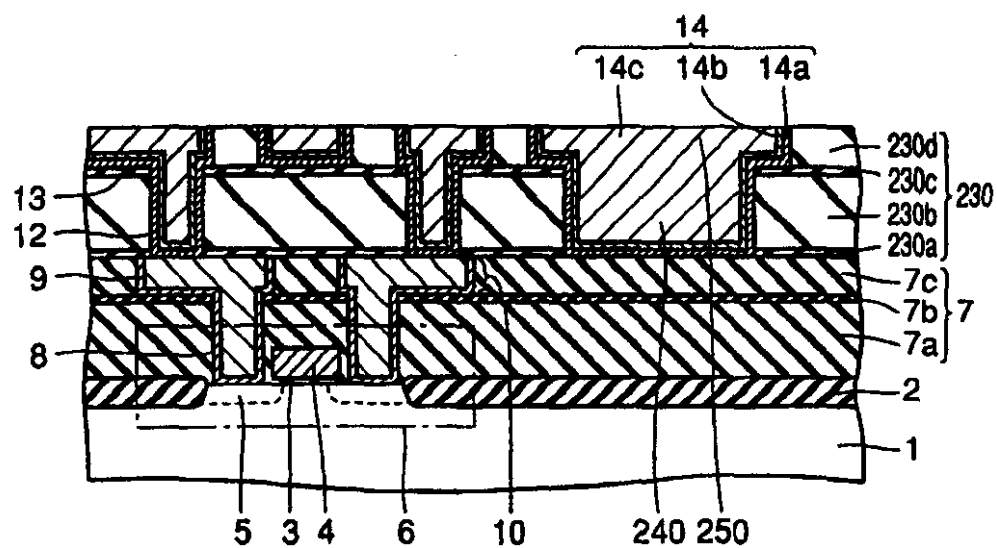


图 37

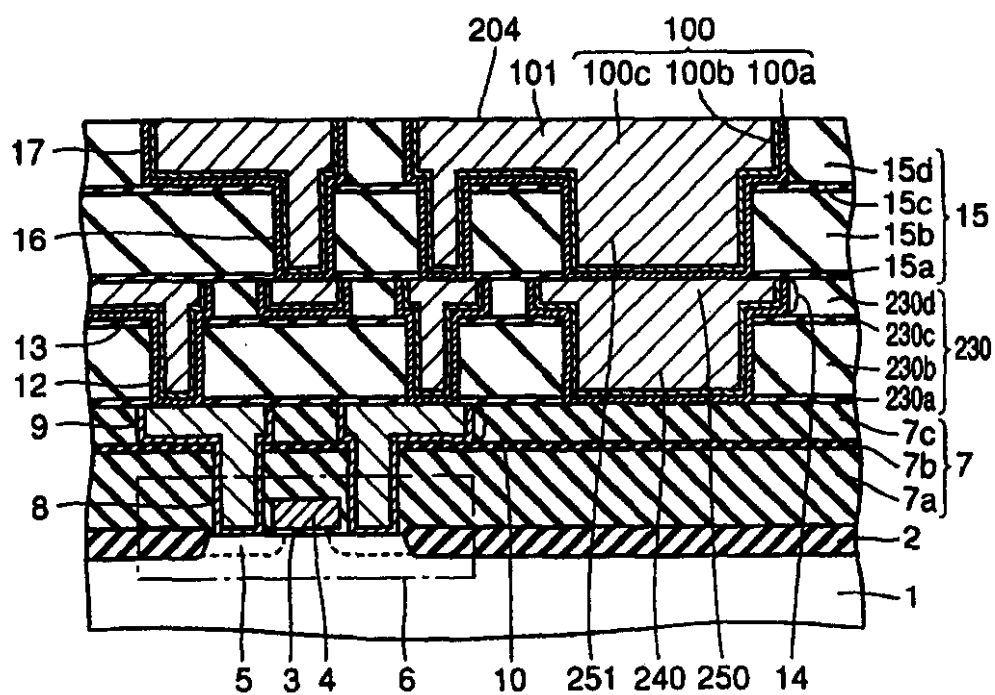


图 38

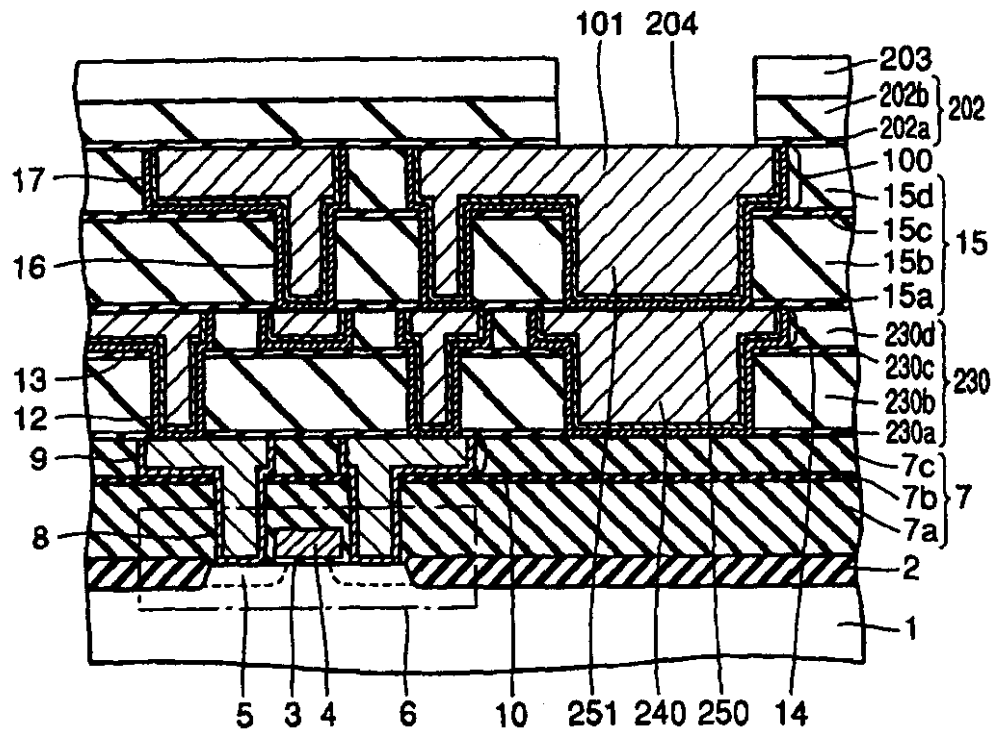


图 39

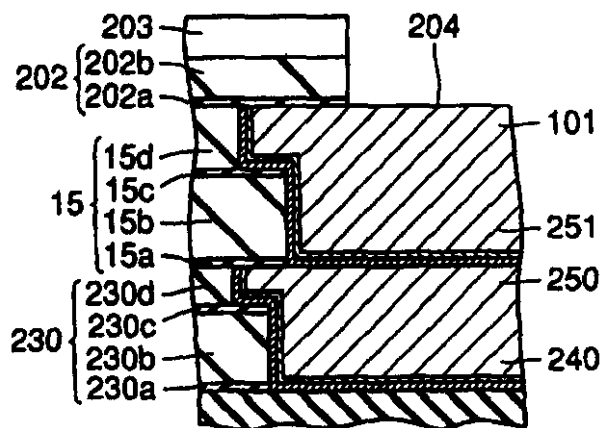


图 40

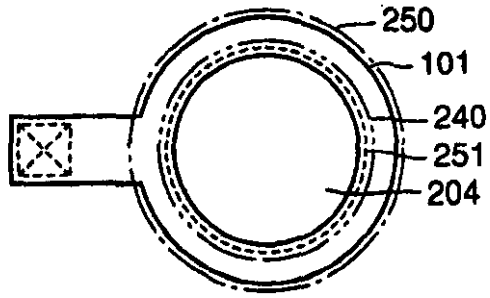


图 41

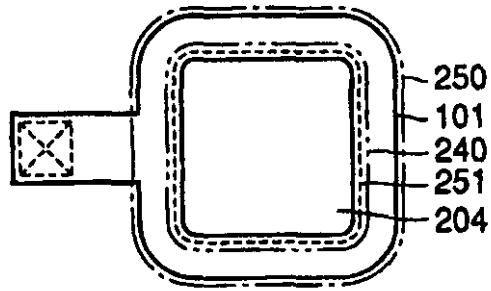


图 42

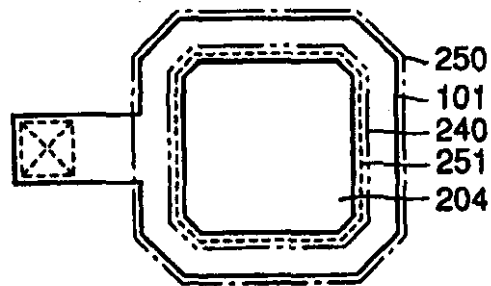


图 43

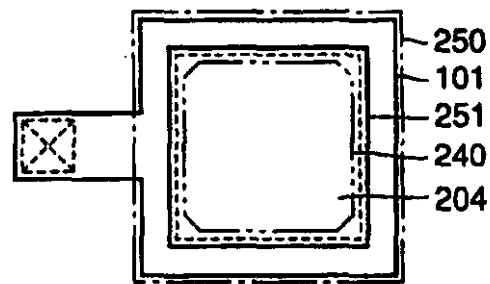


图 44

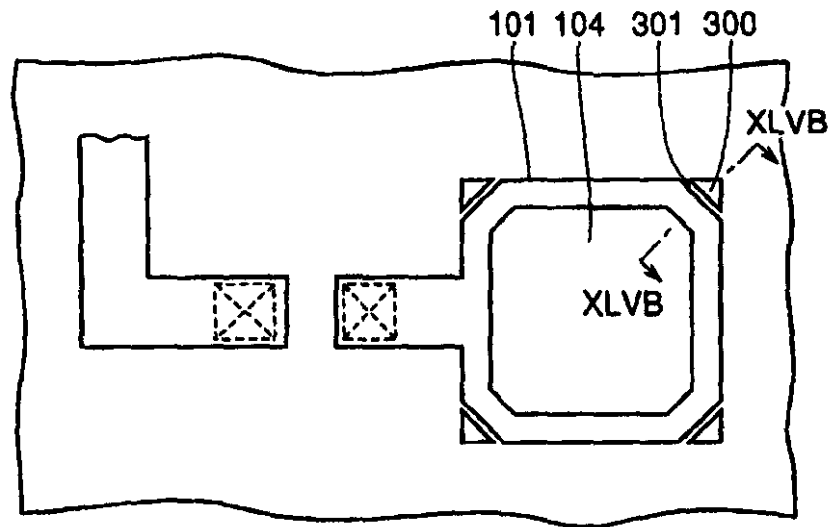


图 45A

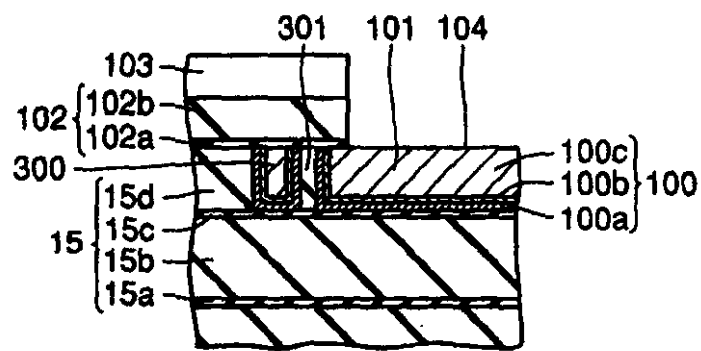


图 45B

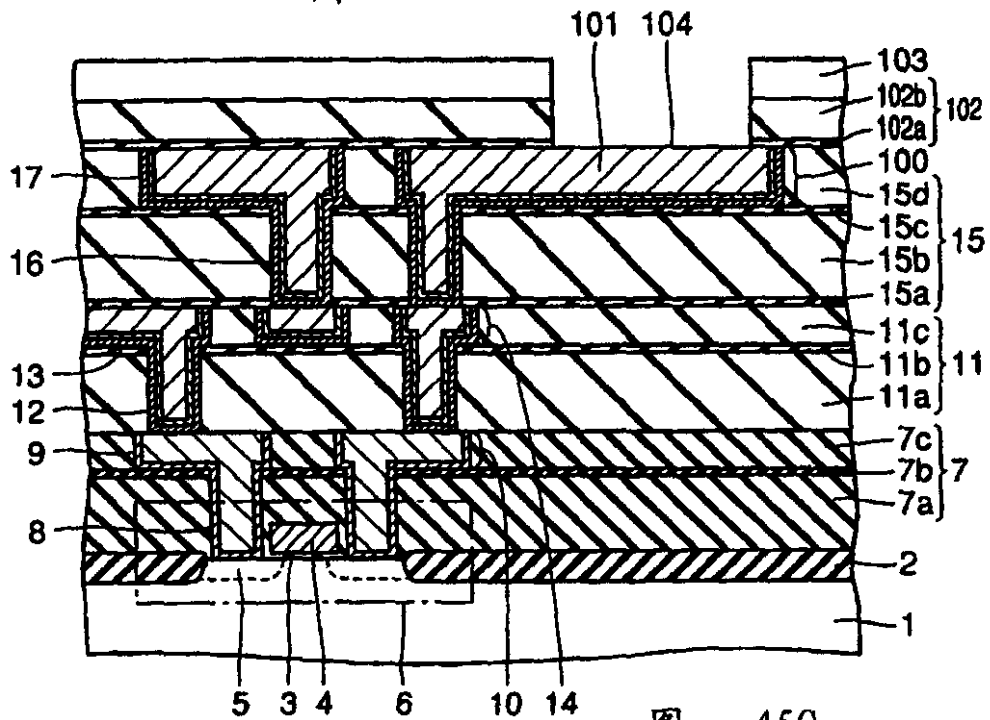


图 45C

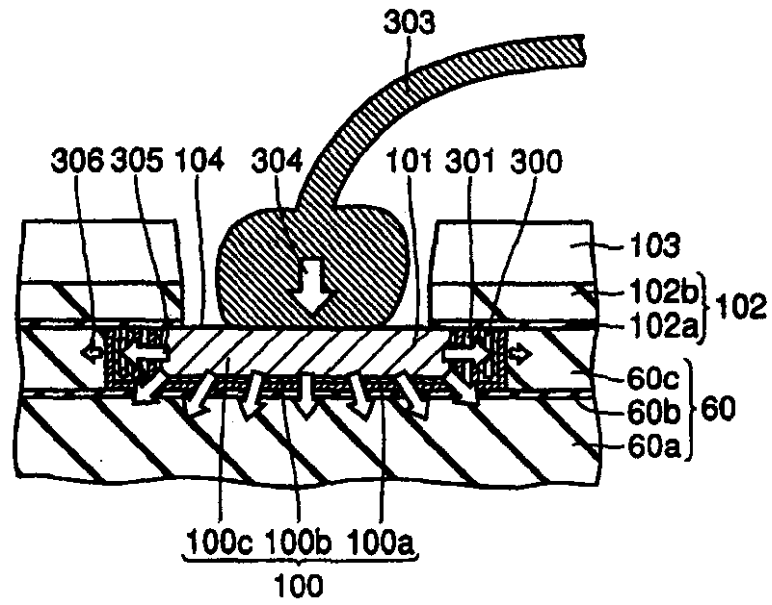


图 46

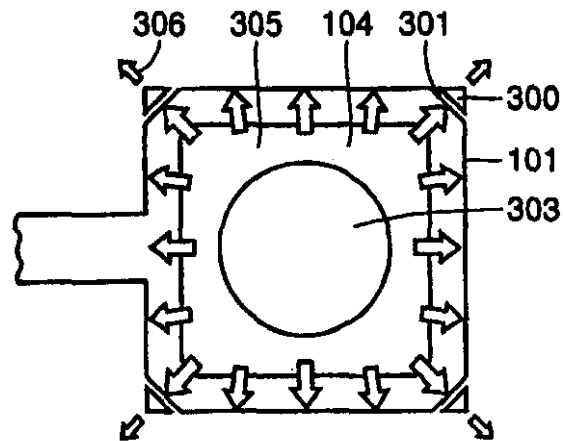


图 47

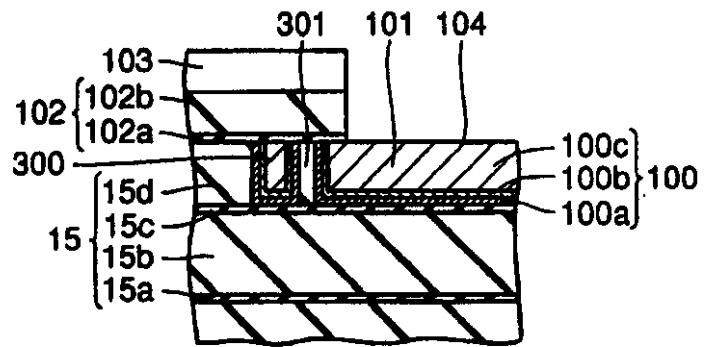


图 48

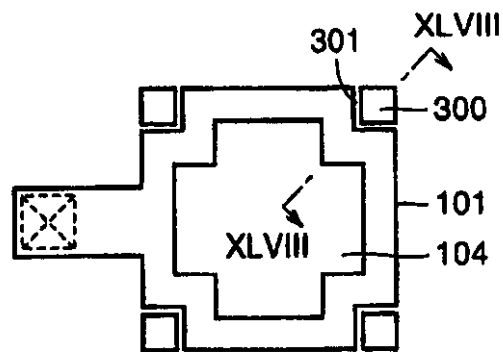


图 49

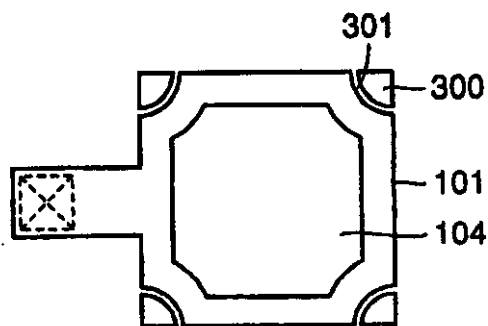


图 50

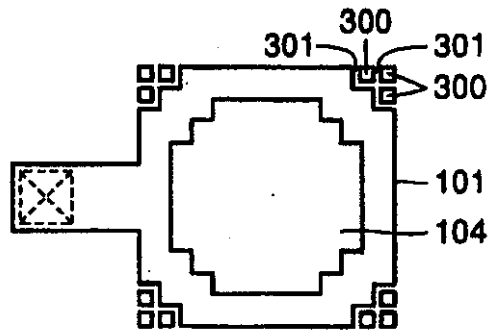


图 51

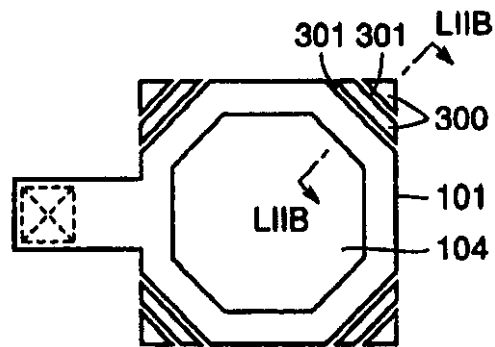


图 52A

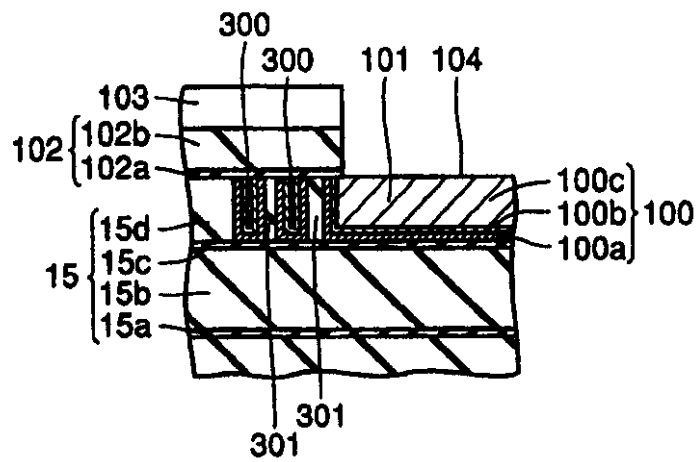


图 52B

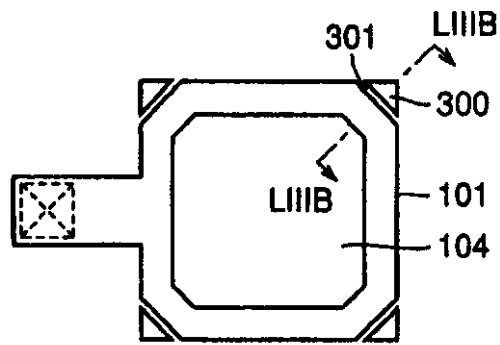


图 53A

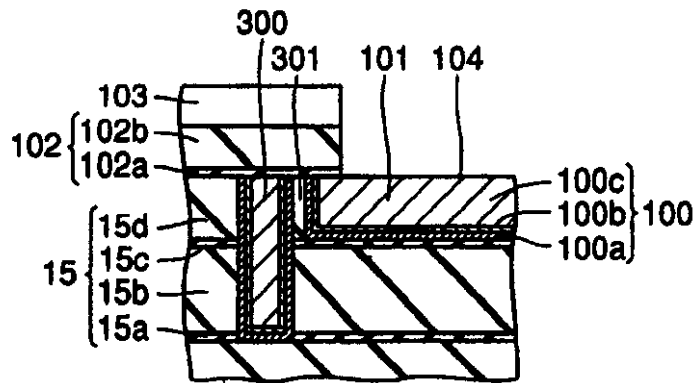


图 53B

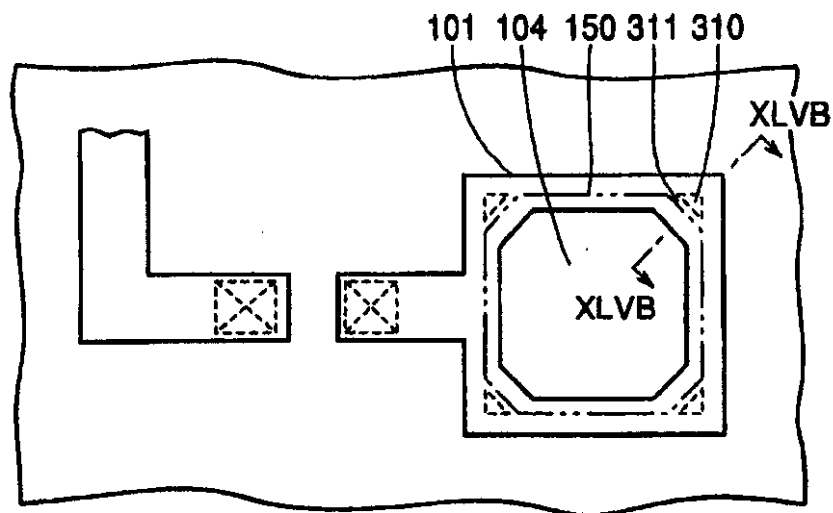


图 54A

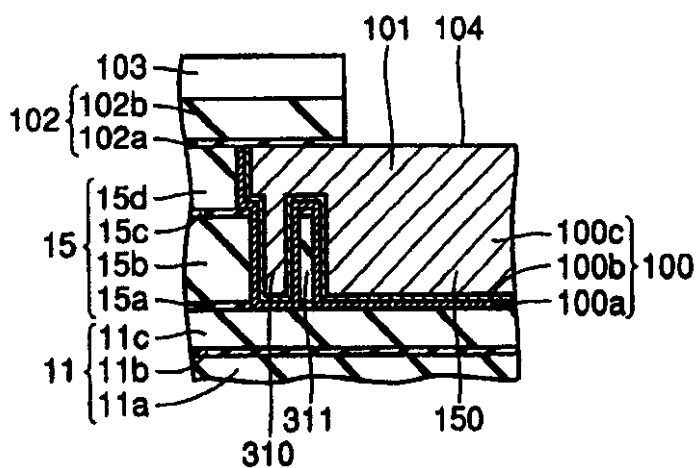


图 54B

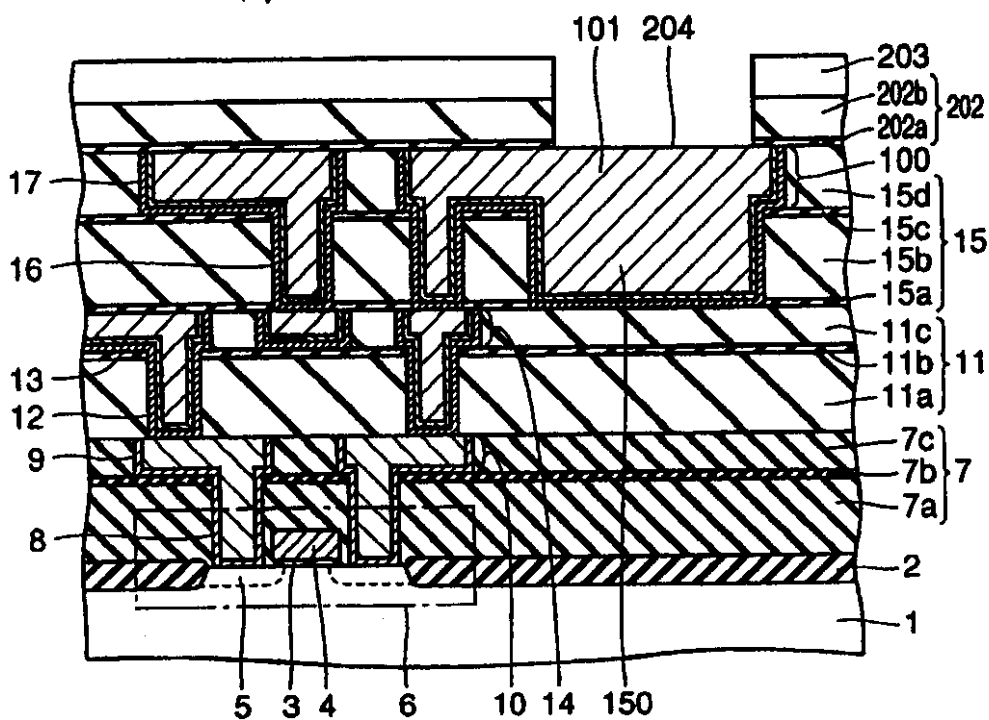


图 54C

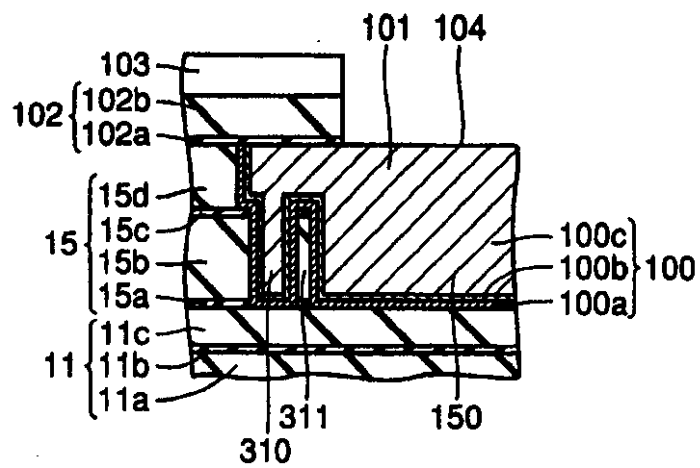


图 55

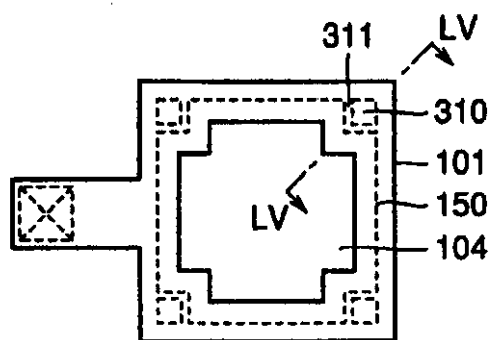


图 56

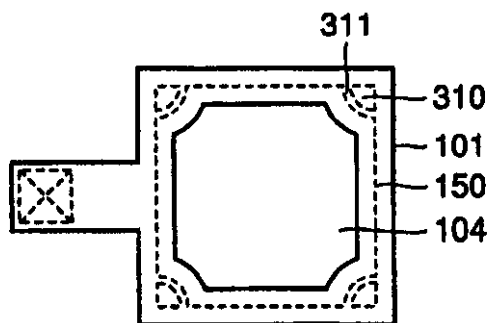


图 57

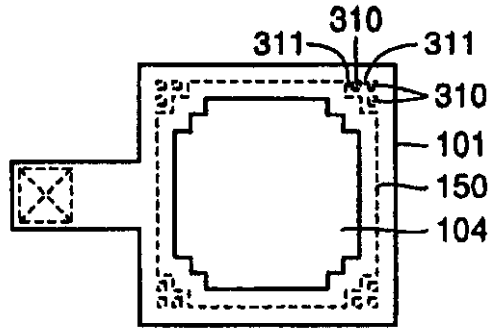


图 58

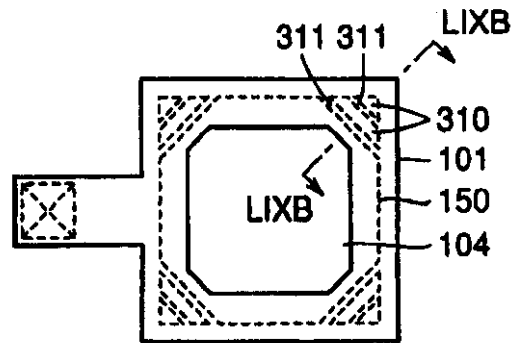


图 59A

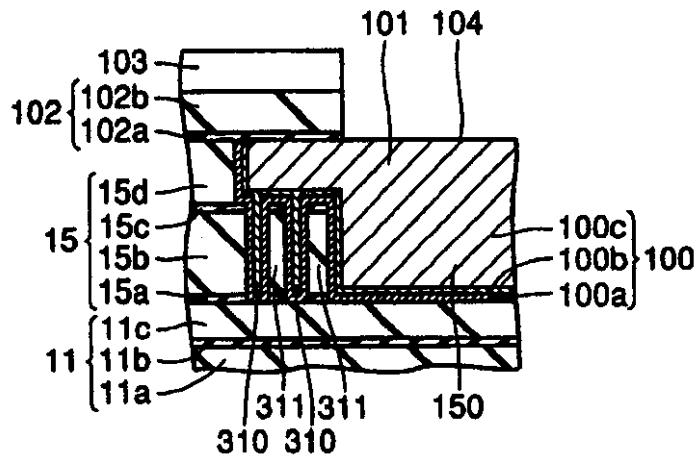


图 59B

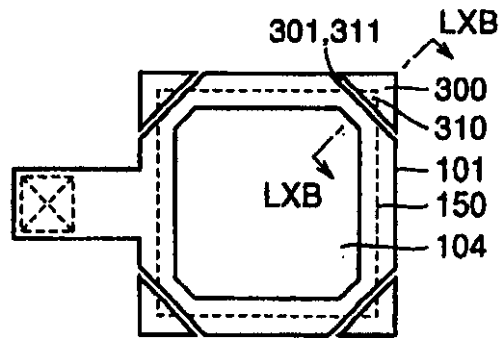


图 60A

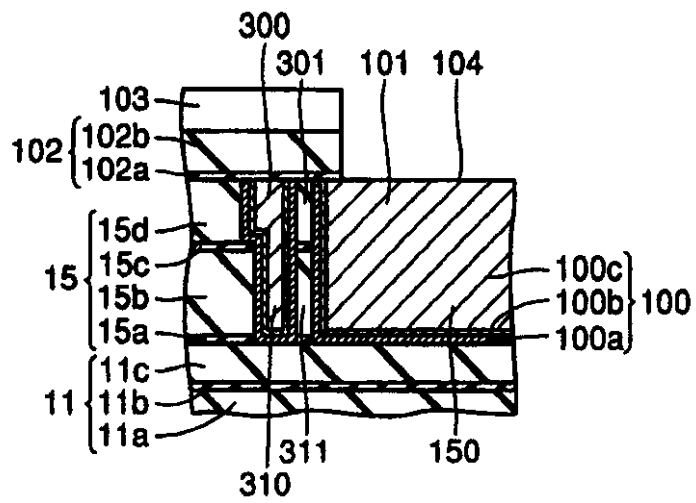


图 60B

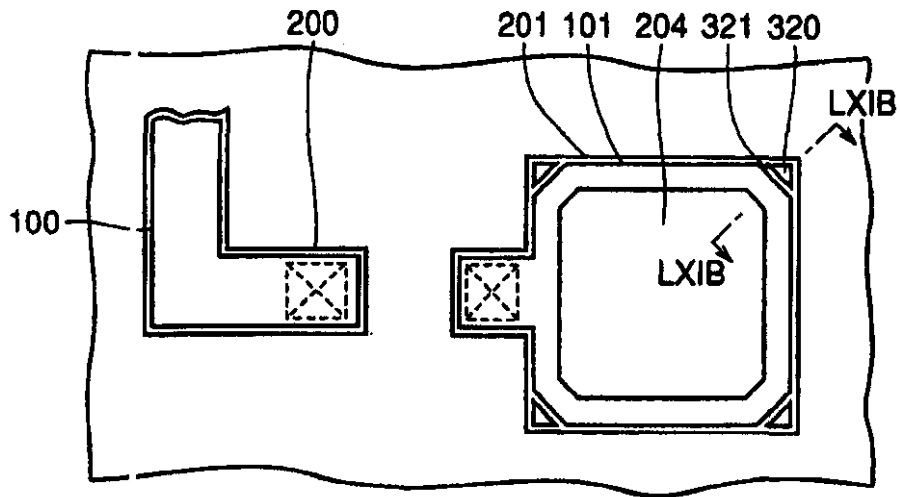


图 61A

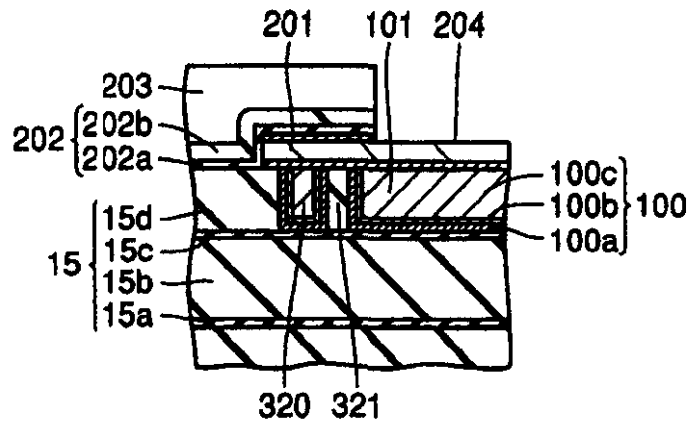


图 61B

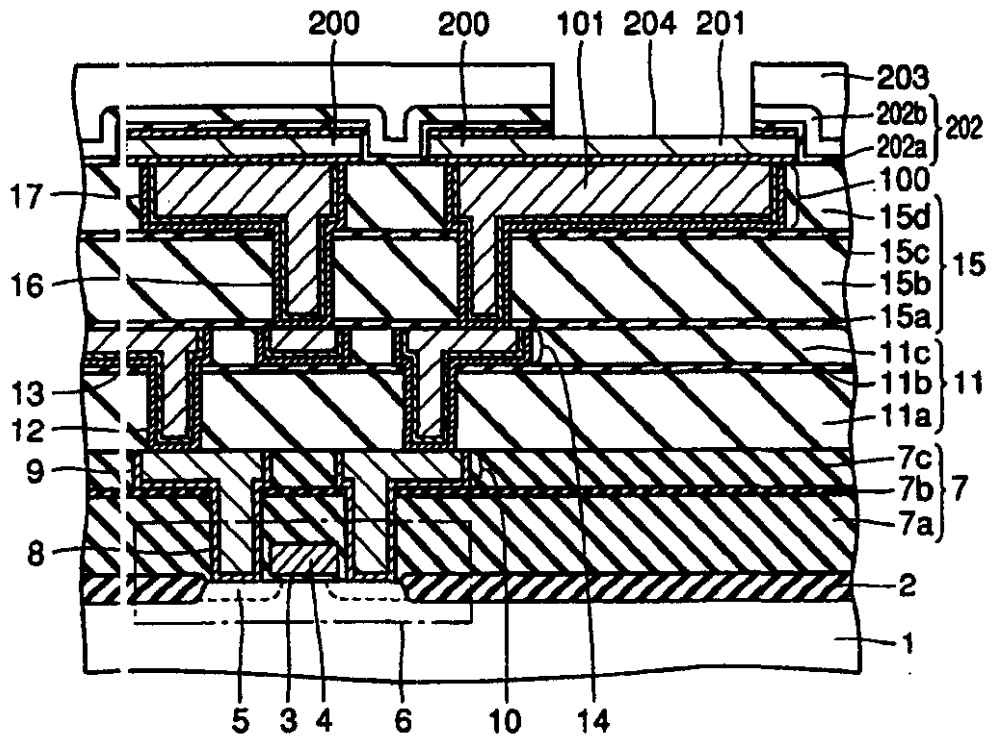


图 61C

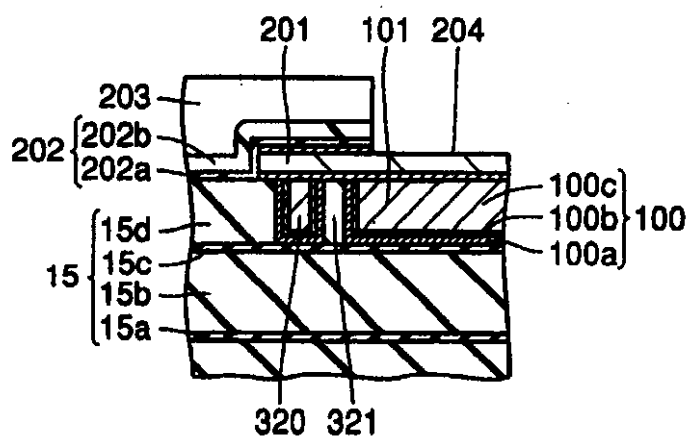


图 62

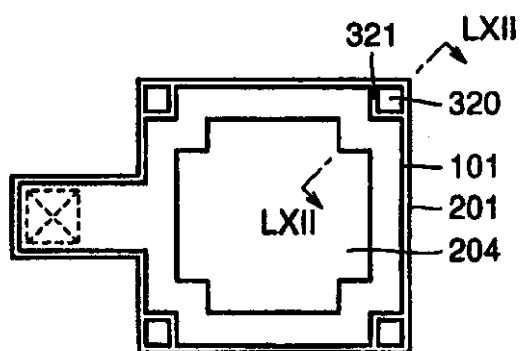


图 63

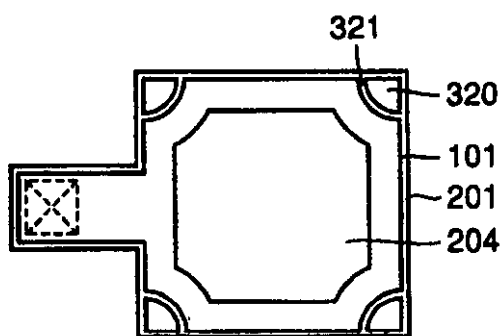


图 64

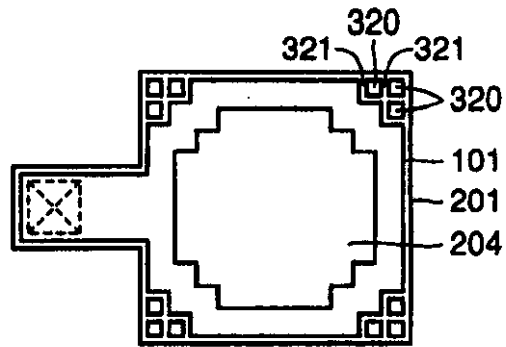


图 65

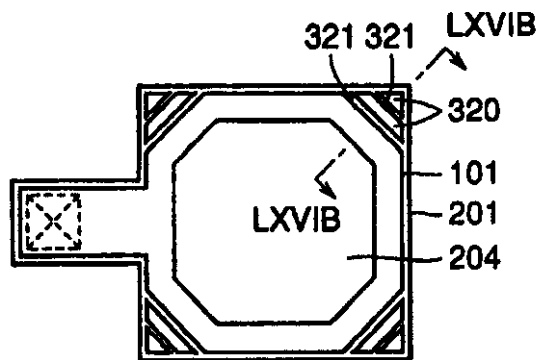


图 66A

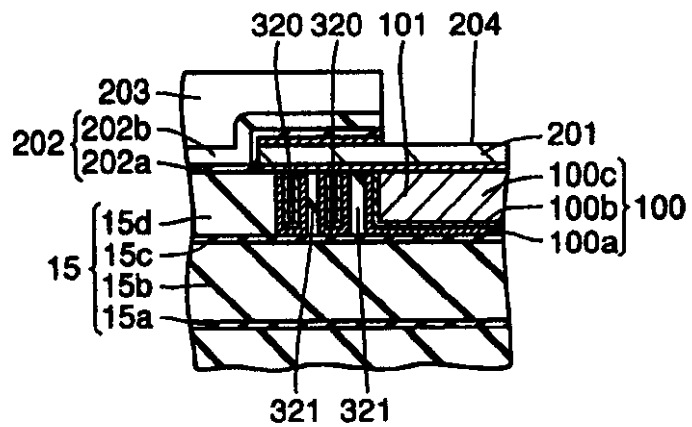


图 66B

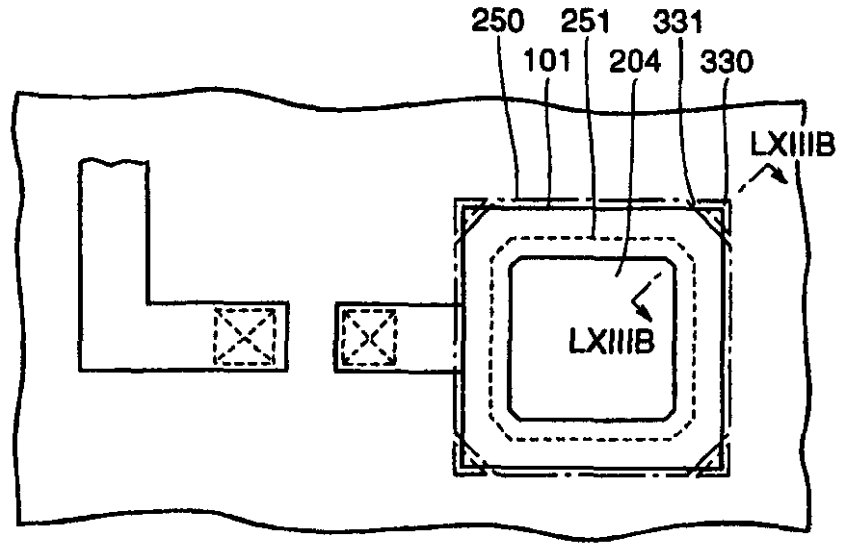


图 68A

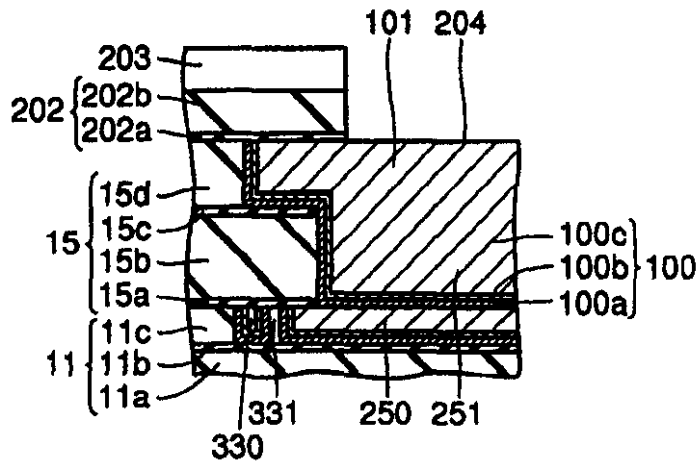


图 68B

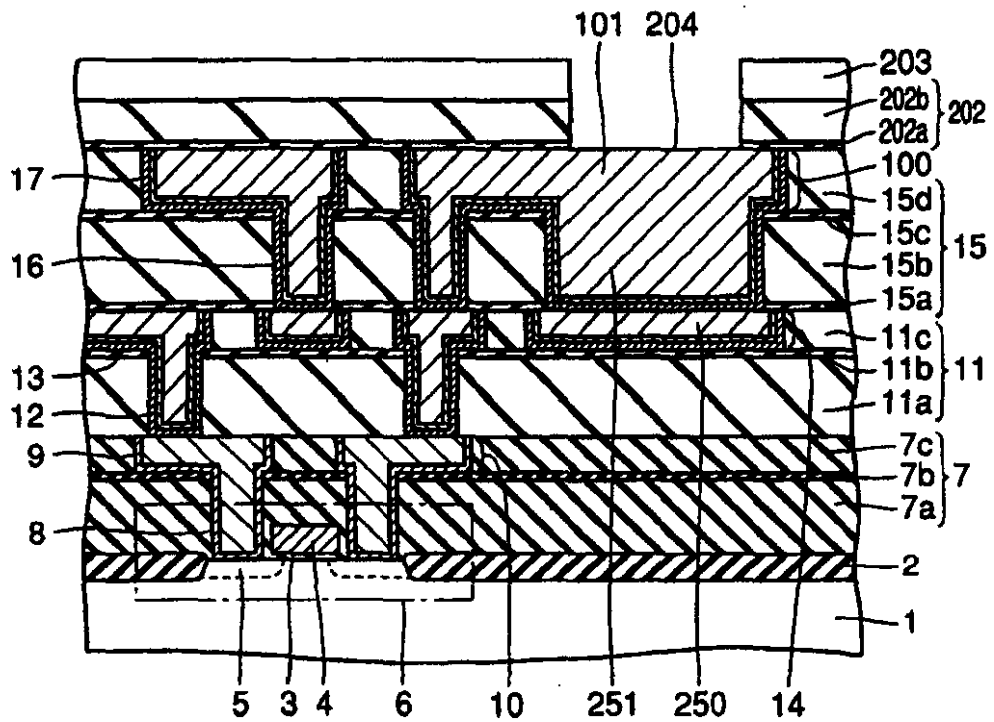


图 68C

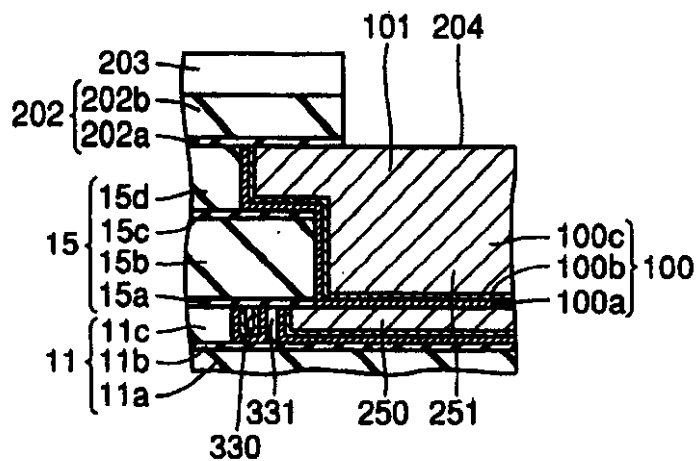


图 69

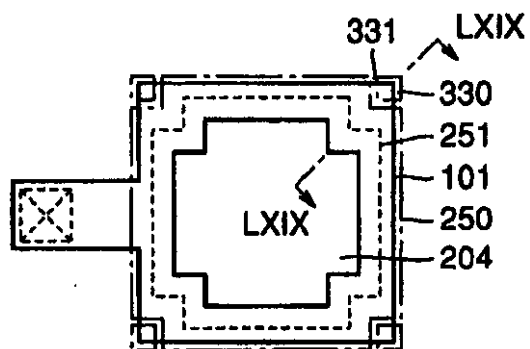


图 70

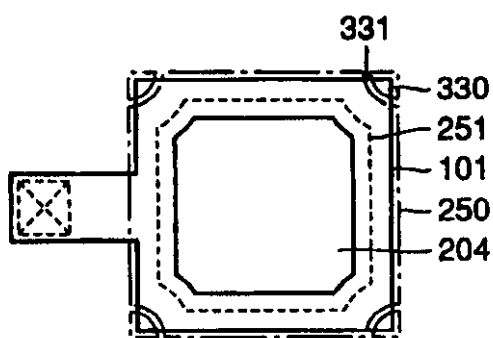


图 71

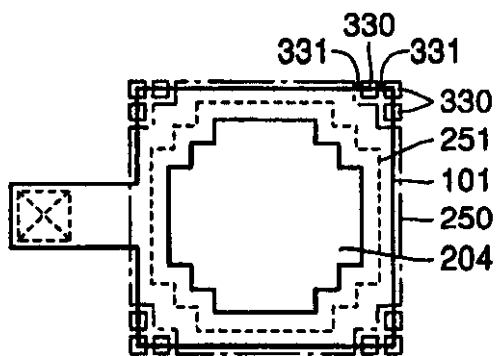


图 72

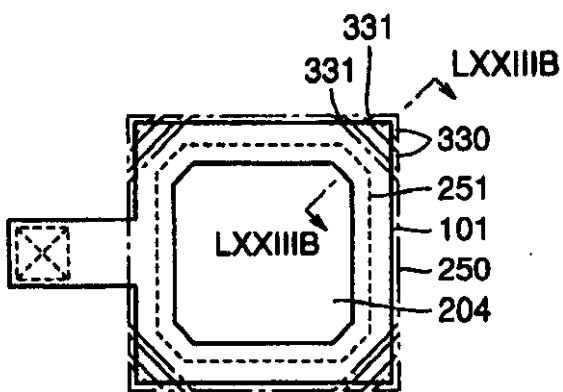


图 73A

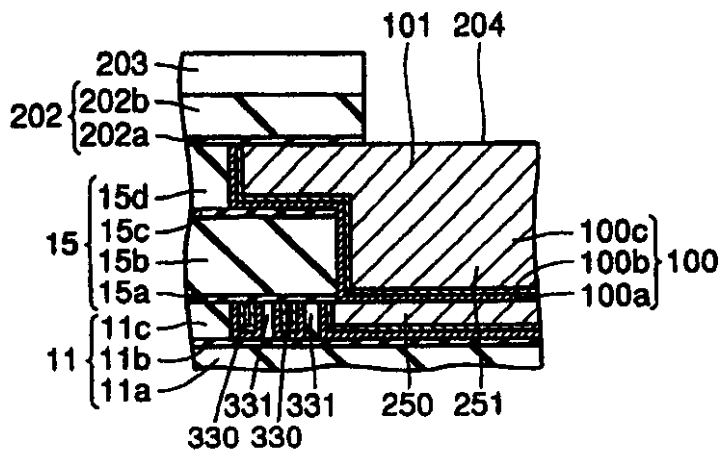


图 73B

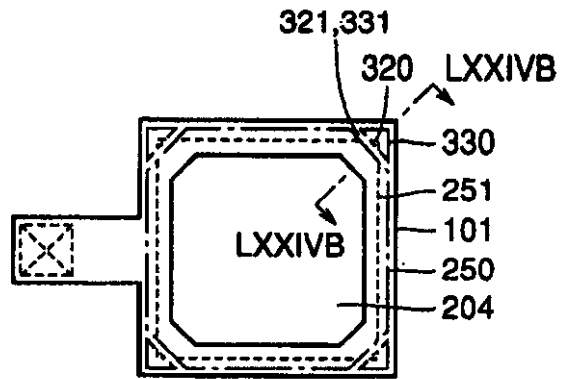


图 74A

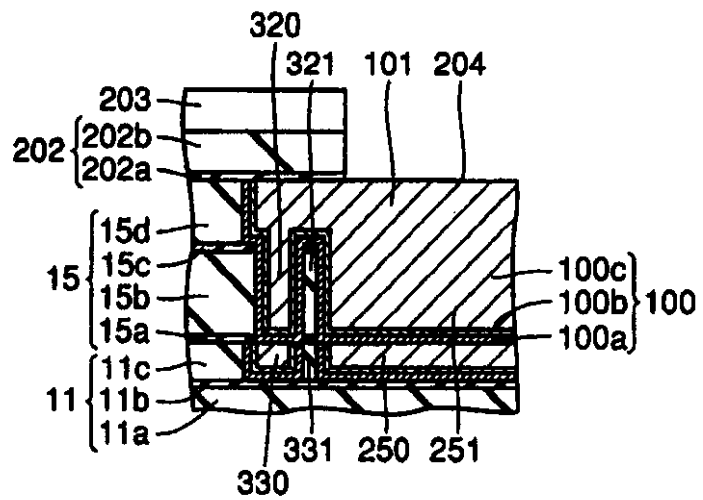


图 74B

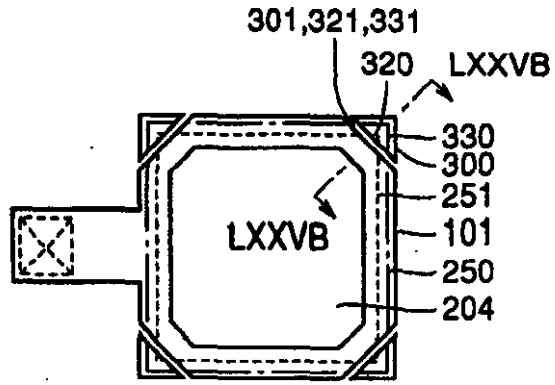


图 75A

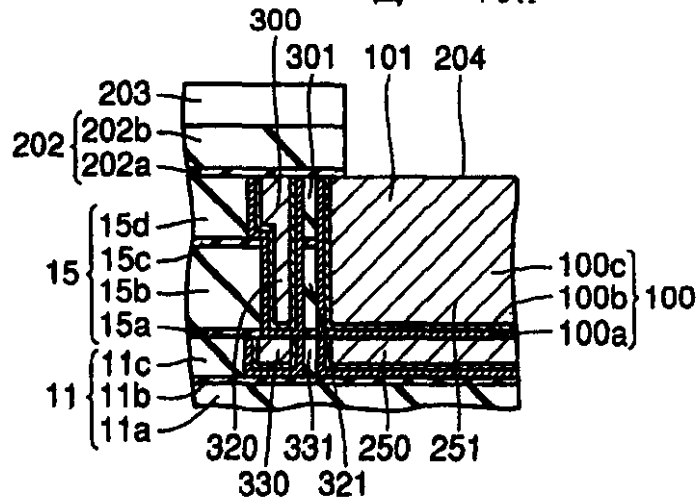


图 75B

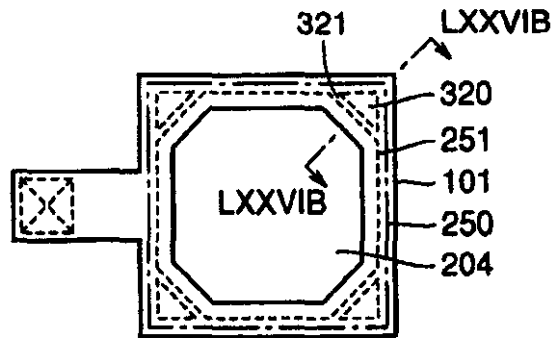


图 76A

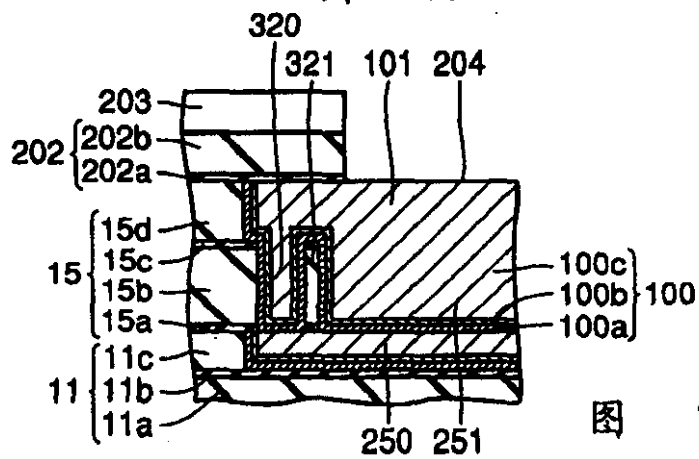


图 76B

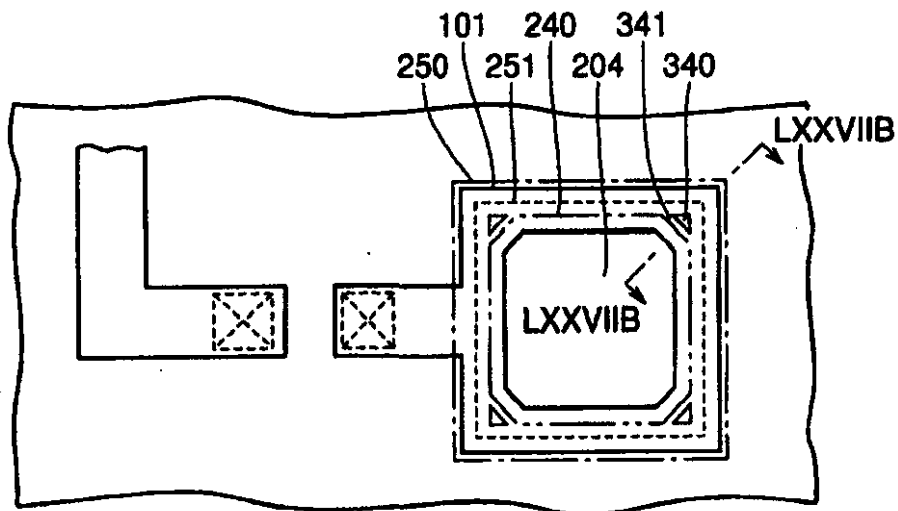


图 77A

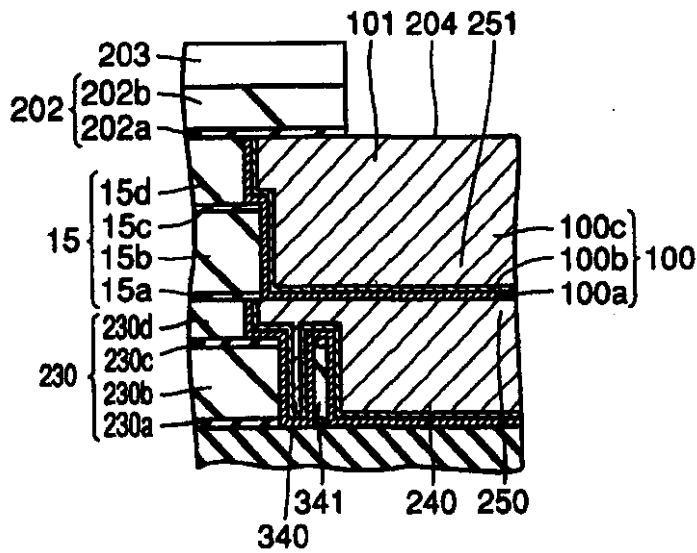


图 77B

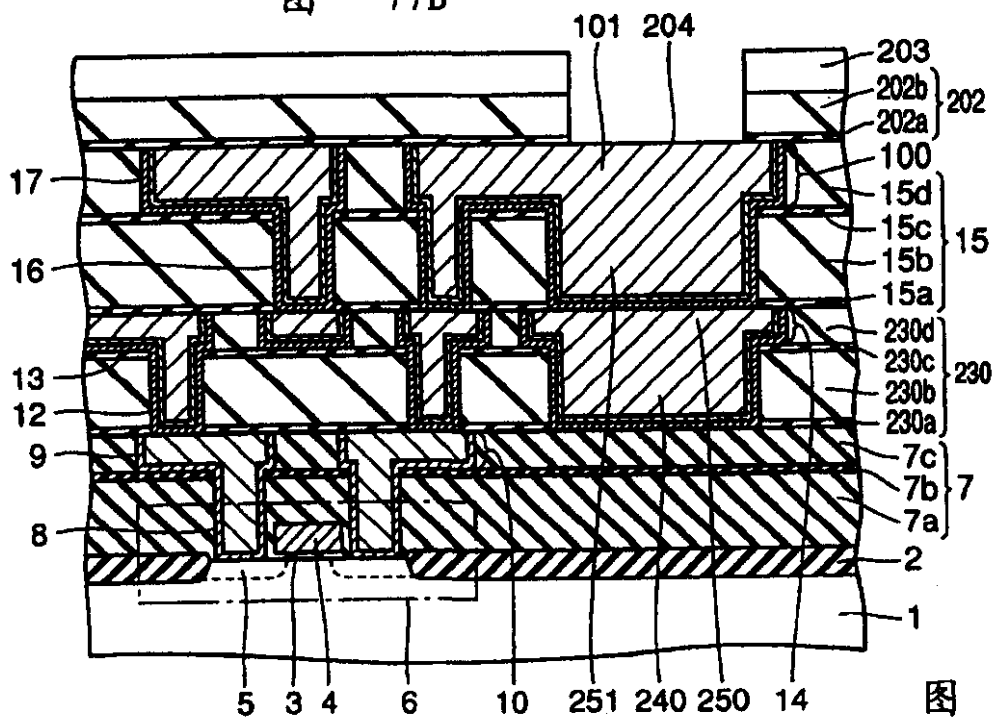


图 77C

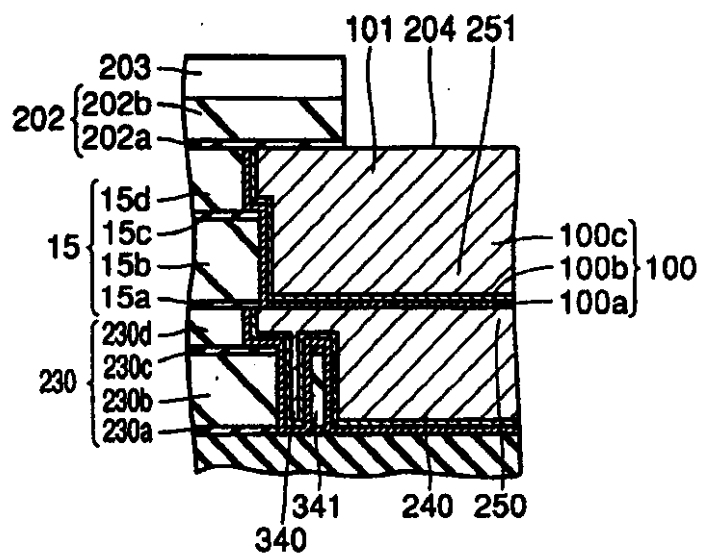


图 78

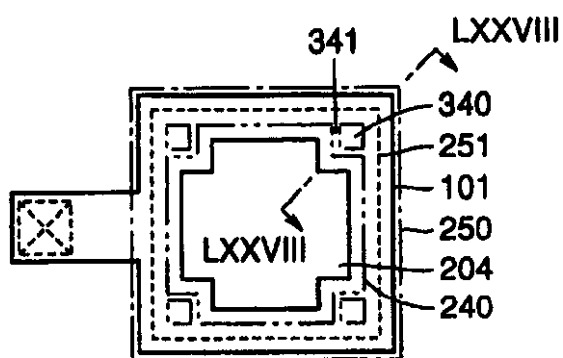


图 79

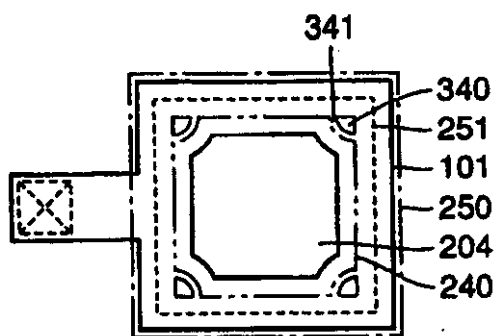


图 80

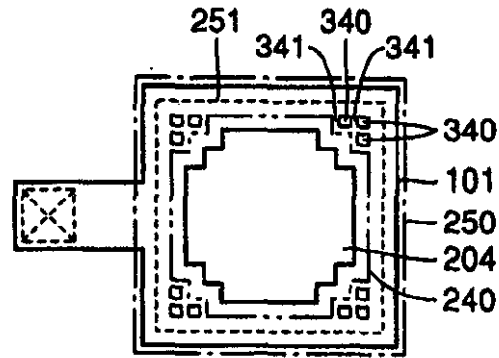


图 81

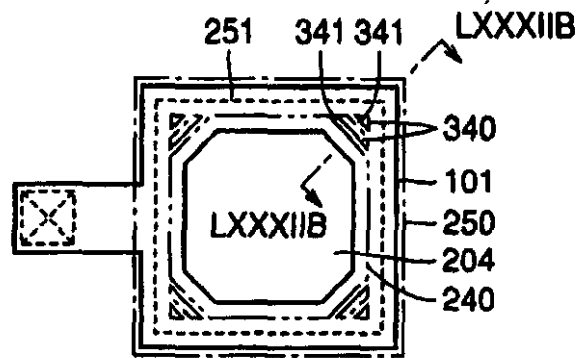


图 82A

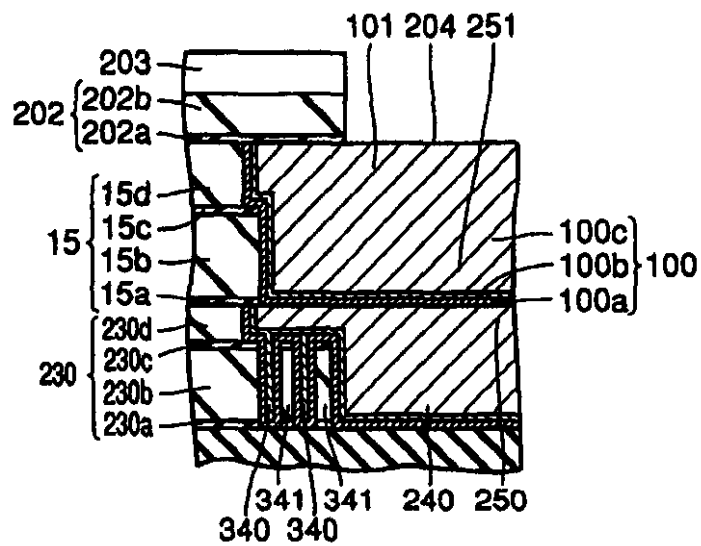


图 82B

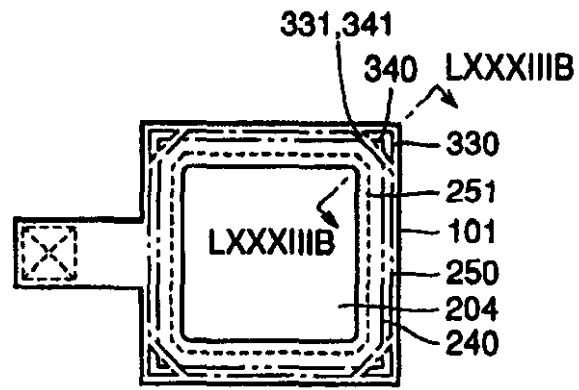


图 83A

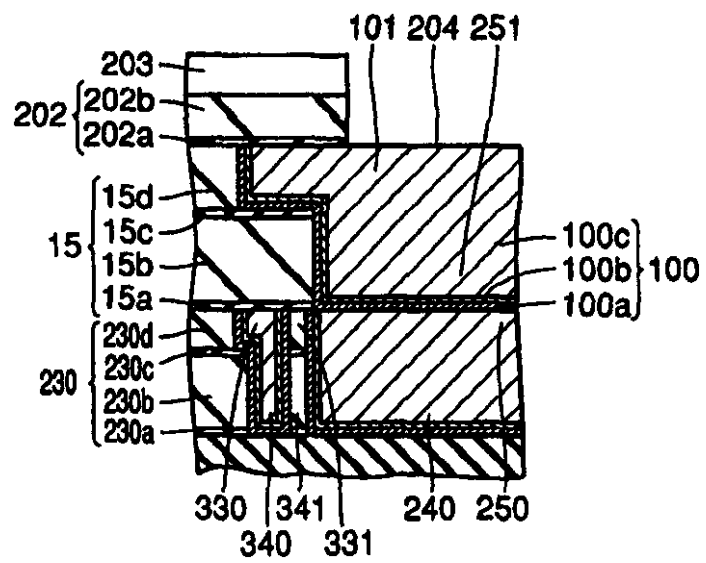


图 83B

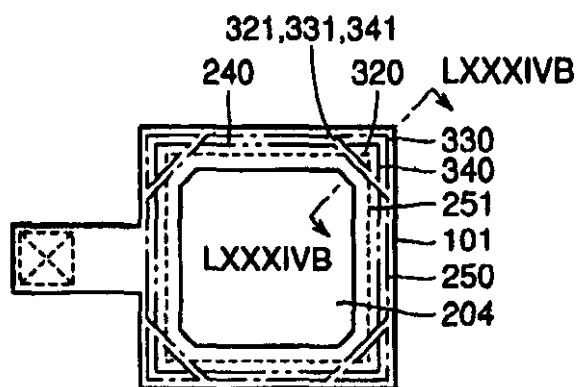


图 84A

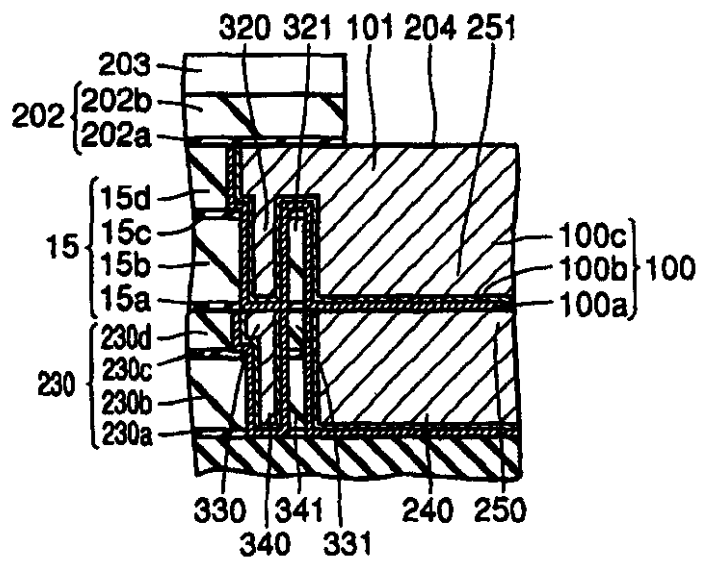


图 84B

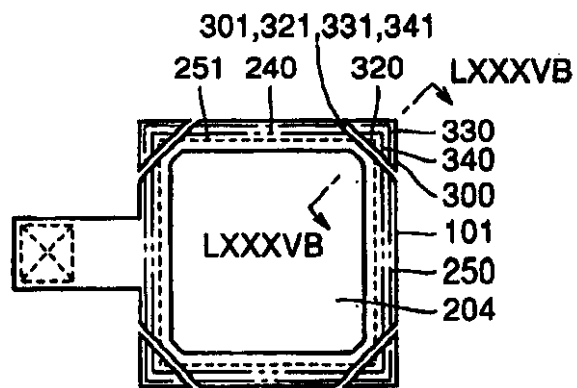


图 85A

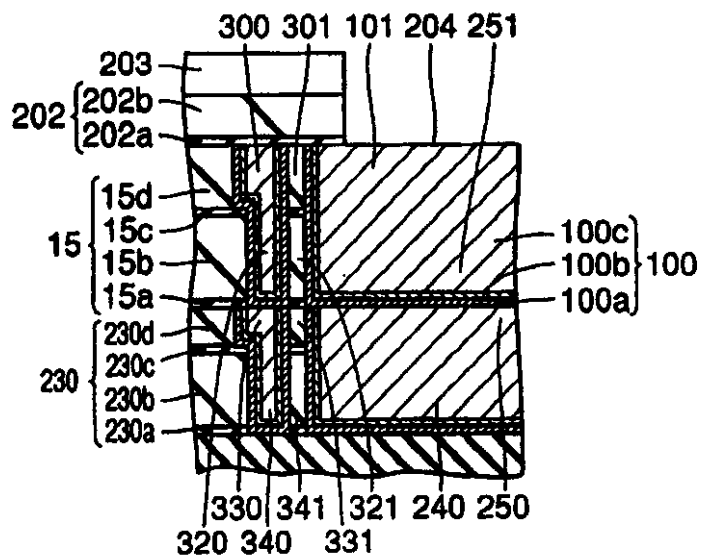


图 85B

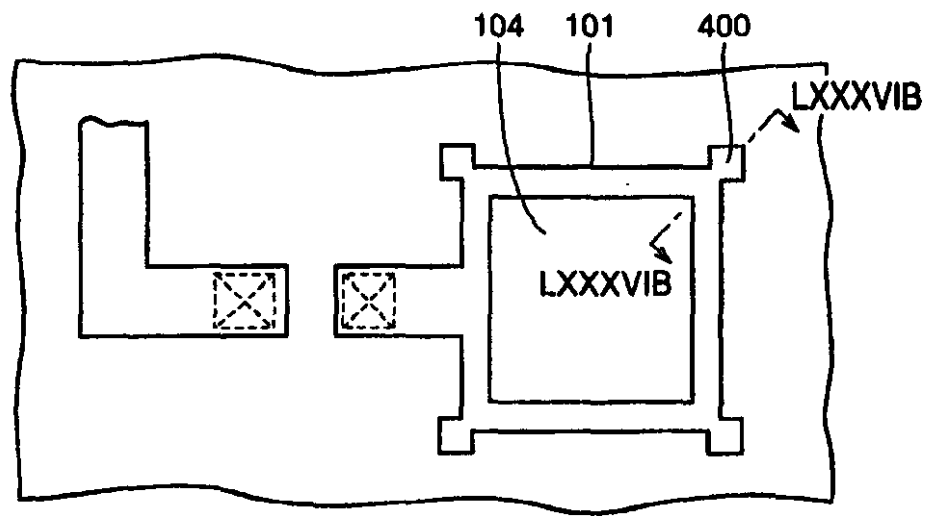


图 86A

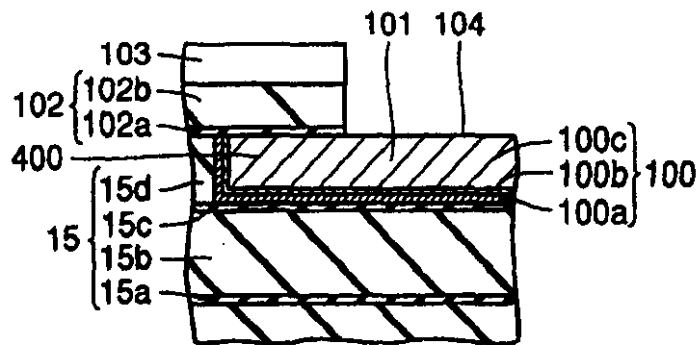


图 86B

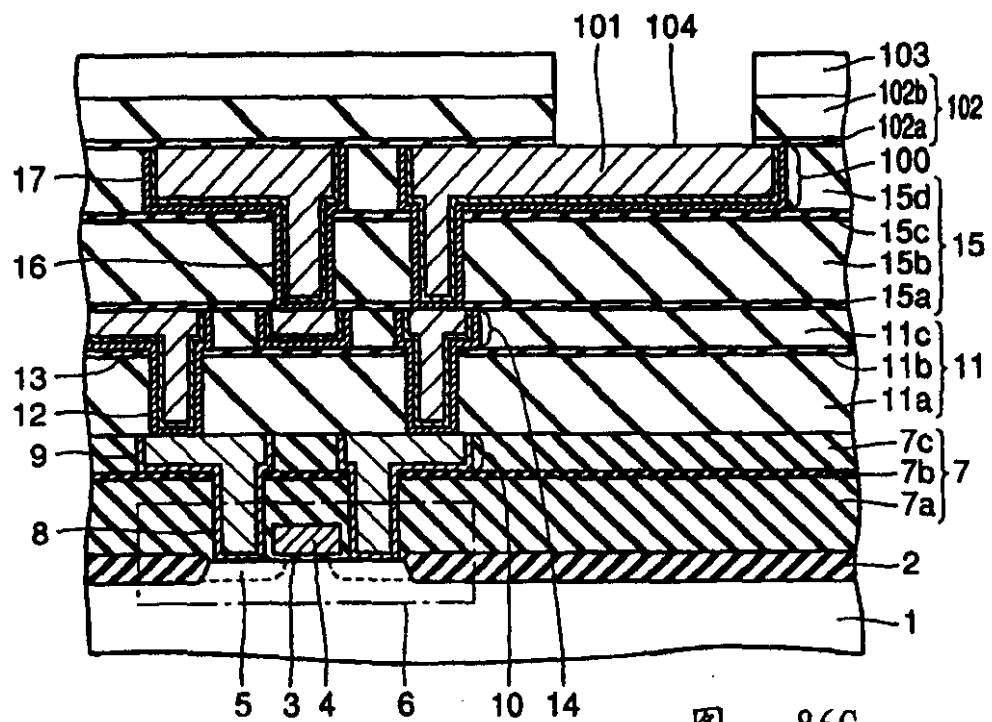


图 86C

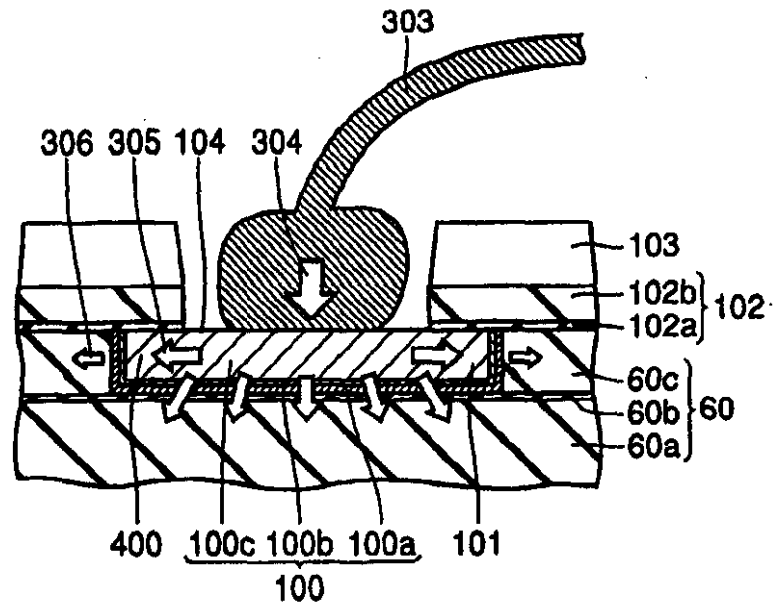


图 87

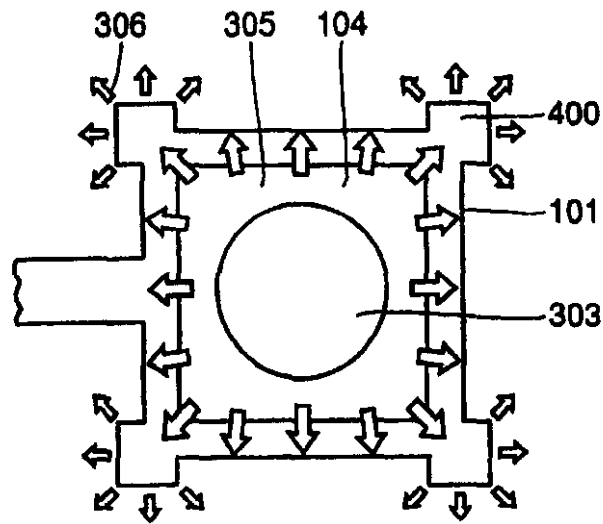


图 88

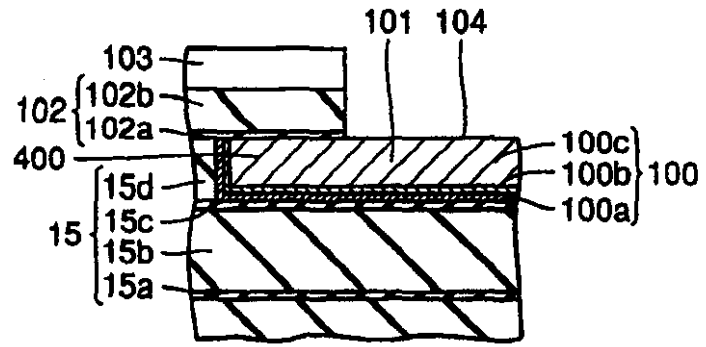


图 89

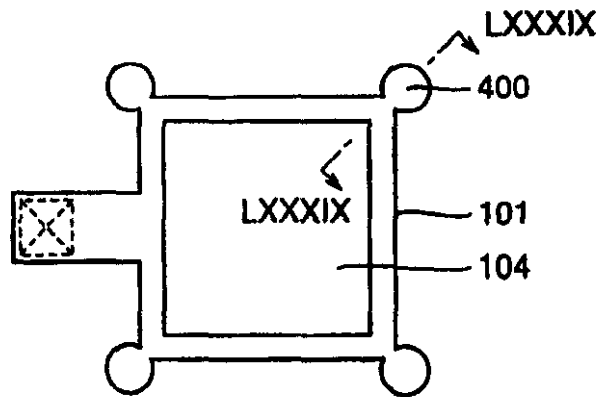


图 90

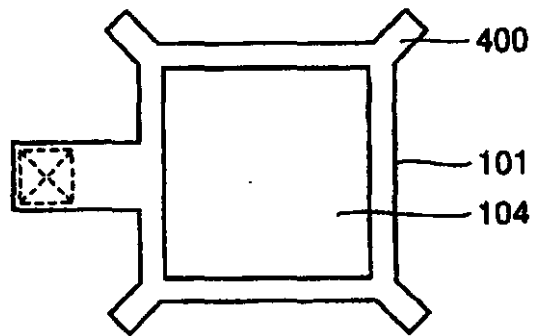


图 91

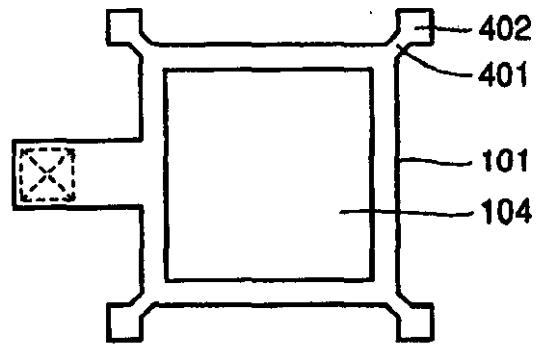


图 92

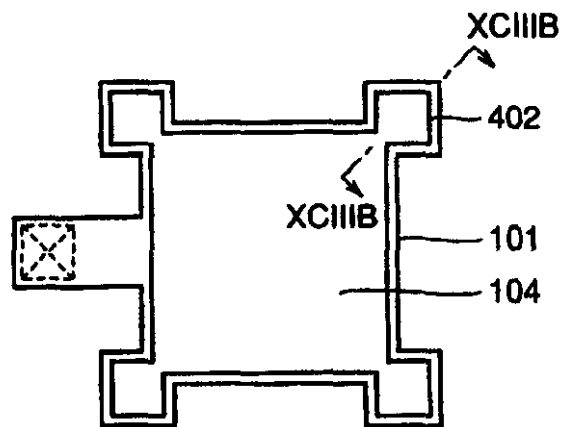


图 93A

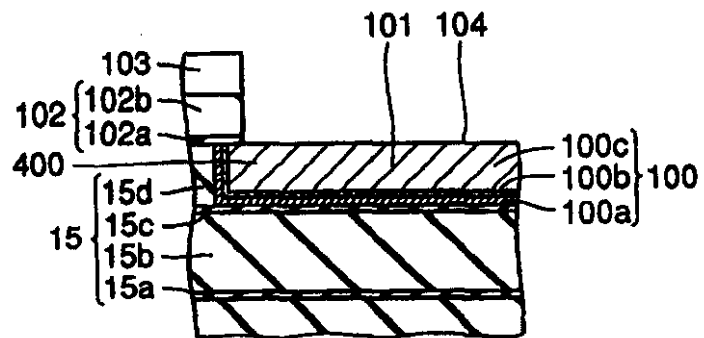


图 93B

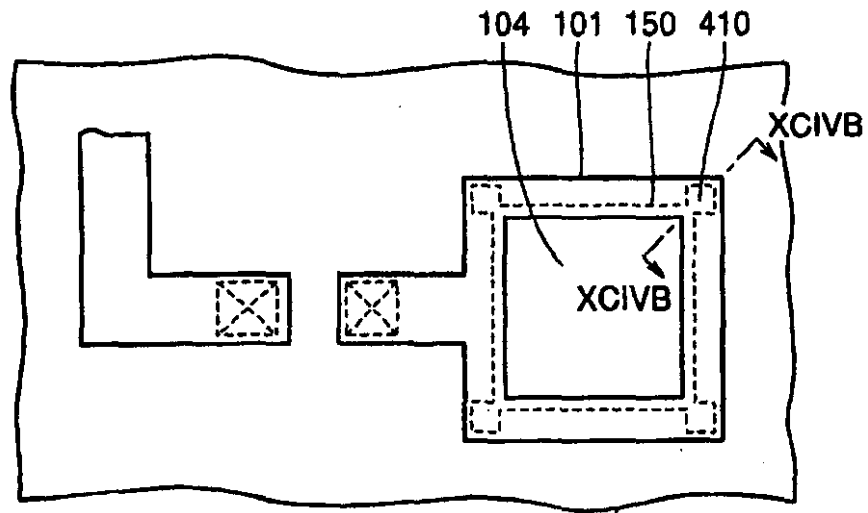


图 94A

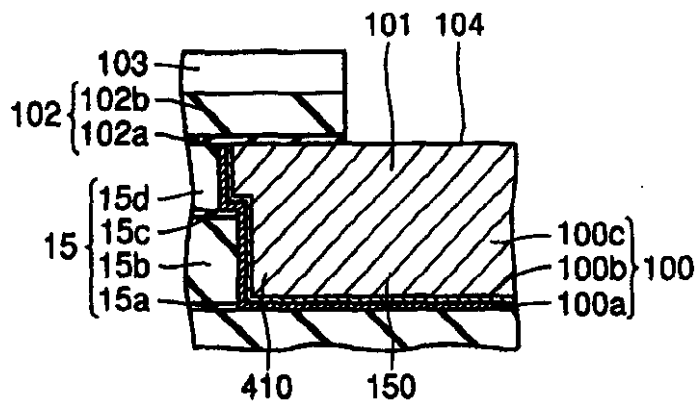


图 94B

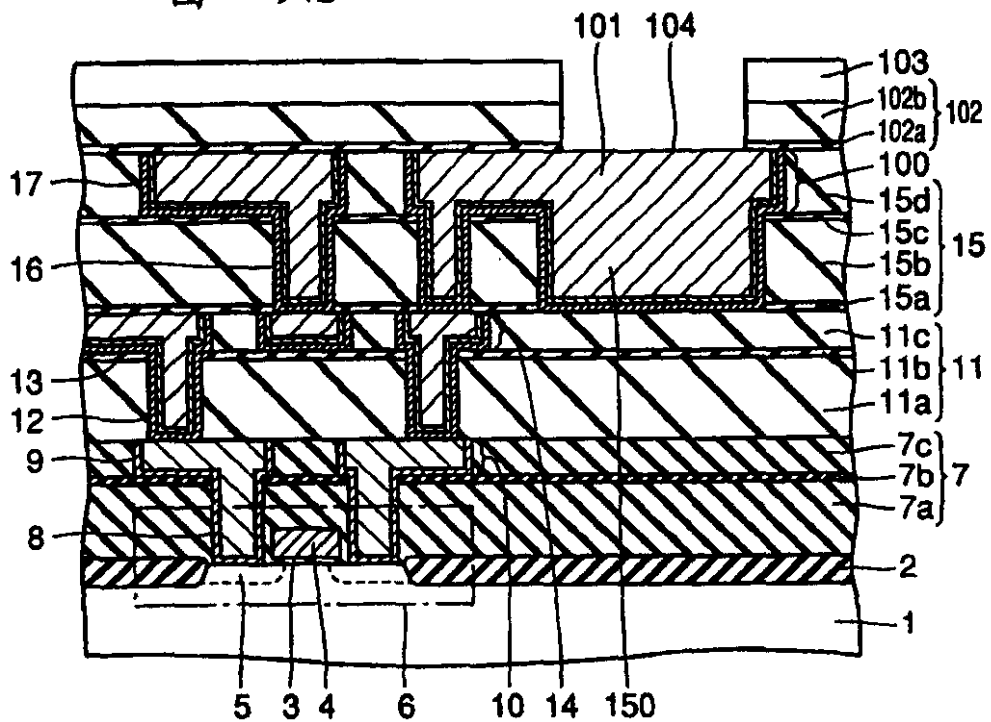


图 94C

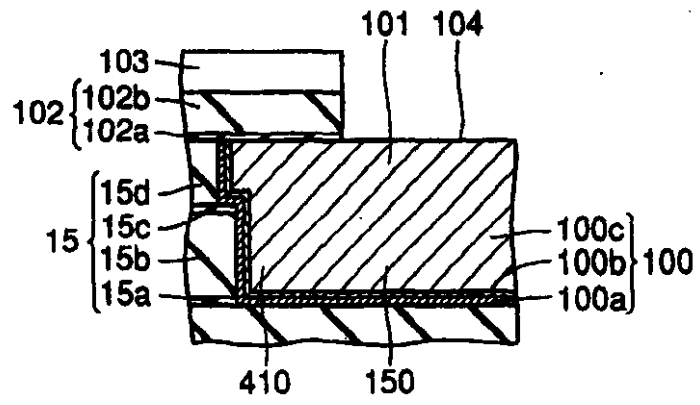


图 95

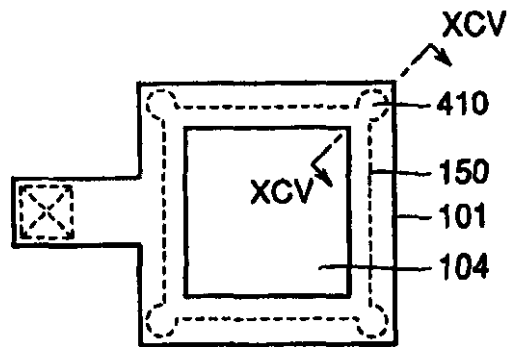


图 96

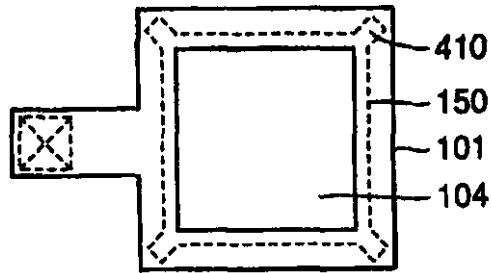


图 97

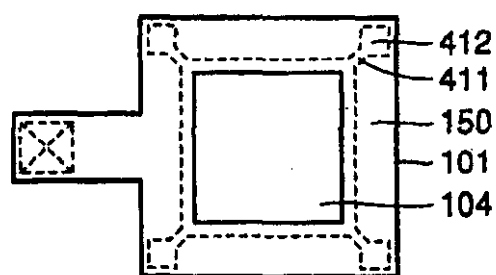


图 98

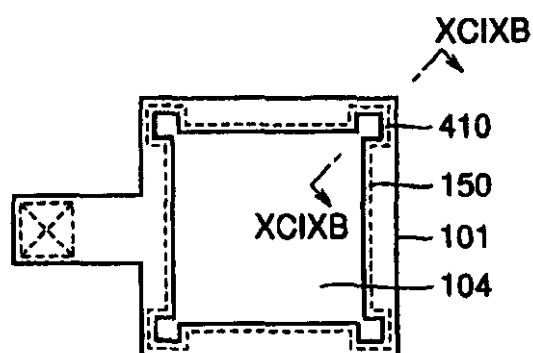


图 99A

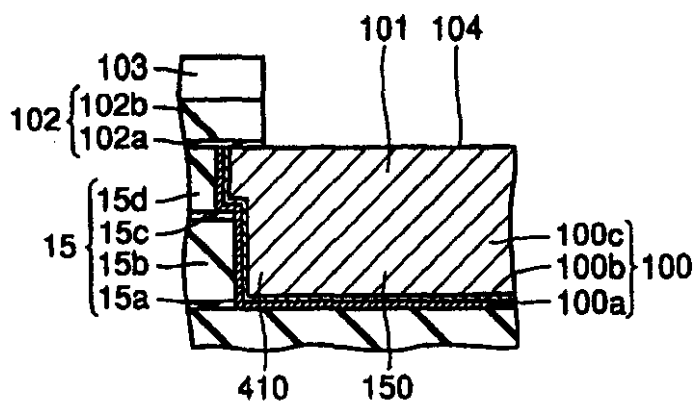


图 99B

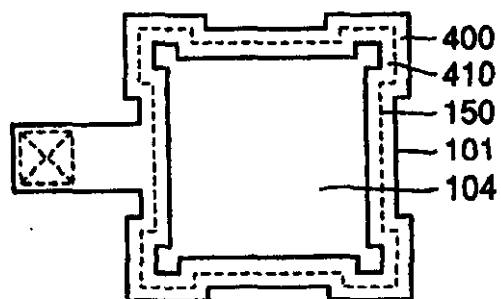


图 100

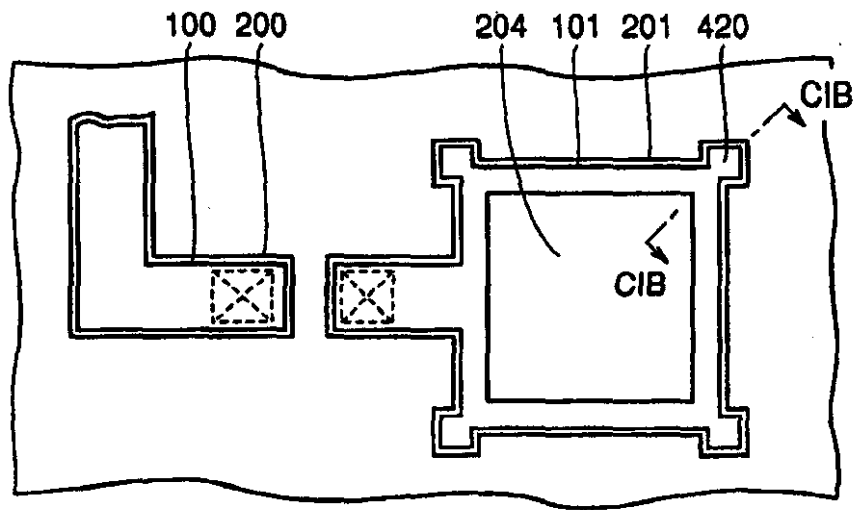


图 101A

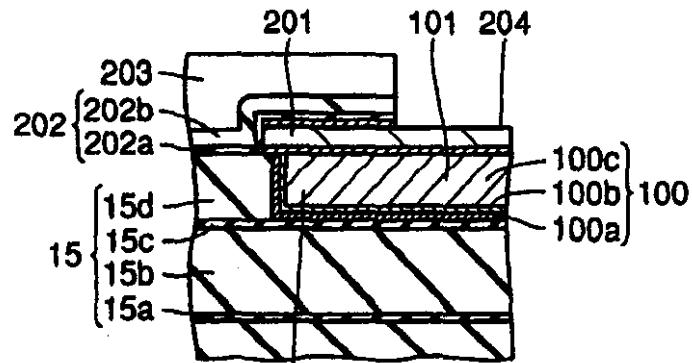


图 101B 420

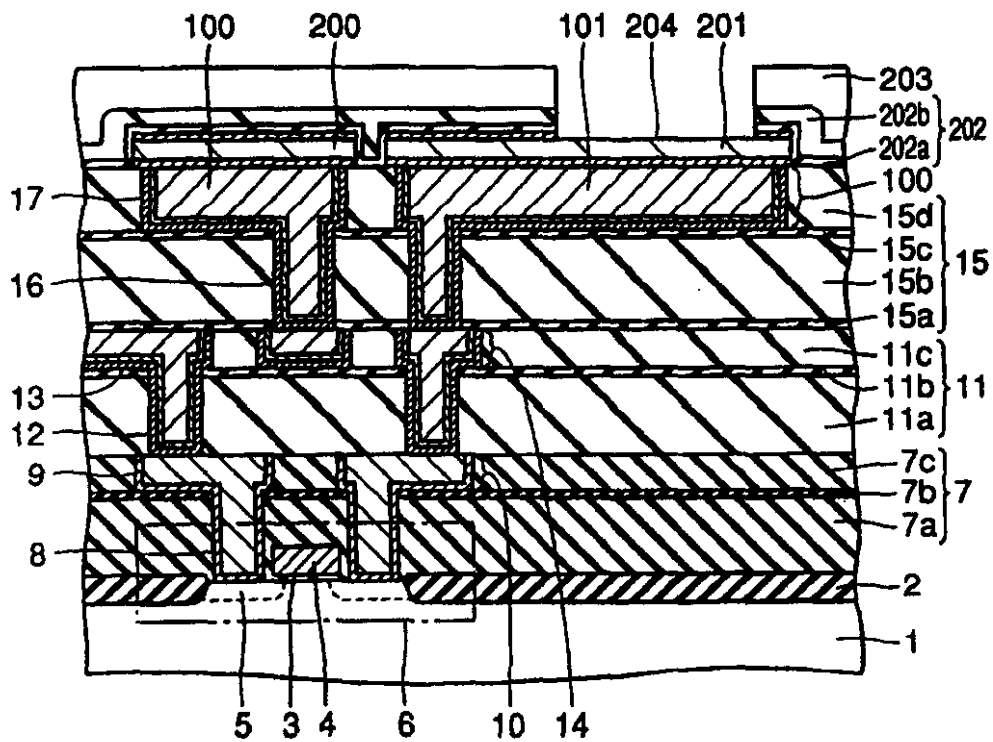


图 101C

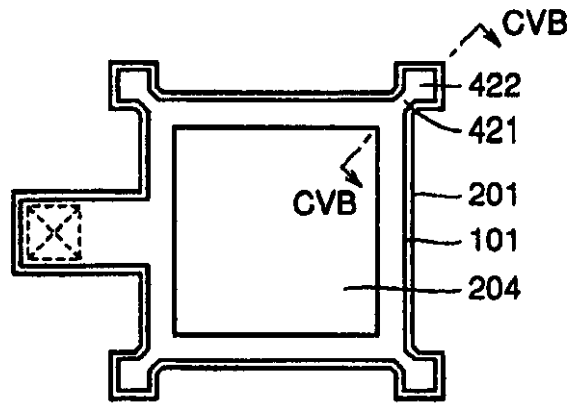


图 105A

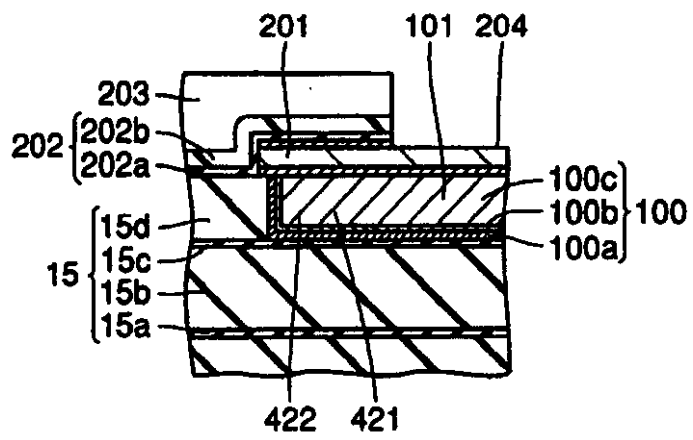


图 105B

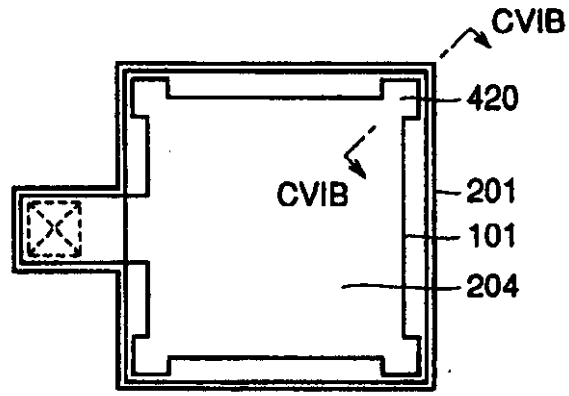


图 106A

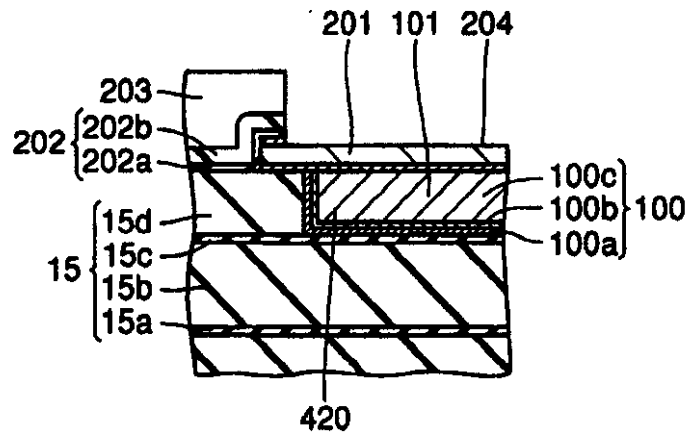


图 106B

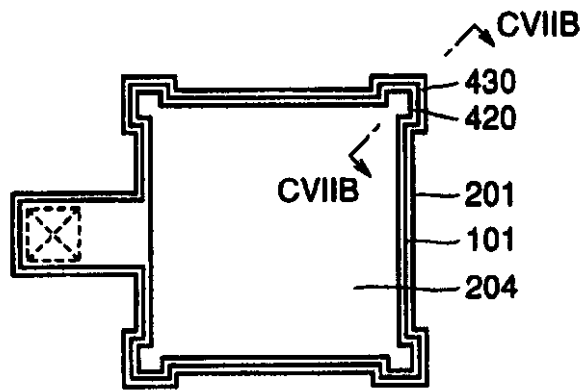
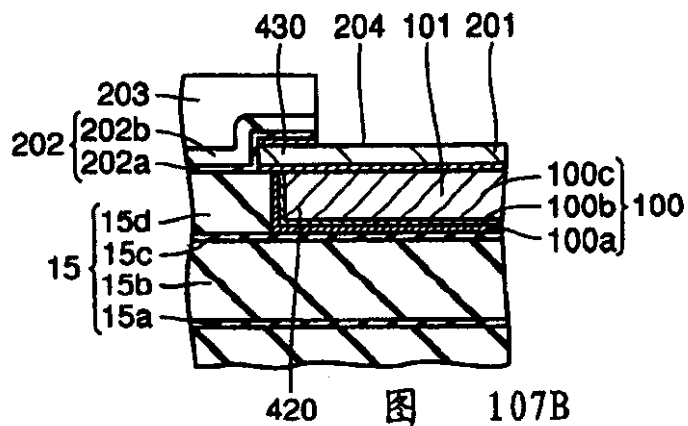


图 107A



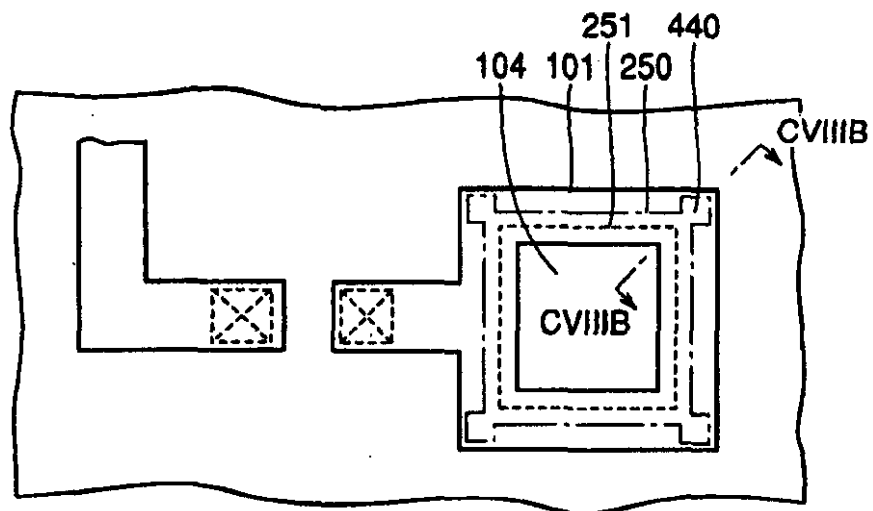


图 108A

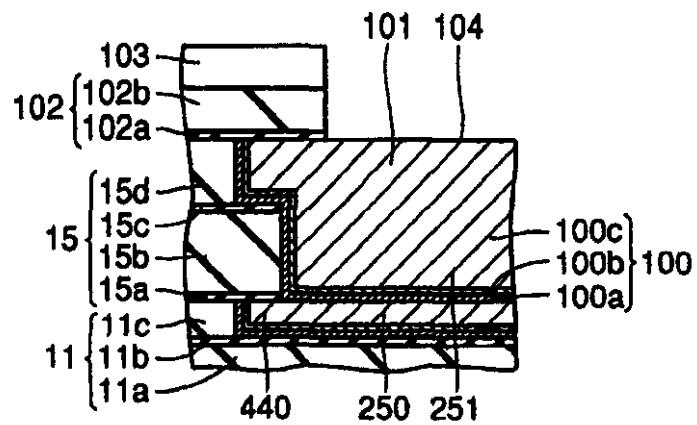


图 108B

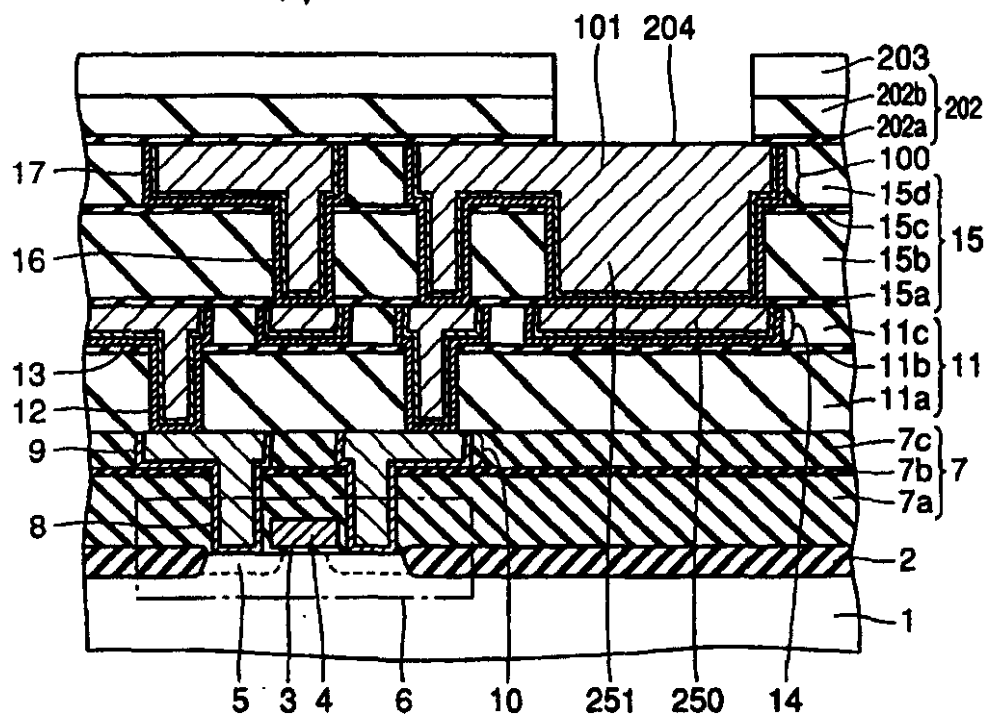


图 108C

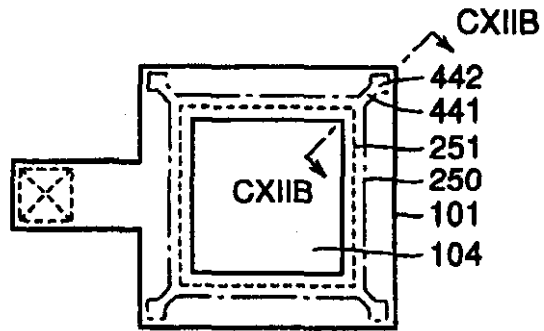


图 112A

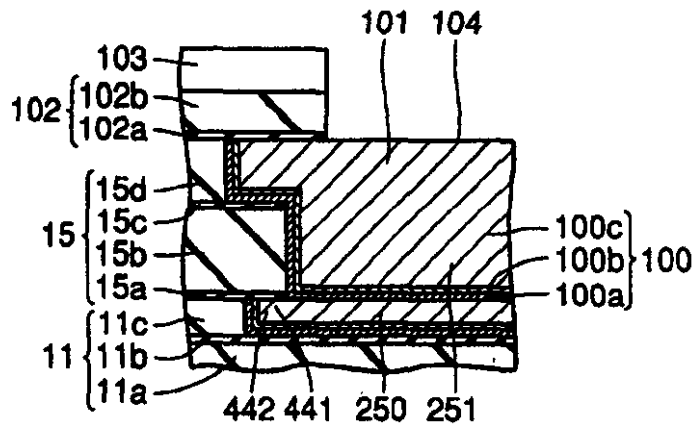


图 112B

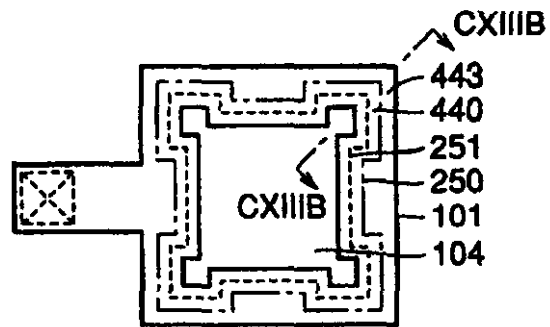


图 113A

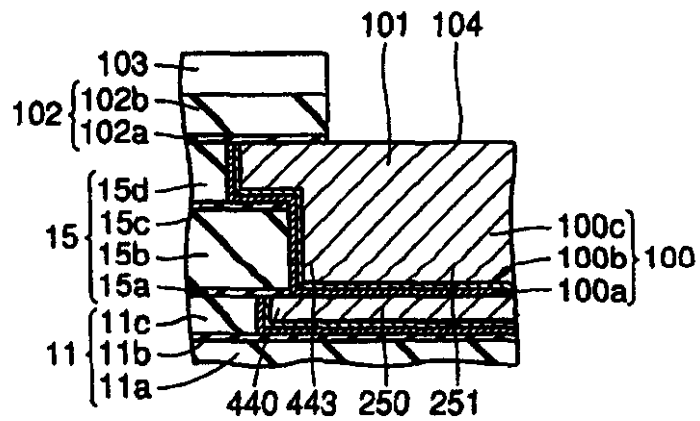


图 113B

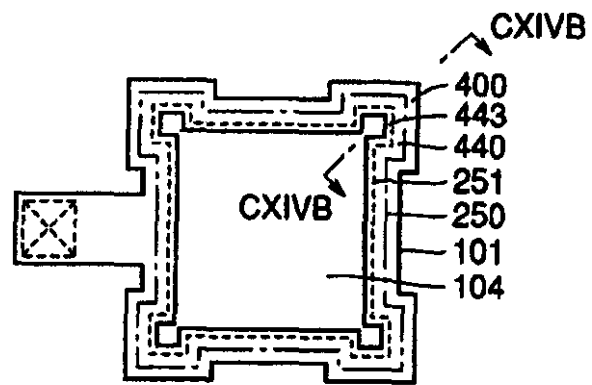


图 114A

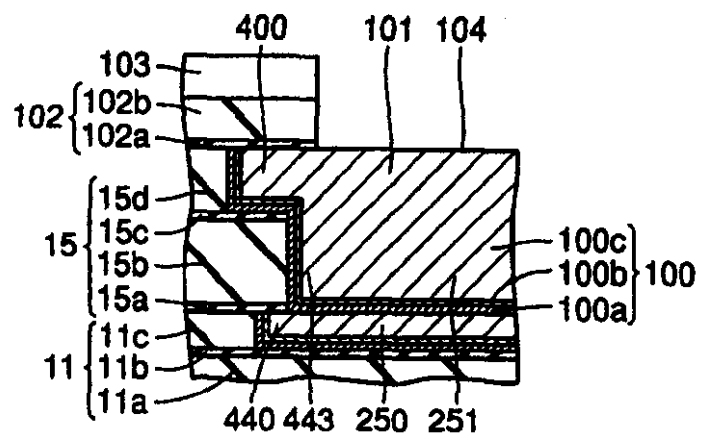


图 114B

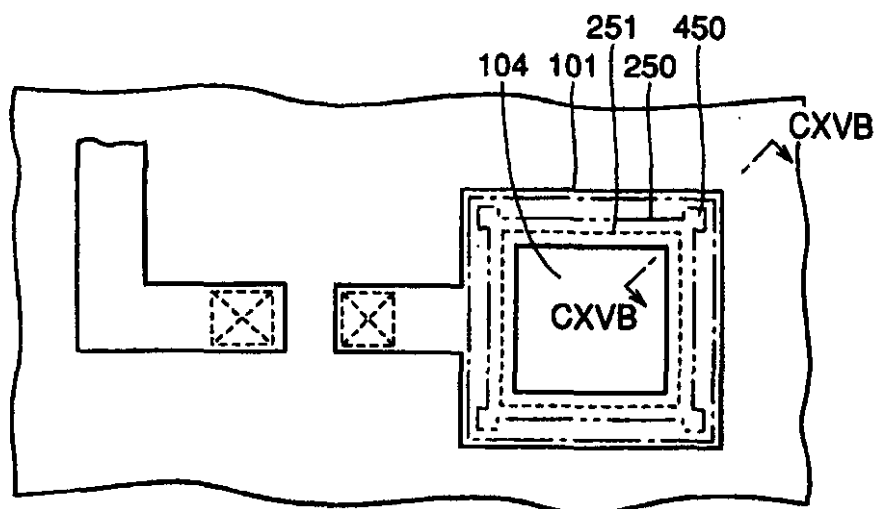


图 115A

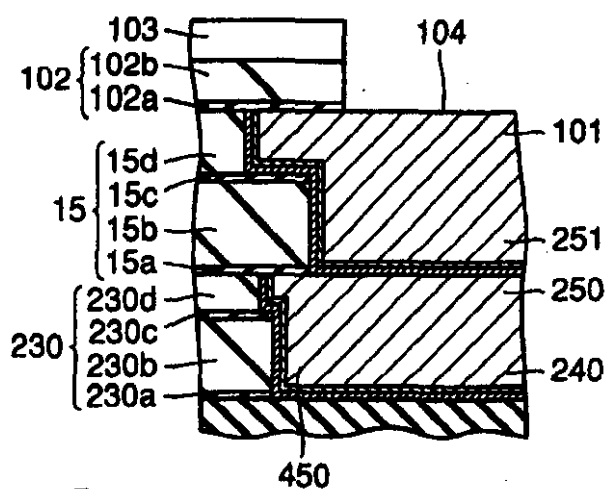


图 115B

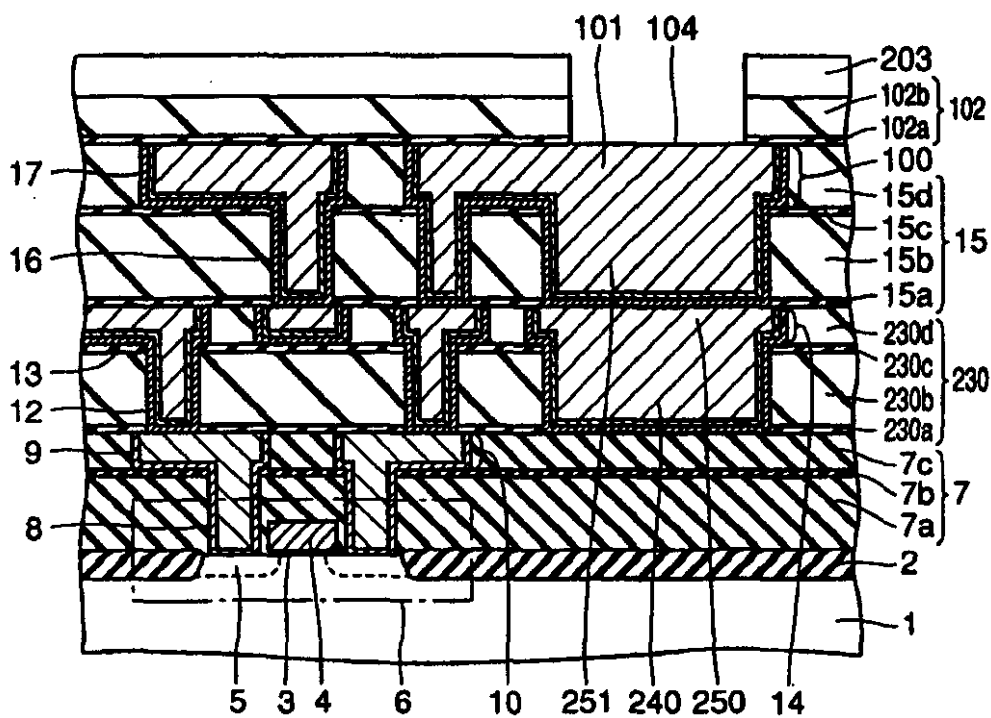


图 115C

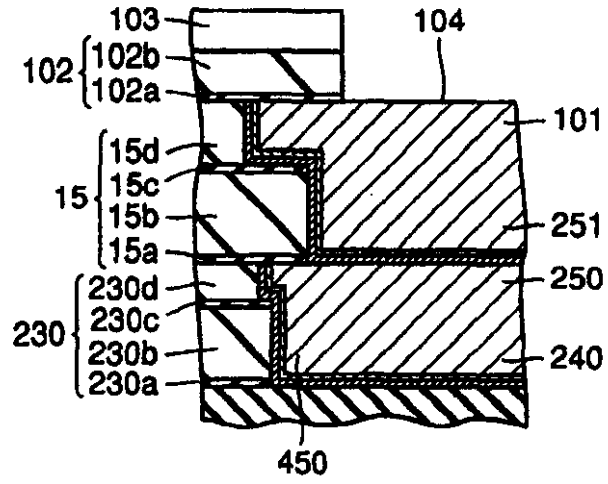


图 116

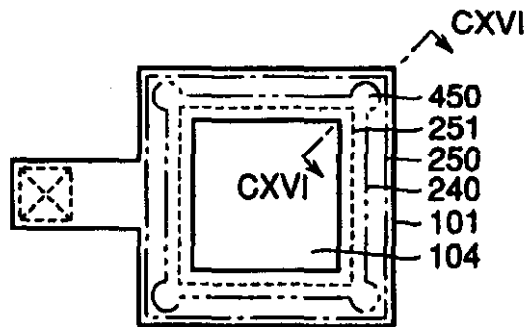


图 117

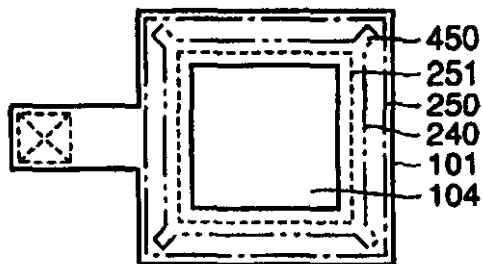


图 118

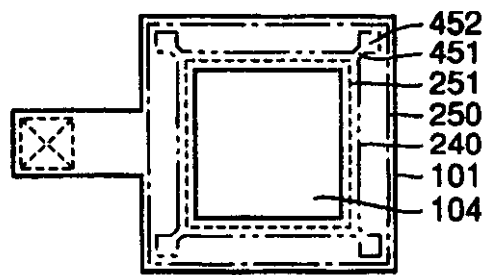


图 119

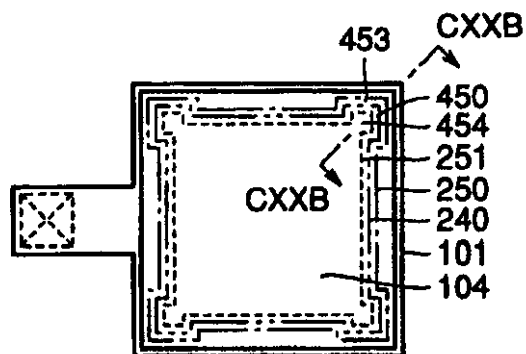


图 120A

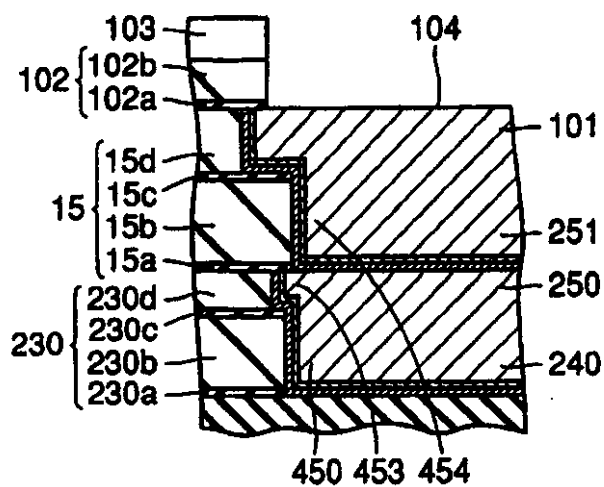


图 120B

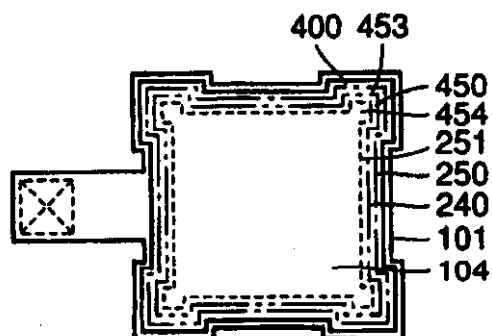


图 121

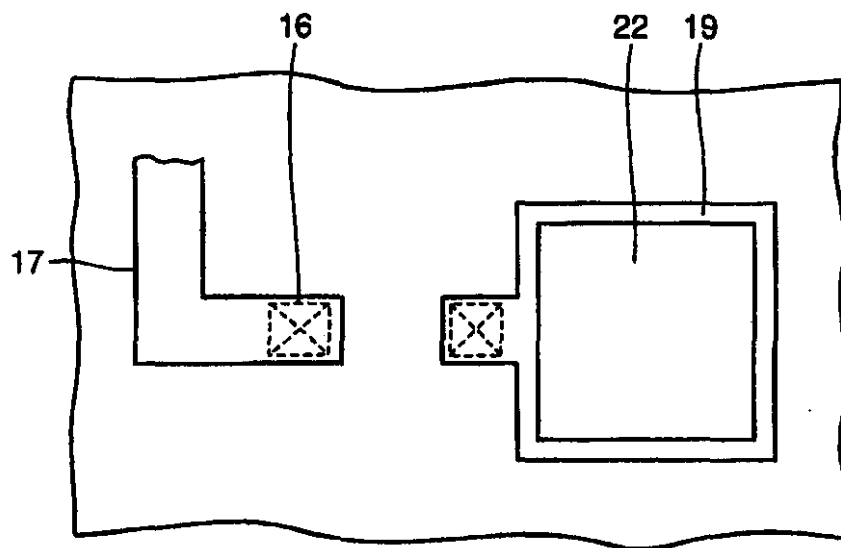


图 122A

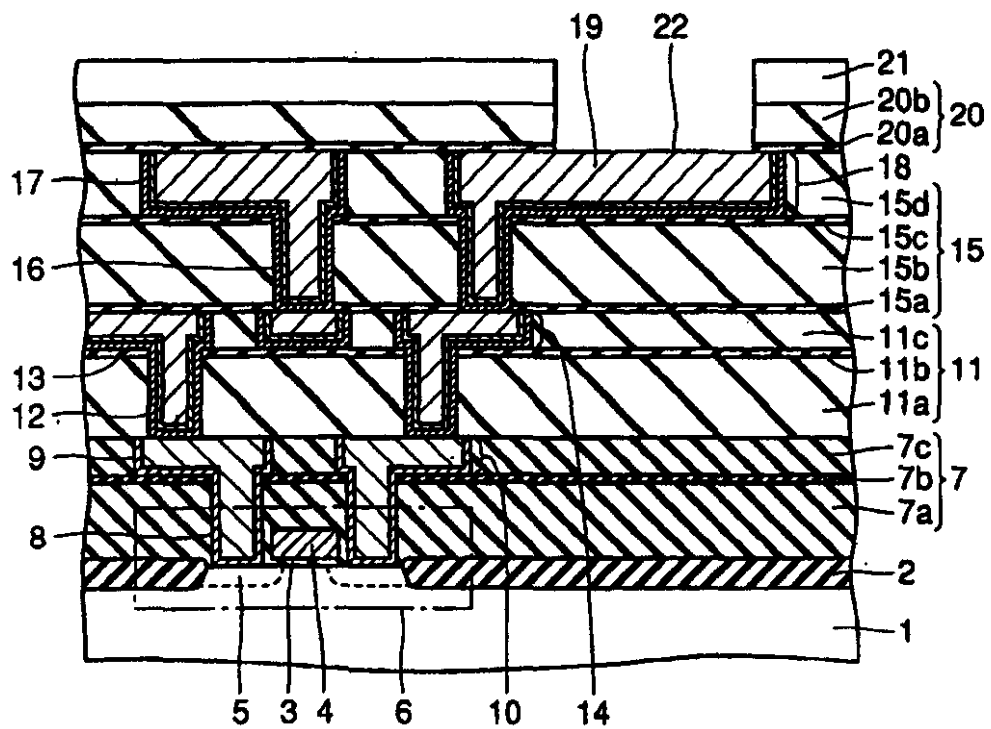


图 122B

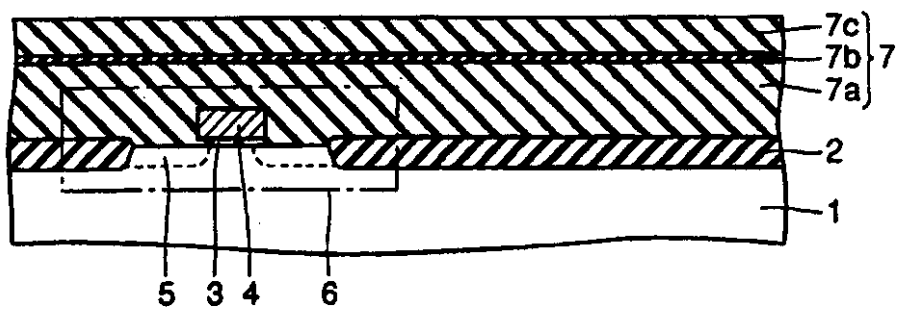


图 123

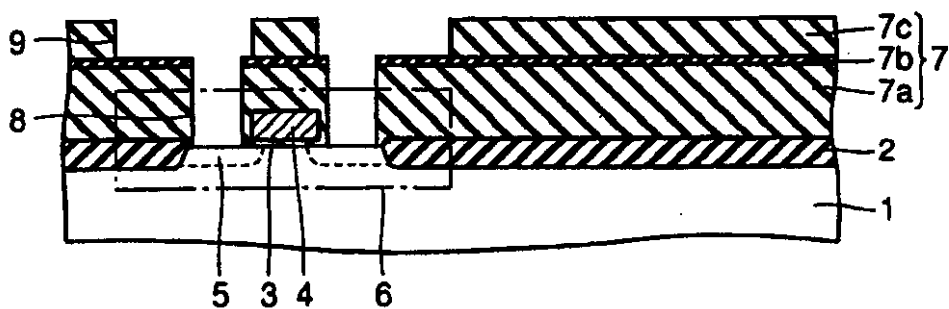


图 124

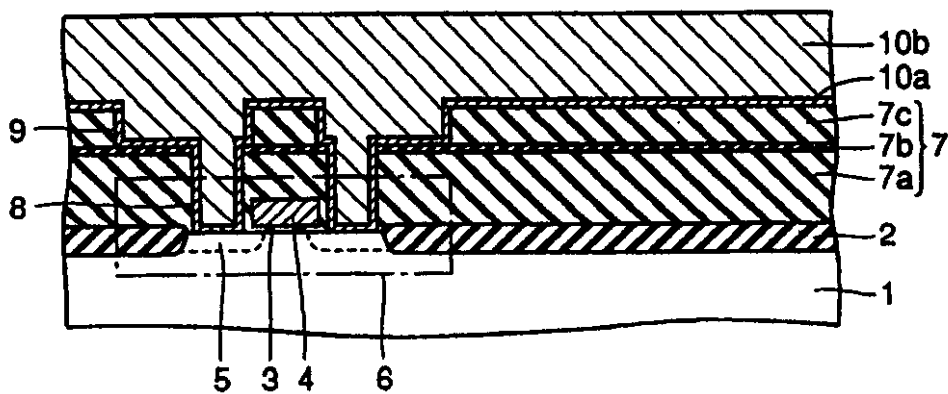


图 125

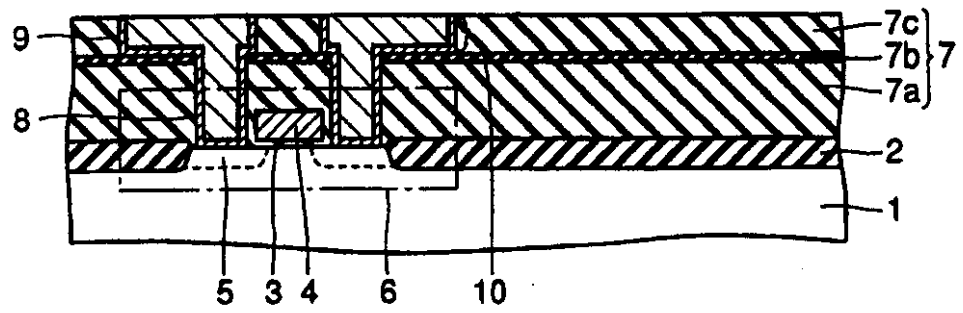


图 126

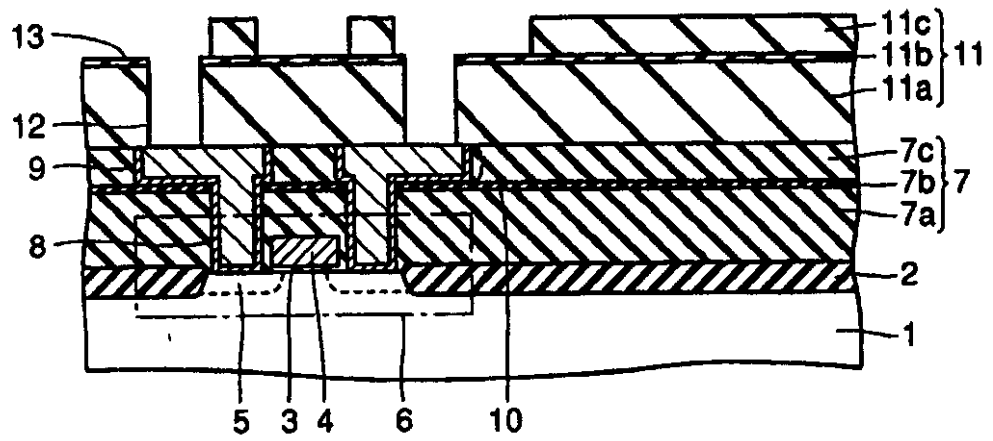


图 127

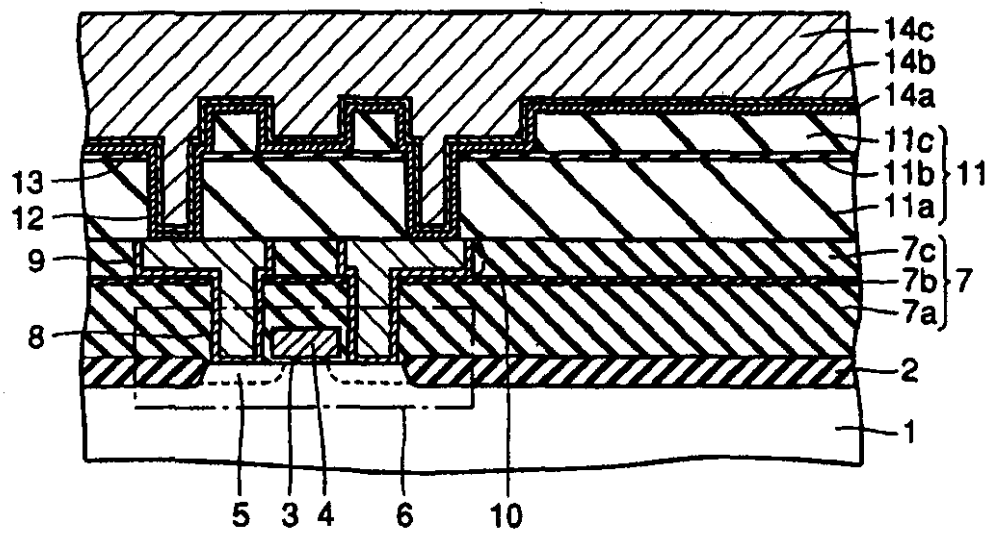


图 128

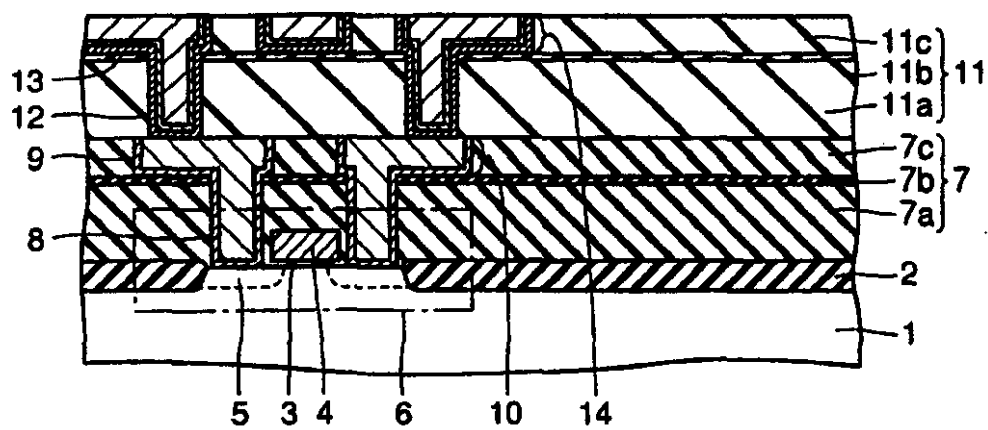


图 129

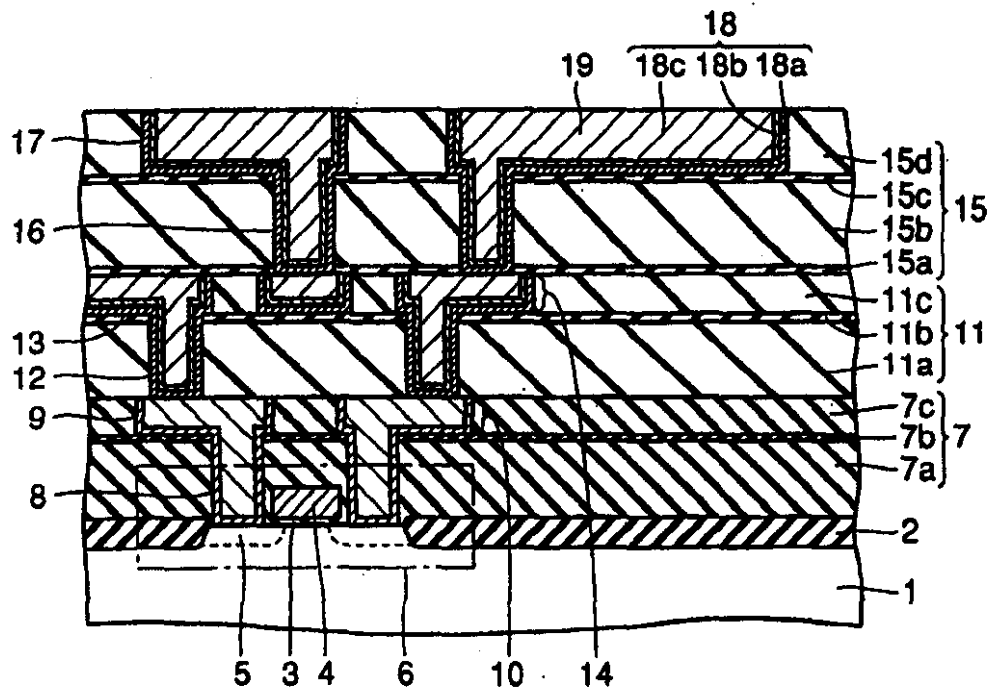


图 130

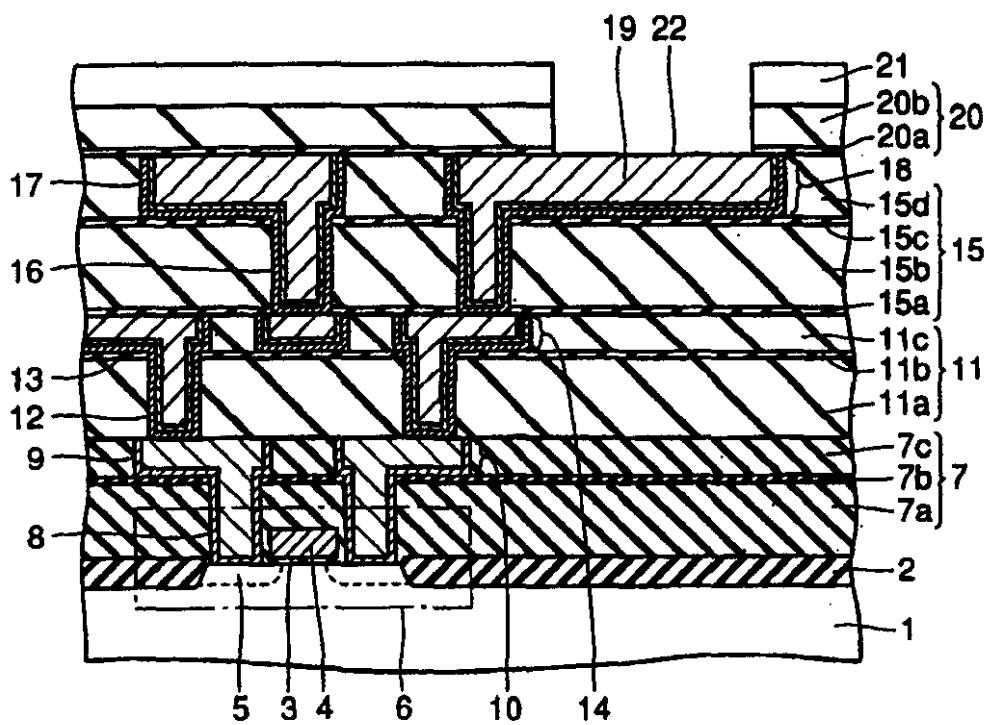


图 131

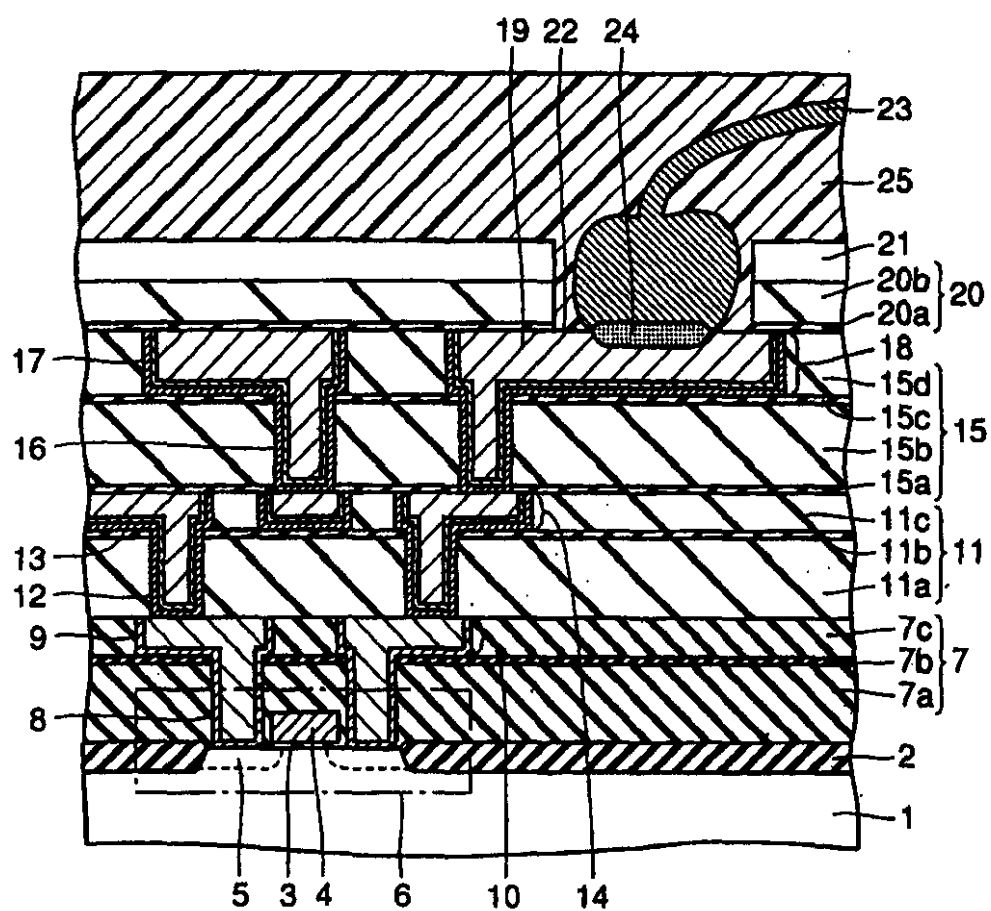


图 132

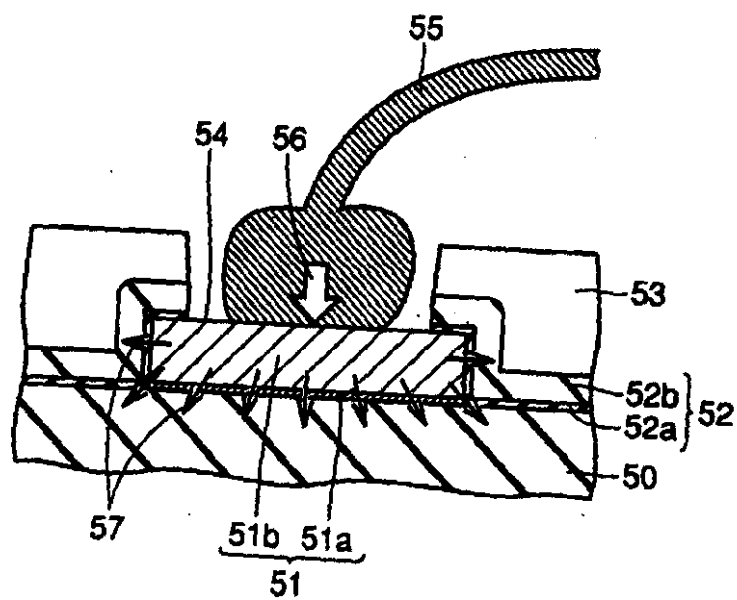


图 133

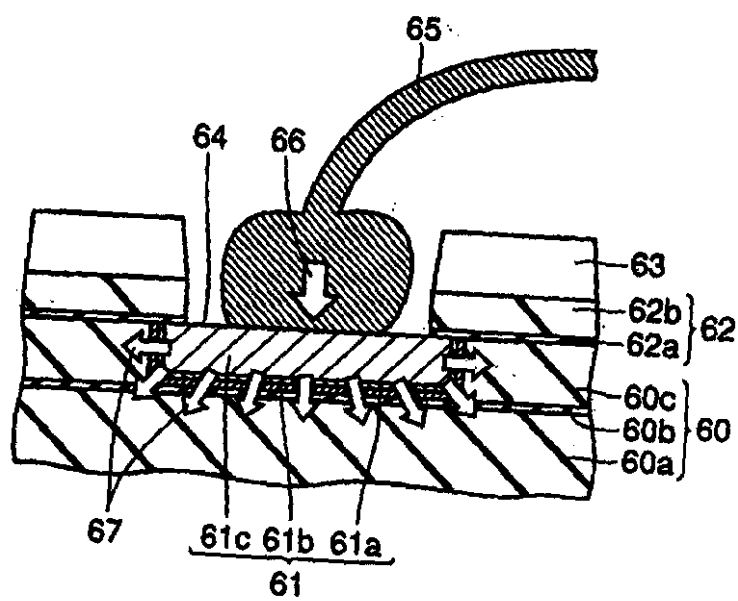


图 134

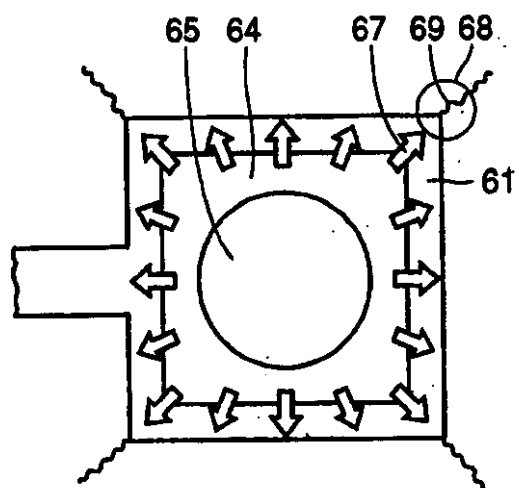


图 135

Semiconductor Device and Fabrication Process Therefor

A semiconductor device includes a pad electrode (101) and a main electrode layer of the pad electrode has a plan view shape of one selected from the group consisting of a near circle, a near ellipse, a near polygon with at least one internal angle larger than 90 degrees and a near polygon with at least one corner chamfered or rounded. The main electrode layer is connected to a lower electrode layer beneath the main electrode layer via a connection hole (251) interposed therebetween and a lower protruding section (240) is provided beneath the lower electrode layer (250). A stress buffer insulating partition and a stress buffer protruding section are more preferably provided at corners of the layers.