

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 1 月 19 日 (19.01.2017)



(10) 国际公布号
WO 2017/008550 A1

- (51) 国际专利分类号:
H03M 3/00 (2006.01) *H03M 1/06* (2006.01)
- (21) 国际申请号: PCT/CN2016/079799
- (22) 国际申请日: 2016 年 4 月 20 日 (20.04.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510412008.3 2015 年 7 月 15 日 (15.07.2015) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (SANE-CHIPS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (72) 发明人: 郑宇亮 (ZHENG, Yuliang); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。

- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: EXCESS LOOP DELAY COMPENSATION CIRCUIT AND METHOD, STORAGE MEDIUM AND ANALOG-TO-DIGITAL CONVERTER

(54) 发明名称: 额外环路延迟补偿电路、方法、存储介质和模数转换器

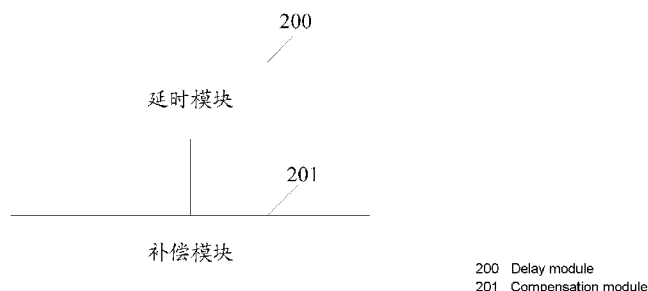


图 2

(57) Abstract: An ELD compensation circuit is used to perform ELD compensation for the ELD time of a continuous time $\Delta\Sigma$ analog-to-digital converter. The circuit comprises: a delay module (200) and a compensation module (201), wherein the delay module (200) is configured to select one delay time from a plurality of preset delay times, and output an own received signal in a delay manner on the basis of the selected delay time; and the compensation module (201) is configured to perform ELD compensation according to the signal output by the delay module (200) in a delay manner. Also disclosed are an ELD compensation method, a computer storage medium and a continuous time $\Delta\Sigma$ analog-to-digital converter.

(57) 摘要: 一种 ELD 补偿电路, 该电路用于对连续时间 $\Delta\Sigma$ 模数转换器的 ELD 时间进行 ELD 补偿, 该电路包括: 延时模块 (200) 和补偿模块 (201); 其中, 延时模块 (200) 配置为在预设的多个延时时间中选择一个延时时间, 基于所选择的延时时间将自身接收的信号延时输出; 补偿模块 (201) 配置为根据延时模块 (200) 延时输出的信号进行 ELD 补偿。一种 ELD 补偿方法、计算机存储介质和连续时间 $\Delta\Sigma$ 模数转换器。



WO 2017/008550 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。 **本国际公布:**
— 包括国际检索报告(条约第 21 条(3))。

额外环路延迟补偿电路、方法、存储介质和模数转换器

技术领域

本发明涉及模数转换器设计领域，尤其涉及额外环路延迟（excess loop delay, ELD）补偿电路、方法、计算机存储介质和连续时间 Δ - Σ 模数转换器。

背景技术

在无线通信领域，连续时间 Δ - Σ 模数转换器越来越受到人们的关注。与离散时间 Δ - Σ 模数转换器相比，连续时间 Δ - Σ 模数转换器降低了对运算放大器的带宽需求，进而可以降低电路的功耗。另外，由于连续时间 Δ - Σ 模数转换器固有的抗混叠特性和对于工艺偏差的不敏感，非常有利于应用在射频（Radio Frequency, RF）接收机中。

图 1 为现有技术中连续时间 Δ - Σ 模数转换器的组成结构示意图，如图 1 所示，该连续时间 Δ - Σ 模数转换器包括：量化器 100、第 1 级数模转换器 DAC1 至第 n 级数模转换器 DACn、第 1 级加法器 Σ 1 至第 n 级加法器 Σ n、以及依次串联相接的第 1 级积分器 S1 至第 n 级积分器 Sn，n 为自然数；其中，第 1 级积分器 S1 的输入端用于接收需要进行模数转换的模拟信号，量化器 100 的输入端连接第 n 级积分器 Sn 的输出端，第 i 级数模转换器 DACi 接在量化器 100 输出端和第 i 级积分器 Si 输入端之间，i 取 1 至 n；第 i 级数模转换器 DACi 用于接收量化器输出信号，对量化器输出信号进行数模转换，将数模转换后生成的数字信号反馈至第 i 级积分器 Si 的输入端；第 i 级加法器 Σ i 用于对第 i 级数模转换器 DACi 的输出信号和第 i 级积分器输入信号的求和操作，求和后的信号输入至第 i 级积分器。这里，经量化器 100 量化处理后的数字信号为连续时间 Δ - Σ 模数转换器最终输出的数字信

号。

在实际的连续时间 Δ - Σ 模数转换器中，由于 MOS 器件有限的开关速度，导致从量化器 100 的采样时刻开始到每个数模转换器的产生相应的输出为止，存在一段延迟时间。此段延迟时间被称之为 ELD 时间，这里，ELD 时间表示为 t_{ELD} 。ELD 时间可能造成连续时间 Δ - Σ 模数转换器的动态范围的损失，甚至影响到连续时间 Δ - Σ 模数转换器中环路的稳定性。

在现有技术中，可以针对 ELD 时间进行 ELD 补偿。如图 1 所示，现有技术中进行 ELD 补偿的方案为：增加一个后级加法器 Σ 和一个用于补偿 ELD 时间的补偿电路 101，补偿电路 101 的输入端连接量化器 100 的输出端，补偿电路 101 的输出信号与第 n 级积分器的输出信号进行求和后被发送至量化器 100 的输入端。

但是，上述这种 ELD 补偿方案存在如下问题：ELD 时间在实际电路中会受到多种因素的影响，难以准确量化，进而对 ELD 补偿的效果造成影响。

发明内容

为解决上述技术问题，本发明实施例期望提供一种 ELD 补偿电路、方法、计算机存储介质和连续时间 Δ - Σ 模数转换器，能够灵活地对连续时间 Δ - Σ 模数转换器进行 ELD 补偿，满足多种应用场景的需求。

本发明的技术方案是这样实现的：

本发明实施例提供了一种 ELD 补偿电路，所述电路用于对连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿，所述电路包括：延时模块和补偿模块；其中，

所述延时模块，配置为在预设的多个延时时间中选择一个延时时间，基于所选择的延时时间将自身接收的信号延时输出；

所述补偿模块，配置为根据所述延时模块延时输出的信号进行 ELD 补

偿。

上述方案中，所述连续时间 Δ - Σ 模数转换器包括量化器、第 1 级数模转换器 DAC 至第 n 级 DAC、以及依次串联相接的第 1 级积分器至第 n 级积分器，n 为自然数；其中，第 i 级 DAC 接在量化器输出端和第 i 级积分器输入端之间，i 取 1 至 n；

所述补偿模块，配置为对延时模块延时输出的信号进行数模转换，并将数模转换结果以差分形式反馈到第 n 级积分器的输入端进行求和操作。

上述方案中，所述补偿模块，配置为通过复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器，对所述延时模块延时输出的信号进行数模转换。

上述方案中，所述补偿模块，配置为根据设置的 ELD 补偿系数，对延时模块延时输出的信号进行数模转换，将数模转换后的模拟信号以差分形式发送至所述连续时间 Δ - Σ 模数转换器的第 n 级积分器的虚地点。

上述方案中，所述电路还包括延迟锁相环 DLL，所述 DLL 配置为使所述延时模块所选择的延时时间保持不变。

上述方案中，所述延时模块，配置为接收所述连续时间 Δ - Σ 模数转换器的量化器的输出信号，对所接收到的信号进行延时处理，将延时处理后的信号发送至补偿模块；或者，

所述延时模块，配置为接收所述连续时间 Δ - Σ 模数转换器的输入时钟信号，对所接收到的时钟信号进行延时处理，将延时处理后的时钟信号发送至所述连续时间 Δ - Σ 模数转换器的量化器的时钟信号输入端。

本发明实施例还提供了一种连续时间 Δ - Σ 模数转换器，包括上述任意一种 ELD 补偿电路。

本发明实施例还提供了一种额外环路延迟 ELD 补偿方法，包括：

针对连续时间 Δ - Σ 模数转换器设置延时模块，延时模块在预设的多个

延时时间中选择一个延时时间，基于所选择的延时时间将自身接收的信号延时输出；

根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿。

5 上述方案中，所述连续时间 Δ - Σ 模数转换器包括量化器、第 1 级数模转换器至第 n 级数模转换器、以及依次串联相接的第 1 级积分器至第 n 级积分器，n 为自然数；其中，第 i 级数模转换器，用于接收量化器输出信号，对量化器输出信号进行数模转换，将数模转换后生成的数字信号反馈至第 i 级积分器的输入端，i 取 1 至 n；

10 所述根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿，包括：对延时模块延时输出的信号进行数模转换，并将数模转换结果以差分形式反馈到第 n 级积分器的输入端进行求和操作。

 上述方案中，所述对延时模块延时输出的信号进行数模转换，包括：
15 通过复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器，对所述延时模块延时输出的信号进行数模转换。

 本发明实施例提供了一种计算机存储介质，所述计算机存储介质中存储有计算机程序，所述计算机程序用于执行以上所述的 ELD 补偿方法。

 本发明实施例提供的 ELD 补偿电路、方法、计算机存储介质和连续时间 Δ - Σ 模数转换器，在预设的多个延时时间中选择一个延时时间，基于该
20 延时时间进行连续时间 Δ - Σ 模数转换器的 ELD 补偿，如此，能够灵活地对连续时间 Δ - Σ 模数转换器进行 ELD 补偿，满足多种应用场景的需求。

附图说明

 图 1 为现有技术中连续时间 Δ - Σ 模数转换器的组成结构示意图；

25 图 2 为本发明 ELD 补偿电路的第一实施例的结构示意图；

图 3 为本发明 ELD 补偿电路的第一实施例的第一具体组成结构示意图；

图 4 为本发明 ELD 补偿电路的第一实施例中延时模块的第一组成结构示意图；

5 图 5 为本发明 ELD 补偿电路的第一实施例中延时模块的第二组成结构示意图；

图 6 为本发明 ELD 补偿电路的第一实施例中延迟锁相环的组成结构示意图；

图 7 为本发明 ELD 补偿电路的第一实施例的信号处理框图；

10 图 8 为本发明 ELD 补偿电路的第一实施例的第二具体组成结构示意图；

图 9 为本发明各种实施例的效果示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。

第一实施例

本发明实施例提出了一种 ELD 补偿电路，该补偿电路用于对连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿。如图 1 所示，连续时间 Δ - Σ 模数转换器包括量化器 100、第 1 级数模转换器 DAC1 至第 n 级数模转换器 DACn、第 1 级加法器 Σ 1 至第 n 级加法器 Σ n、以及依次串联相接的第 1 级积分器 S1 至第 n 级积分器 Sn，n 为自然数。

图 2 为本发明 ELD 补偿电路的第一实施例的结构示意图，如图 2 所示，该电路包括：延时模块 200 和补偿模块 201。

下面分两种情况对本发明 ELD 补偿电路的第一实施例进行说明。

25 第一种情况：延时模块 200 设置于量化器 100 和补偿模块 201 之间。

图 3 为本发明 ELD 补偿电路的第一实施例的第一具体组成结构示意图, 如图 3 所示, ELD 补偿电路用于对连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿; 连续时间 Δ - Σ 模数转换器包括第 1 级数模转换器 DAC1 至第 n 级数模转换器 DACn, 这里, 每级数模转换器具有差分输出功能, 也就是说, 每级数模转换器均具有 Vout+端和 Vout-端, 其中, 每级数模转换器的 Vout+端用于输出第一差分输出信号, 每级数模转换器的 Vout-端用于输出第二差分输出信号。

这里, 连续时间 Δ - Σ 模数转换器还包括第 1 级积分器 S1 至第 n 级积分器 Sn, 其中, 第 i 级积分器 Si 包括第 i 级全差分放大器 OPi、两个第 i 电容 Ci、以及两个第 i 电阻 Ri, i 取 1 至 n; 第 i 级全差分放大器 OPi 的正输入端和负输出端之间串接有一个第 i 电容 Ci, 第 i 级全差分放大器 OPi 的负输入端和正输出端之间串接有另一个第 i 电容 Ci, 第 i 级全差分放大器 OPi 的正输入端接有一个第 i 电阻 Ri, 第 i 级全差分放大器 OPi 的负输入端接有另一个第 i 电阻 Ri; 全差分放大器有多种具体实现方式, 但不属于本发明内容, 这里不再详述。

这里, 连续时间 Δ - Σ 模数转换器用于接收差分形式的模拟信号, 该差分形式的模拟信号被输入至第 1 级积分器的第 1 电阻 R1。

这里, 连续时间 Δ - Σ 模数转换器包括量化器 100, 量化器 100 配置为接收第 n 级积分器的差分输出信号, 经量化器量化处理后的数字信号被发送至延时模块, 经量化器量化处理后的数字信号为连续时间 Δ - Σ 模数转换器最终输出的数字信号。

延时模块 200, 设置于量化器 100 和补偿模块 201 之间, 配置为在预设的多个延时时间中选择一个延时时间, 基于所选择的延时时间将自身接收的信号延时输出。

具体地, 所述延时模块 200 配置为接收所述连续时间 Δ - Σ 模数转换器

的量化器的输出信号，对所接收到的信号进行延时处理，将延时处理后的信号分别发送至补偿模块、以及第 1 级数模转换器 DAC1 至第 n 级数模转换器 DACn 的输入端。显然，与未设置延时模块的情况相比，延时模块可以将经量化处理后的信号延时输出。

5 这里，可以根据应用场景，在预设的多个延时时间中选择一个延时时间；进一步地，延时模块可以在外部控制信号的控制下进行延时时间的调整，从而灵活地选择延时时间。

下面说明延时模块的两种实现方式。

图 4 为本发明 ELD 补偿电路的第一实施例中延时模块的第一种实现方
10 式的组成结构示意图，如图 4 所示，该延时模块包括：译码器 400、第 1 延时单元 D1 至第 N 延时单元 DN，N 为大于 1 的自然数，每个延时单元用于对输入信号进行延时输出，各个延时单元的延时值互不相同。IN 为延时模块的输入信号，OUT 表示延时模块的输出信号；所述延时模块的输入信号分别被发送至第 1 延时单元 D1 至第 N 延时单元 DN；ctrl<M:1>为译码器的
15 输入信号，用于控制译码器的输出值；译码器 400 的输出端分别连接第 1 延时单元 D1 至第 N 延时单元 DN 的输入端。

这里，译码器可以通过自身的输出值在 N 个延时单元中选出一个延时单元，延时模块的输入信号通过被选出的延时单元输出至下一级电路，例如，被选出的延时单元为第 k 延时单元， $1 \leq k \leq N$ ；则意味着延时模块的输入
20 信号 IN 仅通过第 k 延时单元进行延时处理。

图 5 为本发明 ELD 补偿电路的第一实施例中延时模块的第二种实现方式的组成结构示意图，如图 5 所示，该延时模块包括：译码器 500、第 1 延时单元 D1 至第 N 延时单元 DN、以及第 1 开关 S1 至第 N 开关 SN，N 为大于 1 的自然数；其中，第 j 开关与第 j 延时单元 Dj 并联，j 取 1 至 N。每个
25 延时单元配置为对输入信号进行延时输出，各个延时单元的延时值互不

相同。IN 为延时模块的输入信号, OUT 表示延时模块的输出信号; ctrl<M:1> 为译码器的输入信号, 配置为控制译码器的输出值; 译码器 500 配置为分别控制每个开关的通断状态。

这里, 译码器可以根据自身的输出值控制一个开关处于断开状态, 并控制其他开关处于导通状态; 这样, 与处于断开状态的开关的延时单元被接入电路中, 延时模块的输入信号通过被选出的延时单元输出至下一级电路, 例如, 处于断开状态的开关为第 k 开关, $1 \leq k \leq N$; 则意味着延时模块的输入信号 IN 仅通过第 k 延时单元进行延时处理。

由于延时模块会受到工艺偏差、温度、电压等外界因素的影响, 延时模块选择的延时时间可能会发生变化, 也就是说, 与理想情况下选择的延时时间不同。为了解决该问题, 可以在本发明实施例的 ELD 补偿电路中设置延迟锁相环 (Delay-Locked Loop, DLL) 301, 如图 3 所示, 延迟锁相环 301 连接延时模块 200, 配置为使延时模块所选择的延时时间保持不变, 实现对所选择的延时时间的精确控制。

图 6 为本发明 ELD 补偿电路的第一实施例中延迟锁相环的组成结构示意图, 如图 6 所示, 延迟锁相环包括鉴频鉴相器 (Phase Frequency Detector, PFD) 600、电荷泵 (Charge Pump) 601、环路滤波器 (Loop Filter, LPF) 602 和第 N+1 延时单元 603, 其中, 鉴频鉴相器 600、电荷泵 601 和环路滤波器 602 依次连接, 环路滤波器 602 的输出端 Vctrl 分别连接第 N+1 延时单元 603 的电源、以及所述延时模块中 N 个延时单元的电源, 这里, 第 N+1 延时单元 603 与延时模块中任意一个延时单元具有完全相同的电路结构和实现方式。鉴频鉴相器 600 配置为接收基准时钟以及来自环路滤波器的反馈时钟, 通过比较基准时钟与反馈时钟, 向电荷泵发送对应的信号; 这里, 鉴频鉴相器 600、电荷泵 601 和环路滤波器 602 具有多种现有的实现方式, 这里不再详述。

需要说明的是，图 6 只示例性地说明了一种延迟锁相环的实现方式，本发明实施例可以根据实际情况采用延迟锁相环的其他实现方式，这里不再说明。

这里，对于延时模块，可以根据应用场景及第 n 级积分器的性能指标，
5 来选择不同的延时时间。

补偿模块 201，配置为根据延时模块延时输出的信号进行 ELD 补偿。

具体地，所述补偿模块 201，配置为对延时模块延时输出的信号进行数模转换，并将数模转换结果以差分形式反馈到第 n 级积分器，将差分形式的数模转换结果与第 n 级积分器的输入端进行求和操作，这里，求和操作
10 可以利用加法器实现。

图 7 为本发明 ELD 补偿电路的第一实施例的信号处理框图，如图 7 所示， $x(t)$ 表示连续时间 Δ - Σ 模数转换器接收的模拟信号， $k_i s^{-1}$ 表示连续时间 Δ - Σ 模数转换器的第 i 级积分器的传递函数，第 n 级积分器的输出信号经量化器量化处理后变为信号 $y[n]$ ， $z^{-\tau_{eld}}$ 表示连续时间 Δ - Σ 模数转换器的 ELD
15 时间。

这里，ELD 补偿系数为 k ，补偿模块可以基于设置的 ELD 补偿系数对延时模块延时输出的信号进行数模转换。在对延时模块延时输出的信号进行数模转换后，将数模转换后的模拟信号与连续时间 Δ - Σ 模数转换器的第 n 级数模转换器输出的信号进行求和，生成反馈信号，反馈信号被输入至第 n
20 级积分器的输入端再次进行求和操作。

这里，经延时模块处理后的信号还被分别发送到第 1 级数模转换器至第 n 级数模转换器的输入端；每级数模转换器对输入的经延时模块处理后的信号进行数模转换，每级数模转换器输出的模拟信号被发送至本级积分器的输入端。

25 补偿模块配置为根据经延时模块处理后的信号进行 ELD 补偿，这里，

补偿模块输出的模拟信号可以是差分形式的模拟信号。具体地说，补偿模块中有两路差分数模转换器，在补偿模块中，一路信号直接进行数模转换，另一路信号先经图 7 中 $z^{-\tau_d}$ 所示的延时单元，在进行数模转换；补偿模块中两次数模转换后生成的模拟信号作差，生成差分形式的模拟信号。这里，

5 补偿模块中的数模转换过程可通过两个数模转换器实现。

这里，ELD 补偿的传递函数可表示为 $TF(z)$ ， $TF(z) = 1 - z^{-\tau/T_s} (\tau \leq T_s - \tau_{eld})$ ，其中， z 表示自变量， T_s 表示连续时间 Δ - Σ 模数转换器的采样周期，需要说明的是，如果 $\tau \leq T_s - \tau_{eld}$ ，则不能用图 7 所示的单一比例系数 k 的方式实现 ELD 补偿。

10 在一实施例中，所述补偿模块 201，配置为通过复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器，对所述延时模块延时输出的信号进行数模转换。也就是说，经延时模块处理后的信号分别被发送到第 1 级数模转换器至第 $n-1$ 级数模转换器、以及补偿模块；也就是说，补偿模块中的两个数模转换器与第 n 级数模转换器复用，这时，第 n 级数模转换器可省略。

15 下面结合图 3 说明补偿模块内部的结构进行进一步说明。

如图 3 所示，补偿模块 201 包括 D 触发器（触发器 DEF）302、第 n 数模转换器 DAC $_n$ 和第 $n+1$ 数模转换器 303，其中，第 n 数模转换器 DAC $_n$ 和第 $n+1$ 数模转换器 303 分别用于实现补偿模块中的两次数模转换过程；D 触发器 302 用于实现补偿模块中的延时处理过程。

20 需要说明的是，第 $n+1$ 级数模转换器 303 与第 n 级数模转换器 DAC $_n$ 具有相同的内部结构，第 $n+1$ 级数模转换器 303 的 Vout+端和第 n 级数模转换器 DAC $_n$ 的 Vout-端的公共节点连接第 n 级全差分放大器 OP $_n$ 的正输入端，第 $n+1$ 级数模转换器 303 的 Vout-端和第 n 级数模转换器 DAC $_n$ 的 Vout+端的公共节点连接第 n 级全差分放大器 OP $_n$ 的负输入端。

25 这里，图 3 中的补偿模块 201 可以实现差分器形式的 ELD 反馈路径。

第 n 数模转换器 DAC n 和第 $n+1$ 数模转换器 303 的控制时钟的相位相差 180 度, D 触发器 302 的控制时钟与第 n 数模转换器 DAC n 的控制时钟相同。

如果 k 表示 ELD 补偿电路接在量化器输入端和输出端之间时的 ELD 补偿系数, 则本发明实施例的补偿模块接入最后一级积分器的输入端之前时的

5 ELD 补偿系数 k' 为: $k' = (k / c) \times (1 - \tau_{eld} / Ts)^{-1}$, 其中, c 表示已知的常数, 是与最后一级积分器的输出摆幅有关的常数, 可以根据具体情况进行设置; ELD 补偿系数 k' 通过第 n 数模转换器 DAC n 和第 $n+1$ 数模转换器 303 输出的电流信号来实现, 这是由于第 n 数模转换器 DAC n 和第 $n+1$ 数模转换器 303 均可以用于输出多种不同大小的电流信号。

10 可以看出, 当补偿模块复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器时, 连续时间 Δ - Σ 模数转换器的第 n 级积分器被包含在 ELD 补偿回路中, 由于连续时间 Δ - Σ 模数转换器的第 n 级积分器带宽有限造成的额外延迟时间将被计入 ELD 时间中, 如此, 在延时模块选择延时时间时, 需要将第 n 级积分器有限带宽造成的额外延迟时间计算在内, 这样, 可以降低连续时间 Δ - Σ 模数转换器对第 n 级积分器的性能需求, 保持连续时间 Δ - Σ 模数转换器的稳定性, 并降低 ELD 补偿电路的设计难度和功耗。

在一实施例中, 可以将补偿模块输出端连接第 n 级积分器的虚地点 (V_p , V_n), 这样, 补偿模块输出的模拟信号在第 n 级积分器的输入端的求和过程可以在第 n 级积分器的虚地点完成, 显然, 无需设置额外的加法器电路, 20 进而减少了 ELD 补偿电路的面积和功耗。

第二种情况: 延时模块 200 设置于量化器 100 的时钟信号输入端。

图 8 为本发明 ELD 补偿电路的第一实施例的第二具体组成结构示意图, 如图 8 所示, 本发明 ELD 补偿电路的第一实施例的第二种情况与第一种情况基本相同, 其区别点在于, 延时模块 200 设置于量化器 100 的时钟 25 信号输入端。

这里，延时模块 200，配置为接收所述连续时间 Δ - Σ 模数转换器的输入时钟信号，对所接收到的时钟信号进行延时处理，将延时处理后的时钟信号发送至所述量化器的时钟信号输入端。如此，量化器基于经延时处理后的时钟信号对输入的信号进行量化处理，与未设置延时模块的情况相比，
5 进而可以将经量化处理后的信号延时输出。

第二实施例

本发明实施例还提出了一种连续时间 Δ - Σ 模数转换器，该连续时间 Δ - Σ 模数转换器包括本发明第一实施例中任意一种 ELD 补偿电路。

第三实施例

10 基于本发明实施例的 ELD 补偿电路，本发明实施例还提出一种 ELD 补偿方法，该方法包括：

针对连续时间 Δ - Σ 模数转换器设置延时模块，延时模块在预设的多个延时时间中选择一个延时时间，基于所选择的延时时间将自身接收的信号延时输出。

15 根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿。

这里，所述连续时间 Δ - Σ 模数转换器包括量化器、第 1 级数模转换器至第 n 级数模转换器、以及依次串联相接的第 1 级积分器至第 n 级积分器，n 为自然数；其中，第 i 级数模转换器，用于接收量化器输出信号，对量化器输出信号进行数模转换，将数模转换后生成的数字信号反馈至第 i 级积分器的输入端，i 取 1 至 n。
20

在一实施例中，所述根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿，包括：对延时模块延时输出的信号进行数模转换，并将数模转换结果以差分形式反馈到第 n 级积分器，将差分形式的数模转换结果与第 n 级积分器的输入端进行求和操作。
25

在另一实施例中，所述对延时模块延时输出的信号进行数模转换，包括：通过复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器，对所述延时模块延时输出的信号进行数模转换。

本发明实施例还记载了一种计算机存储介质，所述计算机存储介质中
5 存储有计算机可执行指令，所述计算机可执行指令用于第三实施例所述的 ELD 补偿方法。

图 9 为本发明各种实施例的效果示意图，如图 9 所示，分三个方面说明本发明各种实施例的有益效果。第一，相对于图 1 所示的现有的 ELD 补偿方式，本发明将 ELD 补偿路径前移至最后一级积分器的输入端，将补偿
10 模块中的数模转换器设置为差分器形式；第二，根据具体的应用需求，通过延时模块灵活选择延时值，使 ELD 补偿具有灵活性，减轻 ELD 补偿电路对最后一级积分器的性能需求，进而降低 ELD 补偿电路的设计难度和功耗；第三，通过 DLL 控制延时模块的延时值，进而实现精确的 ELD 补偿。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、
15 或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序
20 产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现
25 在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功

能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个
5 流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功
10 能的步骤。

以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

工业实用性

本发明实施例中，预设的多个延时时间中选择一个延时时间，基于该
15 延时时间进行连续时间 Δ - Σ 模数转换器的 ELD 补偿，如此，能够灵活地对连续时间 Δ - Σ 模数转换器进行 ELD 补偿，满足多种应用场景的需求。

权利要求书

1、一种额外环路延迟 ELD 补偿电路，所述电路用于对连续时间 Δ - Σ 模数转换器的 ELD 时间进行 ELD 补偿，所述电路包括：延时模块和补偿模块；其中，

5 所述延时模块，配置为在预设的多个延时时间中选择一个延时时间，基于所选择的延时时间将自身接收的信号延时输出；

 所述补偿模块，配置为根据所述延时模块延时输出的信号进行 ELD 补偿。

2、根据权利要求 1 所述的电路，其中，所述连续时间 Δ - Σ 模数转换器
10 包括量化器、第 1 级数模转换器 DAC 至第 n 级 DAC、以及依次串联相接的第 1 级积分器至第 n 级积分器，n 为自然数；其中，第 i 级 DAC 接在量化器输出端和第 i 级积分器输入端之间，i 取 1 至 n；

 所述补偿模块，配置为对延时模块延时输出的信号进行数模转换，并将数模转换结果以差分形式反馈到第 n 级积分器的输入端进行求和操作。

15 3、根据权利要求 2 所述的电路，其中，所述补偿模块，配置为通过复用所述连续时间 Δ - Σ 模数转换器的第 n 级数模转换器，对所述延时模块延时输出的信号进行数模转换。

4、根据权利要求 3 所述的电路，其中，所述补偿模块，配置为根据设置的 ELD 补偿系数，对延时模块延时输出的信号进行数模转换，将数模转
20 换后的模拟信号以差分形式发送至所述连续时间 Δ - Σ 模数转换器的第 n 级积分器的虚地点。

5、根据权利要求 1 所述的电路，其中，所述电路还包括延迟锁相环 DLL，所述 DLL 配置为使所述延时模块所选择的延时时间保持不变。

6、根据权利要求 1 至 5 任一项所述的电路，其中，所述延时模块，配
25 置为接收所述连续时间 Δ - Σ 模数转换器的量化器的输出信号，对所接收到

的信号进行延时处理，将延时处理后的信号发送至补偿模块；或者，

所述延时模块，配置为接收所述连续时间 Δ - Σ 模数转换器的输入时钟信号，对所接收到的时钟信号进行延时处理，将延时处理后的时钟信号发送至所述连续时间 Δ - Σ 模数转换器的量化器的时钟信号输入端。

5 7、一种连续时间 Δ - Σ 模数转换器，包括权利要求1至6任一项所述的ELD补偿电路。

8、一种额外环路延迟ELD补偿方法，所述方法包括：

针对连续时间 Δ - Σ 模数转换器设置延时模块，延时模块在预设的多个延时时间中选择一个延时时间，基于所选择的延时时间将自身接收的信号
10 延时输出；

根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的ELD时间进行ELD补偿。

9、根据权利要求8所述的方法，其中，所述连续时间 Δ - Σ 模数转换器包括量化器、第1级数模转换器至第n级数模转换器、以及依次串联相接
15 的第1级积分器至第n级积分器，n为自然数；其中，第i级数模转换器，用于接收量化器输出信号，对量化器输出信号进行数模转换，将数模转换后生成的数字信号反馈至第i级积分器的输入端，i取1至n；

所述根据所述延时模块延时输出的信号，对所述连续时间 Δ - Σ 模数转换器的ELD时间进行ELD补偿，包括：对延时模块延时输出的信号进行数
20 模转换，并将数模转换结果以差分形式反馈到第n级积分器的输入端进行求和操作。

10、根据权利要求9所述的方法，其中，所述对延时模块延时输出的信号进行数模转换，包括：通过复用所述连续时间 Δ - Σ 模数转换器的第n级数模转换器，对所述延时模块延时输出的信号进行数模转换。

25 11、一种计算机存储介质，所述计算机存储介质中存储有计算机可执

行指令，所述计算机可执行指令用于执行权利要求 8 至 10 任一项所述的方法。

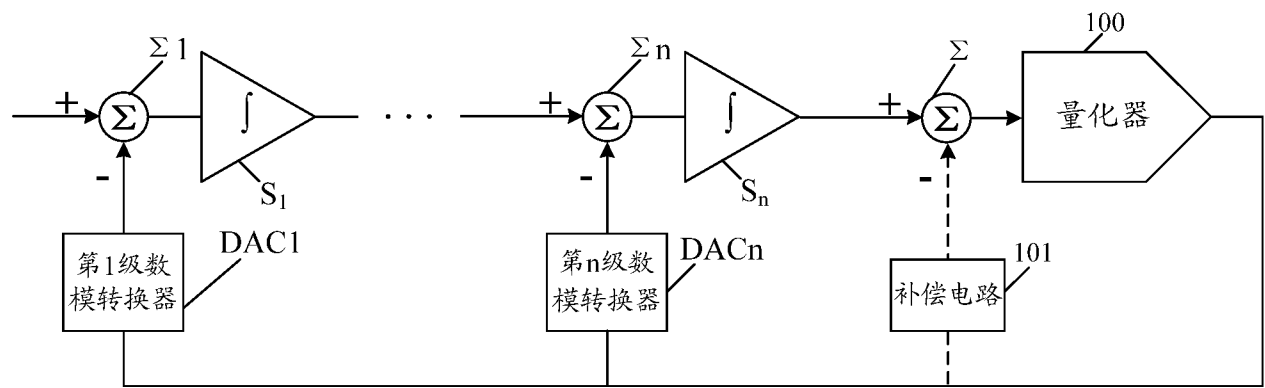


图 1

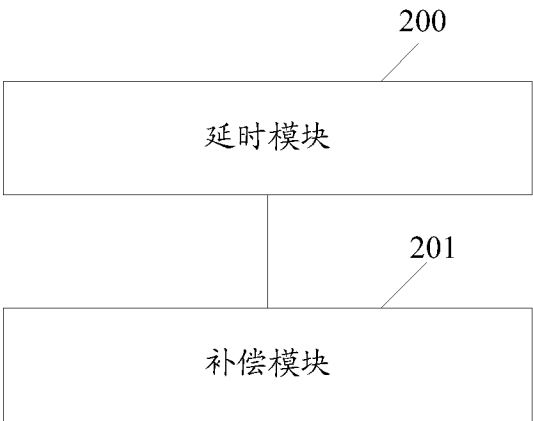


图 2

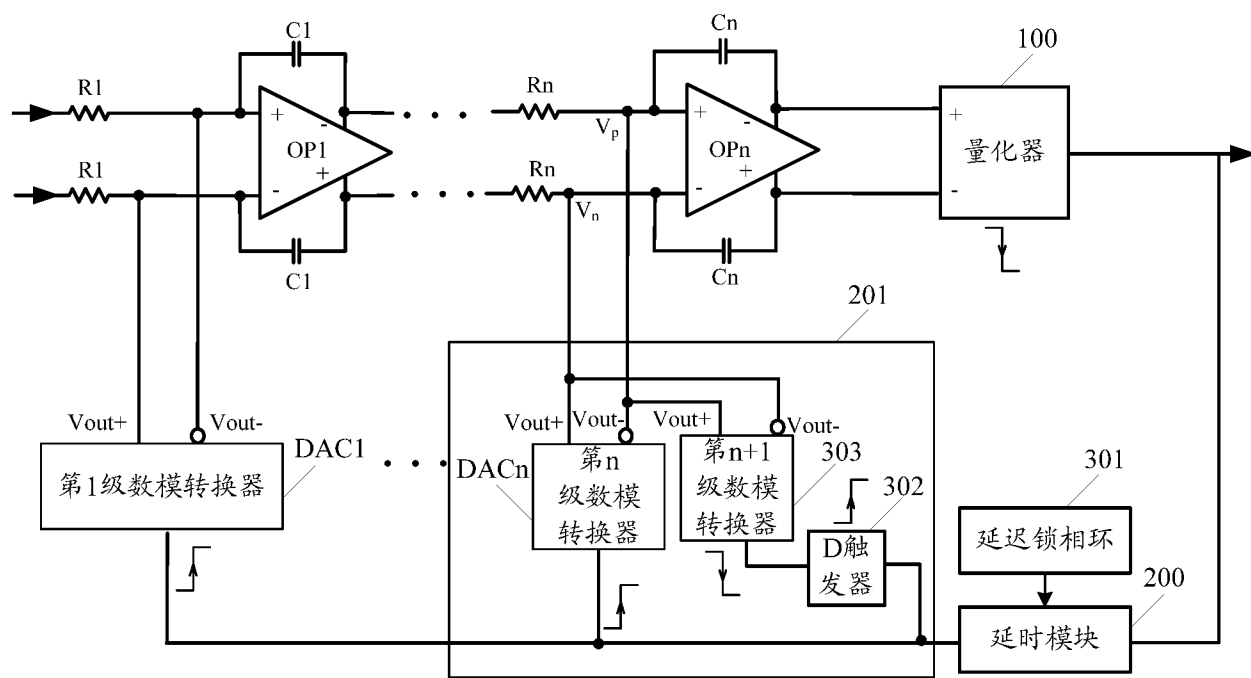


图 3

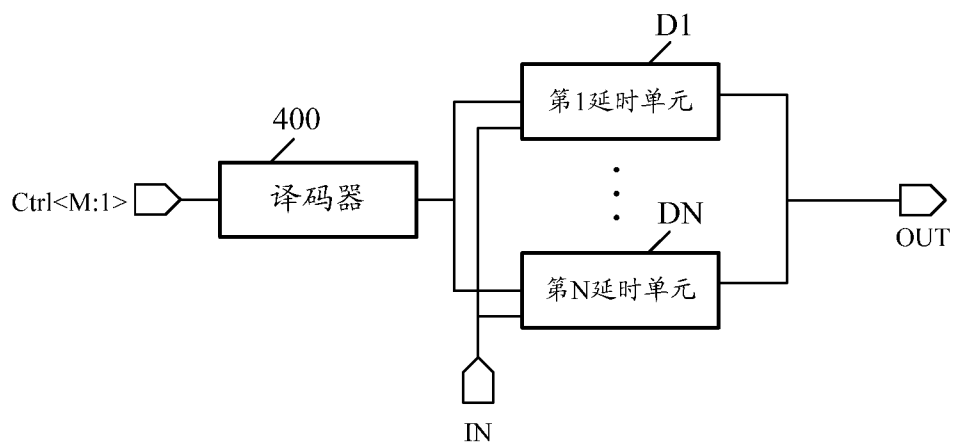


图 4

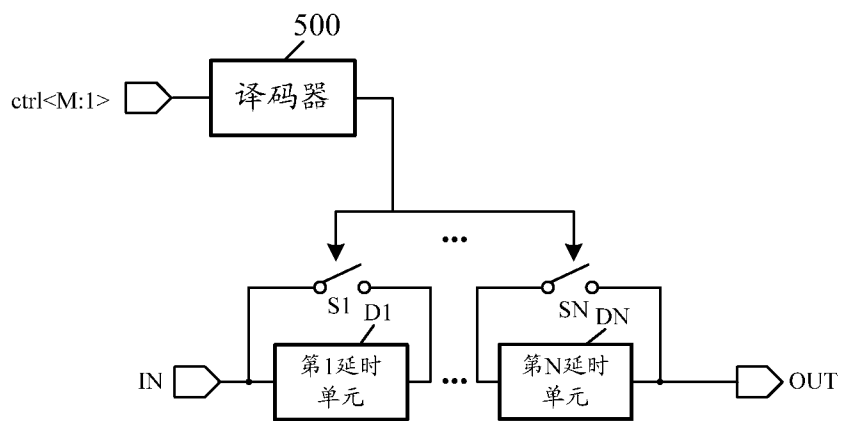


图 5

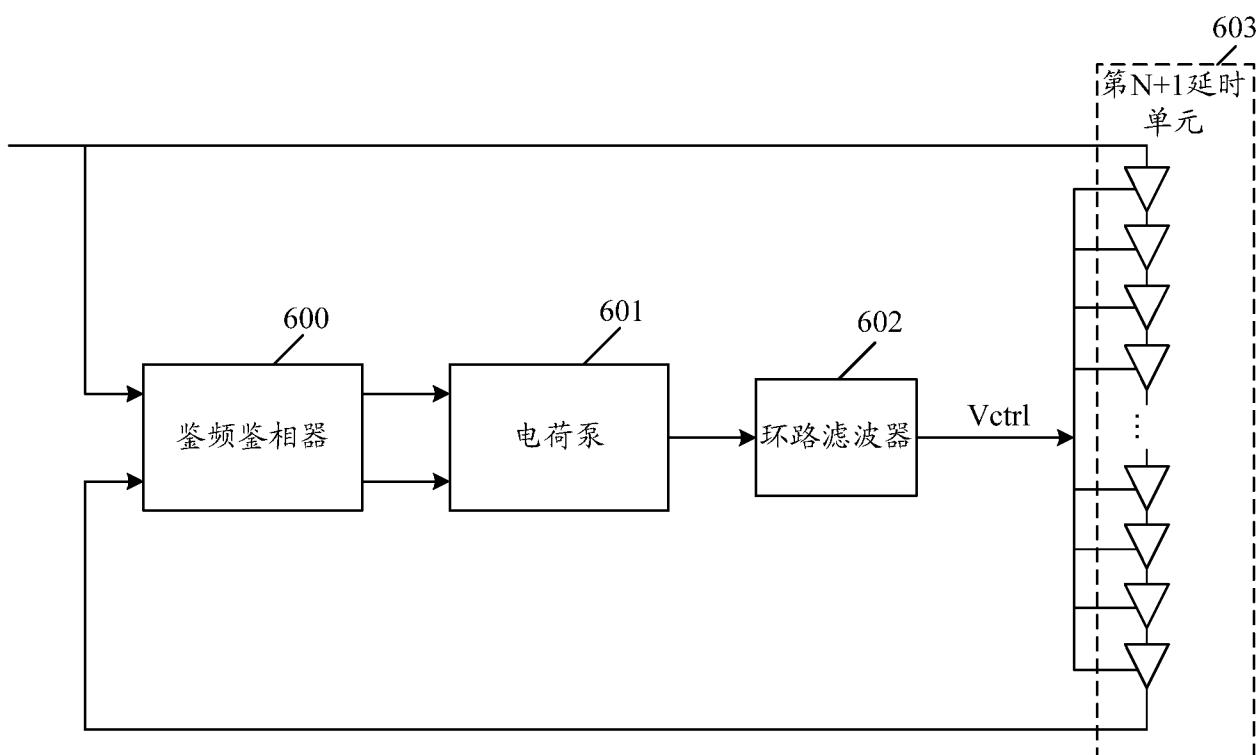


图 6

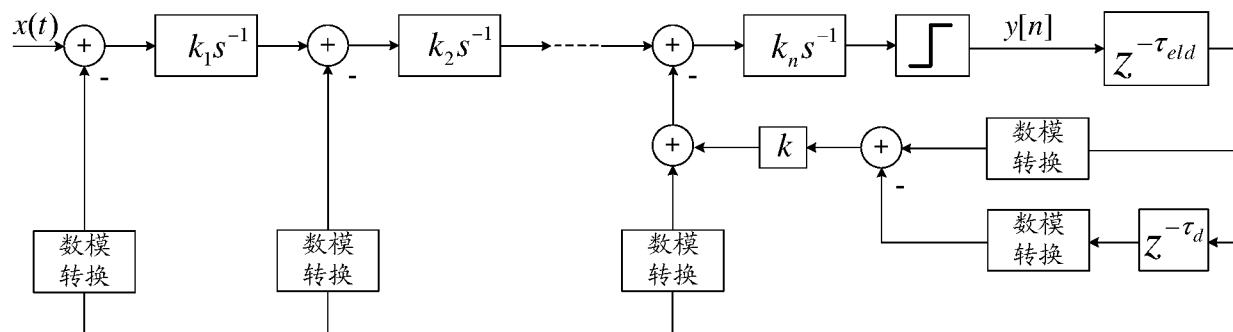


图 7

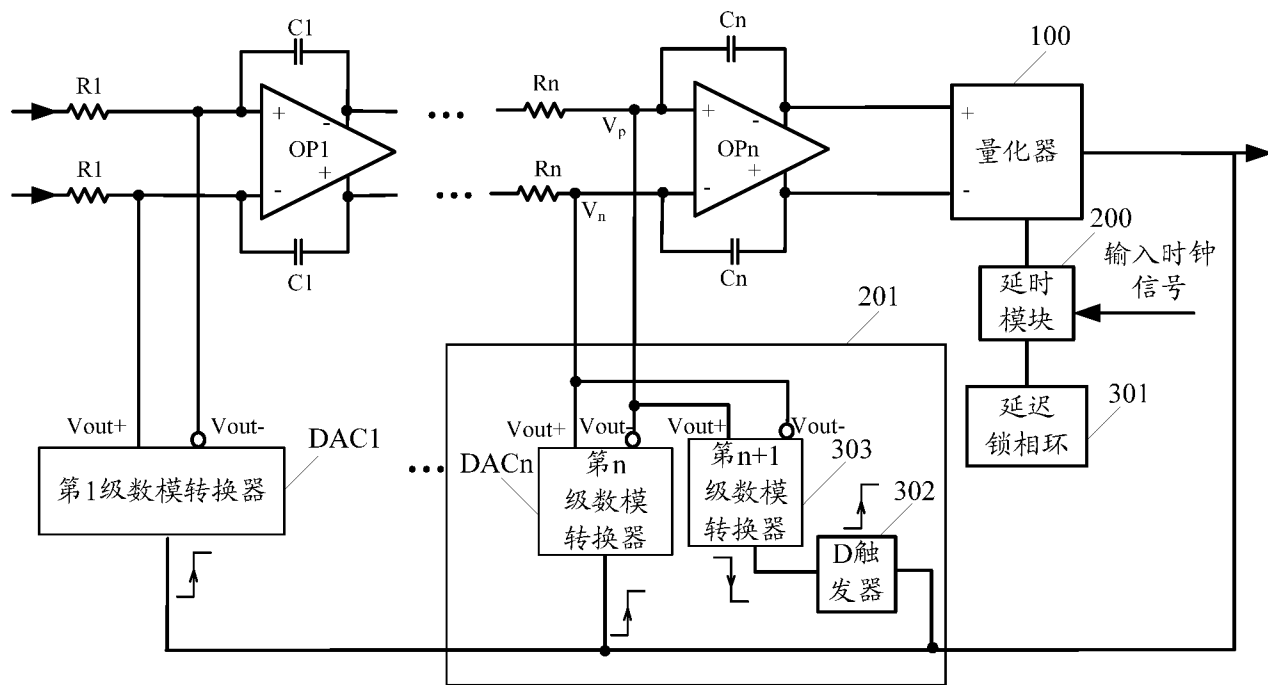


图 8

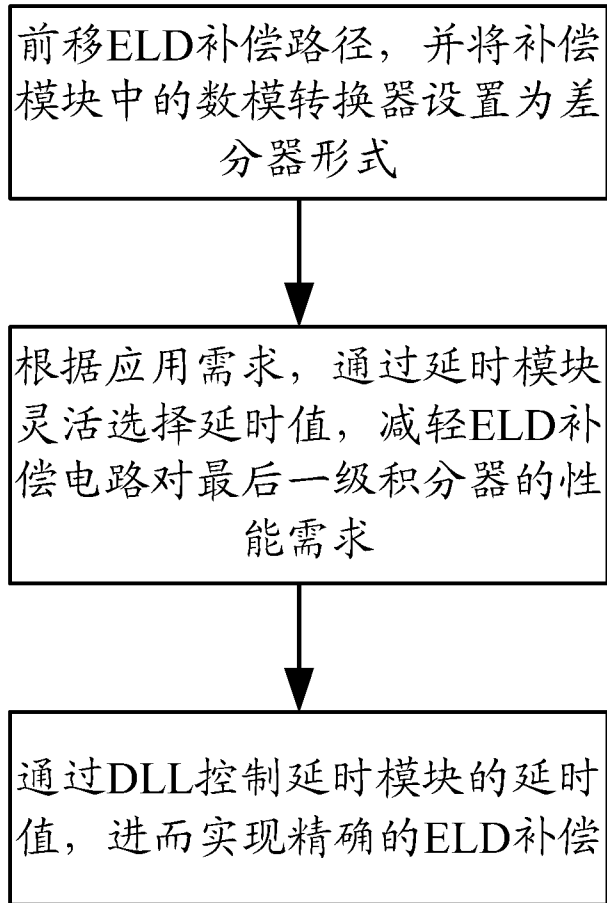


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/079799

A. CLASSIFICATION OF SUBJECT MATTER

H03M 3/00 (2006.01) i; H03M 1/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: ELD, supplement, digital to analog converter, phase-locked, excess, loop, delay, late w timing, time w lapse, compensat+, offset, addition, supply, DAC, analog, digit+, difference, quantiz+, phase, lock

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102334294 A (FREESCALE SEMICONDUCTOR INC.), 25 January 2012 (25.01.2012), description, pages 3 and 5-6, and figures 1 and 2	1-11
X	CN 104124974 A (BEIJING NUFRONT MOBILE MULTIMEDIA TECHNOLOGY CO., LTD.), 29 October 2014 (29.10.2014), description, pages 4-5, and figure 5	1, 5-6, 8, 11
X	CN 102832948 A (FUDAN UNIVERSITY), 19 December 2012 (19.12.2012), description, pages 4-5, and figures 2 and 3	1, 5-6, 8, 11
A	CN 102629874 A (SONY CORPORATION), 08 August 2012 (08.08.2012), the whole document	1-11
A	US 7439892 B1 (CIRRUS LOGIC, INC.), 21 October 2008 (21.10.2008), the whole document	1-11
A	EP 2782259 A2 (HAMILTON SUNDSTRAND CORPORATION), 24 September 2014 (24.09.2014), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 July 2016 (05.07.2016)	Date of mailing of the international search report 22 July 2016 (22.07.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer TIAN, Sujie Telephone No.: (86-10) 62413644

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/079799

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102334294 A	25 January 2012	EP 2401816 A2	04 January 2012
		JP 2012519415 A	23 August 2012
		US 2010219999 A1	02 September 2010
		WO 2010098918 A2	02 September 2010
CN 104124974 A	29 October 2014	None	
CN 102832948 A	19 December 2012	None	
CN 102629874 A	08 August 2012	US 2012200437 A1	09 August 2012
		JP 2012165088 A	30 August 2012
US 7439892 B1	21 October 2008	None	
EP 2782259 A2	24 September 2014	US 2015097709 A1	09 April 2015

国际检索报告

国际申请号

PCT/CN2016/079799

A. 主题的分类

H03M 3/00(2006.01)i; H03M 1/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC; 环路, ELD, 延迟, 延时, 补偿, 补充, 补, 数模转换器, 差分, 量化, 锁相, excess, loop, delay, late w timing, time w lapse, compensat+, offset, addition, supply, DAC, analog, digit+, difference, quantiz+, phase, lock

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102334294 A (飞思卡尔半导体公司) 2012年 1月 25日 (2012 - 01 - 25) 说明书第3, 5-6页以及附图1, 2	1-11
X	CN 104124974 A (北京新岸线移动多媒体技术有限公司) 2014年 10月 29日 (2014 - 10 - 29) 说明书第4-5页以及附图5	1, 5-6, 8, 11
X	CN 102832948 A (复旦大学) 2012年 12月 19日 (2012 - 12 - 19) 说明书第4-5页以及附图2和3	1, 5-6, 8, 11
A	CN 102629874 A (索尼公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-11
A	US 7439892 B1 (CIRRUS LOGIC, INC.) 2008年 10月 21日 (2008 - 10 - 21) 全文	1-11
A	EP 2782259 A2 (HAMILTON SUNDSTRAND CORPORATION) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 7月 5日

国际检索报告邮寄日期

2016年 7月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

田苏洁

传真号 (86-10)62019451

电话号码 (86-10)62413644

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/079799

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102334294	A	2012年 1月 25日	EP	2401816	A2	2012年 1月 4日
				JP	2012519415	A	2012年 8月 23日
				US	2010219999	A1	2010年 9月 2日
				WO	2010098918	A2	2010年 9月 2日
CN	104124974	A	2014年 10月 29日	无			
CN	102832948	A	2012年 12月 19日	无			
CN	102629874	A	2012年 8月 8日	US	2012200437	A1	2012年 8月 9日
				JP	2012165088	A	2012年 8月 30日
US	7439892	B1	2008年 10月 21日	无			
EP	2782259	A2	2014年 9月 24日	US	2015097709	A1	2015年 4月 9日

表 PCT/ISA/210 (同族专利附件) (2009年7月)