

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4055901号  
(P4055901)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.		F I			
<b>H03L</b>	<b>7/197</b>	<b>(2006.01)</b>	<b>H03L</b>	<b>7/18</b>	<b>A</b>
<b>H03L</b>	<b>7/08</b>	<b>(2006.01)</b>	<b>H03L</b>	<b>7/08</b>	<b>N</b>
<b>H03B</b>	<b>28/00</b>	<b>(2006.01)</b>	<b>H03B</b>	<b>28/00</b>	<b>B</b>

請求項の数 1 (全 10 頁)

(21) 出願番号	特願2003-24096 (P2003-24096)	(73) 特許権者	000100746
(22) 出願日	平成15年1月31日 (2003.1.31)		アイコム株式会社
(65) 公開番号	特開2004-236139 (P2004-236139A)		大阪府大阪市平野区加美鞍作1丁目6番1 9号
(43) 公開日	平成16年8月19日 (2004.8.19)	(74) 代理人	100095407
審査請求日	平成17年5月10日 (2005.5.10)		弁理士 木村 満
		(72) 発明者	浅田 和秀
			大阪府大阪市平野区加美鞍作1丁目6番1 9号 アイコム株式会社内
		(72) 発明者	山内 啓史
			大阪府大阪市平野区加美鞍作1丁目6番1 9号 アイコム株式会社内
		審査官	甲斐 哲雄

最終頁に続く

(54) 【発明の名称】 位相同期ループ回路

(57) 【特許請求の範囲】

【請求項 1】

基準周波数を有する基準信号を出力する基準信号出力回路と、  
 前記基準信号の位相と所定の信号との位相とを比較し、両信号の位相差に対応する位相差信号を出力する位相比較器と、  
 前記位相比較器の出力信号をフィルタリングするループフィルタと、  
 前記ループフィルタを通過した前記位相差信号に従った周波数の発振信号を出力する発振器と、  
 波形データを記憶する記憶部と、  
 前記発振信号の出力周波数に基づいて前記記憶部から前記波形データを読み出す波形データ読出部と、  
 前記波形データを 変調して量子化データを出力する変調器と、  
 前記変調器からの量子化データをアナログ信号に変換して、前記所定の信号として前記位相比較器に供給するデジタル - アナログ変換器と、  
 を備え、  
 前記記憶部は、複数のアドレスに波形データを記憶しており、  
 前記波形データ読出部は、  
 前記記憶部の読み出しアドレスのピッチを設定する読出ピッチ設定部と、  
 前記読出ピッチ設定部が設定した読出ピッチを累算することにより前記記憶部の読み出しアドレスを生成する手段と、

10

20

生成したアドレスで、前記記憶部をアクセスして波形データを読み出す手段と、  
を備え、

前記読出ピッチ設定部により設定された読出ピッチが前記記憶部に記憶された波形データのアドレス総数の約数でない場合を含み、

前記変調器は、前記読出ピッチが前記記憶部の波形データを記憶している領域の総アドレス数の約数でないことにより前記ループフィルタの通過周波数帯域内に発生するスプリアスを、通過周波数帯域の外に変調することにより、減衰させる、

ことを特徴とする位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相同期ループ回路に関する。

【0002】

【従来の技術】

受信機等においては、DDS (Direct Digital Synthesizer) を備えた位相同期ループ (PLL : Phase Locked Loop) 回路が知られている (例えば、特許文献1参照)。DDSは、波形データを記憶するメモリを備え、このメモリから波形データを読み出して、読み出した波形データに基づいて信号を直接合成するものである。このため、DDSを備えた位相同期ループ回路では、所望の周波数を有する信号を正確に素早く出力することができる。

【0003】

かかるDDSは、位相同期ループ回路から出力される発振信号の周波数に基づいて、メモリにおける記憶位置を順次アクセスする。メモリに記憶されている波形データは、例えば、1周期分であるため、DDSは、メモリを繰り返しアクセスして、波形データを読み出す。

【0004】

メモリへのアクセスの一巡を1周期とすると、DDSから出力される信号の周波数 $F_{dds}$ は、次の数1によって表される。

【数1】

$$F_{dds} = (K / 2^N) \times F_{out}$$

但し、K : DDS設定数 (メモリの読み出しアドレスのピッチ)

N : メモリのアドレスのビット数

$F_{out}$  : PLL回路 (電圧制御発振器) の出力信号の出力周波数

【0005】

この式からわかるように、DDSの出力周波数 $F_{dds}$ は、位相同期ループの出力周波数 $F_{out}$ の $2^N / K$ で分周した周波数となる。ここで、DDS設定数Kは、メモリのアドレス数 $2^N$ の約数以外にも設定することができるため、分周値を整数以外の値に設定することができ、結果、位相同期ループの出力周波数を基準周波数以下の周波数ピッチで設定することが可能となる。

【0006】

【特許文献1】

特公平03 - 08778号公報 (第2 - 3頁、図1)

【0007】

【発明が解決しようとする課題】

しかし、このようなDDSを備えた位相同期ループにあっては、DDSに起因するスプリアスがその出力に発生する事がある。

即ち、波形データを記憶したメモリの全アドレス (=  $2^N$ ) をDDS設定数であるKピッチで繰り返してアクセスして波形データを読み出すとき、Kが $2^N$ の約数でないと、一巡目のアクセスでは $2^N$ 番目のアドレスをアクセスできず、何巡目かのアクセスで初めて $2^N$ 番目のアドレスをアクセスすることになる。つまり、この巡回が周期的に行われること

10

20

30

40

50

になり、結果、DDSの出力周波数 $F_{dds}$ は、この巡回周波数によってFM変調がかけられた状態となり、目的周波数以外のスプリアスが発生する。

【0008】

このスプリアスの周波数が位相同期ループの帯域内（ループフィルタの通過周波数帯域内）になれば、ループフィルタによってスプリアスは除去されるが、DDSの出力周波数 $F_{dds}$ に近接した周波数、即ち、位相同期ループの帯域内にあると、ループフィルタによってこのスプリアスを除去することができず、位相同期ループの出力にも現れることになり、出力信号の信号純度が低下する。

【0009】

本発明は、このような従来の問題点に鑑みてなされたもので、信号純度を向上させることが可能な位相同期ループ回路を提供することを目的とする。

10

【0010】

【課題を解決するための手段】

この目的を達成するため、本発明の観点に係る位相同期ループ回路は、  
 基準周波数を有する基準信号を出力する基準信号出力回路と、  
 前記基準信号の位相と所定の信号との位相とを比較し、両信号の位相差に対応する位相差信号を出力する位相比較器と、  
 前記位相比較器の出力信号をフィルタリングするループフィルタと、  
 前記ループフィルタを通過した前記位相差信号に従った周波数の発振信号を出力する発振器と、

20

波形データを記憶する記憶部と、  
 前記発振信号の出力周波数に基づいて前記記憶部から前記波形データを読み出す波形データ読出部と、  
 前記波形データを 変調して量子化データを出力する変調器と、  
 前記変調器からの量子化データをアナログ信号に変換して、前記所定の信号として前記位相比較器に供給するデジタル - アナログ変換器と、  
 を備え、

前記記憶部は、複数のアドレスに波形データを記憶しており、  
前記波形データ読出部は、  
前記記憶部の読み出しアドレスのピッチを設定する読出ピッチ設定部と、  
前記読出ピッチ設定部が設定した読出ピッチを累算することにより前記記憶部の読み出しアドレスを生成する手段と、

30

生成したアドレスで、前記記憶部をアクセスして波形データを読み出す手段と、  
を備え、  
前記読出ピッチ設定部により設定された読出ピッチが前記記憶部に記憶された波形データのアドレス総数の約数でない場合を含み、  
前記変調器は、前記読出ピッチが前記記憶部の波形データを記憶している領域の総アドレス数の約数でないことにより前記ループフィルタの通過周波数帯域内に発生するスプリアスを、通過周波数帯域の外に変調することにより、減衰させる。

40

【0012】

【発明の実施の形態】

以下、本発明の実施の形態に係る位相同期ループ回路を図面を参照して説明する。  
 本実施の形態に係る位相同期ループ回路の構成を図1に示す。  
 本実施の形態に係る位相同期ループ回路は、読出ピッチ設定部11と、基準周波数信号出力部12と、位相比較器13と、ループフィルタ14と、電圧制御発振器15と、DDS16と、からなる。

【0013】

読出ピッチ設定部11は、DDS16のメモリ22に記憶されている波形データの記憶位置を示すアドレスデータのピッチ(K)を設定するものである。

【0014】

50

基準周波数信号出力部 1 2 は、目標となる基準周波数を有する周波数信号を出力するものである。

【 0 0 1 5 】

位相比較器 1 3 は、基準周波数信号出力部 1 2 から出力された周波数信号の位相と D D S 1 6 から出力された信号の位相とを比較し、比較結果として位相差に応じた、例えば、パルス幅を有する位相差信号を出力するものである。

【 0 0 1 6 】

ループフィルタ 1 4 は、ローパスフィルタ、即ち、積分回路で構成され、位相比較器 1 3 から出力された位相差信号の高帯域（遮断周波数よりも高い周波数帯域）の周波数を除去するフィルタであり、例えば、位相比較器 1 3 から出力されたパルス信号を平滑化して出力する。

10

【 0 0 1 7 】

電圧制御発振器 1 5 は、ループフィルタ 1 4 を介して位相比較器 1 3 から出力された位相差信号の制御電圧に対応した発振周波数の発振信号を出力するものである。尚、電圧制御発振器 1 5 は、印加される制御電圧に従って容量が変化する可変容量ダイオード、発振器等（図示せず）を備え、この可変容量ダイオードの容量の変化に応じて発振周波数を変化させる。

【 0 0 1 8 】

D D S 1 6 は、波形データに基づいて合成した信号を出力するものである。D D S 1 6 は、波形データ読出部 2 1 と、メモリ 2 2 と、D / A 変換器（デジタル - アナログコンバータ）2 3 と、L P F 2 4 と、からなる。

20

【 0 0 1 9 】

波形データ読出部 2 1 は、読出ピッチ設定部 1 1 が設定したデータに基づいて、アドレスデータを生成し、生成したアドレスデータに基づいて、メモリ 2 2 に記憶されている波形データを読み出すものである。波形データ読出部 2 1 は、ラッチ 2 5 と加算器 2 6 とから構成される。

【 0 0 2 0 】

ラッチ 2 5 は、クロック毎に、加算器 2 6 の出力データをアドレスデータとしてメモリ 2 2 に出力する。

【 0 0 2 1 】

加算器 2 6 は、読出ピッチ設定部 1 1 が設定した読み出しピッチとラッチ 2 5 の出力値とを加算して、ラッチ 2 5 に出力する。

30

このような構成により、波形データ読出部 2 1 は、例えば、読出ピッチ設定部 1 1 がピッチ 2 を指定し、ラッチ 2 5 の初期値が 0 であるとすれば、アドレスデータ 0, 2, 4, 6 . . . をクロック（= 電圧制御発振器 1 5 の出力信号）が出力されるたびに出力することになる。

【 0 0 2 2 】

メモリ 2 2 は、波形データを記憶するものである。この波形データは、必要な波形の出力信号を得るためのデータである。例えば、必要とする波形が図 2 に示すような正弦波であれば、メモリ 2 2 には、図 3 に示すような波形データが記憶される。

40

【 0 0 2 3 】

図 1 に戻り、D / A 変換器 2 3 は、メモリ 2 2 から波形データを読み出し、読み出した波形データをアナログ信号に変換するものである。D / A 変換器 2 3 は、変調器 2 7 と、D / A 変換部 2 8 と、からなる。

【 0 0 2 4 】

変調器 2 7 は、変調を行うものである。変調の手法自体は任意であるが、この実施の形態では、理解を容易にするため、基本的な手法である、メモリ 2 2 から読み出された波形データと遅延した量子化データとを加算し、加算データを積分して量子化する手法によるものを採用することとする。

変調器 2 7 は、このような処理を行うことにより、読み出された一連の波形データに

50

対応する波形（D/A変換したあとの波形）に含まれるスプリアスと量子化ノイズの周波数分布を、DDS16の出力周波数から遠ざける。即ち、ループフィルタ14の通過周波数帯域内のスプリアスを減衰させる。

【0025】

従来技術の欄で説明したように、このスプリアスは、メモリ22に記憶された波形データのアドレスの総数が読出ピッチ設定部11により設定された読み出しピッチの整数倍でないことにより発生するものである。

【0026】

この実施の形態において、変調器27は、図4に示すように、減算器31と、積分器32と、量子化器33と、遅延回路34と、から構成される。

10

【0027】

減算器31は、メモリ22から読み出された波形データから、遅延回路34が出力したデータを減算するものである。

積分器32は、減算器31が出力した波形データと遅延データとの差を積分するものである。

【0028】

量子化器33は、例えば、積分器32が積分したデータの量子化を行うものである。ここで、量子化とは、高分解能のデジタル値を低分解能のデジタル値（例えば、1/0）に変換することをいう。

遅延回路34は、量子化器33が出力したデータを遅延させるものである。

20

【0029】

図1に戻り、D/A変換部28は、変調器27から出力されたデジタルデータをアナログ信号に変換するものである。

【0030】

LPF24は、D/A変換器23が変換したアナログ信号の高周波成分をカットするためのものである。

【0031】

DDS16は、LPF24の出力信号を位相比較器13に供給する。

【0032】

次に本実施の形態に係る位相同期ループ回路の動作を説明する。

30

【0033】

基準周波数信号出力部12は、所定の基準周波数を有する基準周波数信号を生成して位相比較器13に出力する。

【0034】

読出ピッチ設定部11は、DDS16の波形データ読出部21に、メモリ22のアドレスのピッチ、即ち、数1に示すDDS設定数Kを供給する。

【0035】

波形データ読出部21の加算器26は、ラッチ25の出力値と読出ピッチ設定部11から供給されたDDS設定数Kとを加算する。そして、加算器26は、加算データをラッチ25に供給する。ラッチ25は、電圧制御発振器15の出力信号をクロックとして動作し、クロック毎に、加算器26の出力する加算データをラッチして、アドレスデータとしてメモリ22に出力する。また、加算器26は、ラッチ25から出力されたアドレスデータに、読出ピッチ設定部11から供給されたDDS設定数Kを累積加算する。

40

このため、例えば、ラッチ25の初期値が2で、DDS設定数Kが4であるとすれば、ラッチ25から出力されるアドレスの値は、2, 6, 10, 14...と変化する。

【0036】

メモリ22は、ラッチ25から出力されたアドレスデータに従って、このアドレスデータが示す記憶位置に記憶されている波形データを出力する。このようにしてメモリ22から、DDS設定数Kで指定されるアドレスピッチ（アドレス間隔）で順次、波形データが読み出される。

50

## 【 0 0 3 7 】

D / A 変換器 2 3 の 変調器 2 7 は、メモリ 2 2 から読み出された波形データに対して、変調を行う。まず、変調器 2 7 の減算器 3 1 は、メモリ 2 2 から出力された波形データから遅延回路 3 4 から出力されたデータを減算し、両データの差分を取る。積分器 3 2 は、減算器 3 1 が出力した差分を積分する。量子化器 3 3 は、積分器 3 2 が積分したデータを量子化する。遅延回路 3 4 は、量子化器 3 3 が量子化したデータを遅延させて、減算器 3 1 に出力する。

## 【 0 0 3 8 】

変調器 2 7 は、このような変調を行うことにより、一連の波形データから構成される出力波形に含まれている雑音成分のうち、D D S 出力周波数近傍の成分を減衰する。これにより、残りの雑音成分は、主に、ループフィルタ 1 4 がカットする周波数帯域のみに残存することになる。変調器 2 7 は、このように変調を行った波形データを D / A 変換部 2 8 に出力する。

10

## 【 0 0 3 9 】

D / A 変換部 2 8 は、変調器 2 7 から出力された波形データをアナログ信号に変換する。L P F 2 4 は、D / A 変換器 2 3 から出力されたアナログ信号の高周波成分を除去し、このアナログ信号を位相比較器 1 3 に出力する。

## 【 0 0 4 0 】

位相比較器 1 3 は、D D S 1 6 から出力された比較周波数信号と基準周波数信号出力部 1 2 から出力された基準周波数信号との位相を比較し、両信号の位相差に対応する、例えば、パルス幅を有する、位相差信号をループフィルタ 1 4 に出力する。

20

## 【 0 0 4 1 】

ループフィルタ 1 4 は、位相差信号から、高域の周波数成分を除去し、この位相差信号を電圧制御発振器 1 5 に出力する。

## 【 0 0 4 2 】

電圧制御発振器 1 5 は、ループフィルタ 1 4 により高周波成分が除去されて（即ち、積分されて）平滑化された位相差信号の電圧に対応した発振周波数の発振信号を生成し、生成した発振信号を出力する。

## 【 0 0 4 3 】

このようにして位相同期ループ回路は、目標となる基準周波数信号に同期した発信信号を出力する。

30

## 【 0 0 4 4 】

次に、変調器 2 7 の作用を、図 5 ~ 図 7 に基づいて、さらに説明する。

前述のように、D D S 設定数  $K$  がメモリ 2 2 のアドレス数  $2^N$  の約数にならないと、スプリアス  $S_1$ 、 $S_2 \dots$  が発生する。スプリアス  $S_1$ 、 $S_2 \dots$  のうち、ループフィルタ 1 4 のカットオフ周波数  $f_c$  よりも周波数  $F_{dds}$  側のスプリアス  $S_1$  については、ループフィルタ 1 4 で除去することはできない。

## 【 0 0 4 5 】

変調器 2 7 は、変調を行うことにより、D D S 1 6 の出力周波数  $F_{dds}$  近傍のスプリアスやノイズ成分を減衰する。また、出力周波数  $F_{dds}$  から離れたカットオフ周波数  $f_c$  以上の高帯域成分については、ループフィルタ 1 4 によりカットする。

40

## 【 0 0 4 6 】

以上説明したように、この実施の形態の P L L 回路では、量子化ノイズ及びスプリアス低減することができ、位相同期ループ回路から出力される発振信号の信号純度を向上させることができる。

## 【 0 0 4 7 】

また、変調器 2 7 を挿入することにより、D / A 変換部 2 8 に 1 ビットのものを用いることもできる。

## 【 0 0 4 8 】

尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施の形態に限られる

50

ものではない。

例えば、変調の手法（次数等）や変調器 27 の回路構成は任意である。例えば、変調器 27 の回路構成として、図 4 に示すようなものに限られるものではなく、図 8 又は図 9 に示すようなものでもよい。また、ラッチ 25 は電圧制御発振器 15 の出力信号をクロックとして動作する必要はなく、例えば、電圧制御発振器 15 の出力信号を分周した信号をクロックとして動作してもよい。

【0049】

図 8 に示す変調器 27 では、量子化器 33 が減算器 31 から出力されたデータを量子化する。遅延回路 34 は、量子化器 33 から出力されたデータを遅延させる。積分器 32 は、遅延回路 34 から出力されたデータを積分し、積分したデータを減算器 31 に供給する。

10

【0050】

また、図 9 に示す変調器 27 は、図 8 の構成に加え、さらに積分器 35 を備える。積分器 35 は、メモリ 22 から読み出されたデータを積分し、積分したデータを減算器 31 に供給する。

【0051】

【発明の効果】

以上説明したように、本発明によれば、信号純度を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る位相同期ループ回路の構成を示すブロック図である。

20

【図 2】図 1 に示す位相同期ループ回路が出力する信号の一例として正弦波信号の波形を示す説明図である。

【図 3】図 1 のメモリに記憶されている波形データの一例として、図 2 に示す正弦波信号の波形データを示す説明図である。

【図 4】図 1 の変調器の構成を示すブロック図である。

【図 5】図 1 の位相同期ループ回路の動作を示す説明図である。

【図 6】図 1 の位相同期ループ回路の動作を示す説明図である。

【図 7】図 1 の位相同期ループ回路の動作を示す説明図である。

【図 8】変調器の別の構成例を示すブロック図である。

30

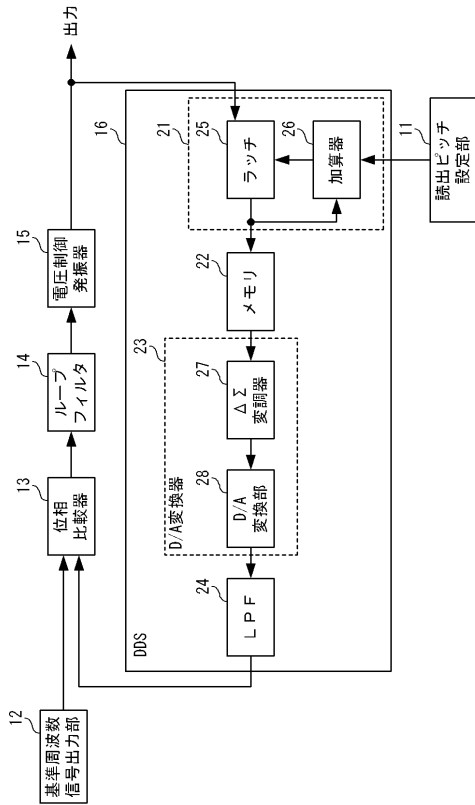
【図 9】変調器のさらに別の構成例を示すブロック図である。

【符号の説明】

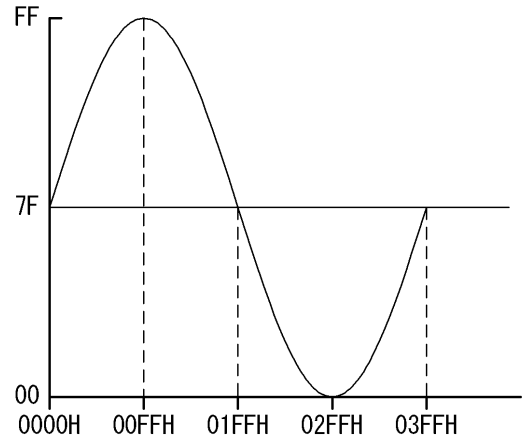
- 11 読出ピッチ設定部
- 12 基準周波数信号出力部
- 13 位相比較器
- 14 ループフィルタ
- 15 電圧制御発振器
- 22 メモリ
- 23 D/A 変換器
- 24 LPF
- 27 変調器

40

【図1】



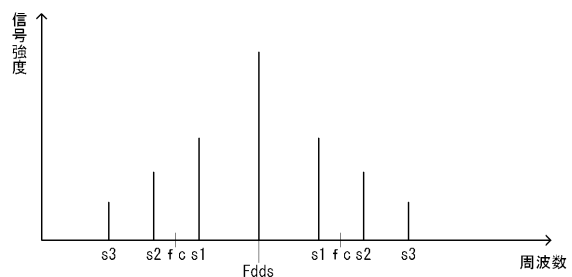
【図2】



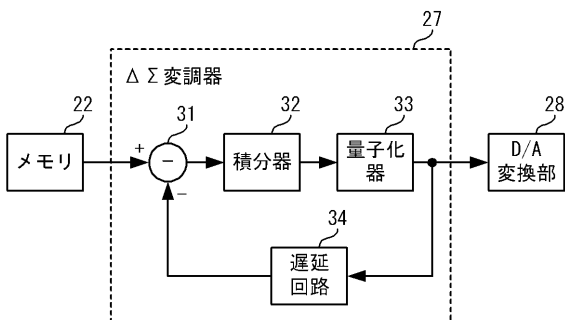
【図3】

アドレス	波形データ
0000	7F
0001	80
0002	81
0003	82
0004	84
...	...
...	...
03FF	7F

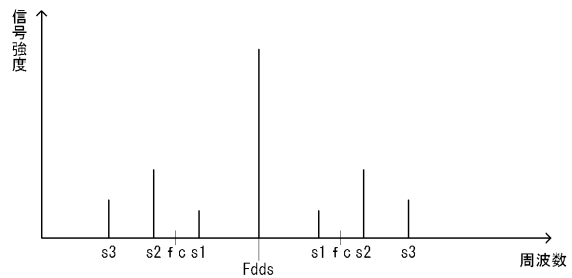
【図5】



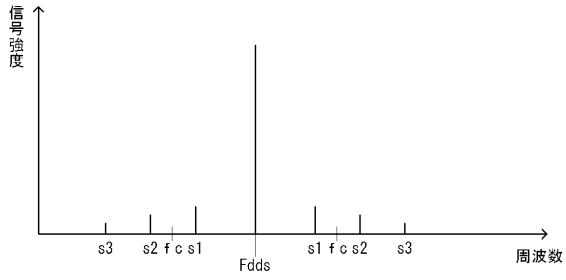
【図4】



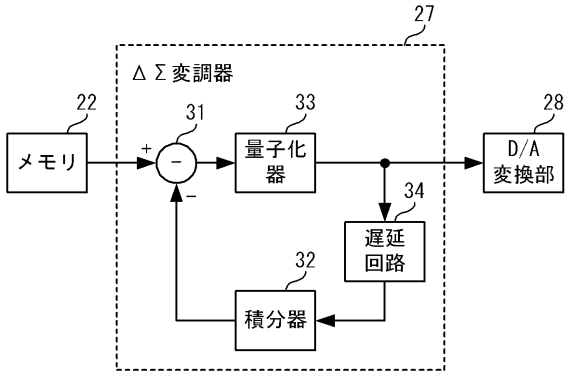
【図6】



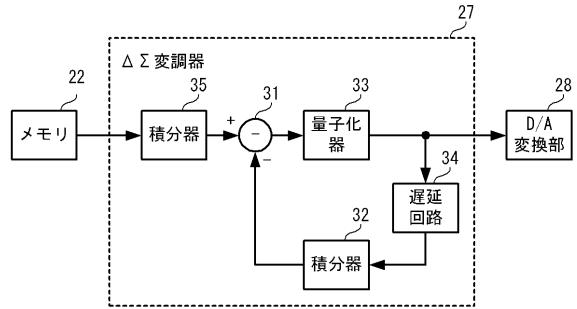
【図7】



【図8】



【図9】



---

フロントページの続き

(56)参考文献 特開平07-131343(JP,A)  
特表2002-519924(JP,A)  
特開2000-224028(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03L 7/06-7/23