



(12) 发明专利

(10) 授权公告号 CN 102742012 B

(45) 授权公告日 2015. 08. 12

(21) 申请号 201180005860. 9

代理人 周涛 许伟群

(22) 申请日 2011. 01. 10

(51) Int. Cl.

(30) 优先权数据

H01L 29/423(2006. 01)

10150405. 8 2010. 01. 11 EP

H01L 29/786(2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2012. 07. 11

CN 1967875 A, 2007. 05. 23,

(86) PCT国际申请的申请数据

US 2008122015 A1, 2008. 05. 29,

PCT/EP2011/050210 2011. 01. 10

US 2008190207 A, 2008. 08. 14,

(87) PCT国际申请的公布数据

审查员 陈龙

W02011/083159 DE 2011. 07. 14

(73) 专利权人 艾尔默斯半导体股份公司

地址 德国多特蒙德

(72) 发明人 恩德·腾海夫

(74) 专利代理机构 北京弘权知识产权代理事务

所(普通合伙) 11363

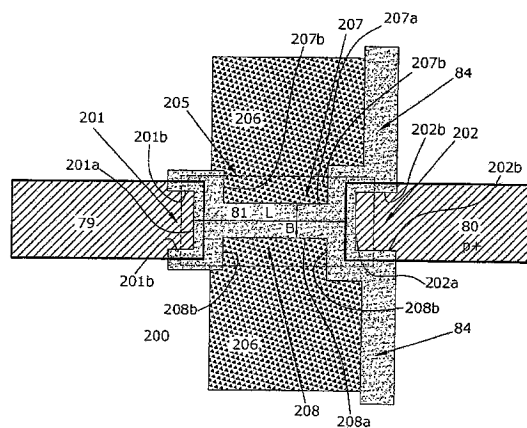
权利要求书1页 说明书22页 附图37页

(54) 发明名称

半导体传感器部件

(57) 摘要

一种半导体部件,尤其是为了用作微机电半导体器件诸如压力传感器或加速度传感器中的对于机械应力敏感的部件,具有:半导体衬底(1, 5),在该半导体衬底的上侧上通过离子注入引入有源区(78a, 200),该有源区由第一导电类型的材料构成。在有源区(78a, 200)内构建有限定的长度(L)和宽度(B)的半导体沟道区。在有源区(78a, 200)中纵向伸展部中的沟道区的端部上分别连接有接触区(79, 80),接触区由第二导电类型的半导体材料构建。沟道区被离子注入掩膜材料(81)覆盖,其具有有限定沟道区的长度(L)的横向边缘以及限定沟道区的宽度(B)的纵向边缘,并且在沟道区的对置的并且与沟道区的纵向延伸端部平齐的横向边缘上分别具有边缘凹部(201, 202),与沟道区邻接的接触区(79, 80)延伸至边缘凹部中。



1. 一种半导体部件,用作微机电半导体器件中的对于机械应力敏感的部件,具有:

- 半导体衬底,在该半导体衬底的上侧上通过离子注入引入有源区,该有源区由第一导电类型的材料构成,

- 其中在有源区内构建有限定的长度和宽度的半导体沟道区,

- 其中在有源区中纵向伸展部中的沟道区的端部上分别连接有接触区,接触区由第二导电类型的半导体材料构建,以及

- 其中沟道区被离子注入掩膜材料覆盖,其具有限定沟道区的长度的横向边缘以及限定沟道区的宽度的纵向边缘,并且在沟道区的对置的并且与沟道区的纵向延伸端部平齐的横向边缘上分别具有边缘凹部,与沟道区邻接的接触区延伸至边缘凹部中;

其中,沿着离子注入掩膜材料的纵向边缘插入离子注入区,所述离子注入区横向界定了所述沟道区,离子注入区朝着沟道区的边界与离子注入掩膜材料的纵向边缘平齐。

2. 根据权利要求 1 所述的半导体部件,其特征在于,在离子注入掩膜材料的俯视图中看,在离子注入掩膜材料的横向边缘上的边缘凹部基本上 U 形地构建,并且具有两个对置的、彼此平行的侧边缘,所述侧边缘分别带有将其连接的基本边缘,其中两个边缘凹部的侧边缘成对地分别在共同的线上。

3. 根据权利要求 2 所述的半导体部件,其特征在于,离子注入掩膜材料的纵向边缘分别具有在离子注入掩膜材料的俯视图中看基本上 U 形的边缘凹部,所述边缘凹部分别具有在沟道纵向伸展中走向的基本边缘和优选与其基本上成直角走向的侧边缘,并且离子注入掩膜材料的纵向边缘凹部的基本边缘分别在离子注入掩膜材料的横向边缘凹部的侧边缘的共同的线上。

4. 根据权利要求 1 所述的半导体部件,其特征在于,在离子注入掩膜材料之下将沟道注入部引入有源区中。

5. 根据权利要求 1 所述的半导体部件,其特征在于,第一导电类型为 n 导电类型而第二导电类型为 p 导电类型。

半导体传感器部件

[0001] 本发明涉及一种半导体部件,其尤其可以作为对于机械应力敏感的部件使用在诸如压力传感器或加速度传感器的微机电半导体器件中。尤其是,本发明涉及一种具有低电流消耗的与传统半导体制造工艺兼容的微机电器件,并且尤其是涉及一种具有低电流消耗的微机械 CMOS 压力传感器或加速度传感器。

[0002] 已知的是,微机电半导体器件设置有由半导体材料构成的机械上能够可逆变形的弯曲元件,弯曲元件用作压力传感器或加速度传感器。弯曲元件例如是单点夹持或多点夹持的膜,其中在弯曲区域内、更确切地说在弯曲时出现机械应力的地方设置有诸如压阻晶体管或电阻的传感器元件。同样也可以使用其他对机械应力敏感的部件。

[0003] 对于机械应力的检测或测量值记录的精确性决定性的是,为此所使用的部件能够重复生产并且非常高精度地制造和放置。这要能够在诸如 CMOS 制造工艺的普遍已知的半导体器件制造工艺的范围中实现。

[0004] 本发明的任务是提出一种电气或电子半导体器件,其尤其是适于作为压敏元件(例如作为晶体管或电阻)。

[0005] 为了解决该任务,通过本发明提出了一种半导体部件,尤其是为了用作微机电半导体器件诸如压力传感器或加速度传感器中的对于机械应力敏感的部件,该半导体部件设置有:

[0006] 一半导体衬底,在该半导体衬底的上侧上通过离子注入引入有源区,该有源区由第一导电类型的材料构成,

[0007] 一其中在该有源区内构建有限定长度(L)和宽度(B)的半导体沟道区,

[0008] 一其中在有源区中纵向伸展部中的沟道区的端部上分别连接有由第二导电类型的半导体材料构成的接触区,其通过离子注入来产生,以及

[0009] 一其中沟道区被离子注入掩膜材料覆盖,其具有限定沟道区的长度(L)的横向边缘以及限定沟道区的宽度(B)的纵向边缘,并且在沟道区的对置的并且与沟道区的纵向延伸端部平齐的横向边缘上分别具有边缘凹部,与沟道区邻接的接触区延伸至边缘凹部中。

[0010] 根据本发明的半导体部件具有特定结构化的离子注入掩膜材料,其构建在沟道区上,该沟道区又构建在引入半导体衬底中的有源区中。在构造与沟道区邻接的并且对置的接触区(即通过离子注入)时,离子注入掩膜材料用作针对朝着沟道区注入的限制物。由于离子注入掩膜材料的在沟道区的纵向伸展部中的横向边缘彼此间具有明确限定的距离,该距离通过离子注入掩膜材料的结构化来确定,于是沟道区的长度是明确的并且与有源区内的离子注入掩膜材料的位置无关地始终相等。于是,通过离子注入掩膜材料的横向边缘凹部确定在有源区内的半导体沟道区的有效长度。直接连接到沟道区的纵向伸展端部的接触区于是延伸到边缘凹部中并且由此提供了对实际沟道区所需的接触,其处于离子注入掩膜材料之下。如果根据本发明的半导体部件要作为晶体管来工作,则离子注入掩膜材料例如可以形成以后的晶体管栅极。可替代地,根据本发明的半导体材料可以作为一种电阻来工作,该电阻的电阻值通过作用于半导体部件上的机械应力来确定。在半导体部件作为晶体管工作时,也通过有效的机械应力来确定半导体部件的导电性。由此,可以检测机械应力。

[0011] 根据本发明所设置的离子注入掩膜材料覆盖有源区内的沟道区（必要时通过将隔离层（例如栅极氧化物）插入其中），通过该离子注入掩膜材料于是提供了关于其沟道区自调节的半导体部件，半导体部件的沟道区因此始终高精度地构建，这包括沟道区的宽长比。

[0012] 在本发明的有利的改进方案中还可以设计的是，沿着离子注入掩膜材料的纵向边缘引入横向上形成沟道区的边界的离子注入区，离子注入区朝着沟道区的边界与离子注入掩膜材料的纵向边缘平齐。两个横向上形成沟道区的边界的离子注入区例如是所谓的沟道停止区。如本身已知的那样，这些区高精度地限定沟道区的有效宽度。

[0013] 在本发明的另外的有利的扩展方案中可能的是，在离子注入掩膜材料的俯视图中看，离子注入掩膜材料的横向边缘上的边缘凹部基本上 U 形地构建并且具有两个对置的、彼此平行的侧边缘，侧边缘分别具有将其连接的基本边缘，其中两个边缘凹部的侧边缘成对地分别在共同的线上。此外在此情况下有利的是，在离子注入掩膜材料的俯视图中看，离子注入掩膜材料的纵向边缘分别具有基本上 U 形的边缘凹部，其分别具有在沟道纵向延伸中走向的基本边缘和与其基本上成直角走向的侧边缘，以及离子注入掩膜材料的纵向边缘凹部的基本边缘分别在离子注入掩膜材料的横向边缘凹部的侧边缘的共同的线上。离子注入掩膜材料因此具有式样化的骨架（Knochen）形式，骨架具有纤细的中间部分，其宽度通过纵向边缘来限定，并且骨架具有扩宽的端部，在端部的横向边缘中构建有 U 形的边缘凹部。在此，横向边缘凹部的侧边缘与离子注入掩膜材料的纵向边缘凹部的的基本边缘平齐。

[0014] 在本发明的另一有利的扩展方案中，半导体部件可以具有沟道注入（Kanalimplantation），其在构建离子注入掩膜材料之前引入有源区中。在以后引入沟道停止区时，于是出现沟道注入沿着离子注入掩膜材料的纵向边缘的过补偿，由此以前未调节位置的沟道注入于是精确地自调节地构建。

[0015] 下面借助附图进一步阐述本发明。在此，在各附图中：

[0016] 图 1 示出了用于制造根据本发明的结构的工艺：

[0017] a) 裸晶片

[0018] b) 氧化和开窗口

[0019] c) 刻蚀空腔

[0020] d) 接合顶晶片（随后进行 CMOS 工艺，该工艺未被特别示出）

[0021] e) 刻蚀沟槽（在 CMOS 工艺之后）。

[0022] 图 2 示出了根据图 1 的工艺制造的压力传感器的简化的三维剖视图。

[0023] 图 3 示出了用于制造根据本发明的结构的可替代的第二工艺：

[0024] a) 裸晶片

[0025] b) 氧化和开窗口

[0026] c) 刻蚀空腔

[0027] d) 接合操作晶片（随后在带有空腔的顶晶片上进行 CMOS 工艺，该工艺未被特别示出）

[0028] e) 刻蚀沟槽（在 CMOS 工艺之后）。

[0029] 图 4 示出了根据图 3 的工艺制造的压力传感器的简化的三维剖视图。

[0030] 图 5 至图 10 示出了用于制造根据本发明的结构的可替代的第三工艺：

- [0031] a) 裸晶片
- [0032] b) 氧化
- [0033] c) 施加多晶硅层和部分氧化物
- [0034] d) 第二裸晶片
- [0035] e) 氧化和开窗口
- [0036] f) 刻蚀空腔
- [0037] g) 接合操作晶片
- [0038] h) 部分研磨（随后在带有空腔的顶晶片上进行 CMOS 工艺，该工艺未被特别示出）
- [0039] i) 刻蚀沟槽（在 CMOS 工艺之后）
- [0040] j) 根据图 5 至图 9 的工艺制造的压力传感器的简化的三维剖视图。
- [0041] 图 11 示出了晶体管的布局的例子。
- [0042] 图 12 示出了四个晶体管成为惠斯通电桥（晶体管作为电阻的工作方式）的连接。
- [0043] 图 13 示出了四个晶体管和两个另外的晶体管成为带有参考电压源的惠斯通电桥的示例性连接。
- [0044] 图 14 示出了惠斯通电桥的布局例子。
- [0045] 图 15 示出了八个晶体管成为惠斯通电桥的连接，其带有短接的第二惠斯通电桥作为参考电压源。
- [0046] 图 16 示出了在带有沟槽结构的传感器小片上的四个根据图 12 的惠斯通电桥的设置例子。
- [0047] 图 17 示出了在带有沟槽结构的传感器小片上的四个惠斯通电桥的设置例子，其带有四个作为无应力的参考的根据图 15 的惠斯通电桥（为了清楚起见，未示出电压参考。在此，在每个惠斯通电桥对的情况下，原则上除了无应力的参考电桥之外短接的第三惠斯通电桥是足够的。由此，可以在小片上存在 12 个惠斯通电桥）。
- [0048] 图 18 示出了差动级的布局例子。
- [0049] 图 19 示出了带有差分放大器和作为参考电压源的参考差分放大器的电路的电路例子。
- [0050] 图 20 示出了带有方形的沟槽系统的示例性膜几何结构的视图的
- [0051] a) 俯视图
- [0052] b) 仰视图。
- [0053] 图 21 示出了带有方形的沟槽系统和菱形的中央部分的示例性膜几何结构的视图的
- [0054] a) 俯视图
- [0055] b) 仰视图。
- [0056] 图 22 示出了带有在角部被斜切的方形的沟槽系统和菱形的中央部分的示例性膜几何结构的视图的
- [0057] a) 俯视图
- [0058] b) 仰视图。
- [0059] 图 23 示出了带有方形的沟槽系统和在角部中的接片的示例性膜几何结构的视图的

- [0060] a) 俯视图
- [0061] b) 仰视图。
- [0062] 图 24 示出了带有圆形的沟槽系统和圆形的空腔的示例性膜几何结构的视图的
- [0063] a) 俯视图
- [0064] b) 仰视图。
- [0065] 图 25 示出了带有方形的沟槽系统和不连续的接片的示例性膜几何结构的视图的
- [0066] a) 俯视图
- [0067] b) 仰视图。
- [0068] 图 26 和图 27 示出了带有附加的沟槽的传感器。
- [0069] 图 28 示出了带有通过刻蚀的支承结构 97 的质量减少部的加强块（中央膜强化物）。
- [0070] 图 29 和图 30 示出了示例性的差分压力传感器，其由上述传感器通过刻蚀开口 119 形成。
- [0071] 图 31 示出了带有圆形空腔、沟槽系统的圆形外边缘和菱形中央部分的示例性膜几何结构的视图的
- [0072] a) 俯视图
- [0073] b) 仰视图。
- [0074] 图 32 示出了带有圆形空腔、沟槽系统的圆形外边缘和菱形中央部分以及用于保护该系统防止外部产生的应力传播的附加沟槽的示例性膜几何结构的视图的
- [0075] a) 俯视图
- [0076] b) 仰视图。
- [0077] 图 33 示出了根据图 34 和图 35 的电桥作为带有参考电压源的测量电桥的电路图。
- [0078] 图 34 示出了带有共同的栅极的测量电桥的布局例子。
- [0079] 图 35 示出了带有共同的栅极的测量电桥的另外的布局例子。
- [0080] 图 36 示出了根据图 37 的晶体管作为带有参考电压源的测量电桥的等效电路图。
- [0081] 图 37 示出了带有四个端子的特别小的测量电桥晶体管的布局例子。
- [0082] 图 38 示出了细节图。
- [0083] 图 39 示出了在微机电半导体器件的弯曲元件（例如膜）内的、弯曲敏感的晶体管的构型和结构的图形视图。
- [0084] 图 40 示出了在图 39 的箭头 A 的方向上对于膜或者弯曲元件的部分区域的俯视图，在该膜或者弯曲元件中构建有晶体管。
- [0085] 图 41 示出了根据本发明的半导体部件的第一实施例在沟道停止部注入区和沟道的纵向延伸端部两侧的多晶硅栅极区以及所注入的沟道接触区的布置的俯视图。
- [0086] 图 42 示出了根据本发明的半导体部件的结合图 41 所述的区的另一实施例。
- [0087] 本发明以用于检测低压的压力传感器为例子来进行阐述。对于本发明而言，第一个重要的点是在进行 CMOS 步骤之前制造压力传感器空腔 4。由此，可以在表面上进行任意的标准 CMOS 工艺。这使得能够实现作为第二重要步骤的将 CMOS 晶体管设置在膜上，使得其在膜偏转的情况下位于最佳机械应力的区域中。该点可以通过分析思考和 / 或有限元仿真来确定。

[0088] 在图 1 和图 2 中以主要步骤示出了示例性的第一工艺。该第一工艺的变形方案在下文中进行描述。

[0089] 基本的制造工艺以第一晶片 1 开始,该第一晶片优选由与之后使用的第二晶片 5 相同的材料构成。在该晶片上沉积层 2,其用于之后的连接。在硅晶片的情况下,通过氧化将该层构建为 SiO_2 层 2。在该层中,开窗口并且刻蚀以后的压力传感器空腔 4。(图 1c) 该刻蚀优选通过 DRIE 刻蚀步骤或者等离子体刻蚀步骤来进行,因为尤其是第一个形成直的壁 3。

[0090] 上部的晶片 5 同样设置有氧化层,并且接合到第一晶片 1 上并且被研磨。(图 1d) 接合工艺在此优选在真空中进行。这导致并未用气体填充的空腔,并且消除了以后空腔中内部压力的温度相关性。通过该工艺,在空腔 4 的区域中形成膜,其厚度通过研磨工艺来确定。

[0091] 结果得到一种晶片封装,其可以如正常的 SOI 材料那样使用在标准 CMOS 工艺中或者标准双极性工艺中。

[0092] 在 CMOS 处理之后(该处理在此无需进一步描述,因为该处理可以从标准文献中得到),于是可以将另外的微机械结构 6 刻蚀到表面 11 中(图 1e)。

[0093] 在示例性的压力传感器情况下,这些微机械结构 6 例如形成沟槽结构,其形成近似地封闭的环或者四边形,它们仅仅通过一些接片 8 中断(图 2)。在此,在中间形成中央片 12(称为加强块(Boss)),其由于较大的厚度而表现出强化。沟槽 6 的底部是较小厚度的膜 7。其典型地吸收明显更小的力。在此重要的是,沟槽 6 的外边缘距空腔 3 的壁足够远,因为否则在制造中小的调节误差对于机械应力并且由此对于测量结果具有巨大影响。这是重要的创新。否则会遇到传感器特性的制造技术上的可复制性问题,这导致增大校准开销并且由此导致相应的成本。

[0094] 由此,作用于中央片 12 的压力实际上仅仅通过机械的拉应力经由接片 8 引开。因此有意义的是,将部件 9 设置到接片上,部件对机械应力敏感并且要检测该应力。部件于是通过线路与端子 10 连接。通过沟槽,于是相对于应力敏感的电子部件调整机械应力场。

[0095] 可替代地,空腔也可以刻蚀到上部晶片上。这在图 3 和图 4 中相应地以步骤 a 至 f 中示出。

[0096] 前面的两个工艺的主要缺点是,对于沟槽 6 的刻蚀缺少自然的刻蚀停止部。因此,在沟槽的底部上的膜 7 的厚度难以控制。因此,相对误差比较大,这导致传感器参数的偏差。

[0097] 在图 5 至图 10 中的主要步骤中以及步骤 a 至 j 中示出了示例性的第三工艺,其不具有该缺点。

[0098] 制造工艺以第一晶片 13 开始,该第一晶片优选由与以后使用的第二晶片 16 相同的材料构成。在该晶片上施加连接层,在硅晶片的情况下连接层是 SiO_2 层 14。在该 SiO_2 层上沉积另外的层,例如多晶硅层或者无定形硅层 15,并且在表面上氧化(图 5c)。该层的沉积典型地可以被非常良好地控制,并且因此在其结果中比在描述的前两个工艺中的沟槽刻蚀明显更精确。第二晶片 16 同样被氧化,使得同样形成氧化层 17。在其中开至少一个窗口,并且刻蚀以后的空腔 18。该刻蚀优选通过 DRIE 刻蚀步骤来进行,因为这导致直的壁(图 6f)。在上部晶片 13 中的空腔 18 的刻蚀在下文中不进一步描述,然而其当然同样是可

能的。

[0099] 上部的第一晶片 13 接合到第二晶片 16 上（图 7）并且接着被研磨（图 8）。接合工艺在此优选又在真空中实施，以便消除以后在空腔 18 中的内部压力的温度相关性。由此，在空腔的区域中形成膜，其厚度通过研磨工艺来确定。

[0100] 结果，又获得一种晶片封装，其原则上可以与标准晶片一样使用在标准 CMOS 工艺或者标准双极性工艺中。

[0101] 在 CMOS 处理或者双极性处理之后，于是如前面描述的工艺中那样可以将另外的微机械结构例如沟槽 19 刻蚀到表面 24 中（图 10）。

[0102] 在压力传感器的情况中，这些微机械结构 19 又例如是沟槽结构，其形成近似封闭的环或者四边形，它们仅仅通过一些接片 20 中断。在此，在中央又形成中央片 21，其由于较大的厚度而表现出强化。沟槽 19 的底部是较小厚度的膜 25。其实际上没有吸收力。不同于第一方法，通过附加的层 15 和从中得出的附加的氧化层 14，可以比在第一方法中更精确地停止沟槽 19 的刻蚀。由此，机电特性可以更精确地以更好的重复准确性来制造，这明显降低校准成本。

[0103] 如在第一工艺结果中那样，作用于中央片 21 的压力（参见图 10）实际上仅仅通过接片 20 引开。因此又有意义的是，将电子部件 22 设置到接片上，其对机械应力敏感并且要检测这些应力。它们于是通过线路与端子 23 连接。

[0104] 当然也可能的是，附加的层 15 不是通过沉积而是通过接合和研磨第三晶片来制造。此外可能的是，将附加的层 15 类型的、超过一个、被掩埋的绝缘层集成到晶片封装中。

[0105] 借助如此制造的晶片封装，在制造沟槽（6 或 19）之前又可以将应力敏感的传感器在其制造之后建立在膜上。

[0106] 为此，在 CMOS 工艺或者双极性工艺中，将应力敏感的电子器件建立并连接在相应的表面 11、24 上。对于 CMOS 工艺，优选使用 p 掺杂的衬底。

[0107] 例如，可以将压阻电阻设置在接片 20、8 上，并且连接为惠斯通电桥。然而其具有的缺点是，其必须首先被置于工作温度并且在测量时消耗比较多的电能。因此它们对于能量自给自足的系统并不适合。因此如上面已经描述的那样，本发明的任务是消除该问题。

[0108] 因此有意义的是，并不使用这种简单的电子器件，而是使用有源放大元件例如双极性晶体管和 MOS 晶体管。其同样可以连接为惠斯通电桥，然而并不需要加热时间并且消耗能量少。图 12 示出了示例性的连接。

[0109] 在此，四个 p 沟道晶体管 85、86、87、88 形成惠斯通电桥，其可以在两个端子 89、90 上来量取。在此，晶体管 87 和 85 被相同取向地构建，并且晶体管对 88、86 同样相同取向，然而垂直于晶体管对 87、85。然而该电路对于制造误差非常敏感。

[0110] 现在为了能够以足够的精度来制造这种 MOS 晶体管电路，需要将晶体管构建为使得电学有源部分是自调节的。图 11 示出了这种自调节的晶体管的示例性布局。在此，p+ 接触注入部 80 和 79 通过多晶硅栅 81 来遮挡，使得在错移的情况下也始终保留相同的晶体管沟道长度和晶体管宽度。同样地，多晶硅栅 81 遮挡 n+ 沟道停止注入部。栅极通过低欧姆值的折线（Poly-Leitung）连接。

[0111] 由此，保证了相同设计几何结构的晶体管在其物理实现中具有相同的几何结构。这主要通过多晶硅面的构型来确定。

[0112] 为了将晶体管分别引入正确的工作点,合乎目的是,将参考电压源一同集成到压力传感器上。在例子(图 13)中,示例性的参考电压源由晶体管 30 和 29 构成。晶体管 31、32、33、34 又形成惠斯通电桥,其可以在端子 28、36 上被量取。二者作为 MOS 二极管来连接,其方式是将栅极与漏极连接。晶体管 30 的参考电压与晶体管 31 和 33 的栅极连接。晶体管 29 的参考电压与晶体管 32 和 34 的栅极连接。在图 13 的例子中,晶体管 29 的漏极在端子 26 的电势上。该端子在 p 沟道晶体管的情况下典型地连接到地。因此,晶体管 32 和 34 的漏极接触部同样与该端子连接。晶体管优选相同的几何尺寸来实施。在图 14 中给出了局部的惠斯通 MOS 电桥的布局例子。如果晶体管如图 14 中那样来布置,则晶体管 31 和 34 相同地取向。晶体管 23 和 33 同样彼此相同取向,然而垂直于晶体管 31 和 34。图 14 示出了示例性的布置。

[0113] 为了将膜上的机械张力保持为小,膜并不设置有场氧化物,而是仅仅设置有整面的、极薄的、几纳米的栅极氧化物以及合适的钝化物。如果施加场氧化物是不可避免的,则高对称性是有意义的,以便将针对所有应力敏感的部件的寄生效应保持相同。钝化物例如在硅压力传感器情况下可以由氮化硅构成。其具有低的氢扩散系数并且因此保护部件防止质子的扩散进入和扩散出来,质子尤其是在持续存在的电压和高工作温度情况下会导致 p 电阻和 p 沟道晶体管的漂移。该效应作为 NBTI 已知。为了避免任何类型的机械张力,在机械部件的附近或者甚至在其上并不产生场氧化物等等。因此,尤其是示例性的压力传感器的膜仅仅用栅极氧化物和钝化层(氮化硅)来覆盖。此外,在小片上的馈电线尽可能不以金属来实施(其尤其是相对于硅具有高的热膨胀系数),而是以晶片材料、在硅的情况下作为高掺杂层或者作为高掺杂的多晶硅来实施,或者如果其他不可能,作为高掺杂的无定形硅或者多晶硅来实施。晶体管 26、28、35、36 的漏极馈电线和源极馈电线在该例子(图 14)中例如实施为 p+ 注入离子 36、35、26、28。栅极及其馈电线示例性以多晶硅 33、39、31 和 32、34、38 实施。在 n 掺杂的面 40 中,由于场阈值在该例子中并未形成沟道。这仅仅在多晶硅栅极的边缘是可能的。因此,注入 n+ 沟道停止部 37,其中断寄生沟道。通过该示例性的全硅实施形式,由此可能的是,将对机械应力敏感的元素非常小地、并且对制造公差和通过异质材料引起的热机械应力不敏感地构建,这进一步降低了对于不均匀的应力分布的敏感性。虽然进行了这些努力,在材料之间仍然存在临界差(marginale Unterschiede)。因此,在将电子部件设置在小片上的情况下,并且尤其是在位于膜上的电子部件情况下,注意保持可能的最大的对称性。因此,有意义的是,将用于形成差分的部件一例如在惠斯通电桥或者差分放大器中的部件一尽可能靠近彼此地设置,以便将制造不均匀性的影响最小化。

[0114] 图 15 示出了惠斯通电桥的另一构型。在此,驱动晶体管 31、32、33、34 构成的电桥的参考电压由与其相同的、晶体管 30、29、55、56 构成的电桥产生。合乎目的是,在此使用相同的布局模块。参考电桥被短接,并且由此产生参考电压 35,借助该参考电压来激励第一电桥的晶体管 31、32、33、34。第二电桥在衬底上尽可能远离机械应力然而始终尽可能接近第一电桥地设置。后者用于将两个电桥之间的制造波动保持较小。第一电桥设置在合适的机械应力的点上。这是如下的点:在该点上在偏转示例性的膜的情况下形成尽可能高的机械应力,该应力仍然是均匀的,使得制造波动不会变得过于明显。

[0115] 为了进一步减小失调影响,可以是有意义的是,将多个电桥设置在一个小片上。这例如可以通过如图 16 所示的设置来进行。在此,示出了根据图 12 的四个电桥的可能的设

置。图 17 示出了根据图 15 的电桥和参考电桥的设置。在根据图 17 的布置中,形成三个补偿平面。在四个晶体管的第一平面中,检测机械应力的方向。这通过将彼此垂直的晶体管的值进行比较来进行。在接下来的平面中,这四个晶体管在其整体 43 中与四个另外的、相同布置的晶体管 58 比较,它们接近前四个晶体管 43,然而位于机械上较小负荷的区域中,理想地位于中性纤维(neutralen Faser)上。由此,电桥的机械方式引起的偏移不同于由于制造期间的校正误差引起的偏移。如果传感器是对称的,则有意义的是,根据对称轴线上位置的数目(Zaehligkeit)安装另外的八个晶体管。在例子中(图 17),这是四对传感器 44、57 ;41、60 ;42、59 ;43、58,每对分别由 2 乘 4 个晶体管构成。

[0116] 理论上,设置单个晶体管对于应力测量已经足够。然而在该情况中,所有制造误差已经具有大的影响。

[0117] 在图 34 中示出了可替选的第一布局布置。图 33 示出了晶体管 108、109 构成的、带有参考电压源的关联的电路连接。在此,连接成为惠斯通电桥的四个晶体管 104、105、106、107 具有共同的栅极 110,这简化了布局。电桥通过端子 103 和 102 来供给电压。在电桥的机械张紧的情况下,在端子 111、112 上出现电压。图 35 示出了电桥的另一构型。如果省去电桥的中间的沟道停止部 37,则得到带有四个端子的类似场板(Feldplatten)的晶体管 115(图 37)。图 36 示出了晶体管 115 的等效电路图。随后对其增加晶体管 114 和 113,它们一方面增大电能消耗(114),另一方面减小信号大小(113)。然而,为此可以将结构小型化并且由此将面积需求最小化,这在一些应用中是非常有用的。

[0118] 在图 18 中示出了传感器元件 41、42、43、44、57、58、59、60 的晶体管的一个可替选的布局布置。在此,四个晶体管 44、45、46、47 星形布置。其具有共同的漏极接触部 50,该漏极接触部通过馈电线 49 与电流源连接,该电流源并不位于压力传感器的膜上。晶体管 44、45、46、47 的栅极用折线 48 连接。源极接触部分别用高掺杂的 p+ 线路 51、52、53、54 连接。这四个晶体管例如是差分放大器的部分,如在图 19 中所示那样。图 19 的所有其他晶体管并不在膜上,而是在衬底上,其下没有空腔。明显的是,四个晶体管的一半、即例如晶体管 45 和 44 已经足以形成差分放大器。然而出于对称的原因,带有四个晶体管的变形方案是有意义的。

[0119] 电路由两个差分放大器构成。左边的差分放大器(晶体管 65 至 73)在输入和输出中被短接,并且作为用于第二放大器的驱动的参考电压源来工作。这些晶体管在没有机械应力的区域中。前面提及的晶体管 44、45、46、47 与分别关联的“工作电阻”61、62、63、64 形成差动级。电流源 74 对这样形成的差分放大器馈电。晶体管 74 在该例子中是 n 沟道晶体管。差分放大器 77、78 的输出在工作中反映出由于机械应力引起的晶体管 44、45、46、47 的非对称性。因为晶体管 46 和 44 不同于晶体管 45 和 47 地取向,所以单轴的机械应力导致在 77、78 上的输出信号。差分放大器在该例子中通过相同构建的、短接的参考差分放大器引入工作点中。其和晶体管 61、62、63、64、74 合乎目的地并不位于膜上,而是在小片的几乎没有机械应力的区域中。为了在没有应力的状态中保证部件的电学参数的一致性,它们仍然应当尽可能靠近地设置在其他晶体管附近。因此合乎目的是,所有元件的对准和布局尽可能接近彼此地以相同的取向和相同的布局来实施,由此尤其是电流镜对也良好地彼此协调。

[0120] 图 20 至 25 示出了沟槽和空腔的不同实施形式。

[0121] 在轨道 (Race-Track) 6 和空腔 3 的构建中, 必须考虑不同的因素:

[0122] 1、在轨道外壁和空腔壁之间要保持合适的距离。

[0123] 2、经过接片与轨道外壁的外部接触点的圆不能与轨道外壁相交, 因为这会导致在加强块 12 中的机械应力场的扭曲。

[0124] 3、在加强块 12 上的接片 8 的基点之间的连接线不能与加强块的外边缘相交, 因为这会导致在加强块中的机械应力场的扭曲。

[0125] 4、结构应当尽可能不具有角, 因为在角中会出现非常强的应力, 其会导致非线性效应和双稳定性。

[0126] 与此相对的是关于破裂压力的要求。如果轨道面太大, 则轨道膜更快地断裂。

[0127] 为了将膜与通过结构和连接技术引起的机械应力去耦合, 因此例如有意义的是, 在传感器周围制造另外的沟槽 93 (图 26), 并且于是制造虚拟的更大的轨道膜, 而没有所提及的断裂危险。

[0128] 在此, 传感器悬挂在接片 94 上。其在理想情况中并不是加强块 12 固定在其上的接片 8 的延长部。由此, 机械应力仅仅间接地从外部传递到传感器 9。

[0129] 该原理可以进一步通过另外的沟槽 95 和另外的接片 96 来继续 (图 27)。

[0130] 在加强块的帮助下的构造导致提高对于地震负荷的敏感性。该敏感性可以通过减小加强块质量来降低 (图 28)。在此, 在加强块 97 中刻蚀合适的支承结构。保留接片, 其在合适选择的情况下产生足够的平面惯性矩 (Flächenträgheitsmoment), 以便保证机械稳定性。传感器 22 在此如前面那样设置在中断轨道沟槽 19 的接片 20 上。

[0131] 如果要制造差分压力传感器而不是绝对压力传感器, 则这可以通过事后将开口 119 刻蚀到下部的晶片中进行。图 29 和 30 示出了相应的示例性的构型。这种构造的优点是小的开口, 并且由此相对于其中从背面刻蚀空腔的传感器而言仅仅非常小的稳定性损失。

[0132] 接合系统通常由具有明显不同的热膨胀系数的金属构成。此外, 金属导致滞后效应。因此有意义的是, 将接合垫 10 尽可能远地与传感器的其余部分去耦合。这可以通过沟槽 157 形式的机械保护环实现, 其例如尽可能远地围绕垫或者要保护的部分地设置 (图 32)。

[0133] 借助图 39 和 40, 在下面再次讨论低应力晶体管的构造的特点, 该晶体管对于机械应力敏感并且可以使用在微机电半导体器件的半导体材料构成的、能够可逆地变形的弯曲元件 8a 中。对于机械应力敏感的根据图 39 的晶体管所引入其中的构造在此可以如前面借助图 1 至 10、图 20 至 32、34、35、37 和 38 所阐述的那样来实现。如在图 39 和 40 中所示, 晶体管位于设备晶片 5 的覆盖空腔 4 的区域的接片 8 内。通过操作晶片 1, 通风通道可以引导至空腔 4, 然而这对于晶体管的构型和工作方式并不重要。

[0134] 晶体管构建在有源区阱 78a 中, 该有源区阱通过注入而引入设备晶片 5 的 p- 掺杂的半导体衬底中。在阱 78a 内构建有强 p+ 掺杂的源极区和漏极区 79、80, 更确切地说, 同样通过注入来实现。在这两个区 79 和 80 的朝向彼此的端部之间存在晶体管的实际的沟道区。有源区阱 78a 的整个上侧被薄的栅极氧化物 (Si 氧化物) 81a 覆盖, 其中在沟道区的区域中在该氧化物上设置有多晶硅构成的晶体管栅极 81。如尤其是借助图 40 可以看到的那样, 至漏极区和源极区 79、80 的馈电线通过借助注入产生的同样高掺杂的 p+ 区形成并且延

伸直到设备晶片 5 的跨越空腔 4 的区域之外（即直到膜之外），其在那里连接到金属线路 79a、78a 上。至晶体管栅极 81 的馈电线 84 通过多晶硅构成的线路来实现，如同在图 40 中可以看到的那样。

[0135] 在对机械应力敏感的晶体管（应力敏感的元素）的构型中，合乎目的是，该元件并不通过由于例如场氧化物导致的寄生应力而改变。由此可以导出的是，为了将晶体管使用在微机电半导体元件的弯曲元件上或者弯曲元件中，需要的是：

[0136] a) 晶体管不具有金属，由此不会由于“蠕变 (Creeping)”导致的温度滞后效应，并且

[0137] b) 晶体管具有尽可能少的氧化物，因为该氧化物也具有不同于弯曲元件的半导体材料的热膨胀系数。

[0138] 因此需要的是，用于检测应力的晶体管：

[0139] a) 位于第一掺杂区中（有源区阱 78a，其可以被 n- 或者 p+ 掺杂），

[0140] b) 该区仅仅用晶体管栅极氧化物覆盖并且不具有场氧化物，

[0141] c) 尽可能不与金属电连接，而是与 p+ 掺杂或者 n+ 掺杂的区电连接，以及

[0142] d) 以其晶体管栅极模制到源极接触区和漏极接触区，使得在 x 方向或 y 方向上的错移并不导致晶体管的宽长比的变化。

[0143] e) 与其晶体管栅极通过多晶硅线路连接。

[0144] 这些前提条件在根据前面描述的图 39 和 40 的构造中得到满足。因此，那里描述的或者示出的晶体管对机械应力极为敏感，而并未受到寄生应力附加影响。

[0145] 在图 41 中在俯视图中示出了根据本发明的关于其沟道区自调节的晶体管的布局。在该情况中也参考图 11 及其相关文本。在图 41 中用 81 表示晶体管的多晶硅栅电极，多晶硅栅电极通过多晶硅连接部 84 电连接。在有源区 200 内在多晶硅栅电极 81 之下构建的沟道具有宽度 B 和长度 L，其通过漏极和源极接触区 79、80 的距离来限定。通过注入作为沟道停止部的两个例如 n+ 区 82、83 产生沟道停止部，其相对于在栅极 81 之下的晶体管自调节，并且其实现如下功能：

[0146] a) 其限定了晶体管在 n+ 有源区注入 200（可替换地为 p+ 注入）的区域中的宽度 B，使得晶体管的宽度与可能的沟道注入的正确调整无关地仅通过多晶硅栅极 81 的宽度 B 来确定。

[0147] b) 其阻止平行于晶体管在漏极和源极接触区域 79、80 之间的寄生电流流动。

[0148] 对于提高晶体管的耐击穿性有意义的是，第一掺杂区（有源区 200）实施为具有自己的阱连接部的独立的 n 阱（可替换地为 p 阱），并且其连接部保持在漏极接触区或源极接触区 79、80 的电势上。优选地，每个晶体管都要设置在自己的有源区中。晶体管因此不仅在长度 L 上而且在宽度 B 上唯一并且仅通过多晶硅栅极 81 的几何结构来确定。在此情况下，被注入的源极接触区和漏极接触区 79、80 延伸直至栅极 81 的边缘凹部 201、202 中。在图 41 中通过注入掩膜中的开口来限定连接区 79、80。栅极 81 的边缘凹部 201、202 的相对位置在开口内多么精确地设置对于沟道的长度而言不重要。重要的仅仅是，边缘凹部 201、202 在之后被注入的接触区 79、80 内。在接触区的离子注入中，于是栅极 81 用作离子注入掩膜材料。

[0149] 图 42 示出了具有沟道注入 205（虚线）的根据本发明的一个可替换的半导体部件

的布局。p 沟道晶体管在此是 p 注入,其在制造栅极 81 之前引入。沟道注入于是首先在 x 和 y 方向上并未相对于多晶硅栅极 81 来调节。为了实现这一点,沟道注入在栅极 81 的横向边缘凹部 201、202 的区域中搭接(以后的)引线接触区域 79、80,所述引线接触区域在借助横向边缘凹部 201、202 的情况下作为离子注入掩膜以后引入有源区 200 中。因此即使在制造波动的情况下,通过多横向边缘 (Poly-Querraender) 限定的 p+ 边沿的距离并不改变,其中始终保证了在例如 p+ 注入的接触区 79、80 与 p+ 沟道注入之间的良好接触。

[0150] 在构建多晶硅栅极 81 之后引入的 n+ 沟道停止部离子注入 206 在未受多晶硅栅极 81 保护的、p- 沟道注入的横向区域中对其进行过度补偿。由此,剩余的 p- 沟道注入限制到在多晶硅栅极边沿内的面并且由此限制到在多晶硅栅极 81 之下的面上,使得这些边沿是自调节的。这样获得的构造类似于 JFET,其也可以用作自调节的电阻。

[0151] 例如借助图 42 可看到的是,多晶硅栅极 81 的特定形状和结构化作为离子注入掩膜材料以便通过自调节来限定沟道区的宽长比。栅极 81 具有横向边缘凹部 201、202 以及纵向边缘凹部 207、208,其分别在俯视图中看 U 形地构建。纵向边缘凹部 207、208 的基本边缘 207a 或 208a 与对置的侧边缘 201b 或 202b 一起在共同的线上。沟道区的宽度 B 于是通过横向边缘凹部 201、202 的宽度来限定,更确切地说,直接在接触沟道区的连接区域 79、80 上。在接触区之间的区域中,沟道区在其宽度 B 方面被明确限定,更确切地说,通过沟道停止部注入 206 来限定,其中基本边缘 207a、208a 用作掩膜边沿。纵向边缘凹部 207、208 的宽度延伸部通过其纵向边缘 207b、208b 来限定。侧边缘 207b、208b 距基本边缘 201a、202a 的距离越小,则沟道区在沟道区的端部区域中的宽度可以确定得越精确(在沟道区的纵向伸展上看)。

[0152] 本发明和示例性的应用的其他特点可以如下描述:

[0153] 1. 在掺杂衬底上或者在掺杂的阱中光刻制造的晶体管,其中

[0154] i. 晶体管仅仅与如下材料电连接:这些材料具有与晶体管设置在其中的衬底或者阱相似的机械膨胀系数,

[0155] ii. 晶体管并不与其他材料机械连接或者仅仅非常少地与其他材料机械连接,尤其是具有不同于衬底或者阱的机械特性的材料(在此尤其是场氧化物),

[0156] iii. 晶体管具有对称性,

[0157] iv. 晶体管通过在不同的工艺步骤中不同几何结构的、彼此协调的结构的光刻来制造,以及

[0158] v. 这些几何结构(其在制造工艺中的叠加和共同作用得到晶体管)被选择为使得在工艺规范边界内的工艺波动、所制造的几何结构形式的各光刻步骤产物的几何结构的变化对于晶体管的电学和/或机械特性没有影响或者仅仅具有非常轻微的影响。

[0159] 2. 根据第 1 项所述的晶体管,该晶体管是 MOS 晶体管。

[0160] 3. 一种用于检测机械应力的 MOS 晶体管,其具有四个沟道端子。

[0161] 4. 根据第 3 项所述的 MOS 晶体管,其具有四重旋转对称性以及同样拥有该对称性的栅极板以及同样拥有该对称性的布置中的沟道端子,而不必具有该栅极板的端子的对称性。

[0162] 5. 根据第 1 项所述的晶体管,该晶体管是双极性晶体管。

[0163] 6. 根据第 1 项至第 4 项所述的晶体管,其具有沟道停止部。

- [0164] 7. 根据第 1 项至第 4 项所述的晶体管,其源极区和 / 或漏极区通过高掺杂区或者低欧姆多晶硅来电连接。
- [0165] 8. 根据第 1 项至第 7 项所述的晶体管,其用于检测机械应力。
- [0166] 9. 根据第 1 项至第 8 项所述的晶体管,其如电阻那样尤其是使用在测量电桥中。
- [0167] 10. 根据第 1 项至第 9 项所述的晶体管,其是 pnp 晶体管。
- [0168] 11. 根据第 1 项至第 9 项所述的晶体管,其是 npn 晶体管。
- [0169] 12. 根据第 1 项至第 9 项所述的晶体管,其是 p 沟道晶体管。
- [0170] 13. 根据第 1 项至第 9 项所述的晶体管,其是 n 沟道晶体管。
- [0171] 14. 一种电路,其包含根据第 1 项至第 13 项中的一项或者多项所述的晶体管。
- [0172] 15. 一种电路,其与根据第 41 项所述的微机械装置在功能上关联。
- [0173] 16. 根据第 14 项或第 15 项所述的电路,其包含分立和 / 或集成的电子器件。
- [0174] 17. 根据第 14 项至第 16 项所述的电路,其至少部分地通过单片集成来制造。
- [0175] 18. 根据第 14 项至第 17 项所述的电路,其包含几何结构上相同构建的至少两个根据第 1 项至第 13 项所述的晶体管。
- [0176] 19. 根据第 18 项所述的电路,其产生信号,该信号适于测量两个晶体管的至少一个物理参数中的不同的状态。
- [0177] 20. 根据第 19 项所述的电路,其中物理参数是机械应力和 / 或温度。
- [0178] 21. 根据第 18 项至第 20 项所述的电路,其中根据第 1 项至第 13 项所述的晶体管的至少两个在不考虑连接线路的情况下彼此对称地布置。
- [0179] 22. 根据第 18 项至第 20 项所述的电路,其中对于根据第 1 项至第 13 项中的一项或者多项所述的晶体管的至少两个适用:其几何结构在不考虑连接线路的情况下通过相对于彼此旋转 90° 可以重合。
- [0180] 23. 根据第 14 项至第 22 项所述的电路,其包含至少四个根据第 1 项至第 13 项所述的晶体管。
- [0181] 24. 根据第 23 项所述的电路,其中四个晶体管连接成为测量电桥。
- [0182] 25. 根据第 24 项所述的电路,其中至少一个根据第 1 项至第 13 项所述的晶体管的栅极和源极短接。
- [0183] 26. 根据第 24 项或第 25 项所述的电路,其中根据第 1 项至第 13 项所述的晶体管的至少之一的栅极与参考电压源连接。
- [0184] 27. 根据第 26 项所述的电路,其中参考电压源是根据第 24 项至第 27 项的短接的第二测量电桥。
- [0185] 28. 根据第 27 项所述的电路,其中第二测量电桥与第一测量电桥相似,更确切地说,尤其是在晶体管和 / 或连接和 / 或所制成的几何结构的设计中与第一测量电桥相似,和 / 或在极端情况下是第一测量电桥的几何拷贝。
- [0186] 29. 根据第 14 项至第 28 项所述的电路,其中四个晶体管的各两个晶体管在相同几何结构情况下相同取向。
- [0187] 30. 根据第 29 项所述的电路,其中一个晶体管对的晶体管垂直于另外的晶体管对来取向。
- [0188] 31. 根据第 30 项所述的电路,其中所述四个晶体管以四边形对称地布置。

- [0189] 32. 根据第 30 项所述的电路,其中所述四个晶体管交叉对称地布置。
- [0190] 33. 根据第 14 项至第 23 项或者第 29 项至第 32 项所述的电路,其包含至少一个差分放大电路。
- [0191] 34. 根据第 33 项所述的电路,其中至少一个差分放大器的晶体管的至少之一是根据第 1 项至第 13 项所述的晶体管。
- [0192] 35. 根据第 33 项或第 34 项所述的电路,其包含至少一个参考电压源,所述参考电压源与至少一个第一差分放大器耦合。
- [0193] 36. 根据第 35 项所述的电路,其中参考电压源是短接的第二差分放大器,其为根据第 33 项至第 35 项所述的差分放大器。
- [0194] 37. 根据第 36 项所述的电路,其中第二差分放大器与第一差分放大器相似,更确切地说,尤其是在晶体管和 / 或晶体管的连接和 / 或晶体管的所制成的几何结构的设计中与第一差分放大器相似,和 / 或在极端情况下是与第一差分放大器的几何拷贝。
- [0195] 38. 根据第 14 项至第 37 项所述的电路,其中其至少一部分同时是微机械装置的一部分。
- [0196] 39. 根据第 38 项所述的电路,其中所述电路的至少一部分与至少一个微机械功能元件在功能上连接,使得至少一个微机械功能元件的至少一个机械参数与电路的状态函数或者与至少一个电路部分的状态函数的至少一个电学参数耦合。
- [0197] 40. 根据第 39 项所述的电路,其中功能元件尤其是梁或者接片、膜、谐振器、单侧或者双侧或者三侧张紧的唇缘、隔板、探针。
- [0198] 41. 一种微机械装置,其通过光刻工艺和将至少两个晶片连接、尤其是接合来制造,其中:
- [0199] I. 在将所述至少两个晶片连接之前将至少一个微机械功能元件以至少一个表面结构的形式施加在这两个晶片的至少之一的至少一个表面上,以及
- [0200] II. 这样制造的微机械功能元件或者表面结构的至少之一在将晶片连接之后位于所得到的晶片封装内的晶片之间的界面附近,以及
- [0201] III. 在所得到的晶片封装的至少一个表面上在连接晶片之后执行至少一个用于制造电子器件的工艺来制造至少一个电子器件,以及
- [0202] IV. 这样制造的电子器件的至少一个对至少一个非电学物理量是敏感的并且要检测该量,以及
- [0203] V. 该器件自调节地制造。
- [0204] 42. 根据第 41 项所述的微机械装置,其中所述自调节的器件的至少之一是根据第 1 项至第 10 项所述的晶体管,或者是根据第 14 项至第 40 项所述的电路的一部分。
- [0205] 43. 根据第 41 项或第 42 项所述的微机械装置,其由硅制造。
- [0206] 44. 根据第 41 项至第 43 项所述的微机械装置,其中至少一个微机械功能元件是至少一个空腔。
- [0207] 45. 根据第 44 项所述的微机械装置,其中至少一个空腔与晶片封装的至少一个表面限定膜。
- [0208] 46. 根据第 44 项和第 45 项所述的微机械装置,其中至少一个空腔在其壁上并不具有氧化物。

[0209] 47. 根据第 41 项至第 46 项所述的微机械装置,其中至少一个微机械功能元件位于所述装置的表面上。

[0210] 48. 根据第 47 项所述的微机械装置,其中至少一个微机械功能元件是接片、沟槽、膜、穿通部和掩埋的空腔或者盲孔。

[0211] 49. 根据第 38 项所述的微机械装置,其中在执行用于制造根据第 1 项至第 13 项所述的晶体管或者根据第 14 项至第 40 项所述的电路的工艺、尤其是 CMOS 工艺之后,在表面上制造至少一个微机械功能元件。

[0212] 50. 根据第 41 项至第 49 项所述的微机械装置,其中至少一个微机械功能元件尤其是通过使用 DRIE 刻蚀工艺或者等离子体刻蚀工艺来制造。

[0213] 51. 根据第 41 项至第 50 项所述的微机械装置,其可以用作压力传感器。

[0214] 52. 根据第 44 项至第 51 项所述的微机械装置,其中至少一个空腔的几何形状关于晶片的连接平面具有对称性。

[0215] 53. 根据第 41 项至第 52 项所述的微机械装置,其中在晶片封装的至少一个表面上通过 DRIE 刻蚀或者等离子体刻蚀来制造沟槽。

[0216] 54. 根据第 53 项所述的微机械装置,其中沟槽的至少一个子集形成封闭结构,例如环形、椭圆形、四边形、星形等等,其仅仅在一些位置通过薄的接片 8、20 来中断。

[0217] 55. 根据第 53 项和第 54 项所述的微机械装置,其中沟槽的至少一部分彼此对称地布置。

[0218] 56. 根据第 52 项至第 55 项所述的微机械装置,其中沟槽的一部分的对称轴线和至少一个空腔的对称轴线重合或者在理想制造的情况下重合。

[0219] 57. 根据第 52、55 和 56 项所述的微机械装置,其中沟槽的至少之一与至少一个空腔机械功能关联。

[0220] 58. 根据第 57 项所述的微机械装置,其中沟槽的至少之一的底部与空腔的至少之一一起产生至该空腔中的开口或者膜变薄部。

[0221] 59. 根据第 41 项至第 58 项所述的微机械装置,其中上侧的微机械功能元件、尤其是在第 47 项至第 58 项所述的沟槽连同其限制其形状的边缘并不在下侧的微机械结构和上侧的微机械结构的限定形状的边缘上。

[0222] 60. 根据第 59 项所述的微机械装置,其中位于下部的结构 121 的起点、尤其是被掩埋的空腔 4 的起点和位于上部的结构 119 的起点、尤其是沟槽 6 的起点之间的杆长度大于垂直的杆尺寸 118 和 120 中较小的杆尺寸(参见图 38)。

[0223] 61. 根据第 44 项至第 60 项所述的微机械装置,其中在微机械装置的本体内、尤其是在其制造期间在晶片封装内存在至少一个空腔,其与晶片封装的下侧或者上侧通过至少一个微机械功能元件、尤其是通过管来连接。

[0224] 62. 根据第 61 项所述的微机械装置,其可以用作针对限定的参考压力或者环境压力的差分压力传感器。

[0225] 63. 根据第 61 项和第 62 项所述的微机械装置,其具有至少一个微流体功能元件。

[0226] 64. 根据第 63 项所述的微机械装置,其中至少一个微流体功能元件用于或者可以用于输送介质如液体和气体。

[0227] 65. 一种微机械装置,其中至少一个根据第 63 项至第 64 项所述的微流体功能元件

或者根据第 61 项所述的微机械功能元件在执行用于制造根据第 1 项至第 13 项所述的晶体管或者根据第 14 项至第 40 项所述的电路的工艺、尤其是 CMOS 工艺之后被制造。

[0228] 66. 根据第 1 项至第 65 项所述的微机械装置,其中至少使用 p 掺杂的半导体材料作为部分衬底或者衬底。

[0229] 67. 根据第 1 项至第 65 项所述的微机械装置,其中至少使用 n 掺杂的半导体材料作为部分衬底或者衬底。

[0230] 68. 根据第 44 项至第 67 项所述的微机械装置,其中在至少一个衬底中存在材料变更部,例如 SiO₂层,其用作针对至少一个空腔的刻蚀的刻蚀停止部。

[0231] 69. 根据第 53 项至第 68 项所述的微机械装置,其中在至少一个衬底中存在材料变更部 14,其用作针对沟槽的至少一部分的刻蚀的刻蚀停止部。

[0232] 70. 根据第 69 项所述的微机械装置,其中在至少一个衬底中存在至少一个材料变更部 15,其作为沟槽的区域中的膜起作用。

[0233] 71. 根据第 70 项所述的微机械装置,其中至少一个材料变更部 15 由多晶硅和 / 或无定形硅构成,并且在晶片接合之前被沉积在晶片封装的晶片之一上。

[0234] 72. 根据第 44 项至第 67 项以及第 69 项至第 71 项所述的微机械装置,其中至少一个空腔时间受控地刻蚀到至少一个衬底中。

[0235] 73. 根据第 53 项至第 68 项以及第 70 项所述的微机械装置,其中沟槽的至少一部分时间受控地刻蚀到衬底中。

[0236] 74. 根据第 53 项至第 73 项所述的微机械装置,其中在刻蚀沟槽之前,在晶片封装的至少一个表面上进行用于制造电学功能元件的半导体工艺。

[0237] 75. 根据第 44 项所述的微机械装置,其具有至少一个电学功能元件,该功能元件以根据第 74 项所述的工艺来制造。

[0238] 76. 根据第 75 项所述的微机械装置,其中至少一个电学功能元件具有电导线的功能、或者接触部的功能、或者穿通接触部的功能、或者电导线绝缘的功能、或者电阻的功能、或者晶体管的功能、或者二极管的功能、或者电容器的功能、或者线圈的功能。

[0239] 77. 根据第 76 项所述的微机械装置,其中功能元件的至少之一根据机械量、尤其是拉应力、压应力和剪应力来改变至少一个参数,尤其是电学参数。

[0240] 78. 根据第 77 项所述的微机械装置,其中该参数改变可以在传感器之外来测量。

[0241] 79. 根据第 77 项和第 54 项所述的微机械装置,其中功能元件的至少之一与至少一个接片 8、20 机械功能关联。

[0242] 80. 根据第 77 项和第 36 项所述的微机械装置,其中至少一个电子功能元件相对于:

[0243] a) 至少一个第一微机械功能元件、尤其是膜 (12 或 21),

[0244] b) 至少两个另外的第二微机械功能元件、尤其是沟槽 (6 或 19), 以及

[0245] c) 至少一个第三微机械功能元件、尤其是接片 (8 或 20),

[0246] 定位在第三微机械功能元件上,尤其是接片上 (其中根据 a) 至 c) 的功能元件机械功能关联),使得当第一微机械功能元件、尤其是膜或者惰性材料 (12 或 21) 变形时、尤其是被偏转时,其在最大机械应力的点中或者附近。

[0247] 81. 根据第 80 项所述的微机械装置,其中至少一个第三微机械功能元件、尤其是

接片成形为使得其在第一微机械功能元件、尤其是膜或者惰性材料的变形情况下具有高度均匀化的机械应力的区域。

[0248] 82. 根据第 81 项所述的微机械装置,其中至少一个电子功能元件位于至少一个所述的高度均匀化的机械应力的位置上。

[0249] 83. 根据第 41 项至第 82 项所述的微机械装置,其中至少两个晶片厚度不同地实施。

[0250] 84. 根据第 41 项至第 82 项所述的微机械装置,其中晶片材料是硅或者 SOI 材料。

[0251] 85. 根据第 44 项至第 79 项所述的微机械装置,其中在将三个晶片接合之前在最下部的晶片制造中空腔。

[0252] 86. 根据第 86 项所述的微机械装置,其中所述三个晶片厚度不同地实施。

[0253] 87. 根据第 53 项至第 86 项所述的微机械装置,其中第二微机械功能元件的至少之一是沟槽 (6 或 19),其宽度不是恒定的。

[0254] 88. 根据第 54 项至第 87 项所述的微机械装置,其中至少一个接片并未划分沟槽 (6 或 19),而是仅仅伸入其中 (例如如图 25)。

[0255] 89. 根据第 54 项至第 88 项所述的微机械装置,其中在接片和沟槽之间在膜上形成面,其悬挂在接片上,为四边形 (例如如图 20 或者图 23)、菱形 (例如如图 21 或图 22) 或者圆形 (例如如图 24)。

[0256] 90. 根据第 89 项所述的微机械装置,其中至少一个沟槽没有底部,并且因此与至少一个空腔连接。

[0257] 91. 根据第 41 项至第 90 项所述的微机械装置,其可以用作压力传感器和 / 或加速度传感器。

[0258] 92. 根据第 41 项至第 91 项所述的微机械装置,其具有对称地布置的机械的第一功能元件,尤其是接片,其与至少一个另外的第二微机械功能元件、尤其是膜或者惰性材料连接,并且在所述第一功能元件上分别有根据第 14 项至第 40 项所述的电路的相似的电路部分。

[0259] 93. 根据第 92 项所述的微机械装置,其中位于第一微机械功能元件上的电路部分彼此电连接,使得形成平均值和 / 或差。

[0260] 94. 根据第 41 项至第 93 项所述的微机械装置,其至少在第一位置上具有第一机械功能元件,尤其是接片,其与至少一个另外的第二微机械功能元件、尤其是膜机械连接,并且具有第二位置,第二位置并不具有机械功能并且并不受到机械影响或者仅仅受到小的机械影响,并且至少在所述两个位置上存在根据第 14 项至第 40 项所述的电路的类似的电路部分。

[0261] 根据第 94 项所述的微机械装置和电路,其中位于所述两个位置上的电路部分彼此电连接,使得形成平均值和 / 或差。

[0262] 96. 根据第 92 项至第 95 项所述的微机械装置和电路,其中微机械装置由至少两个完全的根据第 92 项至第 95 项所述的微机械部分装置、尤其是两个压力传感器构成,它们又功能关联。

[0263] 97. 根据第 96 项所述的微机械装置和电路,其中在电路内针对部分装置的电学输出值采用数学运算,尤其是形成平均值和差。

[0264] 98. 根据第 94 项至 97 项所述的微机械装置和电路, 其中至少一个第二电路部分用作参考, 尤其是电压参考, 并且并不与微机械功能元件功能关联, 所述第二电路部分类似于在第一位位置上、尤其是在接片上的第一电路部分。

[0265] 99. 根据第 92 项至 98 项所述的微机械装置和电路, 其中与第一位位置上的每个电路部分关联有至少一个电路部分作为参考, 并且其中该参考并不与微机械功能元件功能关联, 其中所述电路部分类似于在相应接片上的电路部分。

[0266] 100. 根据第 99 项所述的微机械装置和电路, 其中所述参考在中性纤维上。

[0267] 101. 尤其是根据第 92 项至 100 项所述的微机械装置和电路, 其中至少一个放大电路是其一部分。

[0268] 102. 尤其是根据第 101 项所述的微机械装置和电路, 其中放大电路具有正输入端和负输入端。

[0269] 103. 根据第 1 项至 201 项所述的微机械装置和电路, 其中其在另外的部分中设置有针对湿气和 / 或质子的扩散进入和扩散出来的保护装置。

[0270] 104. 根据第 103 项所述的微机械装置和电路, 其中扩散保护装置由氮化硅层构成。

[0271] 本发明的其他特征是:

[0272] 1. 减小所需的晶片接合连接的数目

[0273] 2. 减少寄生元件

[0274] a) 消除机械应力源

[0275] b) 针对不可避免的机械应力的传播进行保护

[0276] c) 机械有用应力场的最大化、均匀化和线性化

[0277] d) 减小电子部件的耗散

[0278] e) 减小电子电路的耗散

[0279] f) 减小微机械功能元件的耗散

[0280] 3. 提高构造相对于机械和电学制造偏差的容限

[0281] 4. 减小不可避免的寄生元件的作用

[0282] 5. 减小结构和连接技术的影响

[0283] 6. 通过用户使用传感器的灵活性

[0284] 7. 减小所需的小片面积

[0285] 8. 耦合到大容量标准 CMOS 线、尤其是带有 p 掺杂的衬底的标准 CMOS 线的可能性

[0286] 这些特性尤其是通过在下面描述的措施来实现, 它们可以单独地或者全部组合或者部分组合地使用:

[0287] 1. 通过如下方式来减小所需的晶片接合连接的数目:

[0288] a) 在 CMOS 处理之前制造空腔

[0289] 2. 通过如下方式来减少寄生元件:

[0290] a) 尤其是通过

[0291] i) 避免在微机械功能元件上、尤其是在压力传感器膜上的不需要的层

[0292] 来消除机械应力源。

[0293] b) 尤其是通过

- [0294] i) 借助机械保护环来限制应力以及
- [0295] ii) 减小在材料中的空腔的深度, 由此其具有较高的平面惯性矩
- [0296] 来保护以防不可避免的机械应力的传播。
- [0297] c) 尤其是通过
- [0298] i) 将沟槽刻蚀到压力膜中
- [0299] ii) 选择沟槽形状
- [0300] iii) 一方面为后侧结构和掩埋的结构以及另一方面为前侧结构之间的距离用于减小调节误差
- [0301] 来将有用应力场最大化、均匀化和线性化。
- [0302] d) 通过
- [0303] i) 使用自调节的结构
- [0304] 来减小电子部件的耗散。
- [0305] e) 通过
- [0306] i) 使用紧凑的、对称的、自调节的特殊晶体管
- [0307] ii) 使用紧凑的、对称的、自调节的差分放大级
- [0308] iii) 使用紧凑的、自调节的、对称的有源惠斯通电桥
- [0309] 来减小电子电路的耗散。
- [0310] f) 通过
- [0311] i) 使用限定的 CMOS 兼容的刻蚀停止部
- [0312] ii) 使用特别是可小型化的特殊晶体管
- [0313] 来减小微机械功能元件的耗散。
- [0314] 3. 通过如下方式来提高结构相对于机械和电学制造偏差的容限：
- [0315] a) 区分应力方向
- [0316] b) 在受到应力和未受到应力的电路部分之间进行区分
- [0317] c) 在不同的对称位置上的电路部分之间进行区分
- [0318] d) 电路部分的合适的补偿的连接, 这些电路部分可以通过测量来检测区别 i 至 iii
- [0319] e) 使用特别是可以小型化的自调节的特殊晶体管
- [0320] f) 通过有针对性地减少在微机械功能元件的区域中的层堆叠来将机械结构小型化。
- [0321] 4. 减小不可避免的寄生元件的作用
- [0322] a) 补偿电路
- [0323] b) 使用特别是可以小型化的特殊晶体管。
- [0324] 5. 通过如下方式来减小结构和连接技术的影响：
- [0325] a) 减小在材料中的空腔的深度, 由此其具有较高的平面惯性矩
- [0326] b) 使用圆形的空腔, 由此增大垂直的平面惯性矩。
- [0327] 6. 通过如下方式来使得用户灵活使用传感器：
- [0328] a) 通过用户对放大的可调节性
- [0329] 7. 通过如下方式来减小所需的小片面积：

[0330] a) 减小在材料中的空腔的深度,由此其具有较高的平面惯性矩,并且传感器可以不损失稳定性地被减小

[0331] b) 使用特别是可以小型化的特殊晶体管

[0332] c) 建立用于气体和液体的、至掩埋的空腔的最小通道开口 (Zutrittsoeffnung)。

[0333] 8. 通过如下方式来实现耦合到大容量的标准 CMOS 线、尤其是带有 p 掺杂的衬底的标准 CMOS 线的可能性:

[0334] a) 在 CMOS 工艺之前制造带有限定的刻蚀停止部的空腔

[0335] b) 在进行 CMOS 处理之后在如沟槽的表面上通过等离子体刻蚀或者 DRIE 刻蚀来制造微机械功能元件

[0336] c) 在进行 CMOS 处理之后制造至掩埋的空腔的最小通道开口。

[0337] 附图标记表

[0338] 1 第一晶片

[0339] 2 氧化层

[0340] 3 空腔 4 的直壁

[0341] 4 空腔

[0342] 5 第二晶片

[0343] 6 在晶片封装中的沟槽

[0344] 7 薄的膜区域,其通过沟槽 6 和空腔 4 来限定

[0345] 8 接片,其中断沟槽 6

[0346] 8a 弯曲元件

[0347] 9 用于检测机械应力的部件

[0348] 10 带有连接线路的端子

[0349] 11 晶片封装的表面

[0350] 12 膜的中央片

[0351] 13 第一晶片

[0352] 14 SiO₂层

[0353] 15 多晶硅层

[0354] 16 第二晶片

[0355] 17 第二氧化层

[0356] 18 空腔

[0357] 19 沟槽

[0358] 20 接片,其中断沟槽 19

[0359] 21 膜的中央片

[0360] 22 用于检测机械应力的部件

[0361] 23 带有连接线路的端子

[0362] 24 晶片封装的表面

[0363] 25 较小厚度的膜

[0364] 26 惠斯通电桥的负端子

[0365] 27 惠斯通电桥的正端子

- [0366] 28 用于在惠斯通电桥上量取电压的第一端
- [0367] 29 用于惠斯通电桥的参考电压源的下部的 p 沟道 MOS 二极管
- [0368] 30 用于惠斯通电桥的参考电压源的上部的 p 沟道 MOS 二极管
- [0369] 31 惠斯通电桥的第一 p 沟道 MOS 晶体管
- [0370] 32 惠斯通电桥的第二 p 沟道 MOS 晶体管
- [0371] 33 惠斯通电桥的第三 p 沟道 MOS 晶体管
- [0372] 34 惠斯通电桥的第四 p 沟道 MOS 晶体管
- [0373] 35 参考电压线路
- [0374] 36 用于在惠斯通电桥上量取电压的第二端
- [0375] 37 n+ 沟道停止注入
- [0376] 38 在低欧姆多晶硅中的栅极连接晶体管 32 和 34
- [0377] 39 在低欧姆多晶硅中的栅极连接晶体管 33 和 31
- [0378] 40 n- 掺杂的面 (不导电)
- [0379] 41 对机械应力敏感的上部结构,例如根据图 12 的惠斯通电桥
- [0380] 42 对机械应力敏感的右边结构,例如根据图 12 的惠斯通电桥
- [0381] 43 对机械应力敏感的下部结构,例如根据图 12 的惠斯通电桥
- [0382] 44 第一差分放大器 p 沟道晶体管
- [0383] 45 第二差分放大器 p 沟道晶体管
- [0384] 46 第三差分放大器 p 沟道晶体管
- [0385] 47 第四差分放大器 p 沟道晶体管
- [0386] 48 针对晶体管 44、45、46、47 的参考电压
- [0387] 49 针对 p 沟道晶体管 44、45、46、47 的电流源馈电线
- [0388] 50 p 沟道晶体管 44、45、46、47 的共同的漏极接触部
- [0389] 51 连接晶体管 46,差分放大器的负输出节点
- [0390] 52 连接晶体管 45,差分放大器的正输出节点
- [0391] 53 连接晶体管 44,差分放大器的负输出节点
- [0392] 54 连接晶体管 47,差分放大器的正输出节点
- [0393] 55 用于参考电桥电路的第三 p 沟道晶体管
- [0394] 56 用于参考电桥电路的第四 p 沟道晶体管
- [0395] 57 对机械应力敏感的上部结构,例如根据图 12 的惠斯通电桥在没有机械应力的区域中作为针对 41 的参考结构
- [0396] 58 对机械应力敏感的右边结构,例如根据图 12 的惠斯通电桥在没有机械应力的区域中作为针对 42 的参考结构
- [0397] 59 对机械应力敏感的下部结构,例如根据图 12 的惠斯通电桥在没有机械应力的区域中作为针对 43 的参考结构
- [0398] 60 对机械应力敏感的左边结构,例如根据图 12 的惠斯通电桥在没有机械应力的区域中作为针对 44 的参考结构
- [0399] 61 差分放大器 :对应于晶体管 69 的电流镜晶体管
- [0400] 62 差分放大器 :对应于晶体管 70 的电流镜晶体管

- [0401] 63 差分放大器 :对应于晶体管 71 的电流镜晶体管
- [0402] 64 差分放大器 :对应于晶体管 72 的电流镜晶体管
- [0403] 65 参考放大器 :第一差分放大器 p 沟道晶体管
- [0404] 66 参考放大器 :第二差分放大器 p 沟道晶体管
- [0405] 67 参考放大器 :第三差分放大器 p 沟道晶体管
- [0406] 68 参考放大器 :第四差分放大器 p 沟道晶体管
- [0407] 69 参考放大器 :对应于晶体管 61 的电流镜晶体管
- [0408] 70 参考放大器 :对应于晶体管 62 的电流镜晶体管
- [0409] 71 参考放大器 :对应于晶体管 63 的电流镜晶体管
- [0410] 72 参考放大器 :对应于晶体管 64 的电流镜晶体管
- [0411] 73 参考放大器 :n 沟道电流源晶体管 (电流镜)
- [0412] 74 参考放大器 :n 沟道电流源晶体管 (电流镜)
- [0413] 75 负端子
- [0414] 76 正端子
- [0415] 77 负输出信号
- [0416] 78 正输出信号
- [0417] 78a 有源区阱
- [0418] 79 p+ 接触部注入 (源极区)
- [0419] 79a 金属线路
- [0420] 80 p+ 接触部注入 (漏极区)
- [0421] 80a 金属线路
- [0422] 81 自调节的 p 沟道 MOS 晶体管的多晶硅栅
- [0423] 81a 栅极氧化物
- [0424] 82 n+ 注入区 (沟道停止部)
- [0425] 83 n+ 注入区 (沟道停止部)
- [0426] 84 来自高掺杂的多晶硅的馈电线
- [0427] 85 惠斯通电桥的第一 p 沟道 MOS 晶体管
- [0428] 86 惠斯通电桥的第二 p 沟道 MOS 晶体管
- [0429] 87 惠斯通电桥的第三 p 沟道 MOS 晶体管
- [0430] 88 惠斯通电桥的第四 p 沟道 MOS 晶体管
- [0431] 89 左边抽头
- [0432] 90 右边抽头
- [0433] 91 负极
- [0434] 92 正极
- [0435] 93 用于将膜与小片本体去耦合的沟槽的第二组
- [0436] 94 接片, 其将第二沟槽的组 93 中断
- [0437] 95 用于将膜与小片本体进一步去耦合的沟槽的第三组
- [0438] 96 接片, 其将沟槽的第三组 95 中断
- [0439] 97 带有格栅结构的加强块 (支承结构)

- [0440] 98 用于差分压力传感器的空腔中的孔
- [0441] 99 机械保护环,用于防止通过接合系统引入的机械应力的传播
- [0442] 100 对机械应力敏感的左边结构,例如根据图 12 的惠斯通电桥
- [0443] 101 单晶体管元件
- [0444] 102 负端子
- [0445] 103 正端子
- [0446] 104 上部晶体管左边 (p 沟道)
- [0447] 105 上部晶体管右边 (p 沟道)
- [0448] 106 下部晶体管左边 (p 沟道)
- [0449] 107 下部晶体管右边 (p 沟道)
- [0450] 108 上部参考晶体管 (p 沟道)
- [0451] 109 下部参考晶体管 (p 沟道)
- [0452] 110 内部参考电压
- [0453] 111 第一输出端
- [0454] 112 第二输出端
- [0455] 113 第一寄生晶体管
- [0456] 114 第二寄生晶体管
- [0457] 115 整个晶体管场板
- [0458] 116 杆长度 (这里为空腔壁 3 至沟槽壁的例子)
- [0459] 117 例子 :沟槽壁
- [0460] 118 上部结构的高度 (这里示例性地为沟槽 6 的深度)
- [0461] 119 上部结构的接收点 (这里示例性地为沟槽 6)
- [0462] 120 下部结构的高度 (这里示例性地为空腔 4 的深度)
- [0463] 121 下部结构的接收点 (这里示例性地为空腔 4)
- [0464] 200 有源区
- [0465] 201, 202 晶体管栅极 81 的横向边缘凹部
- [0466] 201a, 202a 横向边缘凹部 201、202 的基本边缘
- [0467] 201b、202b 横向边缘凹部 201、202 的侧边缘
- [0468] 205 沟道注入
- [0469] 206 沟道停止部注入
- [0470] 207, 208 晶体管栅极 81 的纵向边缘凹部
- [0471] 207a, 208a 纵向边缘凹部 207、208 的基本边缘
- [0472] 207b, 208b 纵向边缘凹部 207、208 的侧边缘

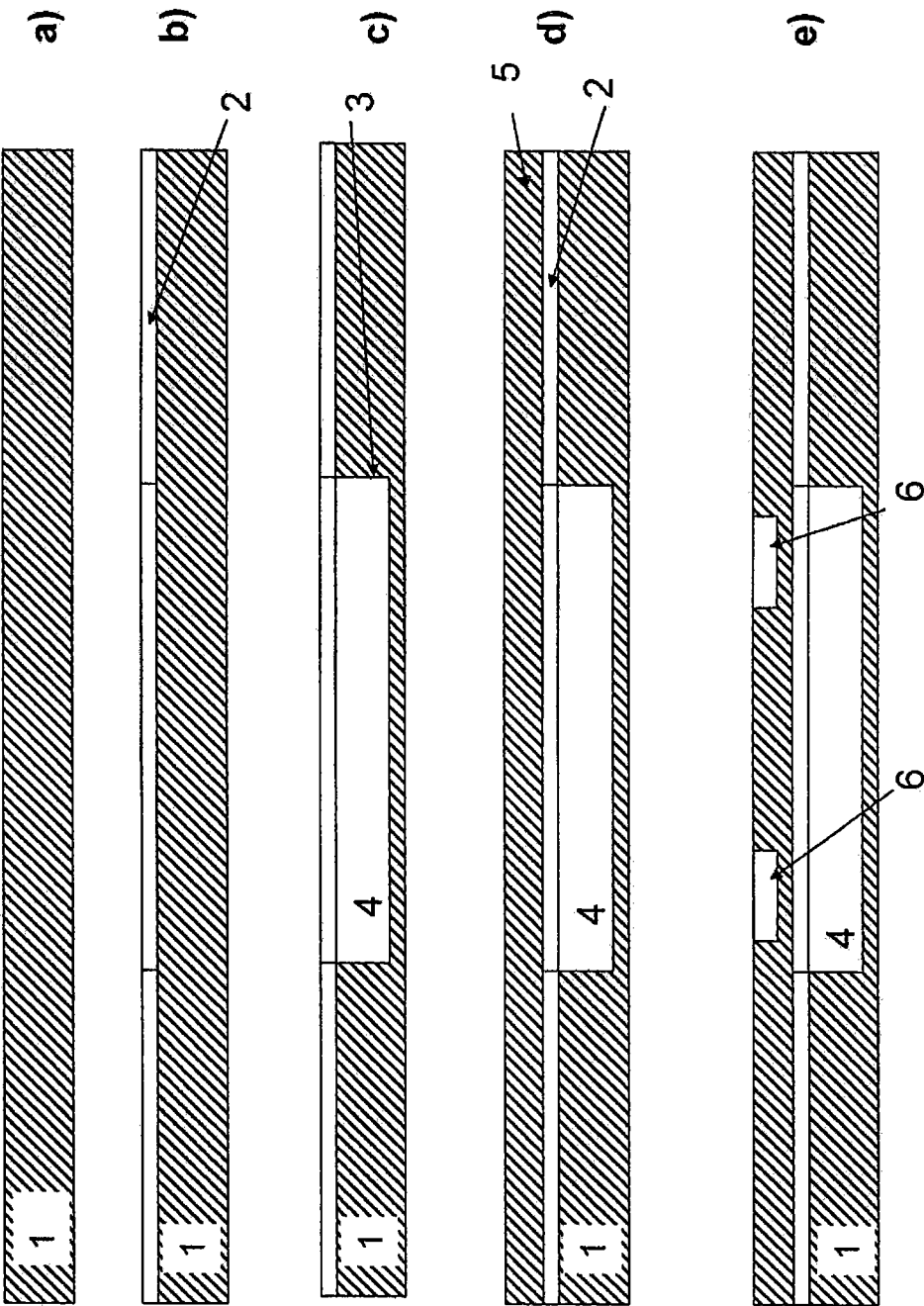


图 1

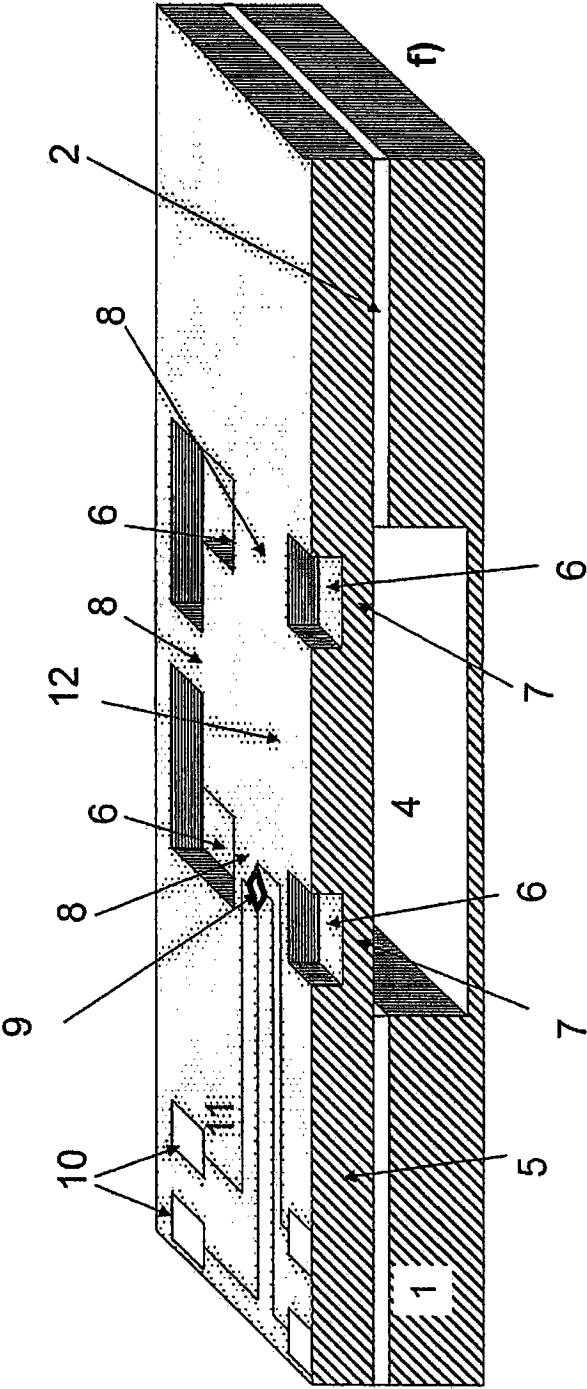


图 2

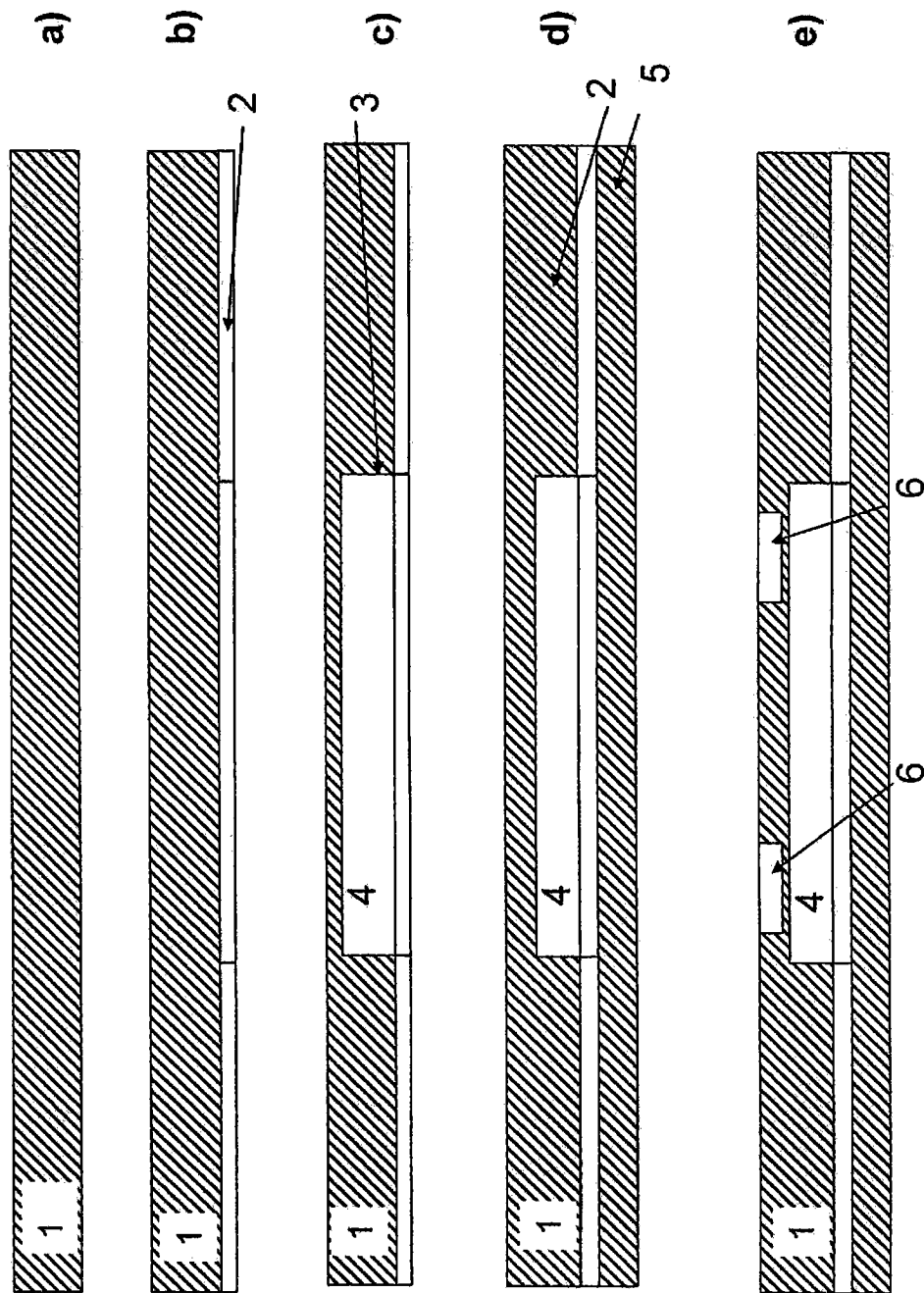


图 3

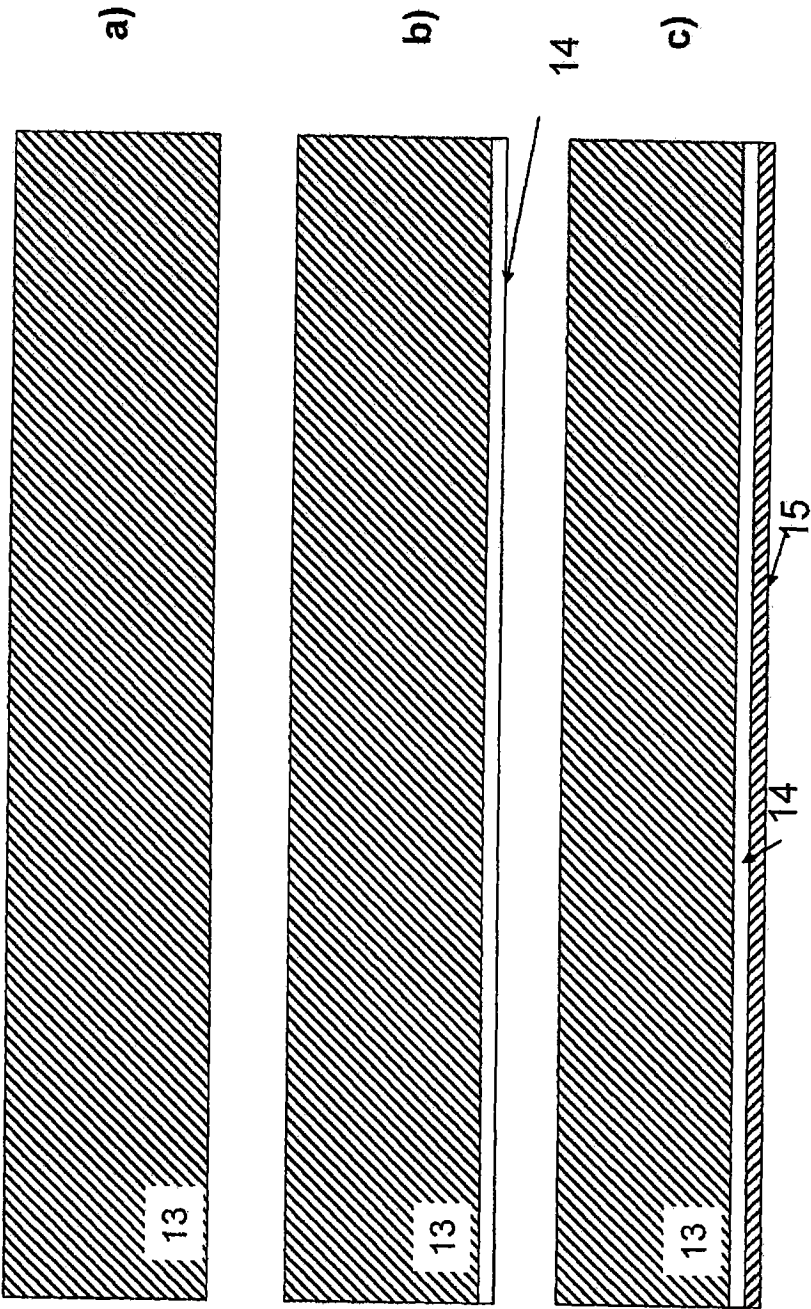


图 5

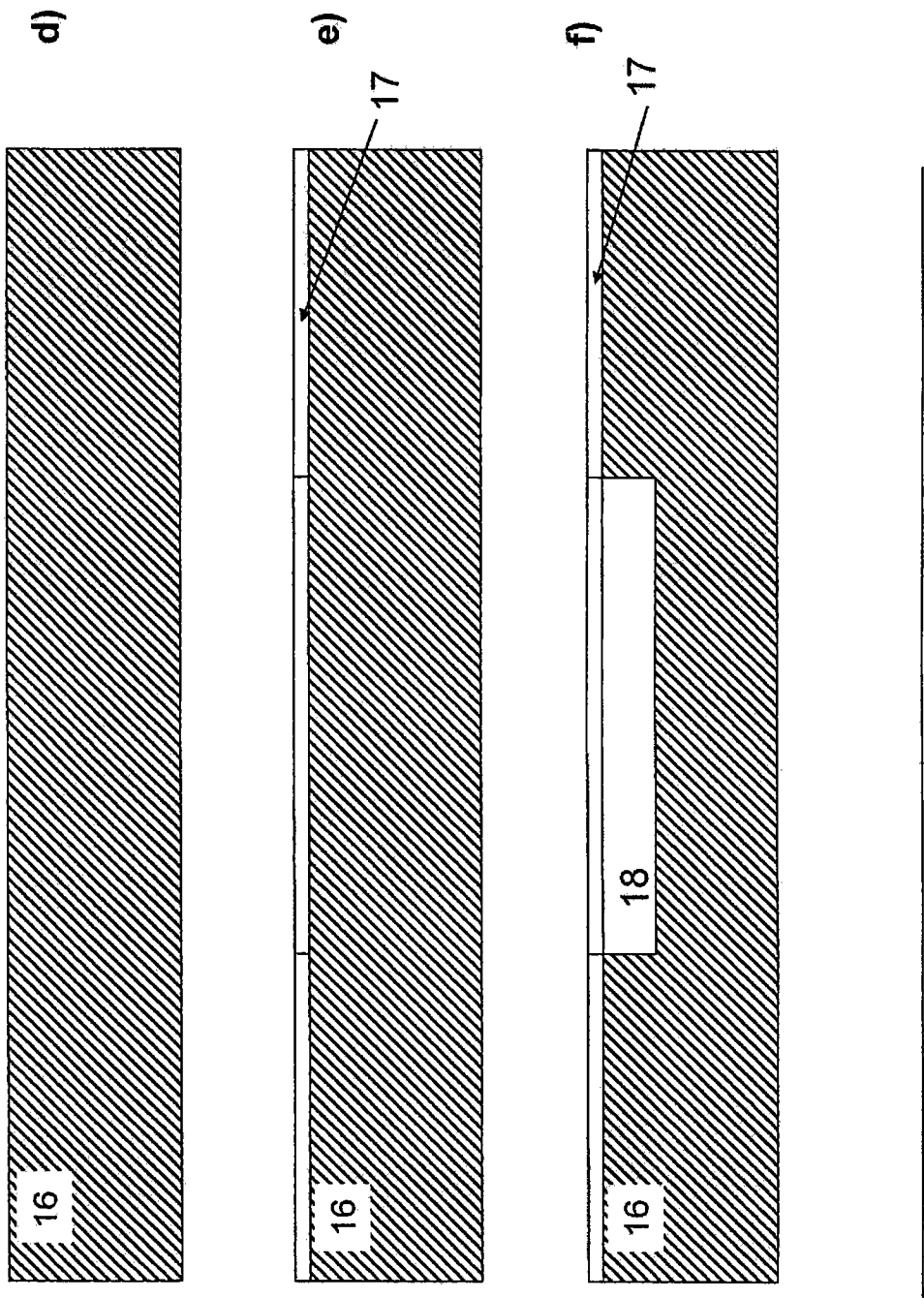


图 6

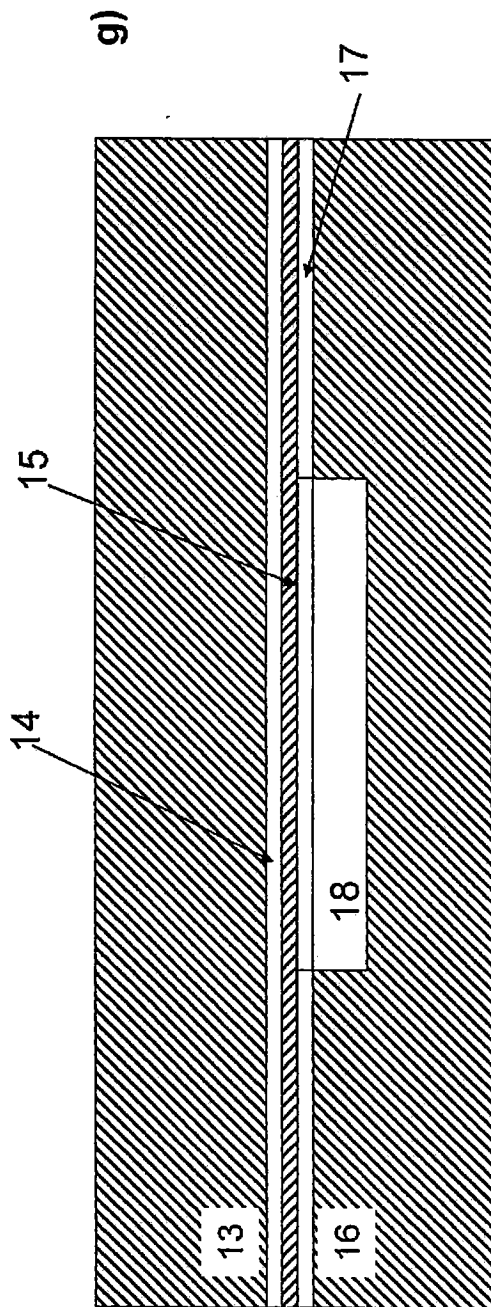


图 7

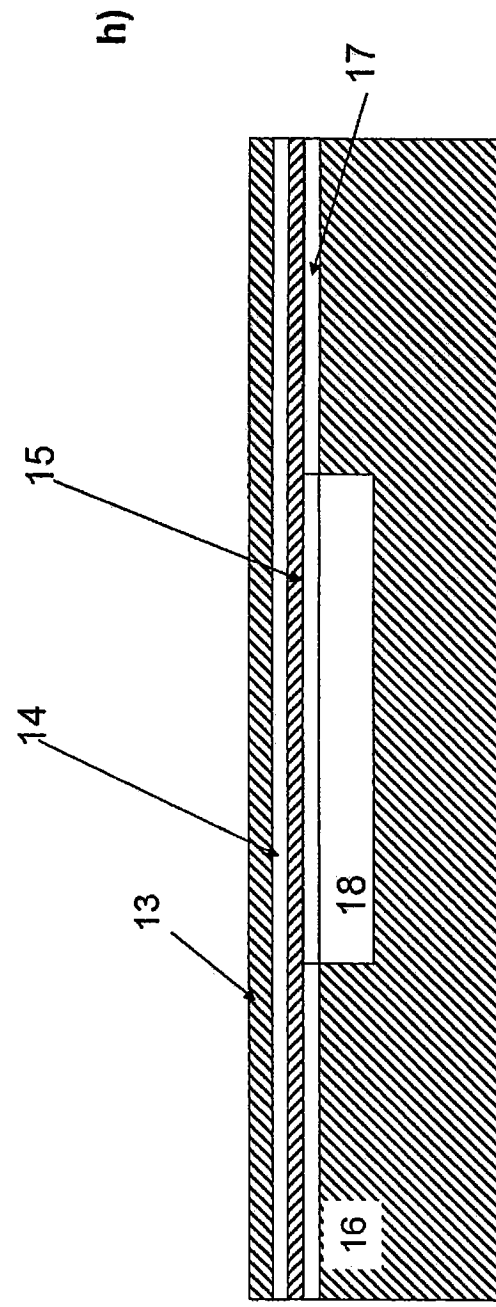


图 8

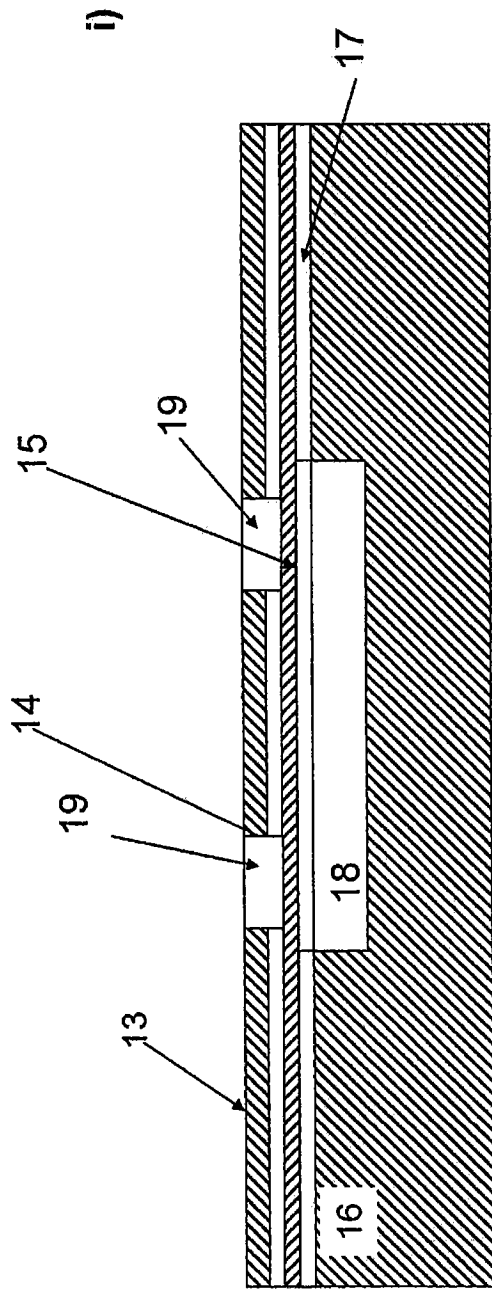


图 9

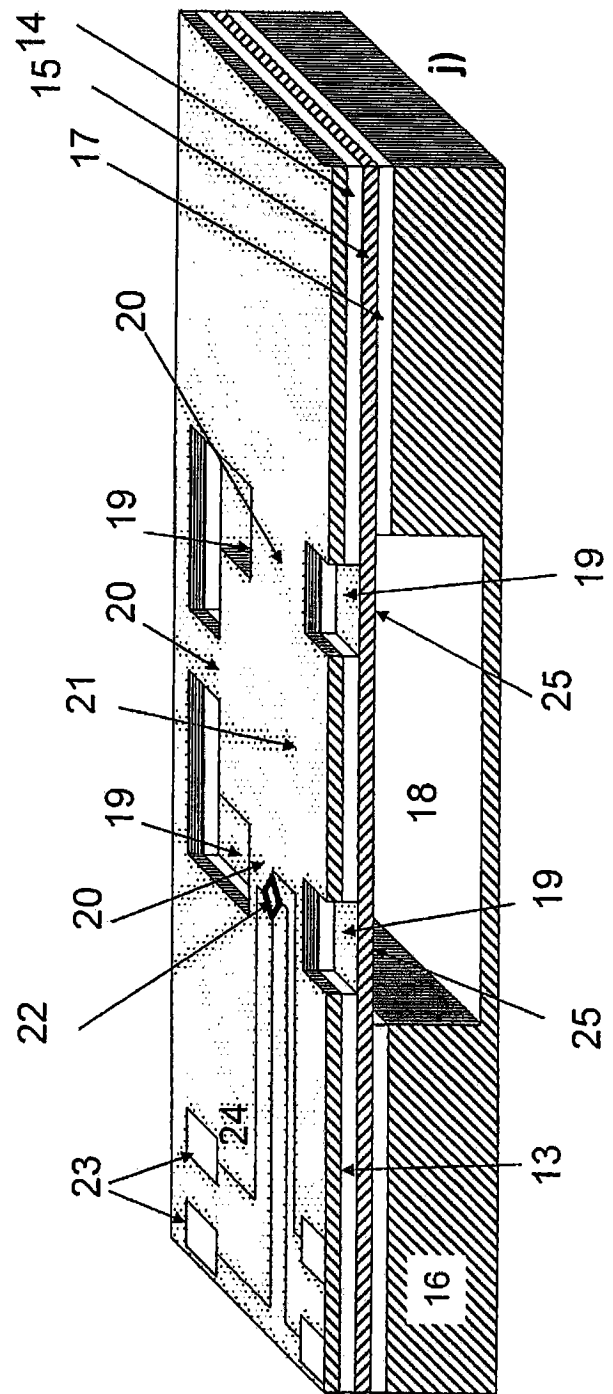


图 10

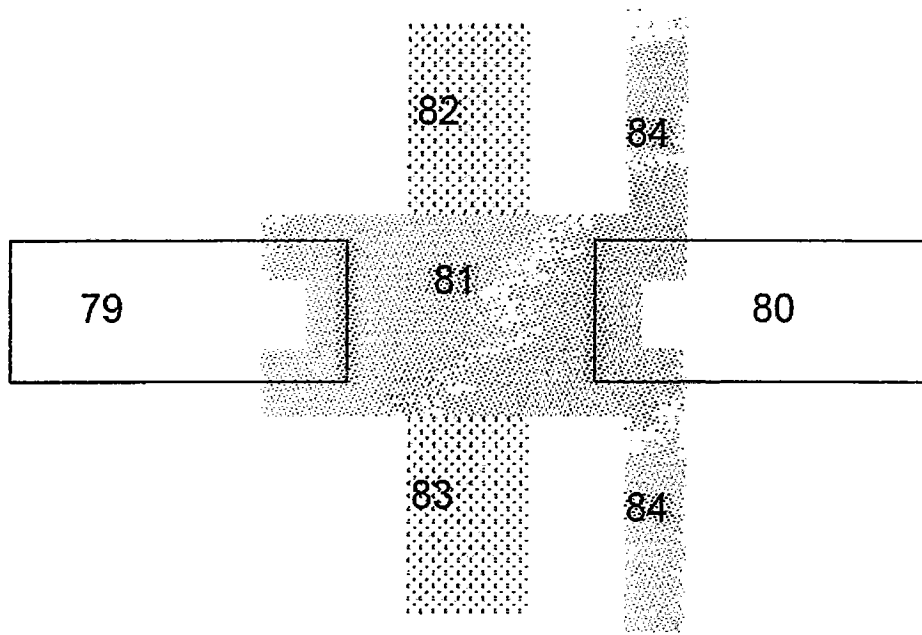


图 11

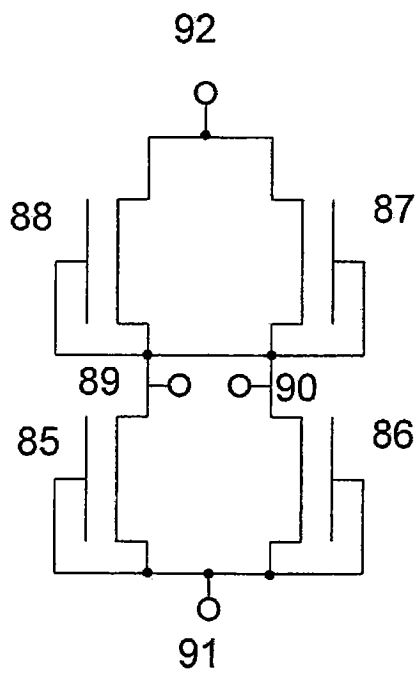


图 12

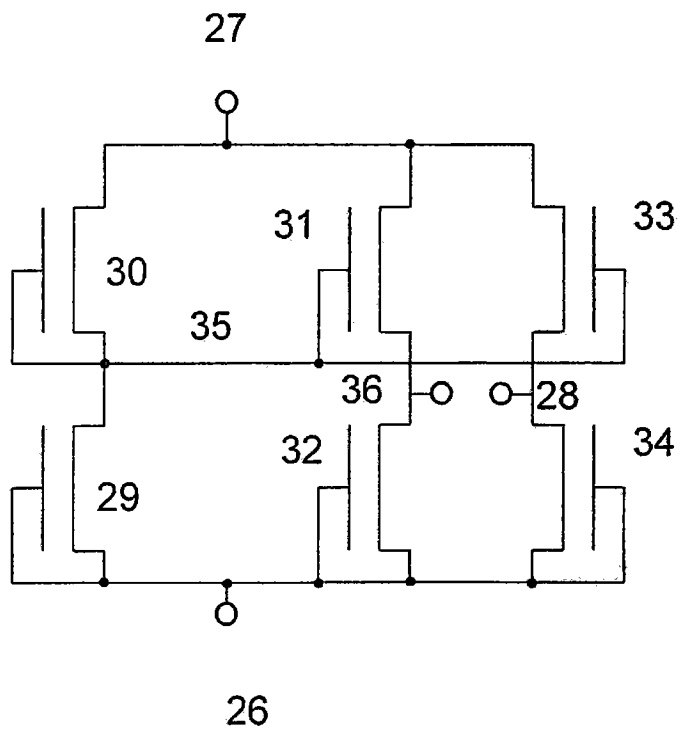


图 13

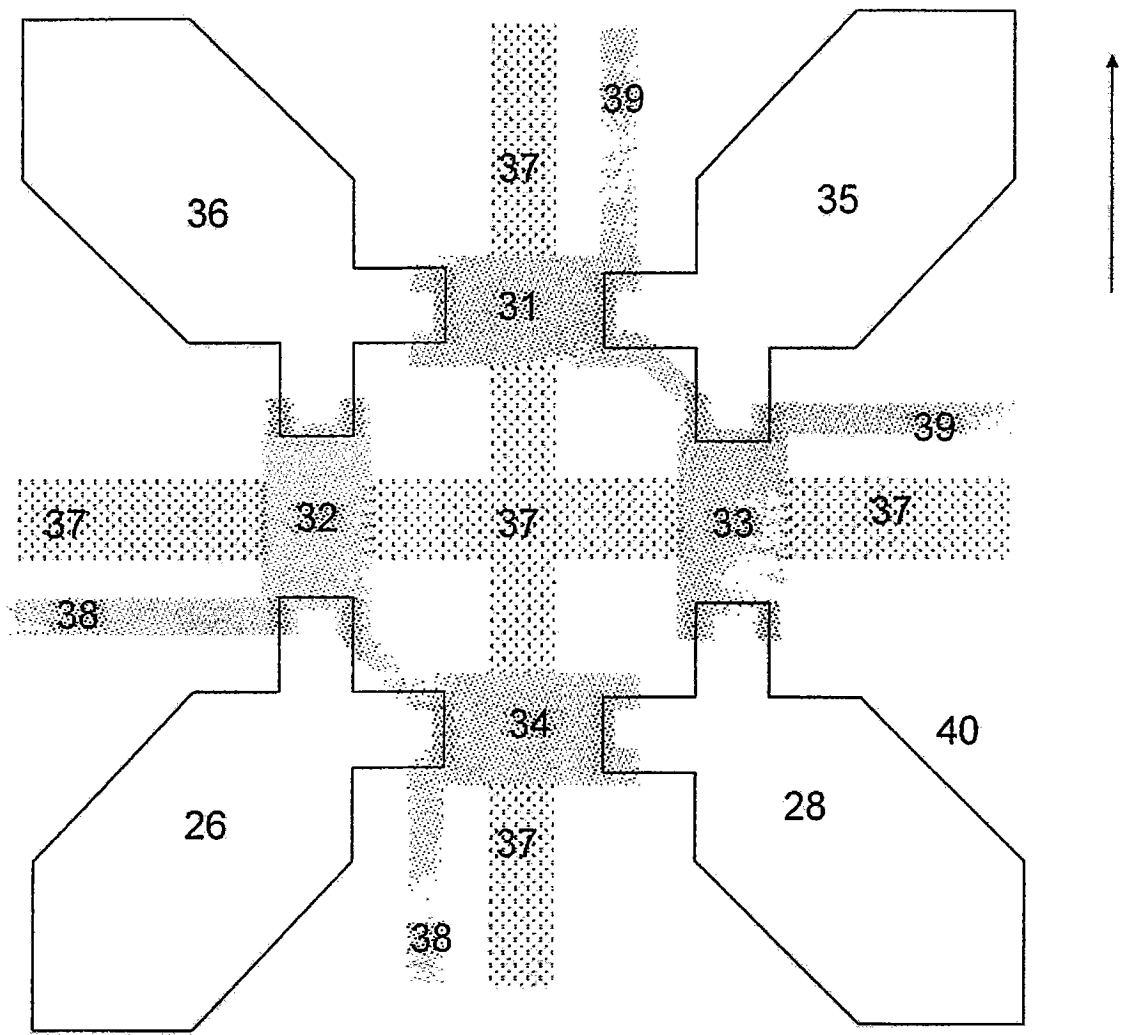


图 14

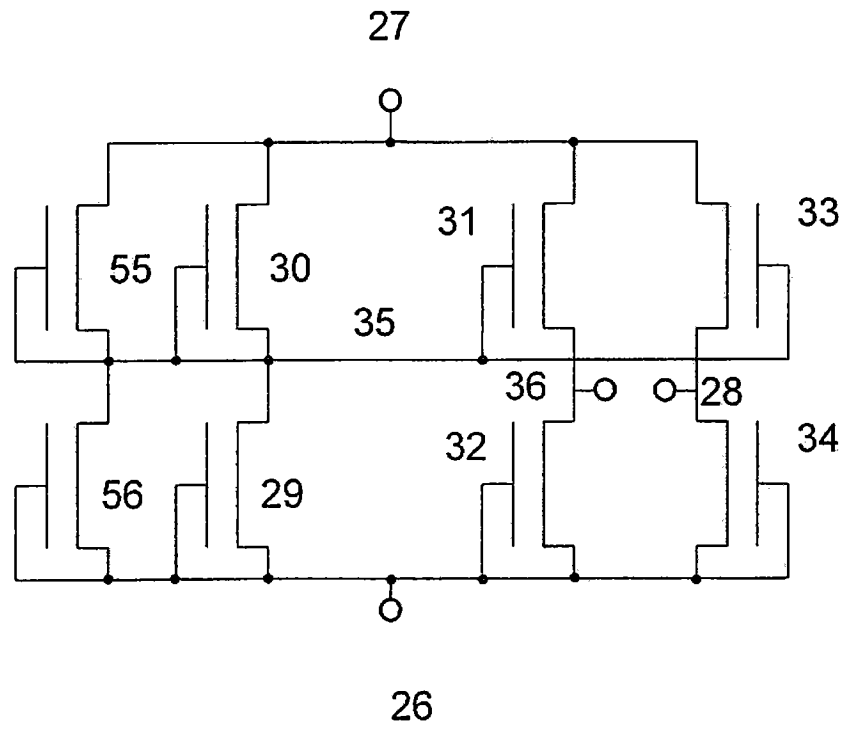


图 15

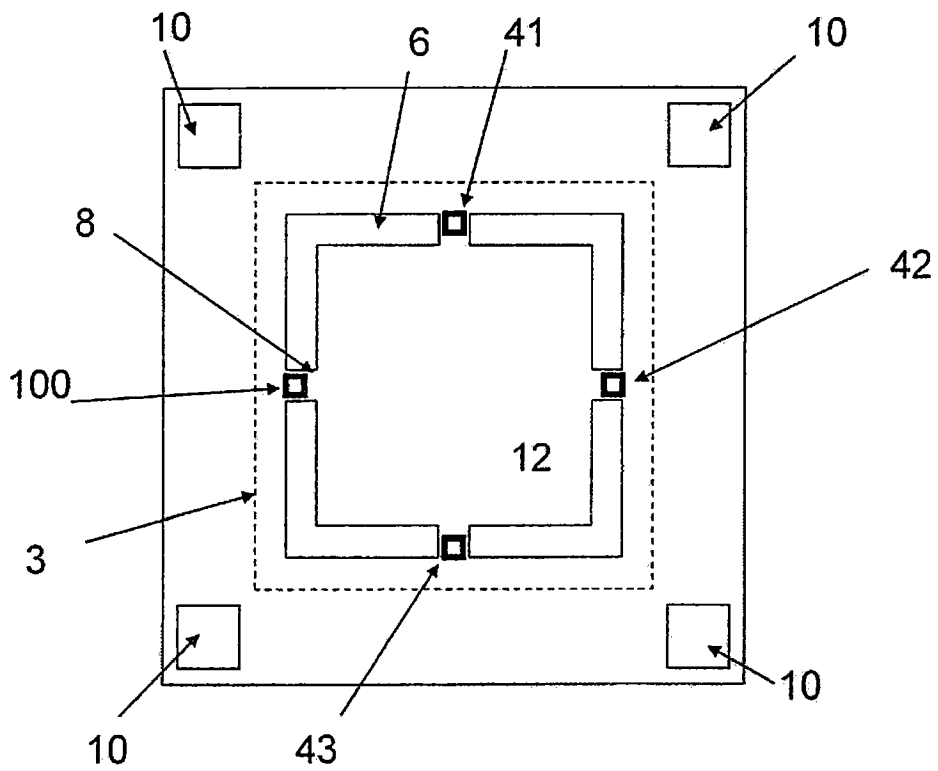


图 16

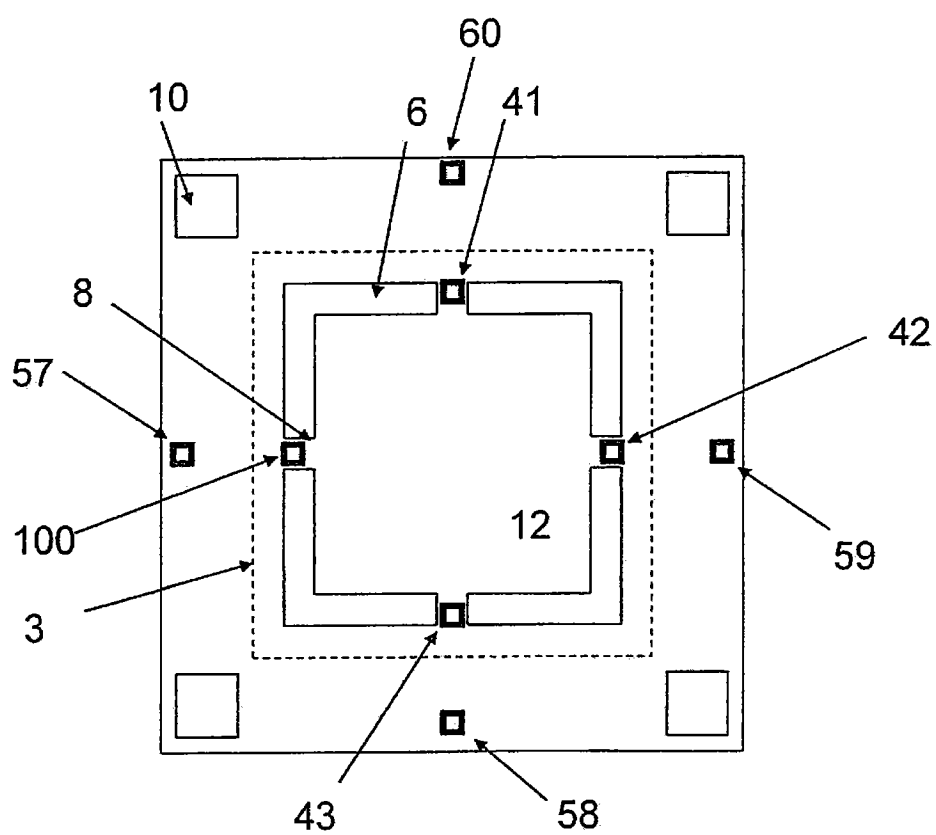


图 17

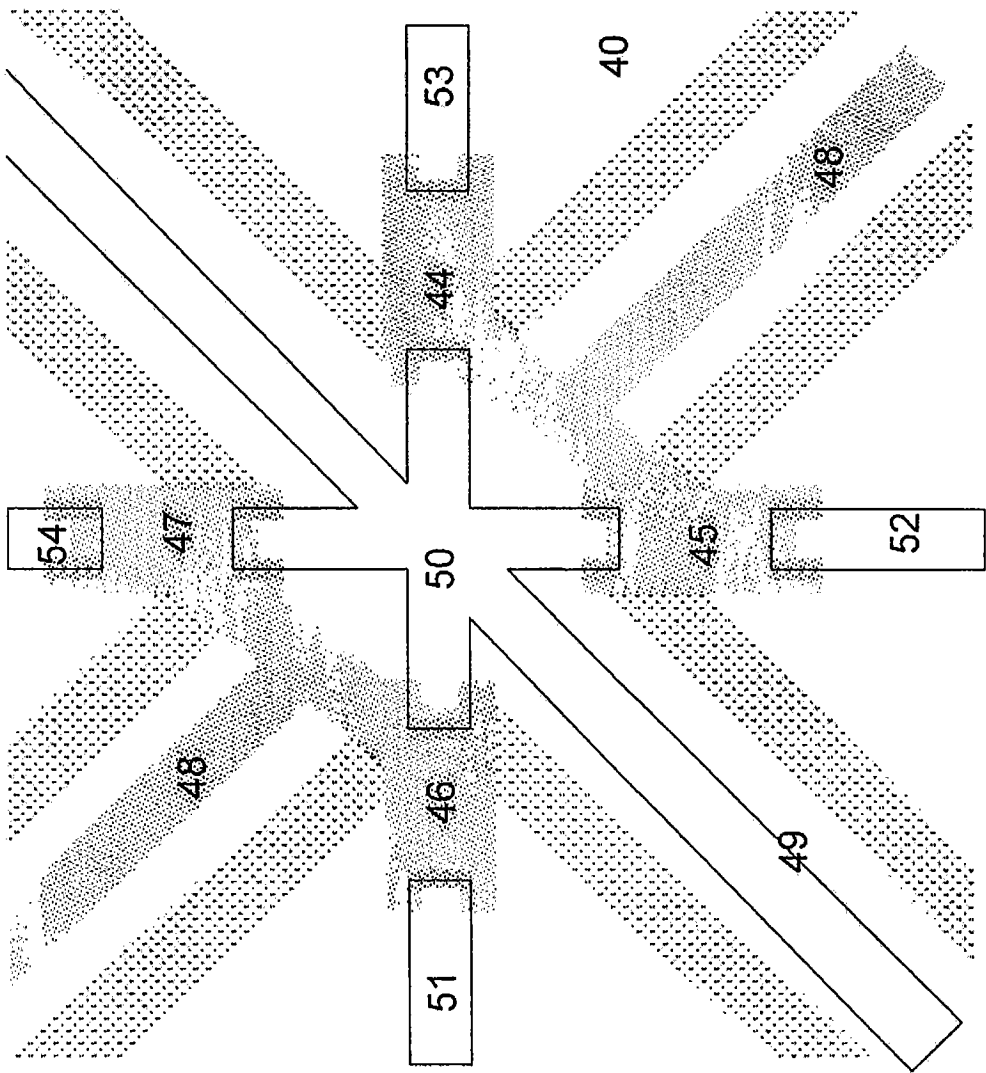


图 18

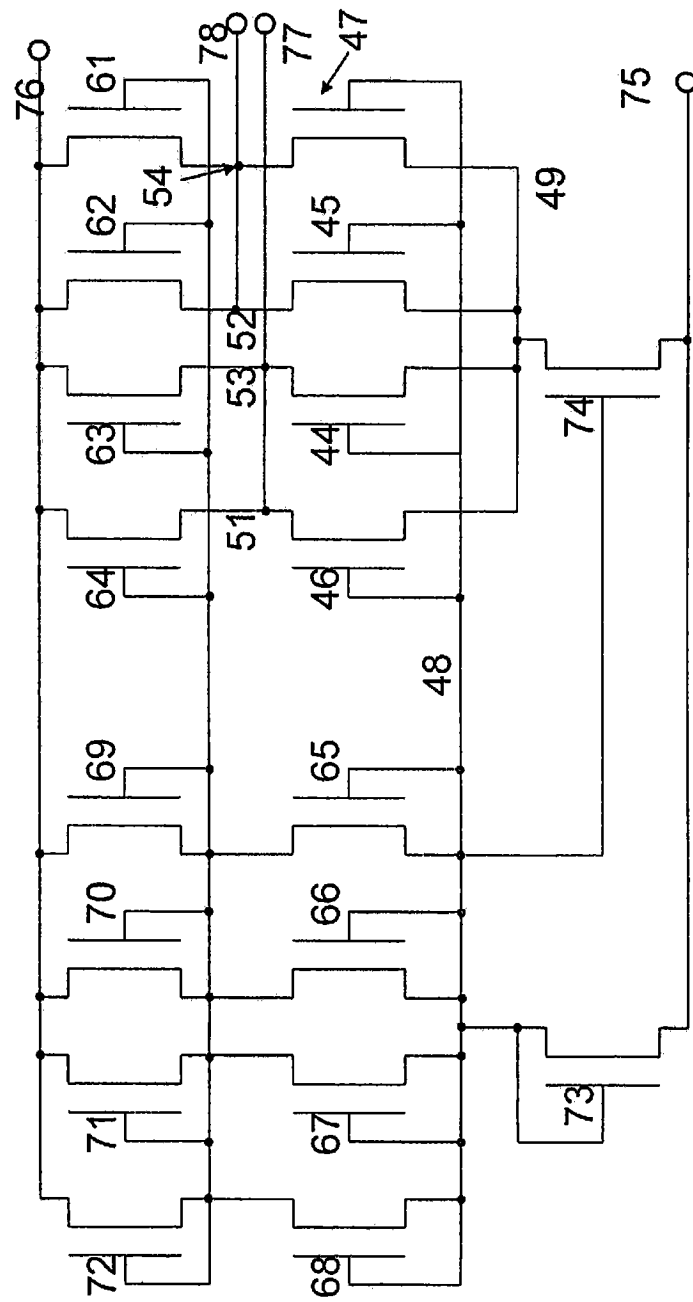


图 19

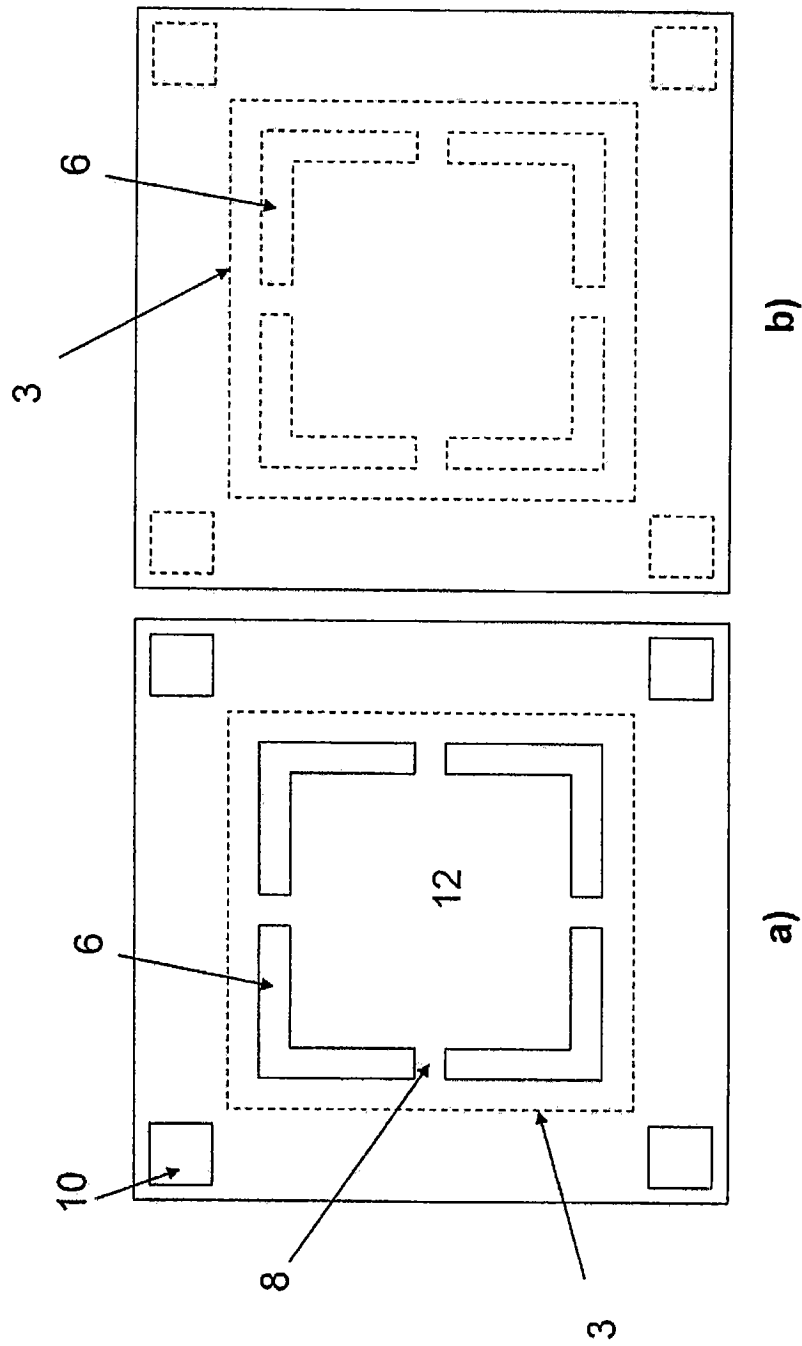


图 20

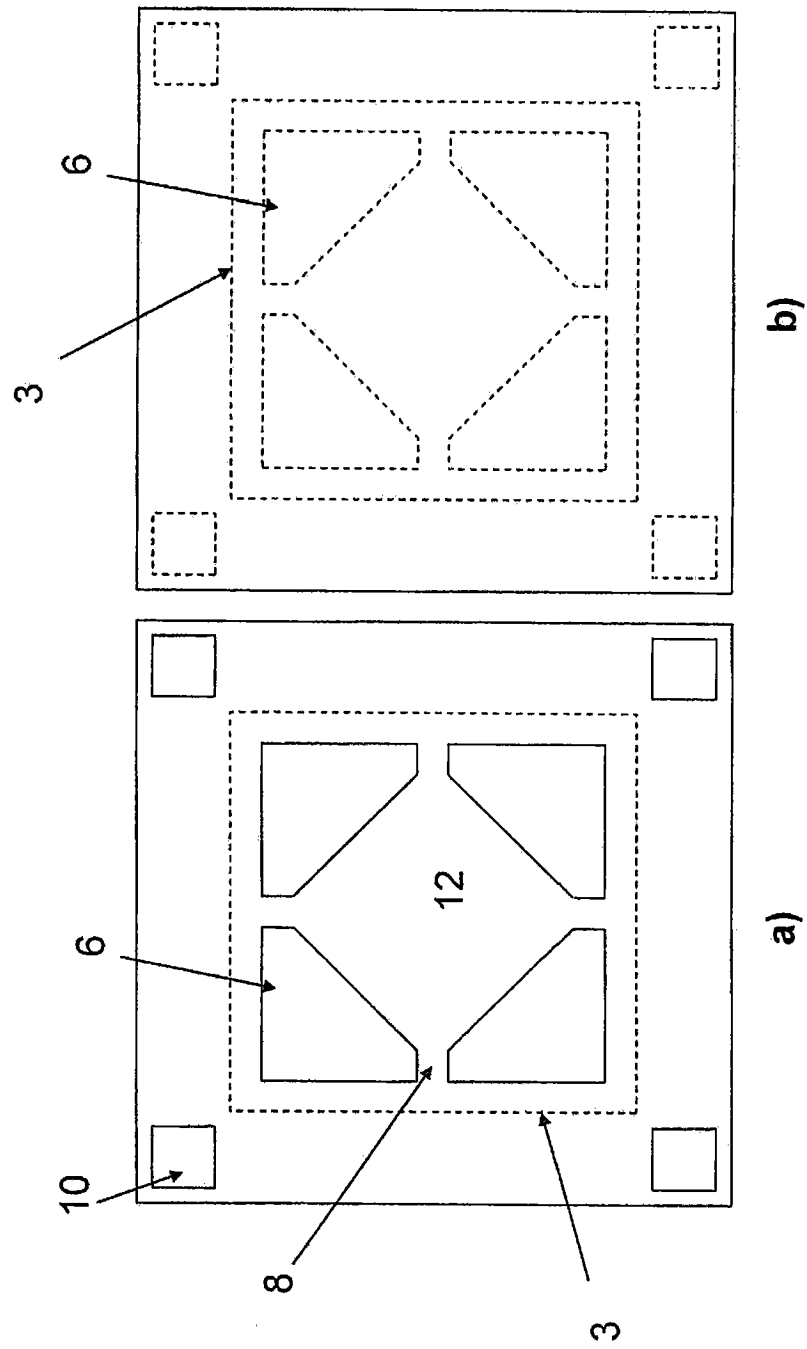


图 21

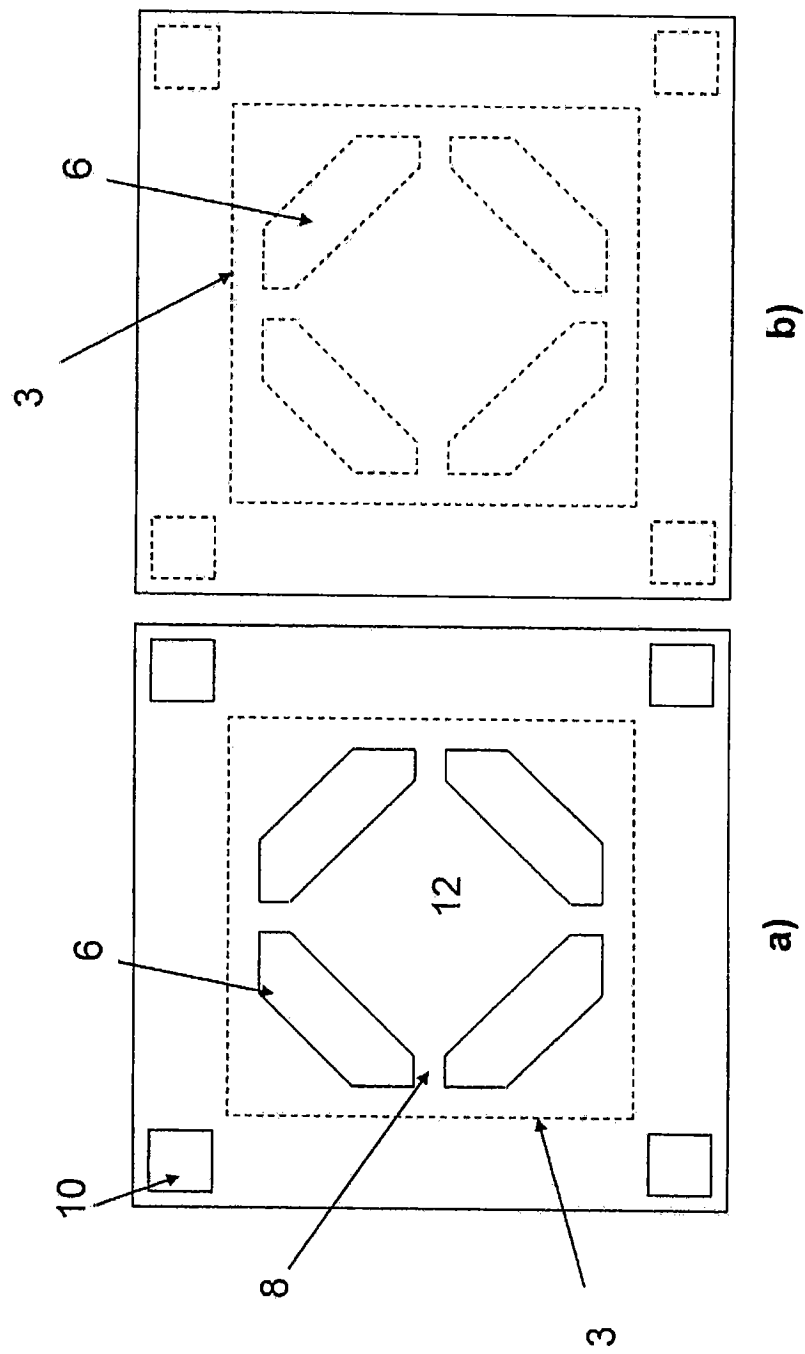


图 22

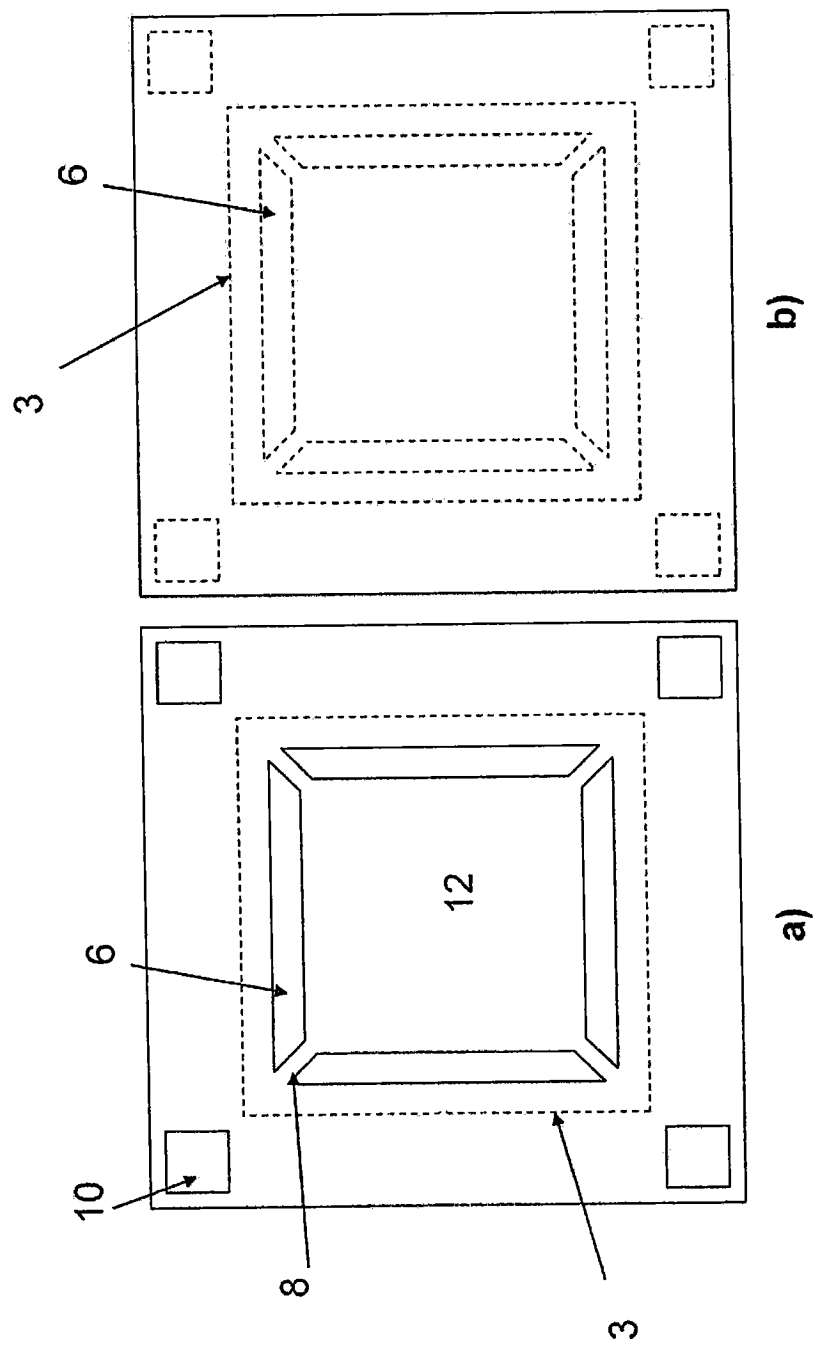


图 23

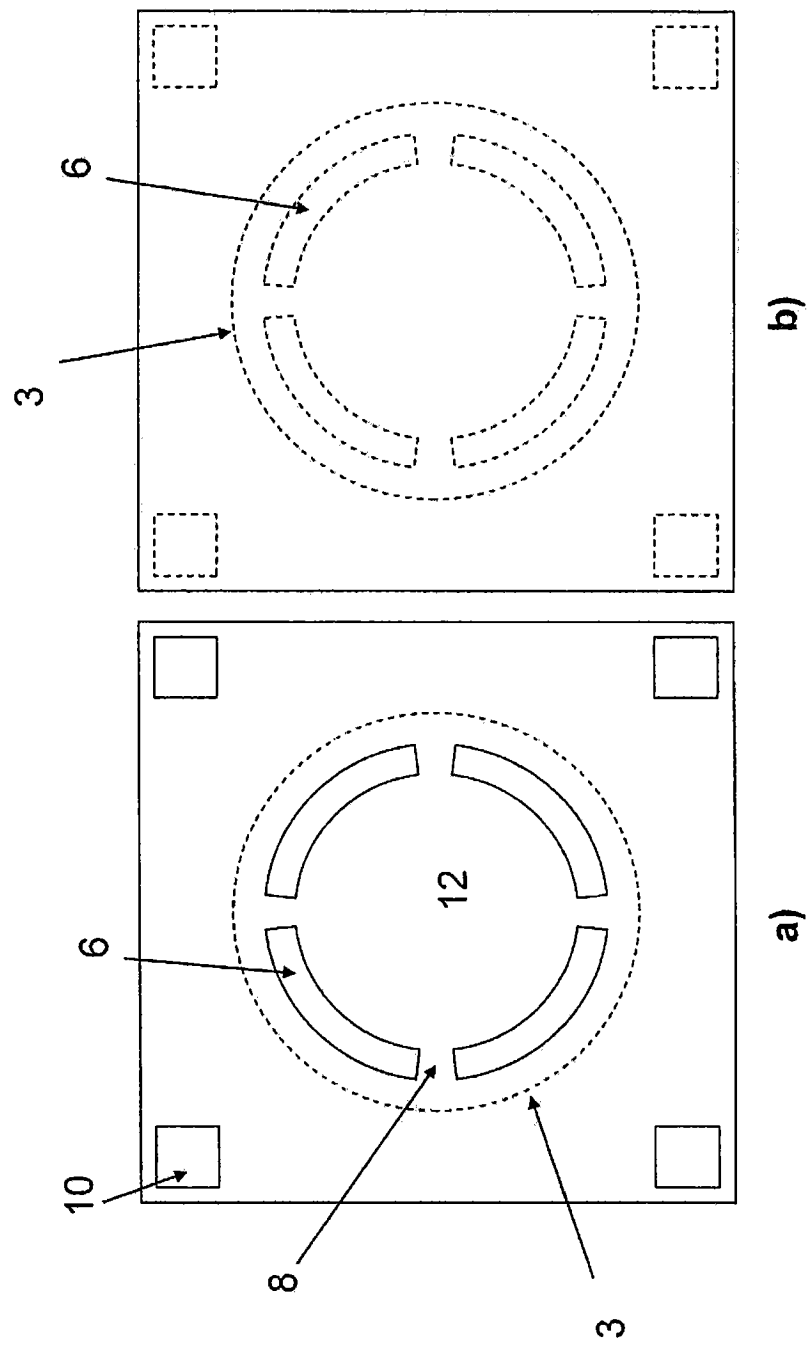


图 24

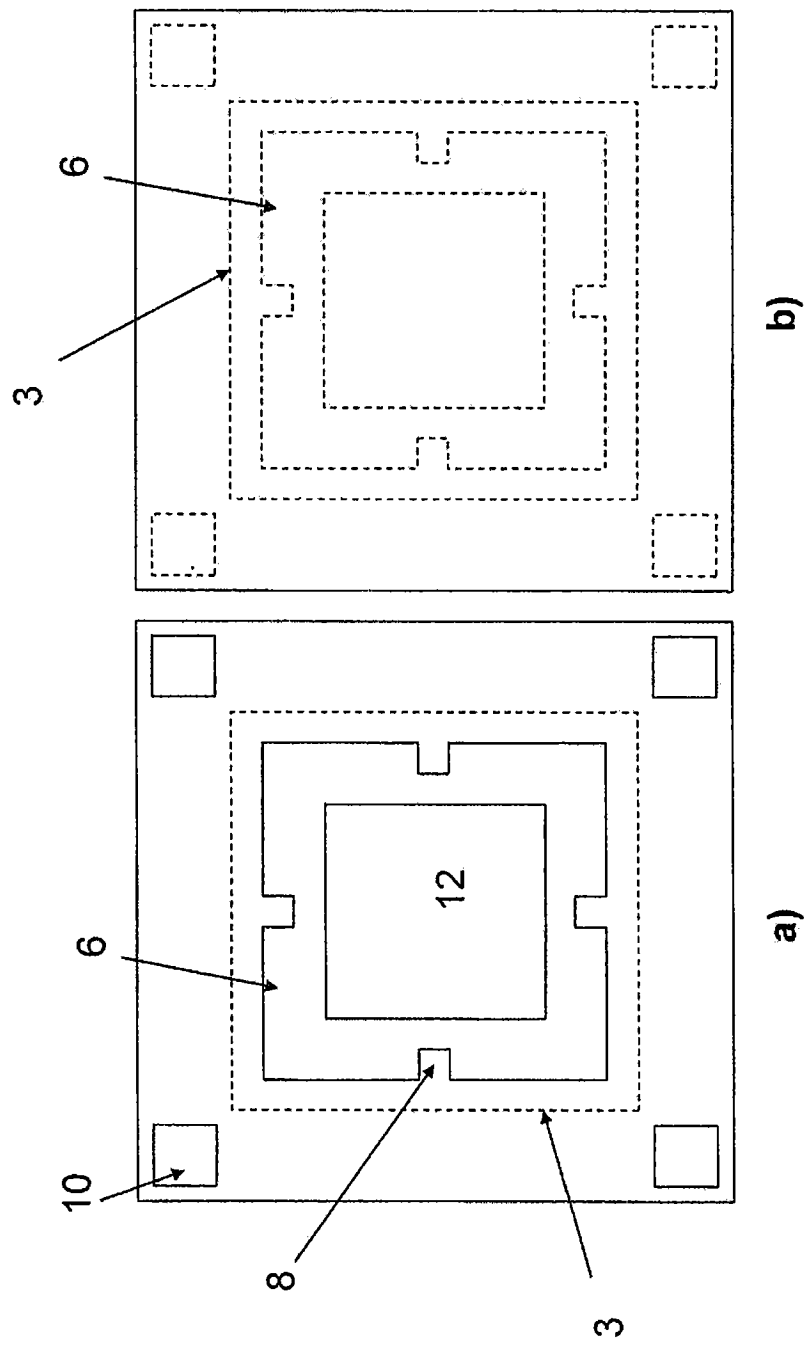


图 25

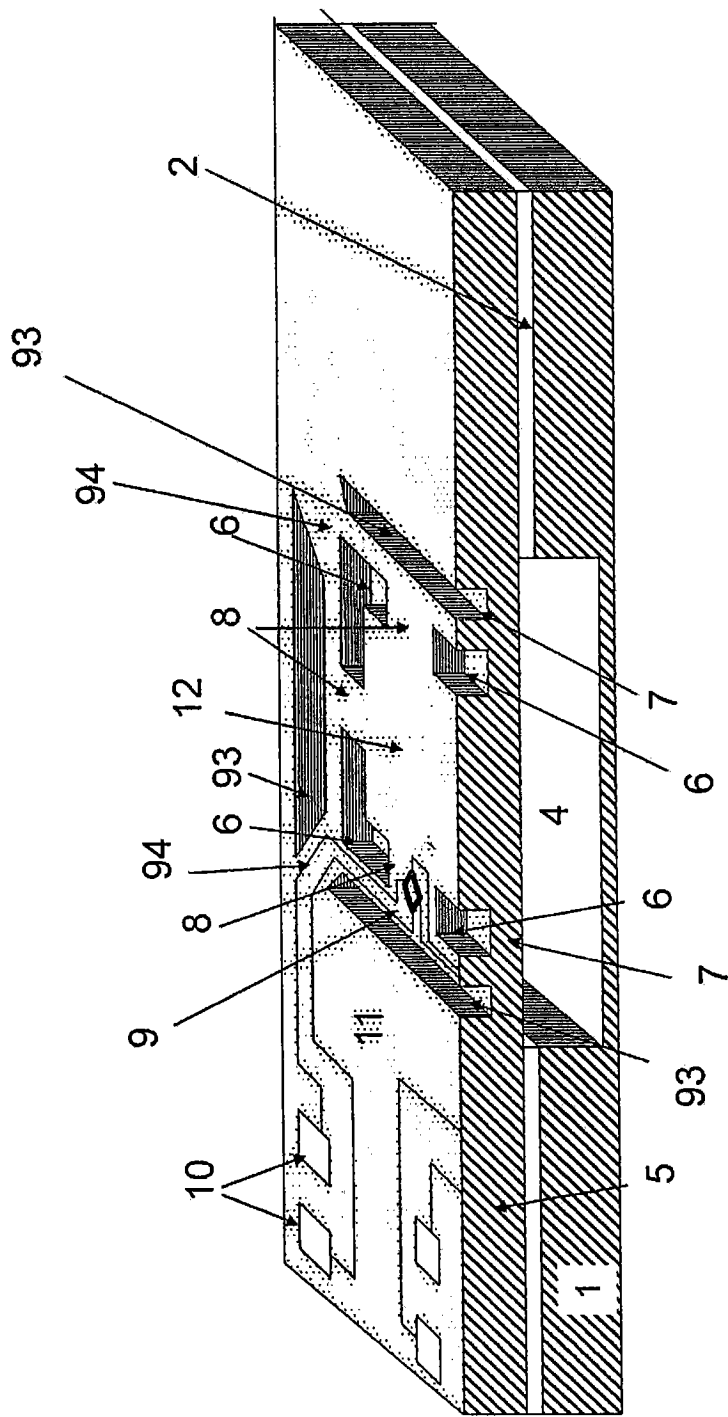


图 26

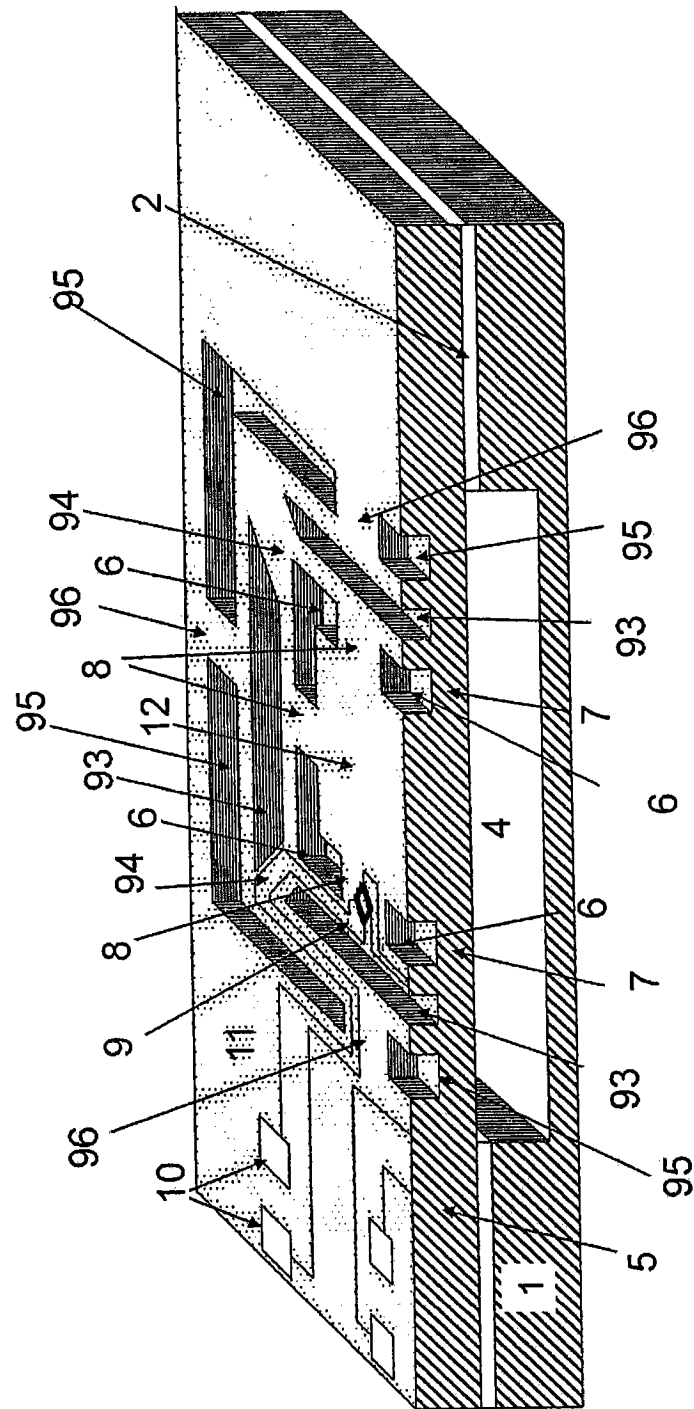


图 27

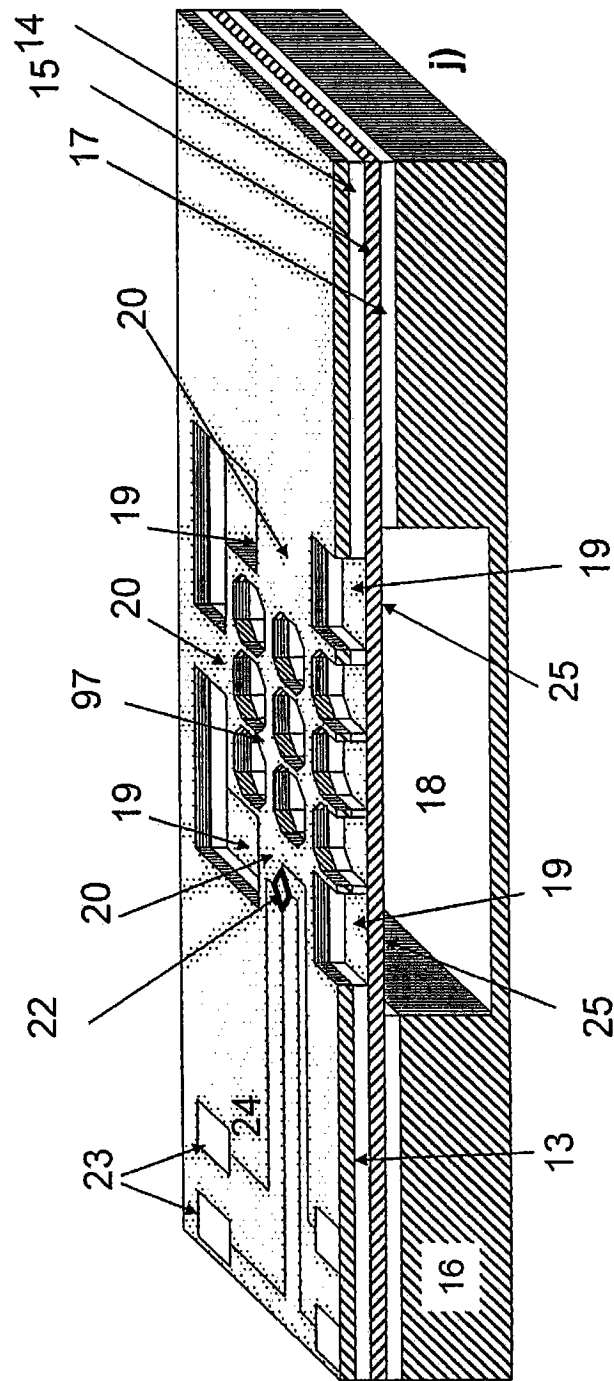


图 28

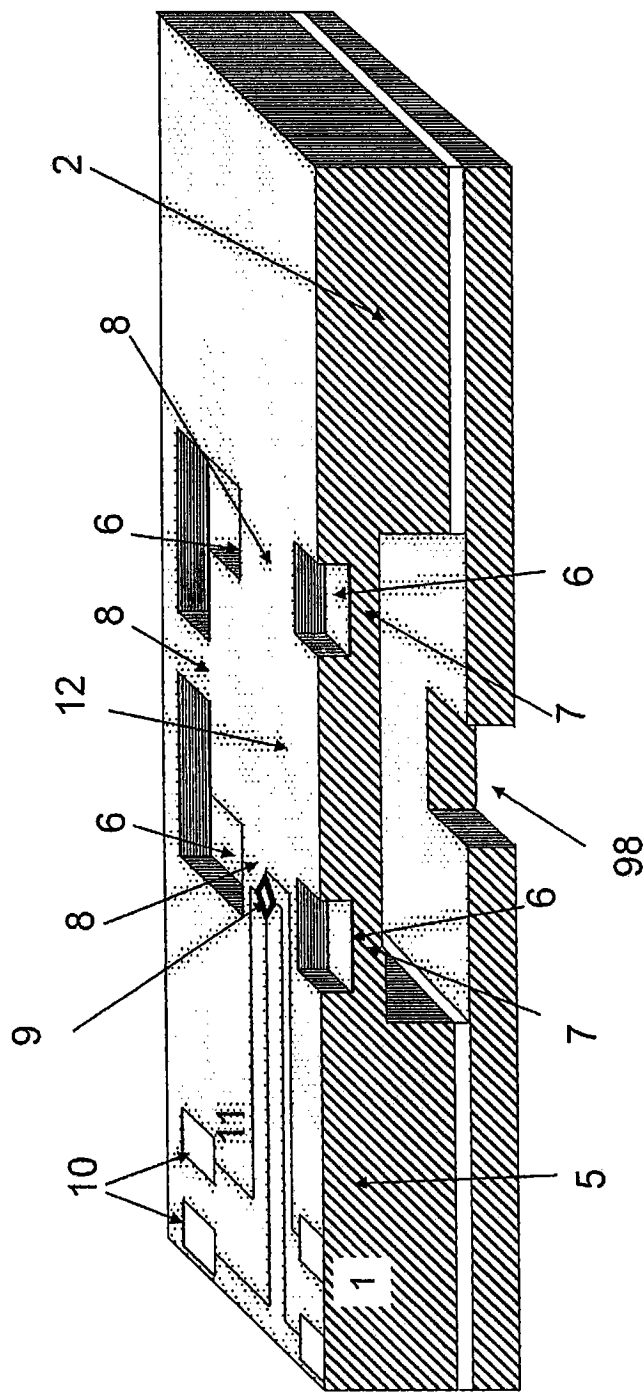


图 29

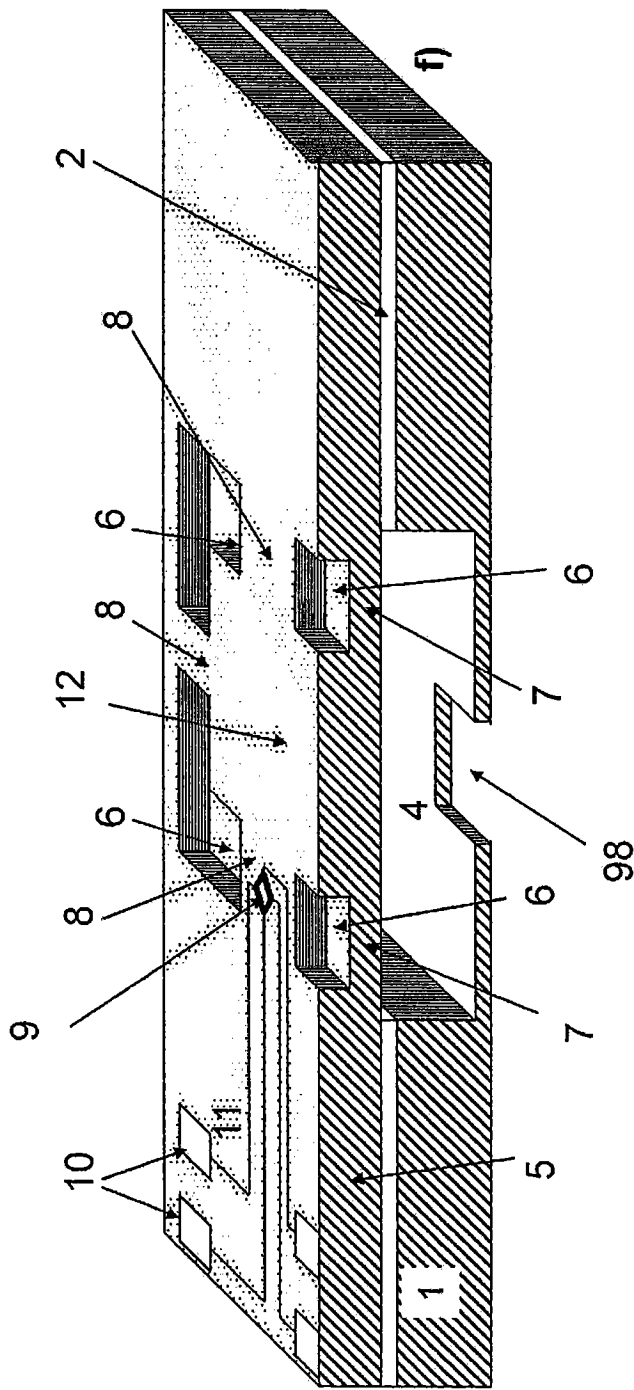


图 30

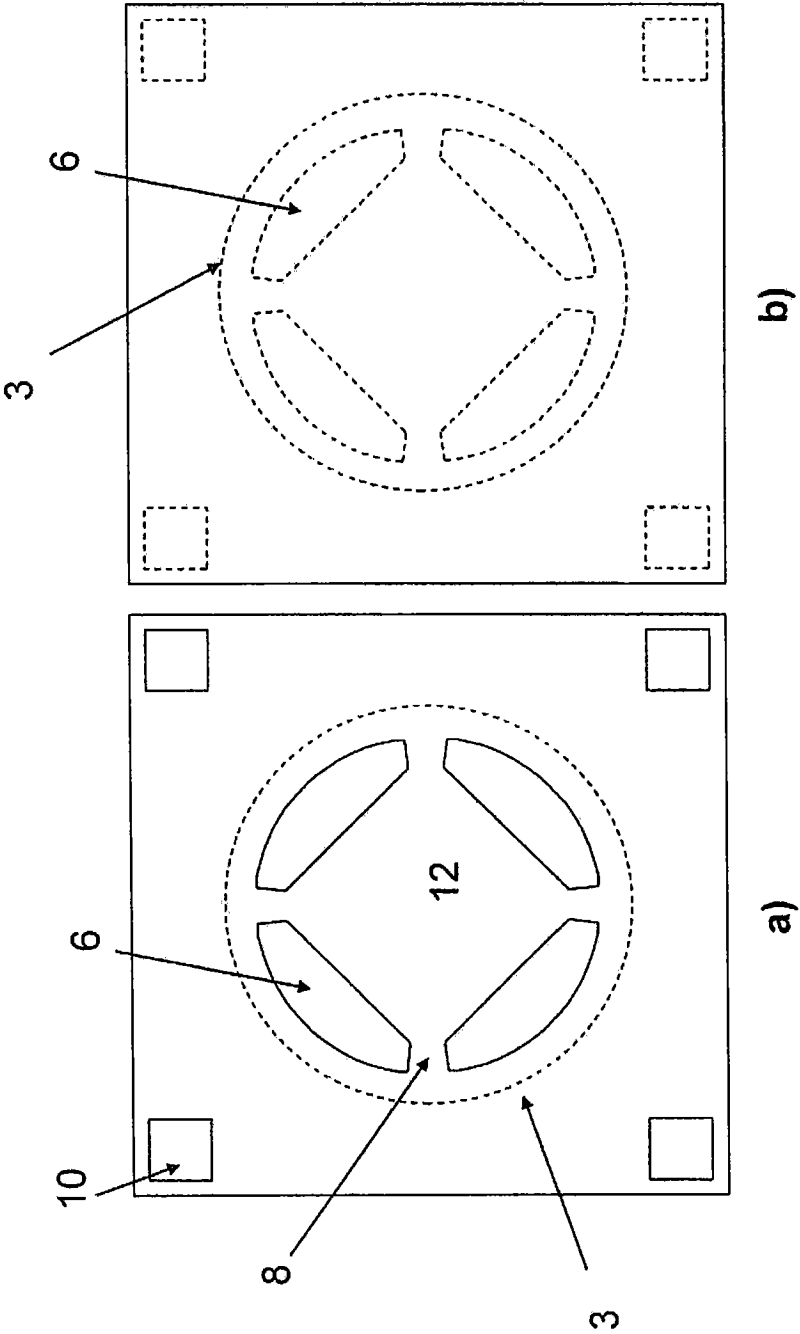


图 31

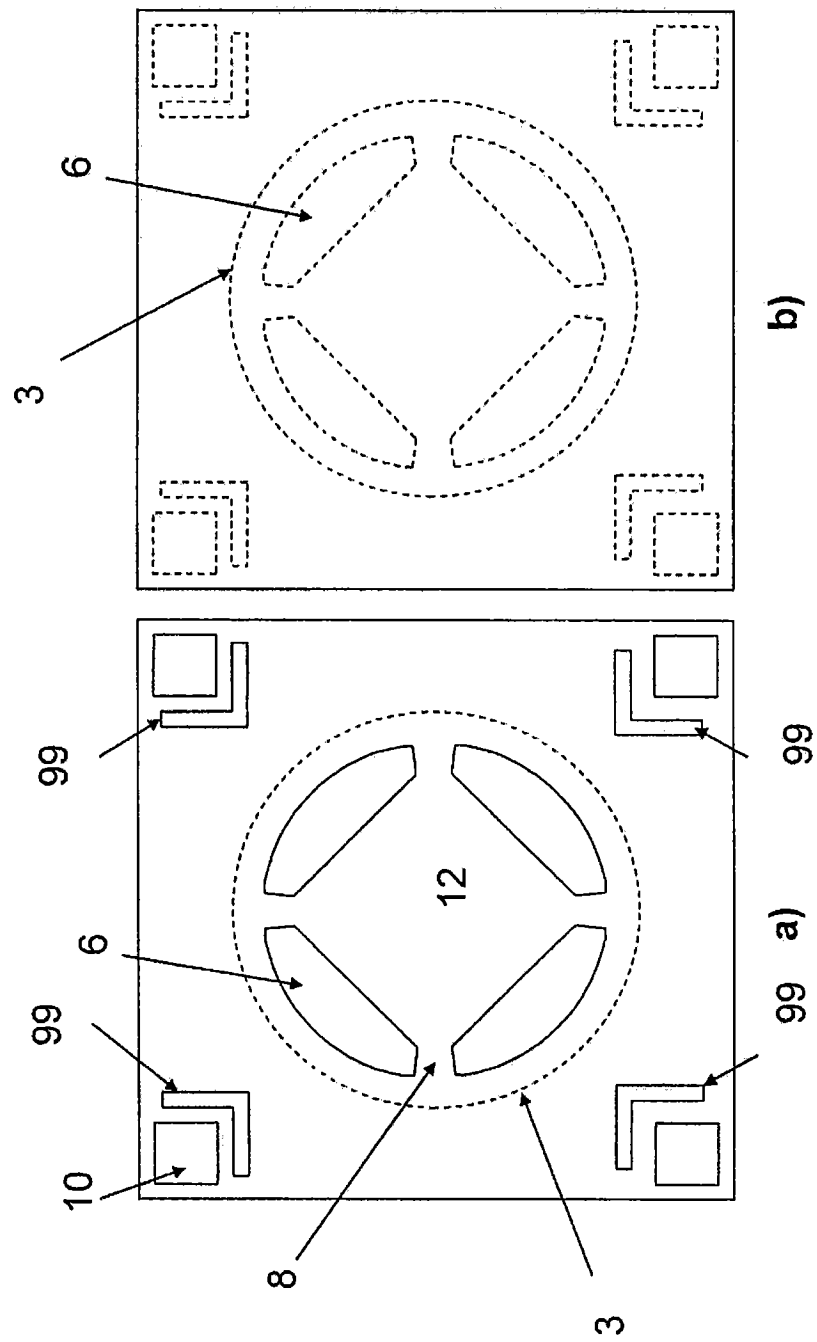


图 32

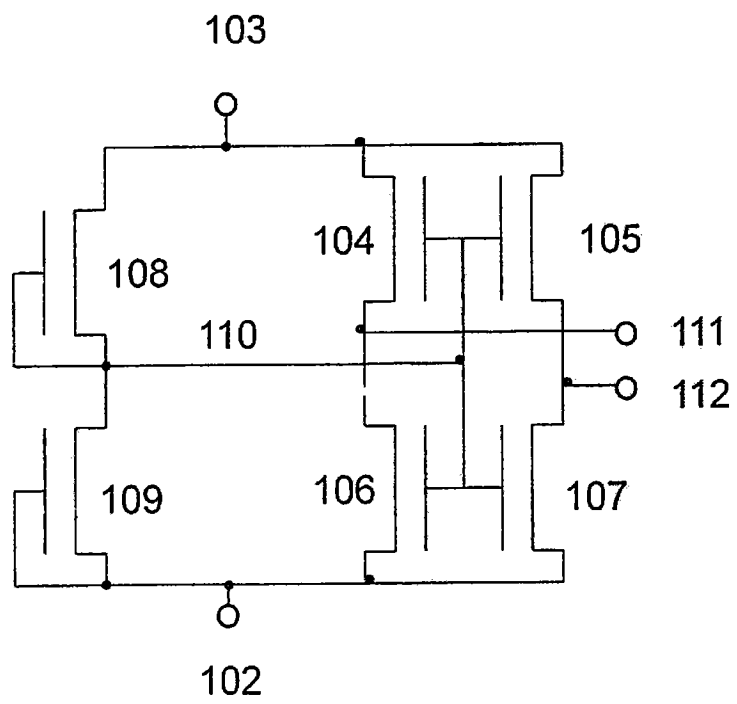


图 33

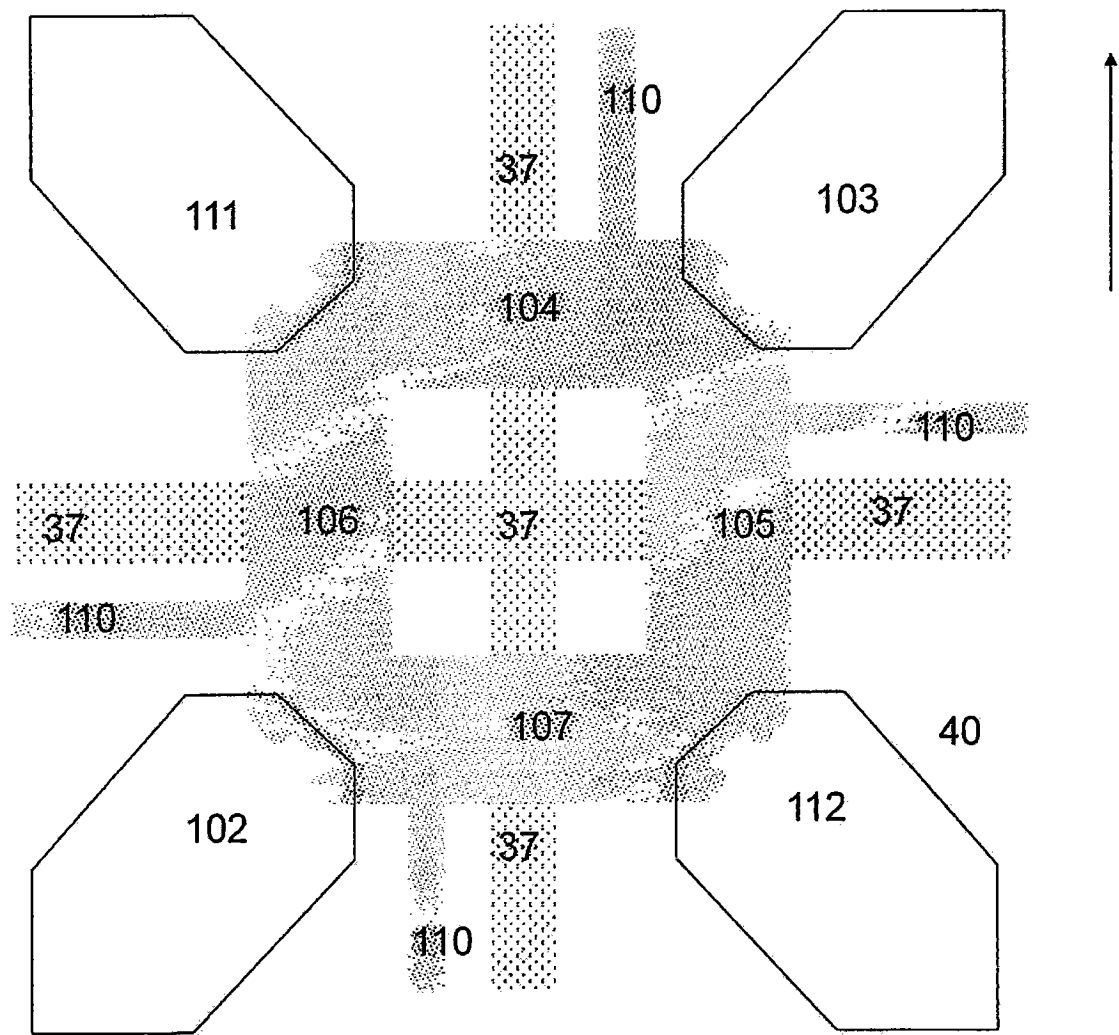


图 34

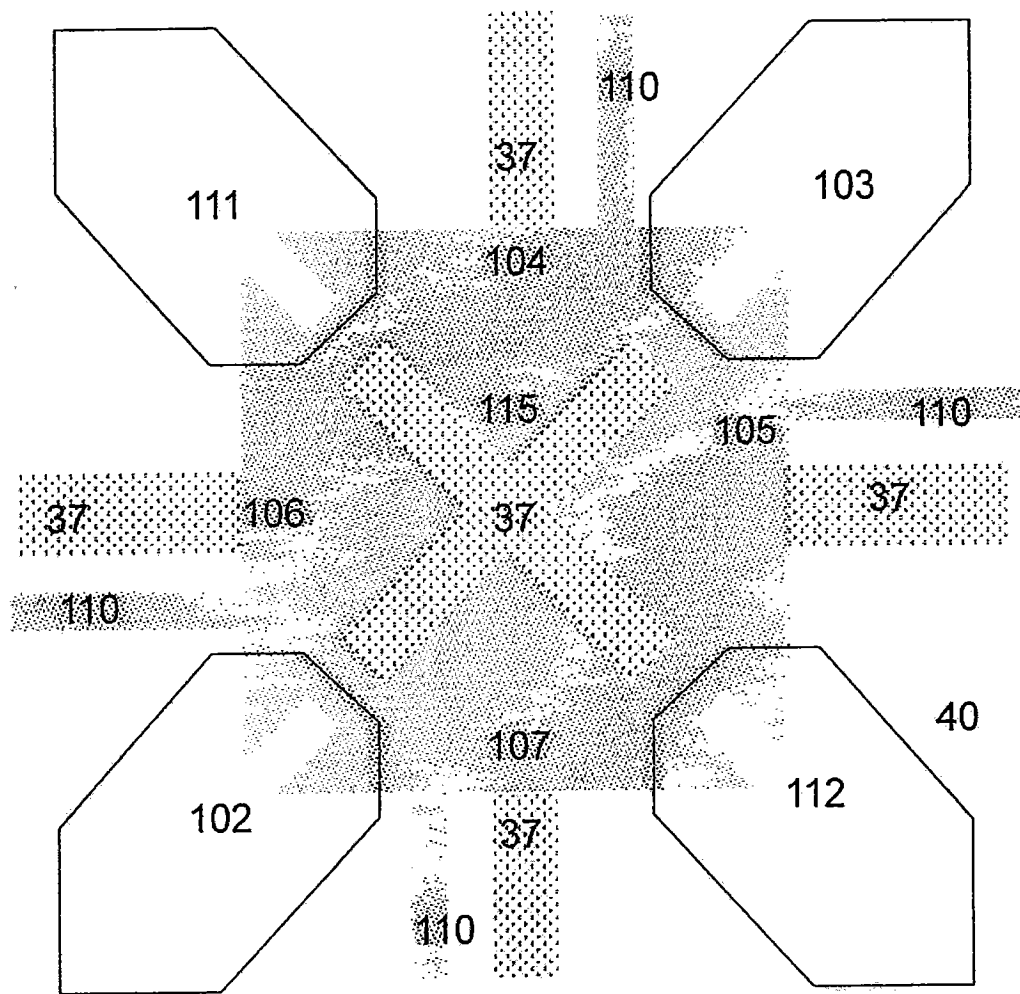


图 35

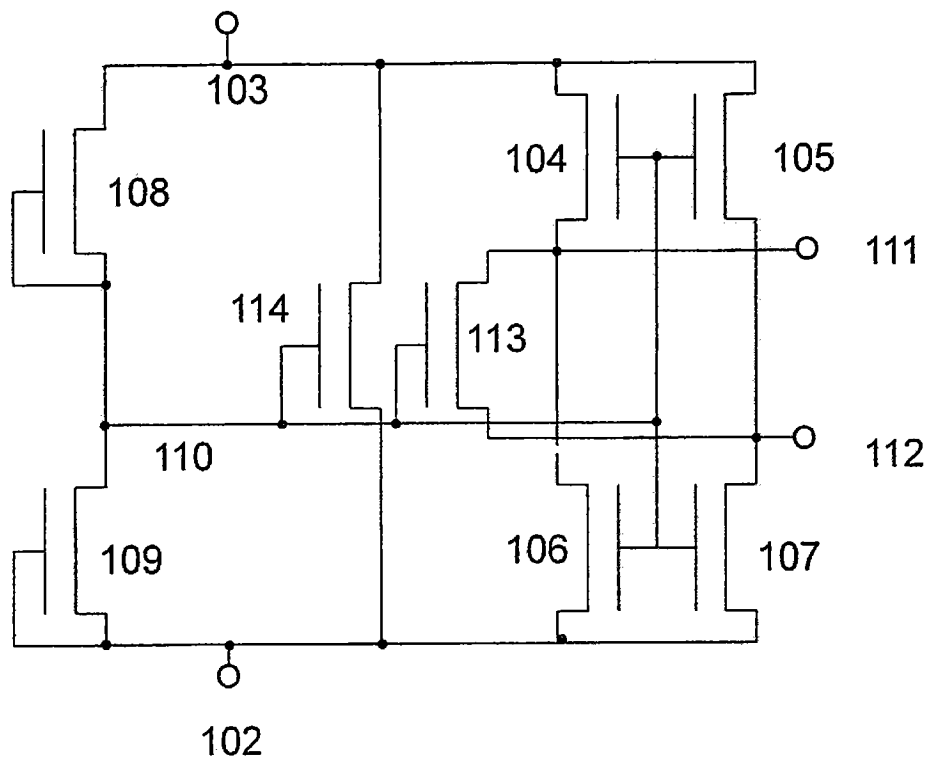


图 36

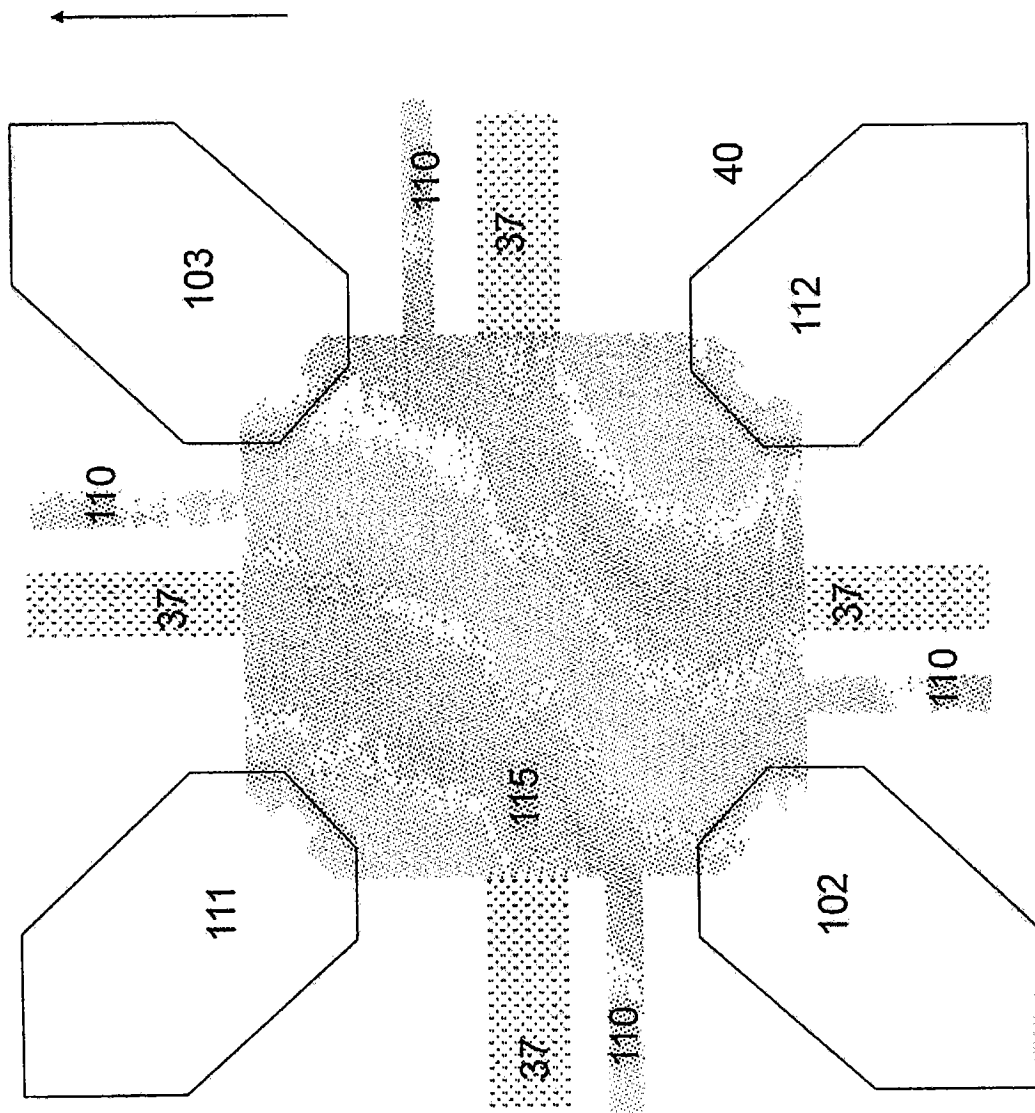


图 37

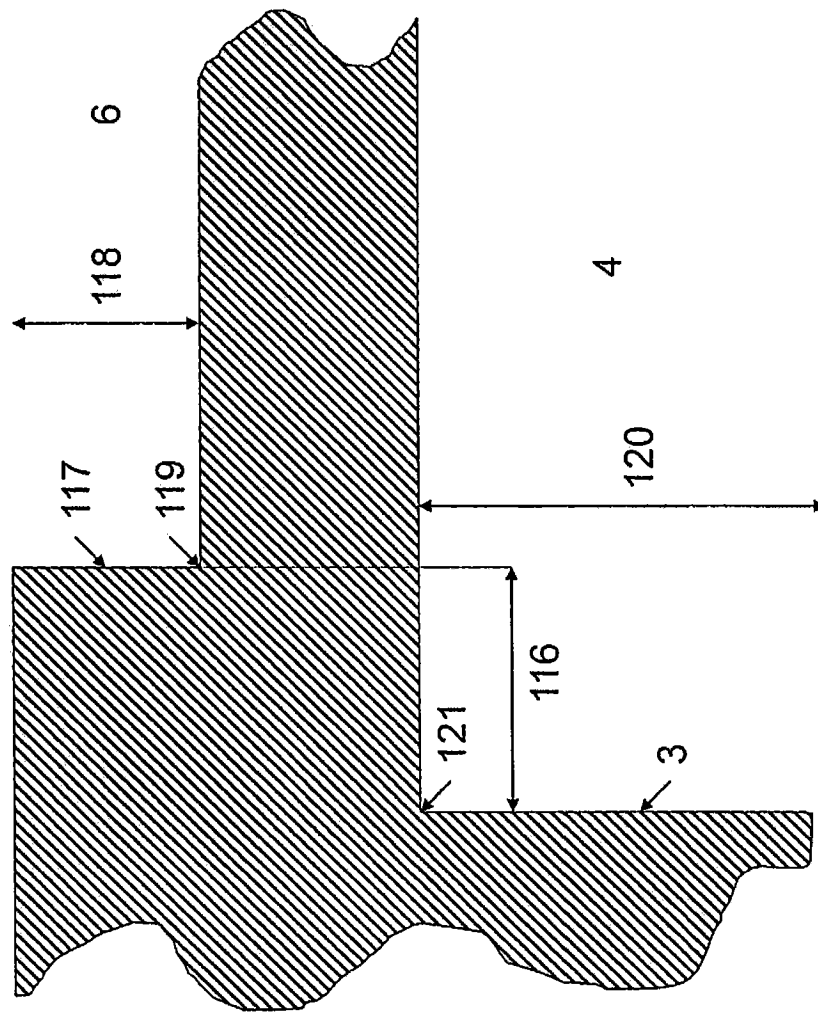


图 38

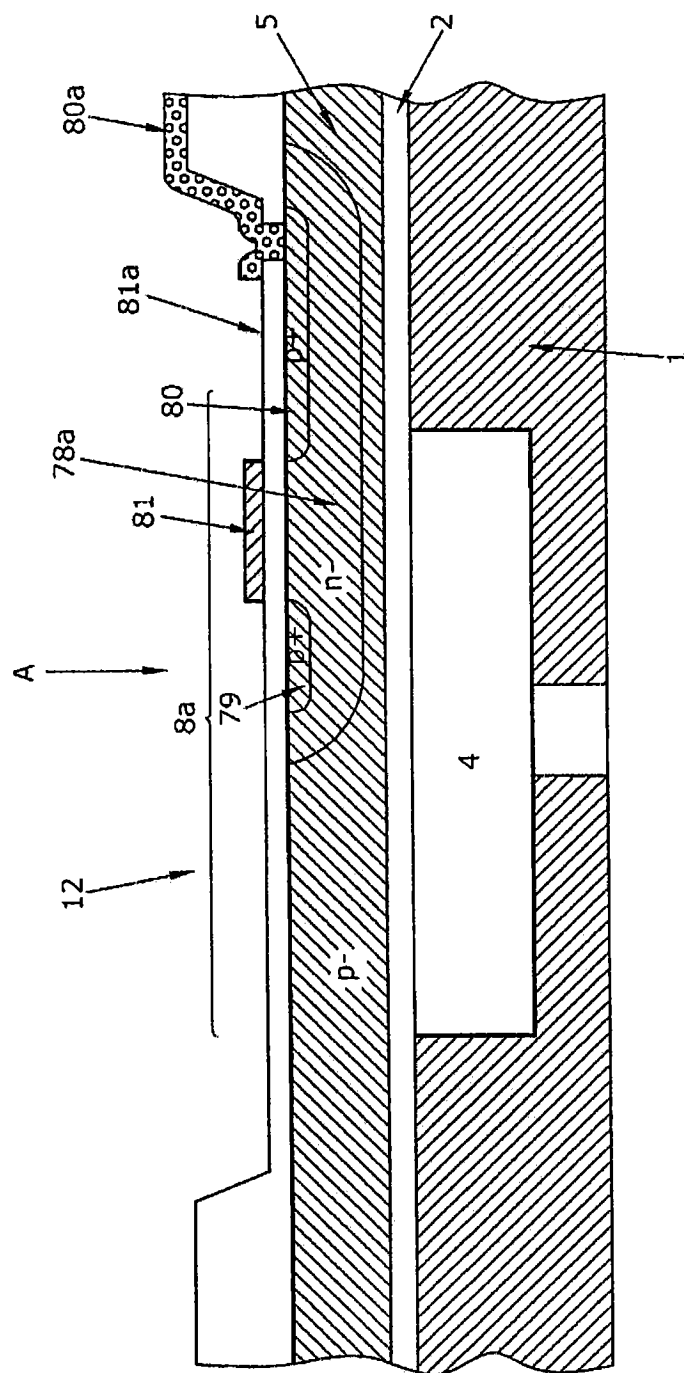


图 39

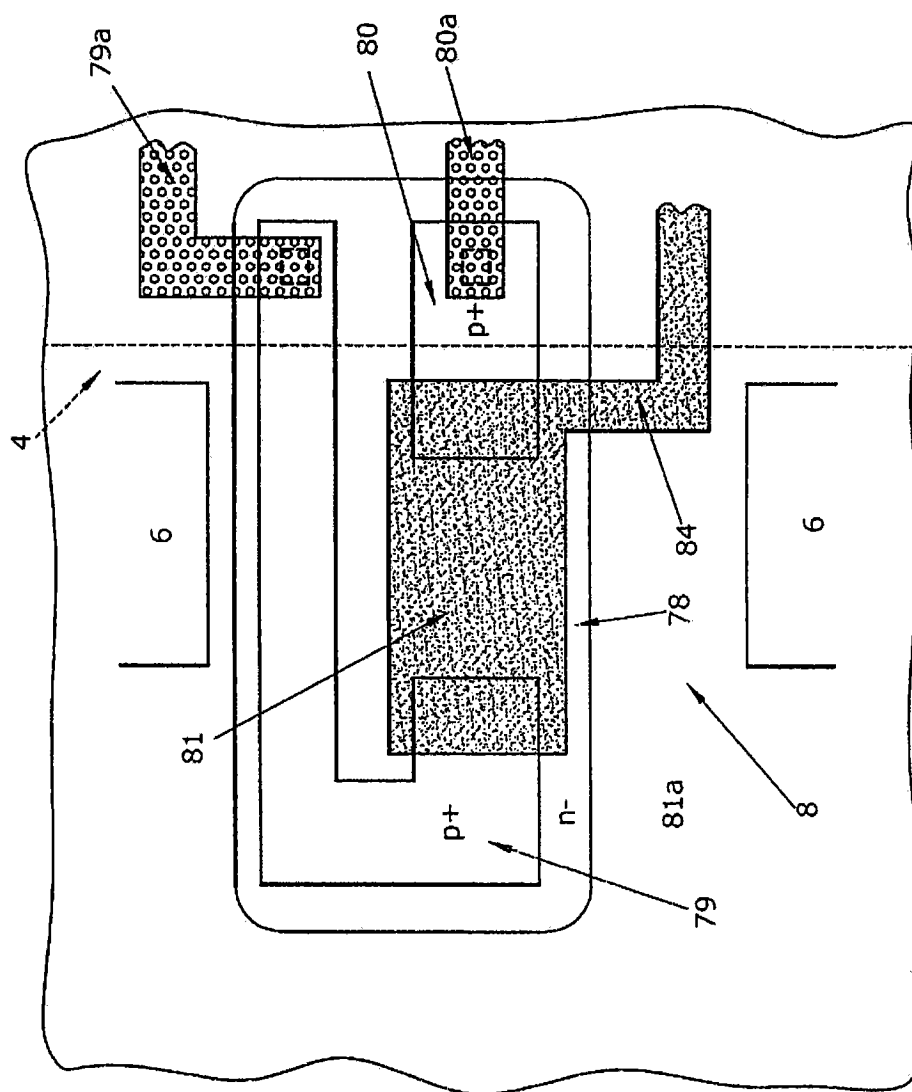


图 40

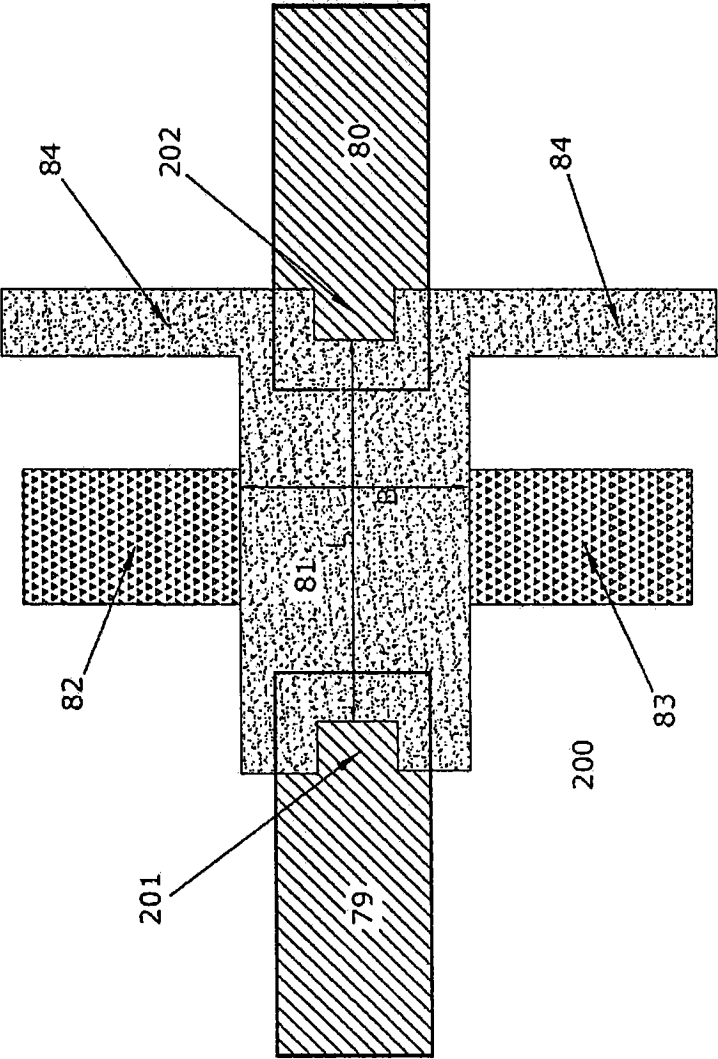


图 41

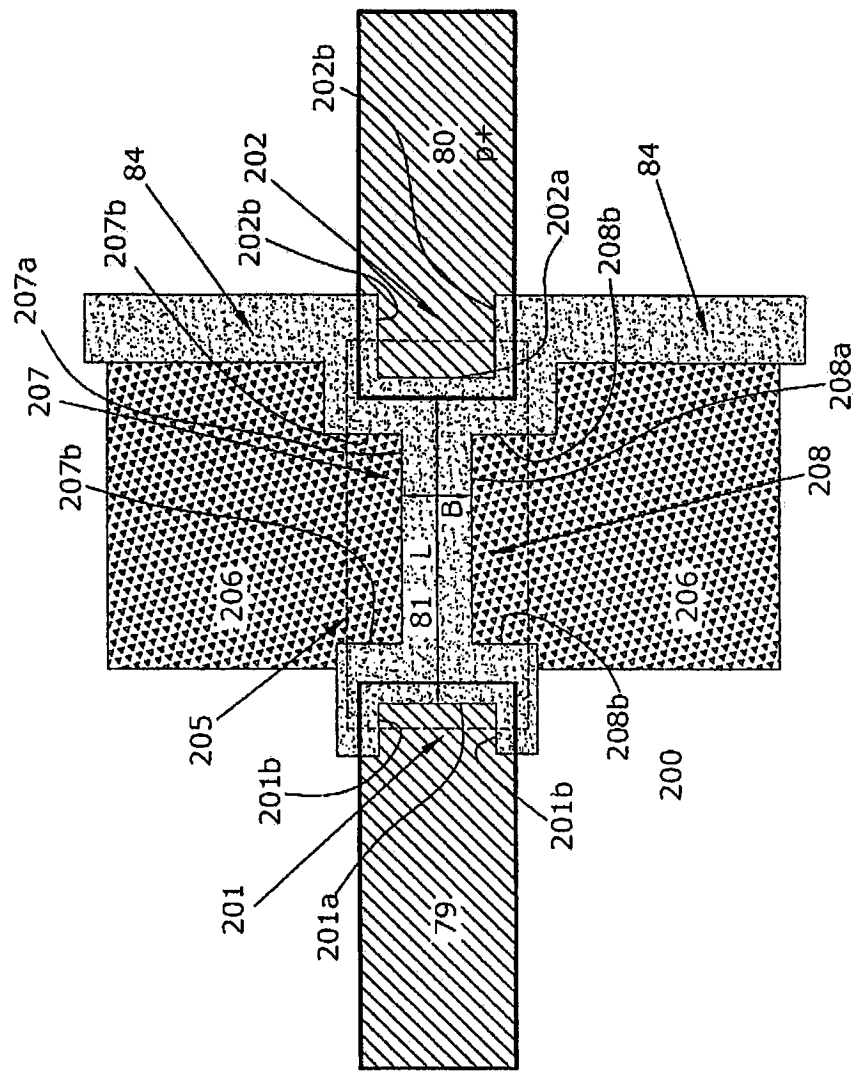


图 42