

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년04월25일
H01L 21/027 (2006.01)	(11) 등록번호	10-0572736
	(24) 등록일자	2006년04월13일

(21) 출원번호	10-2003-0044511	(65) 공개번호	10-2004-0064583
(22) 출원일자	2003년07월02일	(43) 공개일자	2004년07월19일

(30) 우선권주장	JP-P-2003-00004744	2003년01월10일	일본(JP)
(73) 특허권자	가부시키가이샤 르네사스 테크놀로지 일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1		
(72) 발명자	키시다타케시 일본국효고켄이타미시히가시아리오카4쵸메42-8엘티이씨가부시키가이 샤나이 키도시게노리 일본국도쿄도지요다구마루노우찌2-쵸메4-1르네사스테크놀로지코포레 이션나이		
(74) 대리인	권태복 이화익		

심사관 : 김준학

(54) 중첩검사공정을 구비한 반도체장치의 제조방법

요약

본 실시예에서의 에칭공정(100)은, 사진제판공정에 의해, 레지스트막의 노광·에칭이 행해진다. 그 후, 중첩검사장치에 의해 피중첩층측 중첩마크 및 레지스트막측 중첩마크를 사용한 중첩검사를 행한다. 또한, 이 공정에서, 중첩검사장치를 사용하여 적용마스크 확인공정이 동시에 실시된다. 이것에 의해, 효율적으로 적용마스크의 확인을 행하는 것이 가능하고 또한, 반도체장치의 제조수율의 향상을 가능하게 하는, 중첩 검사공정을 구비한 반도체장치의 제조방법을 제공할 수 있다.

대표도

도 1

색인어

반도체장치, 제조방법, 중첩, 검사, 공정, 레지스트막, 마스크, 패턴

명세서

도면의 간단한 설명

도 1은 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법이 적용되는 반도체장치의 에칭공정을 나타내는 흐름도이다.

도 2 및 도 3은 실시예 1에서의 제1 및 제2 중첩마크영역을 나타내는 평면도이다.

도 4는 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법을 나타내는 흐름도이다.

도 5 및 도 6은 실시예 2에서의 제1 및 제2 중첩마크영역을 나타내는 평면도이다.

도 7은 실시예 2에서의 중첩검사공정을 구비한 반도체장치의 제조방법을 나타내는 흐름도이다.

도 8 및 도 9는 실시예 3에서의 제1 및 제2 중첩마크영역을 나타내는 평면도이다.

도 10은 실시예 3에서의 중첩검사공정을 구비한 반도체장치의 제조방법을 나타내는 흐름도이다.

도 11은 다른 실시예에서의 반도체장치의 구조를 나타내는 단면도이다.

도 12는 종래의 기술에서의 레지스트막에 소정의 패턴을 전사하기 위한 포토마스크의 개략구조를 나타내는 평면도이다.

도 13은 피에칭층 및 레지스트막에 형성된 중첩마크의 평면도이다.

도 14는 도 13에서 XIV-XIV선 화살표 단면도이다.

도 15는 중첩마크를 사용한 일반적인 에칭공정을 설명하는 흐름도이다.

도 16은 반도체장치의 구조를 나타내는 제1 단면도이다.

도 17은 반도체장치의 구조를 나타내는 제2 단면도이다.

도면의 주요부분에 대한 부호의 설명

100 : 에칭공정

102A, 102B, 102C 중첩검사공정을 구비한 반도체장치의 제조방법

611A, 611C, 611D : 제1 피중첩층측 중첩마크

611B : 제2 피중첩층측 중첩마크

611C, 611D : 피중첩층측 중첩마크

701A, 701B, 701D, 701E, 701F : 레지스트막측 중첩마크

701f : 오목부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체장치의 제조방법에 관한 것으로, 보다 특정적으로는, 피중첩층과 중첩층으로서의 레지스트막과의 중첩 위치의 적부(적합/부적합)를 판별하기 위한, 중첩검사공정을 구비한 반도체장치의 제조방법에 관한 것이다.

반도체장치의 제조프로세스에 있어서, 소정의 층(이하, 피중첩층이라 칭한다.)의 패터닝을 행하기 위해, 이 피중첩층 상에 소정의 패턴을 갖는 중첩층으로서의 레지스트막이 설치되고, 이 레지스트막을 마스크로 하여, 피중첩층 또는 피중첩층과 레지스트막과의 사이에 개재하는 층의 에칭이 행해진다. 따라서, 피중첩층에 대한 레지스트막 위치결정은 중요하게 된다. 그 때문에, 레지스트막 자신의 패터닝도 중요하게 된다.

여기서, 피중첩층에 대한 레지스트막 위치결정 방법에 대하여, 도면을 참조하여 간단히 설명한다. 도 12는, 레지스트막에 소정의 패턴을 전사하기 위한 포토마스크(500)의 개략 구조를 나타내는 평면도이다. 일반적인 포토마스크(500)로서는, 반도체장치의 배선패턴이 형성된 배선패턴영역(501, 502)과, 이 배선패턴영역(501, 502)을 둘러싸고, 웨이퍼의 다이싱 라인에 해당하는 주변패턴영역(510)을 구비하고 있다.

주변패턴영역(510)에는, 피중첩층과 레지스트막과의 중첩위치의 적부를 판별하기 위해 사용되는 중첩마크(530)가 형성되어 있다.

여기서, 중첩마크의 구체적인 역할에 대하여 간단히 설명한다. 도 13은, 피중첩층 및 레지스트막에 형성된 중첩마크의 평면도이고, 도 14는, 도 13에서 XIV-XIV선 화살표 단면도이다. 피에칭층(611)에는, 피중첩층(605)에 설치된 피중첩층측 중첩마크로서의 홀(605d)의 형태에 반영하여 형성된 피중첩층측 중첩마크(611H)가 설치되고, 레지스트막에는, 상기 포토마스크(500)의 중첩마크(530)에 의해 전사된 레지스트막측 중첩마크(701H)가 설치되어 있다.

피중첩층측 중첩마크(611H)는, 복수의 오목부(611h)가, 정사각형 형태로 배치되는 것에 의해 그 전체 형상이 규정되고, 정사각형 형태의 한 변의 치수(H)는, 약 25 μ m이다. 오목부(611h)는, 피중첩층(605)에 설치된 홀(605d)에 피에칭층(611)이 그 성막시에 움푹 파임으로써 형성된다. 홀(605d)은, 피에칭층(611)의 배선영역에 형성되는 콘택홀(도시생략)과 동일 공정에 의해 형성되는 것이다.

피에칭층(611) 상에서, 피중첩층측 중첩마크(611H)의 내측에는, 레지스트막에 형성된 레지스트막측 중첩마크(701H)가 설치되어 있다. 이 레지스트막측 중첩마크(701H)의 한 변의 치수(h)는, 약 10 μ m이다.

여기서, 도 15를 참조하여, 중첩마크를 사용한 일반적인 에칭공정(800)에 대하여 설명한다. 우선, 사진제판공정에 의해, 레지스트막의 노광·에칭이 행해진다(S810). 그 후, 상기 피중첩층측 중첩마크(611H) 및 레지스트막측 중첩마크(701H)를 사용한 중첩검사를 행한다(S820).

이 중첩검사(S820)에서는, 중첩검사장치(도시생략)를 사용하여, 피중첩층측 중첩마크(611H) 및 레지스트막측 중첩마크(701H)의 화상정보로부터, 피중첩층측 중첩마크(611H) 및 레지스트막측 중첩마크(701H) 위치를 판독하고, 피중첩층측 중첩마크(611H) 중 소정위치(허용범위위치)에, 레지스트막측 중첩마크(701H)가 존재하는지 존재하지 않는지의 판별이 행해진다.

피중첩층측 중첩마크(611H) 중 소정위치에 레지스트막측 중첩마크(701H)가 존재하는 경우에는 합격이라 판정하고, 현상 검사공정(S830)으로 이행한다. 불합격인 경우는, 레지스트막을 제거하고, 다시, 레지스트막의 도포 및 레지스트막의 노광·에칭을 행한다(S810).

다음에, 레지스트 치수 검사공정(S840) 및 적용마스크 확인공정(S850)을 거친 후에, 레지스트막에 의한 피에칭층의 에칭 공정(S860)이 실시되고, 다음 공정(S870)으로 이행하게 된다.

발명이 이루고자 하는 기술적 과제

그렇지만, 상기 중첩검사공정을 구비한 반도체장치의 제조방법에서는, 이하에 나타내는 문제를 들 수 있다.

반도체장치의 제조프로세스에서는, 반도체장치 패턴의 개정, 품종별 옵션의 부가 등의 관계로부터, 동일 사진제판공정에서 다른 포토마스크가 사용되는 경우가 있다.

예를 들면, 도 16에 나타내는 반도체장치의 단면구조의 경우, 제1 반도체층(601)에 도전영역(602, 603, 604)이 설치되고, 제1 반도체층(601) 상에는, 이 도전영역(602, 603, 604)에 통하는 콘택홀(605a, 605b, 605c)을 갖는 층간절연막(605)이 설치되어 있다.

또한, 콘택홀(605a, 605b, 605c) 내에는, 각각 도전영역(602, 603, 604)에 통하는 콘택플러그(607, 608, 609)가 설치되어 있다. 더욱이, 층간절연막(605) 상에는, 콘택플러그 607에 통하는 배선층 611A 및 콘택플러그 608, 609에 통하는 배선층 611B가 형성되어 있다. 여기서, 배선층 611A 및 배선층 611B는, 이 배선층 611A 및 배선층 611B에 대응하는 패턴을 갖는 레지스트막 701A에 의해 패터닝된다.

한편, 도 17에 나타내는 반도체장치의 단면구조의 경우, 기본적 구조는, 상기 도 16에 나타내는 반도체장치와 동일하지만, 콘택플러그 608에 통하는 배선층 611C 및 콘택플러그 609에 통하는 배선층 611D가 설치되는 점이 상위하다. 따라서, 이들 배선층은, 배선층 611A, 배선층 611C 및 배선층 611D에 대응하는 패턴을 갖는 레지스트막 701B에 의해 패터닝된다.

이와 같이, 배선구조가 일부 다른 영역은, 예를 들면 도 12의 평면도에 나타내는 영역 X1~X4에 점재하도록 설치되고, 이 배선구조의 차이의 확인은, 도 15에서 나타내는, 에칭공정(800)의 후반에서 실시되는 적용마스크 확인공정(S850)에서 행해진다.

이것은, 통상 패턴이 다른 포토마스크라도, 포토마스크의 주변패턴영역에 설치되는 중첩의 형상 및 위치는, 전부 동일하게 설치되어 있기 때문에, 도 15에서 나타내는 S820~S840의 각 공정에서는, 적용한 포토마스크가 올바른 것인지 어떤지의 판별은 할 수 없기 때문이다. 이와 같이, 적용한 포토마스크의 오류는, 에칭공정(800)의 후반에서 확인되기 때문에, 작업효율의 향상을 방해하는 한가지 원인으로 되어있다.

또한, 적용마스크 확인공정(S850)은 종래 수작업에 의한 오프라인 작업으로 행하고 있고, 포토마스크 오류의 간과에 의해, 반도체장치의 제조수율의 저하를 초래하는 원인으로 되어 있다.

본 발명은 효율적으로 적용마스크의 확인을 행하는 것이 가능하고, 또한, 반도체장치의 제조수율의 향상을 가능하게 하는 중첩검사공정을 구비한 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명에 근거하는 중첩검사공정을 구비한 반도체장치의 제조방법은, 중첩검사장치를 사용하여, 피중첩층 상에 형성되는 중첩층으로서의 레지스트막의 중첩위치의 적부를 판별하기 위한, 중첩검사공정을 구비한 반도체장치의 제조방법에 있어서, 이하의 공정을 구비하는 것을 특징으로 한다.

우선, 상기 피중첩층에 설치된 피중첩층측 중첩마크의 정보를 판독한다. 상기 레지스트막에 설치된 레지스트막측 중첩마크의 정보를 판독한다.

다음에, 마크위치 판단공정에서, 상기 피중첩층측 중첩마크의 정보와 상기 레지스트막측 중첩마크와의 정보로부터, 상기 피중첩층측 중첩마크와 상기 레지스트막측 중첩마크와 위치관계를 판독하고, 상기 피중첩층에 대한 상기 레지스트막의 형성위치의 적부를 판단한다.

또한, 마크판별공정에서, 상기 레지스트막측 중첩마크의 정보와, 상기 중첩검사장치에 미리 등록된 등록 레지스트막측 중첩마크의 정보를 비교함으로써, 상기 레지스트막측 중첩마크가 상기 등록 레지스트막측 중첩마크에 일치하는지 일치하지 않는지를 판별한다.

[발명의 실시예]

이하, 본 발명에 근거하는 중첩검사공정을 구비한 반도체장치의 제조방법의 각 실시예에 대하여, 도면을 참조하여 설명한다. 이때, 각 실시예는 모든 점에서 예시로서 한정적인 것은 아니다. 또한, 각 실시예에 있어서는, 반도체장치에 적용되는 일반적인 배선구조에 본 발명을 적용한 경우를 나타내고 있고, 특정한 반도체장치가 아닌, 널리 반도체장치 전반에 대하여 적용할 수 있는 것이다.

(실시예 1)

실시에 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 대하여, 도 1 내지 도 4를 참조하여 설명한다.

우선, 도 1을 참조하여, 본 실시예에서의 에칭공정(100)은, 사진제판공정에 의해, 레지스트막의 노광·에칭이 행해진다(S101). 그 후, 중첩검사장치에 의해 피중첩층측 중첩마크 및 레지스트막측 중첩마크를 사용한 중첩검사를 행한다(S102A). 또한, 이 공정에서, 중첩검사장치를 사용하여 적용마스크 확인공정(S102B)이 동시에 실시된다. 그 후, 현상검사 공정(S103), 레지스트 치수 검사공정(S104) 및 에칭공정(S105)이 실시되고, 다음 공정(S106)으로 이행한다.

이와 같이, 본 실시예에서는, 도 15에 나타내는 종래의 에칭공정에서는, 레지스트 치수 검사공정 후에, 수작업에 의한 오프라인 작업에 의해 행하고 있었던 적용마스크 확인공정을, 중첩검사장치에 의한 중첩검사공정과 동시에 행하고 있는 것을 특징으로 한다. 이하, 이 중첩검사공정과 적용마스크 확인공정을 동시에 행하는 방법에 대하여, 상세히 설명한다.

도 2 및 도 3을 참조하여, 피중첩층에는, 소정의 위치에 제1 피중첩층측 중첩마크(611A) 및 제2 피중첩층측 중첩마크(611B)가 설치되어 있다. 이때, 피중첩층측 중첩마크의 수량에 대해서는, 적절히 선택되는 것이다. 또한, 제1 피중첩층측 중첩마크(611A) 및 제2 피중첩층측 중첩마크(611B)의 형상 등은, 도 13 및 도 14에 나타내는 종래의 피중첩층측 중첩마크와 동일하다.

다음에, 도 2를 참조하여, 제1 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막측 중첩마크 701A는, 제1 피중첩층측 중첩마크 611A의 내측에 설치된다. 한편, 도 3을 참조하여, 제2 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막측 중첩마크 701B는, 제2 피중첩층측 중첩마크 611B의 내측에 설치된다. 레지스트막측 중첩마크 701A 및 레지스트막측 중첩마크 701B는, 도 13 및 도 14에 나타내는 종래의 레지스트막측 중첩마크와 동일하다.

여기서, 본 실시예에서의 피에칭층에 제1 배선판턴을 구비하는 포토마스크를 사용하여, 반도체장치의 에칭공정을 실시하는 경우의 중첩검사공정을 구비한 반도체장치의 제조방법(S102A)의 흐름에 대하여, 도 4를 참조하여 설명한다.

우선, 미리, 중첩검사장치에, 레지스트막측 중첩마크(701A)가 설치된 제1 배선판턴을 구비하는 포토마스크의 데이터를 기억시킨다(S120). 그 후, 웨이퍼의 로드 및 얼라인먼트를 실시한다(S121). 그 후, 중첩마크좌표를 인식한다(S122).

다음에, 피중첩층에 설치된 피중첩층측 중첩마크(611A, 611B)의 정보와, 레지스트막에 설치된 레지스트막측 중첩마크(701A)의 정보를 판독한다(S123).

다음에, 피중첩층측 중첩마크(611A, 611B)의 정보와 레지스트막측 중첩마크(701A)와의 정보로부터, 피중첩층측 중첩마크(611A)와 레지스트막측 중첩마크(701A)와 위치관계를 판독하고, 피중첩층에 대한 레지스트막의 형성위치의 적부를 판단한다(S124).

다음에, 레지스트막측 중첩마크(701A)의 정보와, S120에서 중첩검사장치에 미리 등록된 등록 레지스트막측 중첩마크와의 정보를 비교함으로써, 레지스트막측 중첩마크(701A)가 등록 레지스트막측 중첩마크에 일치하는지 일치하지 않는지를 판별한다(S125).

여기서의 구체적인 판별은, 피중첩층측 중첩마크 611A 내에, 레지스트막측 중첩마크 701A가 존재하는지 존재하지 않는지의 판별이 실행된다. 따라서, 잘 못하여 도 3에 대응하는 레지스트막측 중첩마크 701B가 설치된 제2 배선판턴을 구비하는 포토마스크를, 중첩검사장치에 장착한 경우에는, 중첩검사장치에서는, 피중첩층측 중첩마크 611A 내에, 레지스트막측 중첩마크 701A가 존재하지 않는 것을 인식하여, 그 결과를 오퍼레이터에 통보하게 된다.

(작용·효과)

이상, 본 실시예에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 의하면, 중첩검사장치에서, 피중첩층에 대한 레지스트막의 형성위치의 적부를 판단하는 마크위치 판단공정과 동시에, 레지스트막측 중첩마크가 등록 레지스트막측 중첩마크에 일치하는지 일치하지 않는지를 판별하는 마크판별공정을 행하고 있기 때문에, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을, 에칭공정이 신속한 단계로 행함으로써, 작업효율의 향상을 도모하는 것을 가능하게 하고 있다. 또한, 수작업에 의한 오프라인 작업이 아닌, 중첩검사장치를 사용한, 온라인 작업에 의해, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을 행하고 있기 때문에, 포토마스크 오류의 간과함이 없어져, 반도체장치의 제조수율의 향상을 도모하는 것을 가능하게 하고 있다.

또한, 본 실시예에서는, 레지스트막층 중첩마크의 정보로서, 레지스트막층 중첩마크 위치에 근거하는 정보를 사용하고 있기 때문에, 종래의 중첩검사장치에서 마크위치 판단공정에 사용하고 있는 정보를 이용하는 것을 가능하게 하고 있다.

(실시예 2)

다음에, 실시예 2에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 대하여, 도 5 내지 도 7을 참조하여 설명한다.

기본적인 중첩검사공정을 구비한 반도체장치의 제조방법은, 상기 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법과 동일하기 때문에, 상기 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법과의 상위점에 대해서만 언급한다.

도 5 및 도 6을 참조하여, 피중첩층에는, 소정의 위치에 피중첩층측 중첩마크(611C)가 개소 설치되어 있다. 이 피중첩층측 중첩마크 611C의 치수·형상 등은, 도 13 및 도 14에 나타내는 종래의 피중첩층측 중첩마크와 동일하다.

다음에, 도 5를 참조하여, 제1 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막층 중첩마크 701C는, 피중첩층측 중첩마크 611C의 내측에 설치되는 정방형 형상을 가지며, 그 한 변의 크기(h)는, 10um이다. 한편, 도 6을 참조하여, 제2 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막층 중첩마크 701D는, 동일하게 피중첩층측 중첩마크 611C의 내측에 설치되는 정방형 형상을 가지고, 그 한 변의 크기(h)는, 17um이다. 레지스트막층 중첩마크 701C 및 레지스트막층 중첩마크 701D의 형상은, 도 13 및 도 14에 나타내는 종래의 레지스트막층 중첩마크와 동일하다.

여기서, 본 실시예에서의 피에칭층에 제1 배선판턴을 구비하는 포토마스크를 사용하여, 반도체장치의 에칭공정을 실시하는 경우의 중첩검사공정(S102A)의 흐름에 대하여, 도 7을 참조하여 설명한다.

우선, 미리, 중첩검사장치에, 레지스트막층 중첩마크(701C)가 설치된 제1 배선판턴을 구비하는 포토마스크의 데이터를 기억시킨다(S120). 그 후, 웨이퍼의 로드 및 얼라인먼트를 실시한다(S121). 그 후, 중첩마크좌표를 인식한다(S122).

다음에, 피중첩층에 설치된 피중첩층측 중첩마크(611C)의 정보와, 레지스트막에 설치된 레지스트막층 중첩마크(701C)의 정보를 판독한다(S123).

다음에, 피중첩층측 중첩마크(611C)의 정보와 레지스트막층 중첩마크(701C)와의 정보로부터, 피중첩층측 중첩마크(611C)와 레지스트막층 중첩마크(701C)와의 위치관계를 판독하고, 피중첩층에 대한 레지스트막의 형성위치의 적부를 판단한다(S124).

다음에, 레지스트막층 중첩마크(701C)의 정보와, S120에서 중첩검사장치에 미리 등록된 등록 레지스트막층 중첩마크와의 정보를 비교함으로써, 레지스트막층 중첩마크(701C)가 등록 레지스트막층 중첩마크에 일치하는지 일치하지 않는지를 판별한다(S125).

여기서의 구체적인 판별은, 레지스트막층 중첩마크 701C의 한 변의 길이가, 10um인지 어떤지의 판별이 실행된다. 따라서, 잘 못하여 도 6에 대응하는 레지스트막층 중첩마크 701D가 설치된 제2 배선판턴을 구비하는 포토마스크를, 중첩검사장치에 장착한 경우에는, 중첩검사장치에서는, 한 변의 길이가 10um인 레지스트막층 중첩마크 701C가 존재하지 않는 것을 인식하고, 그 결과를 오퍼레이터에 통보하게 된다.

(작용·효과)

이상, 본 실시예에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 의해서도, 상기 실시예 1과 같이, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을, 에칭공정이 신속한 단계로 행함으로써, 작업효율의 향상을 도모하는 것을 가능하게 하고 있다. 또한, 수작업에 의한 오프라인 작업이 아닌, 중첩검사장치를 사용한, 온라인 작업에 의해, 적용한 포토마스크가 옳은 것인지 어떤지의 판별을 행하고 있기 때문에, 포토마스크 오류의 간과함이 없어져, 반도체장치의 제조수율의 향상을 도모하는 것을 가능하게 하고 있다.

또한, 본 실시예에서는, 레지스트막층 중첩마크의 정보로서, 레지스트막층 중첩마크의 외형치수인 한 변의 길이에 근거하는 정보를 사용하고 있기 때문에, 종래의 중첩검사장치에서 마크위치 판단공정에 사용하고 있는 정보를 이용하는 것을 가능하게 하고 있다.

(실시예 3)

다음에, 실시예 3에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 대하여, 도 8 내지 도 10을 참조하여 설명한다.

기본적인 중첩검사공정을 구비한 반도체장치의 제조방법은, 상기 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법과 동일하기 때문에, 상기 실시예 1에서의 중첩검사공정을 구비한 반도체장치의 제조방법과의 상위점에 대해서만 언급한다.

도 8 및 도 9를 참조하여, 피중첩층에는, 소정 위치에 피중첩층측 중첩마크(611D)가 1개소 설치되어 있다. 이 피중첩층측 중첩마크 611D의 치수·형상 등은, 도 13 및 도 14에 나타내는 종래의 피중첩층측 중첩마크와 동일하다.

다음에, 도 8을 참조하여, 제1 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막층 중첩마크 701E는, 피중첩층측 중첩마크 611D의 내측에 설치되는 정방형 형상을 가지며, 그 한 변의 크기(h)는 10um이고, 도 13 및 도 14에 나타내는 종래의 레지스트막층 중첩마크와 동일하며, 직선패턴으로 설치되어 있다.

한편, 도 9를 참조하여, 제2 배선판턴을 구비하는 포토마스크에 의해, 레지스트층에 전사되는 레지스트막층 중첩마크 701F는, 동일하게 피중첩층측 중첩마크 611D의 내측에 설치되는 정방형 형상을 가지며, 그 한 변의 크기(h)는 10um이지만, 그 형상은, 복수의 오목부(701f)로 구성되어 있다.

여기서, 본 실시예에서의 피에칭층에 제1 배선판턴을 구비하는 포토마스크를 사용하여, 반도체장치의 에칭공정을 실시하는 경우의 중첩검사공정을 구비한 반도체장치의 제조방법(S102A)의 흐름에 대하여, 도 10을 참조하여 설명한다.

우선, 미리, 중첩검사장치에, 레지스트막층 중첩마크(701E)가 설치된 제1 배선판턴을 구비하는 포토마스크의 데이터를 기억시킨다(S120). 그 후, 웨이퍼의 로드 및 얼라인먼트를 실시한다(S4121). 그 후, 중첩마크좌표를 인식한다(S122).

다음에, 피중첩층에 설치된 피중첩층측 중첩마크(611D)의 정보와, 레지스트막에 설치된 레지스트막층 중첩마크(701E)의 정보를 판독한다(S123).

다음에, 피중첩층측 중첩마크(611D)의 정보와 레지스트막층 중첩마크(701E)와의 정보로부터, 피중첩층측 중첩마크(611D)와 레지스트막층 중첩마크(701E)와의 위치관계를 판독하고, 피중첩층에 대한 레지스트막의 형성위치의 적부를 판단한다(S124).

다음에, 레지스트막층 중첩마크(701E)의 정보와, S120에서 중첩검사장치에 미리 등록된 등록 레지스트막층 중첩마크와의 정보를 비교함으로써, 레지스트막층 중첩마크(701E)가 등록 레지스트막층 중첩마크에 일치하는지 일치하지 않는지를 판별한다(S125).

여기서 구체적인 판별은, 레지스트막층 중첩마크(701E)가 직선패턴으로 형성되어 있는지 어떤지 여부의 판별이 실행된다. 따라서, 잘 못하여 도 9에 대응하는 레지스트막층 중첩마크 701F가 설치된 제2 배선판턴을 구비하는 포토마스크를, 중첩검사장치에 장착한 경우에는, 중첩검사장치에서는, 이 직선패턴으로 형성된 레지스트막층 중첩마크(701E)가 존재하지 않는 것을 인식하여, 그 결과를 오퍼레이터에 통보하게 된다.

(작용·효과)

이상, 본 실시예에서의 중첩검사공정을 구비한 반도체장치의 제조방법에 의해서도, 상기 실시예 1과 동일하게, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을, 에칭공정이 신속한 단계로 행함으로써, 작업효율의 향상을 도모하는 것을 가능하게 하고 있다. 또한, 수작업에 의한 오프라인 작업이 아닌, 중첩검사장치를 사용한, 온라인 작업에 의해, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을 행하고 있기 때문에, 포토마스크 오류의 간과함이 없어져, 반도체장치의 제조수율의 향상을 도모하는 것을 가능하게 하고 있다.

또한, 본 실시예에서는, 레지스트막층 중첩마크의 정보로서, 레지스트막층 중첩마크의 패턴형상에 근거하는 정보를 사용하고 있기 때문에, 종래의 중첩검사장치에서 마크위치 판단공정에 사용하고 있는 정보를 이용하는 것을 가능하게 하고 있다.

이때, 상기 각 실시예에서의 피중첩층측 중첩마크는, 피중첩층에 형성된 피중첩층측 중첩마크의 형상을 반영하도록 하여, 피중첩층 상에 형성된 피에칭층에 형성된 마크의 정보를 판독하는 경우에 대하여 설명하고 있지만, 이것에 한정되지 않고, 예를 들면, 도 11에 나타내는 바와 같은 반도체장치의 제조공정에 적용하는 것도 가능하다.

이 반도체장치의 구조에서는, 기판(801) 상에 피중첩층으로서의 비트라인에 대응하여 설치된 피중첩층측 중첩마크(802)와, 이 피중첩층측 중첩마크(802) 상에 피에칭층으로서의 층간절연막(803)과, 이 층간절연막(803) 상에, 레지스트막층 중첩마크(804)를 갖는 레지스트막(805)을 구비하고 있고, 상기 각 실시예에 나타내는 구조와는 달리, 에칭되는 층에 피중첩층측 중첩마크가 설치되지 않는다.

따라서, 전술한 각 실시예는 모든 점에서 예시로서 제한적인 것은 아니라고 생각되어야 할 것이다. 본 발명의 범위는 상기한 설명이 아니며 특허청구의 범위에 의해 표시되고, 특허청구의 범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

발명의 효과

본 발명에 근거한 중첩검사공정을 구비한 반도체장치의 제조방법에 의하면, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을, 에칭공정이 신속한 단계로 행함으로써, 작업효율의 향상을 도모하는 것을 가능하게 하고 있다. 또한, 중첩검사장치를 사용한, 온라인 작업에 의해, 적용한 포토마스크가 올바른 것인지 어떤지의 판별을 행하고 있기 때문에, 포토마스크 오류의 간과함이 없어서, 반도체장치의 제조수율의 향상을 도모하는 것을 가능하게 하고 있다.

(57) 청구의 범위

청구항 1.

중첩검사장치를 사용하여, 피중첩층 상에 형성되는 중첩층으로서의 레지스트막의 중첩위치의 적부를 판별하기 위한 중첩검사공정을 구비한 반도체장치의 제조방법에 있어서,

상기 피중첩층에 설치된 피중첩층측 중첩마크의 정보를 판독하는 공정과,

상기 레지스트막에 설치된 레지스트막측 중첩마크의 정보를 판독하는 공정과,

상기 피중첩층측 중첩마크의 정보와 상기 레지스트막측 중첩마크와의 정보로부터, 상기 피중첩층측 중첩마크와 상기 레지스트막측 중첩마크와의 위치관계를 판독하고, 상기 피중첩층에 대한 상기 레지스트막의 형성위치의 적부를 판단하는 마크위치 판단공정과,

상기 레지스트막측 중첩마크의 정보와, 상기 중첩검사장치에 미리 등록된 등록 레지스트막측 중첩마크의 정보를 비교함으로써, 상기 레지스트막측 중첩마크가 상기 등록 레지스트막측 중첩마크에 일치하는지 일치하지 않는지를 판별하는 마크판별공정을 구비하는 것을 특징으로 하는 중첩검사공정을 구비한 반도체장치의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 피중첩층측 중첩마크의 정보를 판독하는 공정은, 상기 피중첩층측 중첩마크의 형상을 반영하도록 하여 상기 피중첩층 상에 형성된 피에칭층에 형성된 마크의 정보를 판독하는 것을 특징으로 하는 중첩검사공정을 구비한 반도체장치의 제조방법.

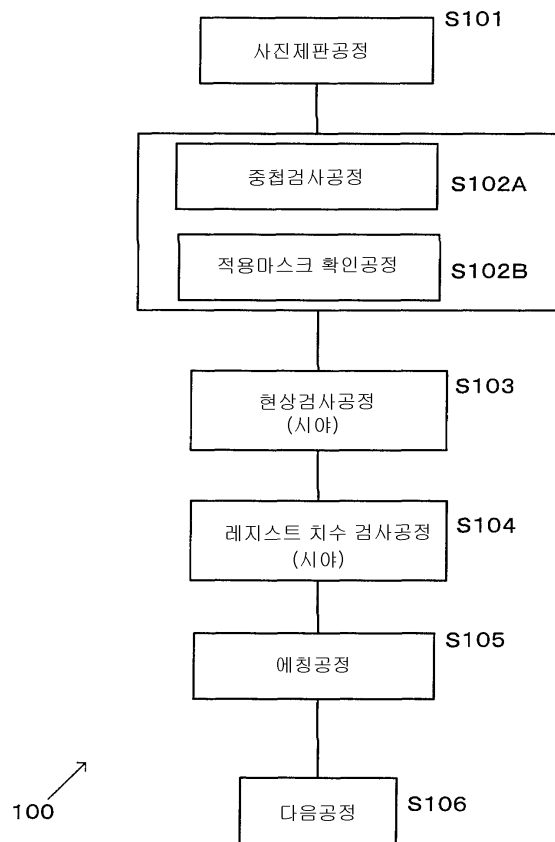
청구항 3.

제 1 항에 있어서,

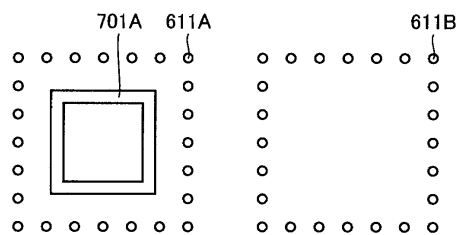
상기 레지스트막측 중첩마크의 정보는, 상기 레지스트막측 중첩마크 위치에 근거하는 정보인 것을 특징으로 하는 중첩검사공정을 구비한 반도체장치의 제조방법.

도면

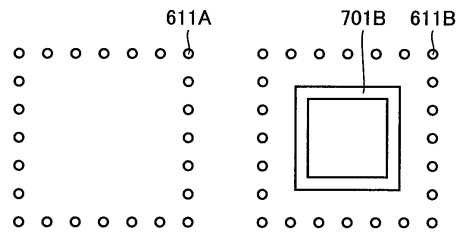
도면1



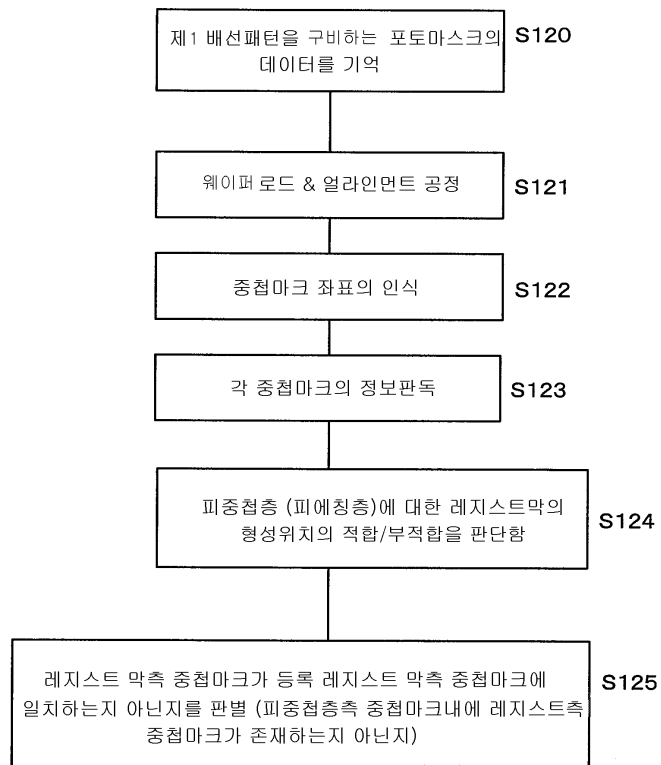
도면2



도면3

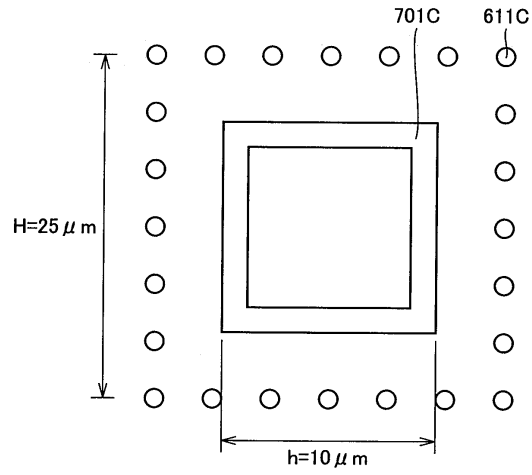


도면4

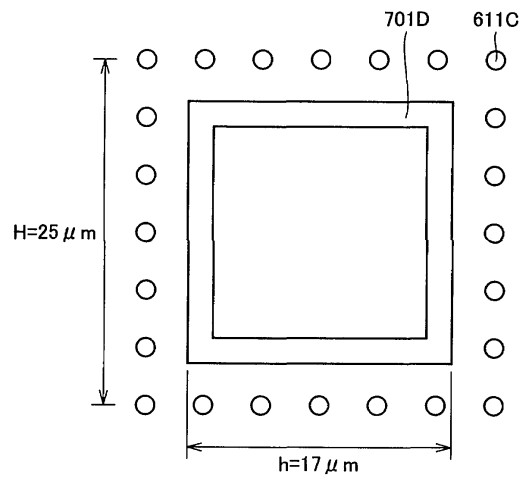


S102A

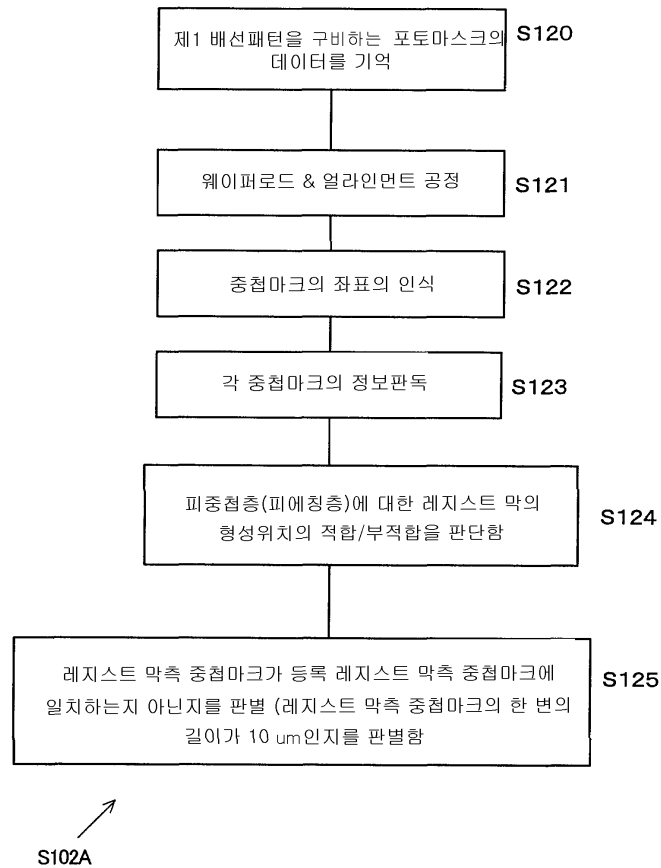
도면5



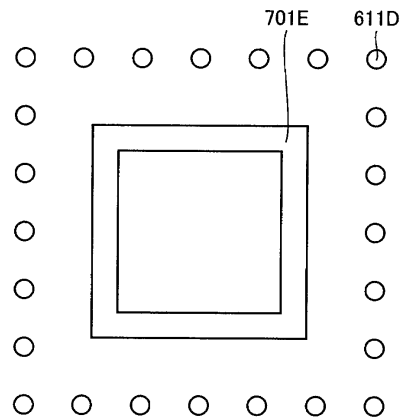
도면6



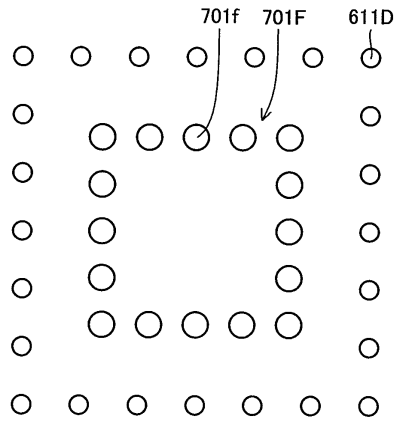
도면7



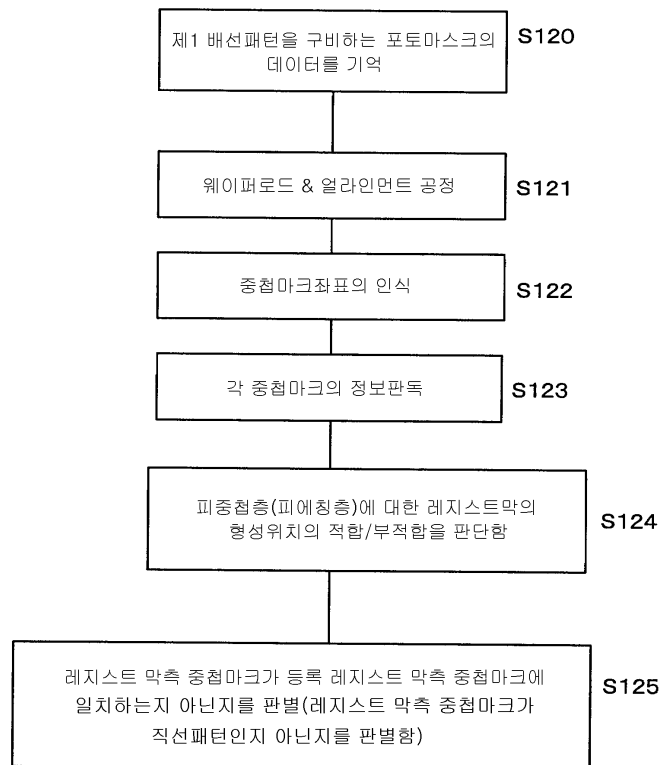
도면8



도면9

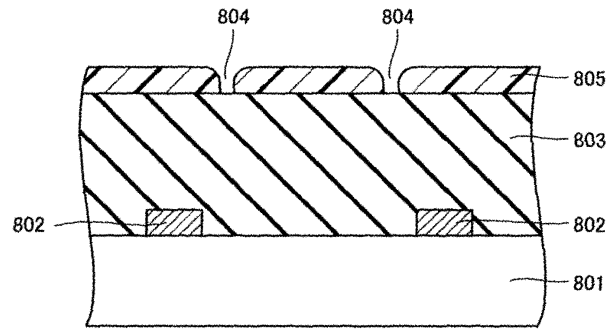


도면10

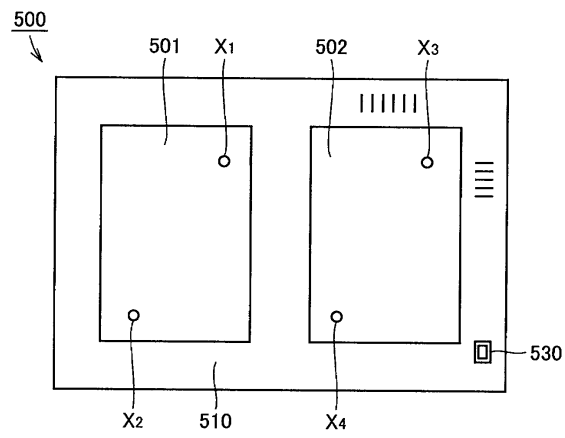


S102A

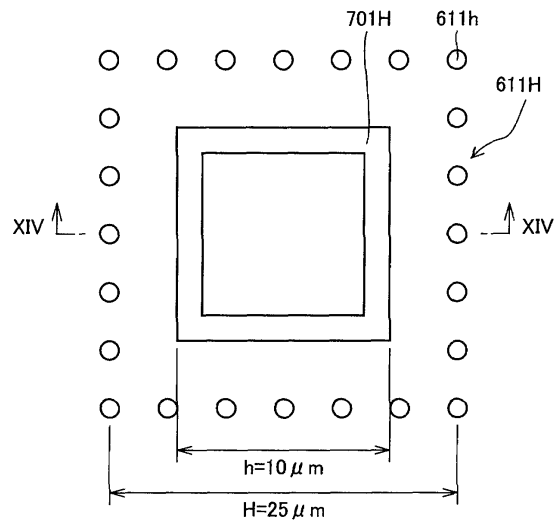
도면11



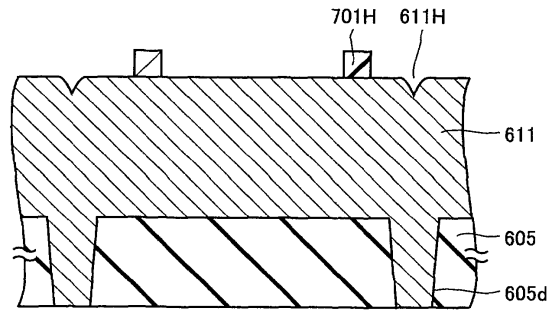
도면12



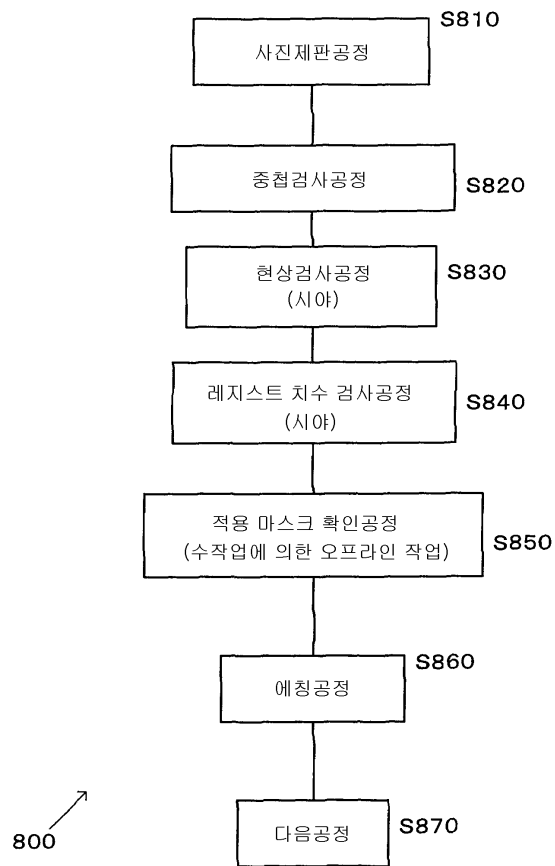
도면13



도면14



도면15



도면16

