

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-270102

(P2006-270102A)

(43) 公開日 平成18年10月5日(2006.10.5)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 O 1
HO 1 L 29/788 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 10 頁)

(21) 出願番号	特願2006-79545 (P2006-79545)	(71) 出願人	390019839
(22) 出願日	平成18年3月22日 (2006.3.22)		三星電子株式会社
(31) 優先権主張番号	10-2005-0023294		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成17年3月21日 (2005.3.21)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国 4 4 3 - 7 4 2 京畿道水原市靈通
			区梅灘洞 4 1 6
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉
		最終頁に続く	

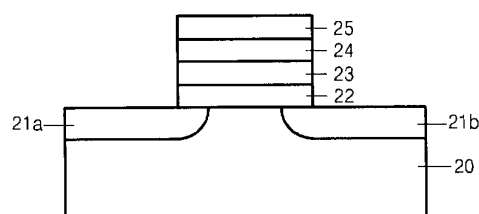
(54) 【発明の名称】 消去特性が改善されたメモリ素子の製造方法

(57) 【要約】

【課題】 消去特性が改善されたメモリ素子の製造方法を提供する。

【解決手段】 (a) 半導体基板上にトンネリング酸化層、電荷保存層及びブロッキング酸化層を順次に形成させる工程と、(b) トンネリング酸化層、電荷保存層及びブロッキング酸化層が形成された半導体基板を負電圧の固定酸化膜電荷を含むようにガス雰囲気中で熱処理する工程と、(c) ブロッキング酸化層上にゲート電極層を形成させ、トンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層の両側部をエッチングして基板の上面を露出させる工程と、(d) 露出された基板の上面に不純物をドーピングして第1不純物領域及び第2不純物領域を形成させる工程と、を含む消去特性が改善されたメモリ素子の製造方法である。

【選択図】 図 2 A



【特許請求の範囲】

【請求項 1】

(a) 半導体基板上にトンネリング酸化層、電荷保存層及びブロッキング酸化層を順次に形成させる工程と、

(b) 前記トンネリング酸化層、電荷保存層及びブロッキング酸化層が形成された半導体基板を負電圧の固定酸化膜電荷を含むようにガス雰囲気中で熱処理する工程と、

(c) 前記ブロッキング酸化層上にゲート電極層を形成させ、前記トンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層の両側部をエッチングして前記基板の上面を露出させる工程と、

(d) 前記露出された基板の上面に不純物をドーピングして第 1 不純物領域及び第 2 不純物領域を形成させる工程と、を含むことを特徴とする消去特性が改善されたメモリ素子の製造方法。 10

【請求項 2】

前記 (b) 工程の前記ガスは、N、O、F、Si、P、S、Cl、C、As、Se、Br、Te、I または At 元素を含むことを特徴とする請求項 1 に記載の消去特性が改善されたメモリ素子の製造方法。

【請求項 3】

前記 (b) 工程の前記ガスは、 O_2 、RuO または NH_3 であることを特徴とする請求項 1 に記載の消去特性が改善されたメモリ素子の製造方法。

【請求項 4】

前記 (b) 工程は、650 以上の温度で熱処理することを特徴とする請求項 1 に記載の消去特性が改善されたメモリ素子の製造方法。 20

【請求項 5】

前記 (b) 工程は、700 ないし 1000 の温度範囲で熱処理することを特徴とする請求項 4 に記載の消去特性が改善されたメモリ素子の製造方法。

【請求項 6】

(a) 半導体基板上にトンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層を順次に形成させる工程と、

(b) 前記ブロッキング酸化層上にゲート電極層を形成させ、前記トンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層の両側部をエッチングして前記基板の上面を露出させる工程と、 30

(c) 前記露出された基板の上面に不純物をドーピングして第 1 不純物領域及び第 2 不純物領域を形成させ、前記ブロッキング酸化層が負電圧の固定酸化膜電荷を含むようにガス雰囲気中で熱処理する工程と、を含むことを特徴とする消去特性が改善されたメモリ素子の製造方法。

【請求項 7】

前記 (c) 工程の前記ガスは、N、O、F、Si、P、S、Cl、C、As、Se、Br、Te、I または At 元素を含むことを特徴とする請求項 6 に記載の消去特性が改善されたメモリ素子の製造方法。

【請求項 8】

前記 (c) 工程の前記ガスは、 O_2 、RuO または NH_3 であることを特徴とする請求項 6 に記載の消去特性が改善されたメモリ素子の製造方法。 40

【請求項 9】

前記 (c) 工程は、650 以上の温度で熱処理することを特徴とする請求項 6 に記載の消去特性が改善されたメモリ素子の製造方法。

【請求項 10】

前記 (c) 工程は、700 ないし 1000 の温度範囲で熱処理することを特徴とする請求項 9 に記載の消去特性が改善されたメモリ素子の製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、消去特性が改善されたメモリ素子の製造方法に係り、さらに詳細には、メモリ素子の製造工程時、ブロッキング酸化層が負電圧を有するように雰囲気ガス及び熱処理温度を調節した半導体メモリ素子の製造方法に関する。

【 背景技術 】

【 0 0 0 2 】

半導体素子の性能は、情報保存容量とその情報の記録及び消去速度とを向上させるのに焦点を合わせて発展されてきた。通常的な半導体メモリアレイ構造は、回路的に連結された複数のメモリ単位セルを含んでおり、電源が遮断された場合にも情報がそのまま残っている不揮発性メモリとDRAM (Dynamic Random Access Memory) のような揮発性メモリとに分けられる。通常、一般的な半導体メモリ素子の単位セルは、一つのトランジスタ及び一つのキャパシタを備える。

10

【 0 0 0 3 】

最近、新たな形態及び動作原理を有する半導体メモリ素子が紹介された。例えば、磁気抵抗特性を利用するためにトランジスタの上部にGMR (Giant Magnetoresistance) またはTMR (Tunneling Magnetoresistance) 構造を形成させた半導体メモリ素子が紹介された。また、相変換物質特性を利用したPRAM (Phase-change RAM) とトンネリング酸化層、電荷保存層及びブロッキング酸化層の構造を有するSONOSなど新たな構造の不揮発性半導体メモリ素子が登場している。

20

【 0 0 0 4 】

図1には、従来の技術によるメモリ素子の一般的な形態が示されている。図1を参照すれば、半導体基板10には、第1不純物領域11a及び第2不純物領域11bが形成されている。第1不純物領域11aと第2不純物領域11bとの間の半導体基板10内には、一般的にチャンネル領域が設定される。そして、第1不純物領域11a及び第2不純物領域11bと接触する半導体基板10上には、ゲート構造体が形成されている。ゲート構造体は、トンネリング酸化層12、電荷保存層13、ブロッキング酸化層14及び伝導性物質で形成されたゲート電極層15が順次に形成された構造を有する。

【 0 0 0 5 】

ここで、トンネリング酸化層12は、半導体基板10の第1不純物領域11a及び第2不純物領域11bと接触しており、チャンネル領域に流れる電流がトンネリング酸化層12を通過して電荷保存層13内のトラップサイトに電荷が保存される。すなわち、このような構造のメモリ素子の情報記録は、電圧を印加してトンネリング酸化層12を通過した電子が電荷保存層13のトラップサイトにトラップされつつなされる。

30

【 0 0 0 6 】

ゲート構造体がゲート絶縁層及びゲート電極層で形成されたMOS (Metal Oxide Silicon) トランジスタとは違って、SONOSメモリ素子のしきい電圧 V_{th} は、電荷保存層13に電子がトラップされた場合とトラップされていない場合とによって変わる特性を有している。電荷保存層13上のブロッキング酸化層14は、電子が電荷保存層13のトラップサイトにトラップされる過程でゲート電極層15に放出されることを遮断し、ゲート電極層15の電荷が電荷保存層13に注入されることを遮断する役割を行う。

40

【 0 0 0 7 】

このようなメモリ素子の場合、情報の保存及び消去速度を速くするためには、薄いトンネリング酸化層12が必要であるが、この場合、情報維持特性が悪くなるという問題がある。すなわち、トンネリング酸化層12の厚さの変化によって、リテンション特性及び情報消去特性は、相互トレードオフ関係にある。このようなリテンション特性と情報消去特性との相互反比例関係を改善するために、ブロッキング酸化層14の制御が要求されている。

【 0 0 0 8 】

50

しかし、ブロッキング酸化層 14 の場合にも、ゲート電極層 15 の電子がブロッキング酸化層 14 をトンネリングする現象を防止するために、その厚さを厚く形成させねばならない。そして、ブロッキング酸化層 14 の厚さが厚くなれば、ゲート電極層 15 のチャネル領域の制御が難しくなるという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、前記従来の技術の問題点を解決するためのものであって、SONOSメモリ素子またはフローティングゲート型メモリ素子のリテンション特性を維持させつつ、メモリ消去速度を向上させうる新たな半導体メモリ素子の製造方法を提供することを目的とする。 10

【課題を解決するための手段】

【0010】

前記目的を達成するために、(a)半導体基板上にトンネリング酸化層、電荷保存層及びブロッキング酸化層を順次に形成させる工程と、(b)前記トンネリング酸化層、電荷保存層及びブロッキング酸化層が形成された半導体基板を負電圧の固定酸化膜電荷を含むようにガス雰囲気中で熱処理する工程と、(c)前記ブロッキング酸化層上にゲート電極層を形成させ、前記トンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層の両側部をエッチングして前記基板の上面を露出させる工程と、(d)前記露出された基板の上面に不純物をドーピングして第1不純物領域及び第2不純物領域を形成させる工程と、を含む消去特性が改善されたメモリ素子の製造方法を提供する。 20

【0011】

本発明において、前記(b)工程の前記ガスは、N、O、F、Si、P、S、Cl、C、As、Se、Br、Te、IまたはAt元素を含むことを特徴とする。

【0012】

本発明において、前記(b)工程の前記ガスは、 O_2 、RuOまたは NH_3 であることを特徴とする。

【0013】

本発明において、前記(b)工程は、650 以上の温度で熱処理することを特徴とする。 30

【0014】

本発明において、前記(b)工程は、700 ないし1000 の温度範囲で熱処理できる。

【0015】

また、本発明では、(a)半導体基板上にトンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層を順次に形成させる工程と、(b)前記ブロッキング酸化層上にゲート電極層を形成させ、前記トンネリング酸化層、電荷保存層、ブロッキング酸化層及びゲート電極層の両側部をエッチングして前記基板の上面を露出させる工程と、(c)前記露出された基板の上面に不純物をドーピングして第1不純物領域及び第2不純物領域を形成させ、前記ブロッキング酸化層が負電圧の固定酸化膜電荷を含むようにガス雰囲気中で熱処理する工程と、を含む消去特性が改善されたメモリ素子の製造方法を提供する。 40

【発明の効果】

【0016】

本発明によれば、チャージトラップ型半導体メモリ素子のブロッキング酸化層に負電圧の固定酸化膜電荷を有させることによって、メモリ素子で問題となった消去特性の安定性を確保できる。

【0017】

また、ブロッキング酸化層に負電圧の固定酸化膜電荷を有させることによって、ブロッキング酸化層のバンドギャップエネルギーを増加させ、ゲート電極層からの電荷がブロッキング酸化層に移動する、いわば、バックトンネリング現象を防止しうる。 50

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して本発明の実施形態による消去特性が改善されたメモリ素子の製造方法について詳細に説明する。ここでは、例示的な説明のために図面に示した各層の厚さ及び形態は、多少誇張されているということに留意しなければならない。

【0019】

図2Aは、本発明の実施形態による消去特性が改善されたメモリ素子の構造を示す図面である。

【0020】

図2Aを参照すれば、不純物がドーピングされた第1不純物領域21a及び第2不純物領域21bが形成された半導体基板20が設けられており、第1不純物領域21aと第2不純物領域21bとの間の半導体基板20上には、ゲート構造体が形成されている。ゲート構造体は、トンネリング酸化層22と、電荷をトラップするトラップサイトを含む電荷保存層23、ブロッキング酸化層24及びゲート電極層25が順次に積層された構造を有している。

【0021】

ここで、トンネリング酸化層22は、通常的な半導体メモリ素子に使われる物質であればよく、例えば、 SiO_2 のような絶縁物質で形成されうる。電荷保存層23は、半導体基板20のチャンネル領域からトンネリング酸化層22を通過した電荷をトラップできるトラップサイトを含むものであって、トンネリング酸化層22及びブロッキング酸化層24より大きい誘電定数を有するhigh-k物質を含んで形成されることが望ましい。

【0022】

そして、ゲート電極層25は、伝導性物質で形成されたものであって、それは、通常の半導体メモリ素子に使われるものであれば、制限なしに利用できる。ブロッキング酸化層24は、負電圧の固定酸化膜電荷を有することが望ましい。これについては、図2Bを参照して詳細に説明する。

【0023】

図2Bは、メモリ素子の初期状態のフラットバンド電圧 V_{FB} と情報消去時の最小フラットバンド電圧 V_{FB} との関係を示すグラフである。チャージトラップ型のメモリ素子の場合、フラットバンド電圧 V_{FB} が高いほどリテンション特性が向上する。そして、メモリ素子の場合、情報消去のためには、ゲート電極層25で高い負電圧を印加するが、情報消去過程では、最小フラットバンド電圧値が大きい負の値を有することが望ましい。すなわち、図2Bのグラフで、左側上部の特性値を有することが望ましい。ゲート電極25に印加する電圧 V_g とフラットバンド電圧 V_{FB} 及びブロッキング酸化層24に実際印加される電圧 V_{ox} との間には、次のような関係がある。

【0024】

[数1]

$$V_g = V_{FB} + V_{ox}$$

【0025】

そして、フラットバンド電圧は、 $-Q_f / C_{ox}$ に比例する特性を有する。ここで、 Q_f は、ブロッキング酸化層24の電荷値であり、 C_{ox} は、酸化膜のキャパシタンスを表す。情報消去過程で、ゲート電極25に印加する電圧は、大きい負の値を有し、実際ブロッキング酸化層24に印加される電圧は、フラットバンド電圧 V_{FB} によって変化することが分かる。数式1から分かるように、フラットバンド電圧 V_{FB} が正の値を有する場合、ブロッキング酸化層24に印加される電圧は、大きい負の値を有することが分かる。

【0026】

したがって、フラットバンド電圧が正の値を有するためには、ブロッキング酸化層24が負電圧の固定酸化膜電荷を有することが望ましいということが分かる。

【0027】

そして、ブロッキング酸化層 24 が負電圧の固定酸化膜電荷を有する場合、ブロッキング酸化層 24 のバンドキャップエネルギーが増加して、ゲート電極層 25 の電荷がブロッキング酸化層 24 をトンネリングして電荷保存層 23 に移動するバックトンネリング現象を防止しうる。このようなバックトンネリングは、情報消去過程でも発生し、したがって、ブロッキング酸化層 24 が負電圧の固定酸化膜電荷を有させることによって、メモリ素子の電気的特性が大きく向上する。

【0028】

図 2 A に示したような本発明による消去特性が改善されたメモリ素子の製造方法を図 3 A ないし図 3 C を参照して詳細に説明すれば、次の通りである。本発明では、メモリ素子の製造のために PVD (Physical Vapour Deposition)、CV 10
D (Chemical Vapour Deposition)、化学的ドーピング、コーティング、イオン注入、アニーリング工程及び RTA (Rapid Temperature Annealing) 固定を使用できる。

【0029】

図 3 A を参照すれば、まず、半導体基板 20 を設ける。半導体基板 20 は、一般的な半導体メモリ素子の製造に使われるものならば、Si などを含んで制限なしに使用されうる。そして、半導体基板 20 上にトンネリング酸化層 22 を蒸着する。トンネリング酸化層 22 は、 SiO_2 のような絶縁物質を約 2 ないし 4 nm の厚さに蒸着して形成させ、それは、従来の技術による半導体製造工程をそのまま利用できる。トンネリング酸化層 22 を形成させた後、電荷保存層 23 をトンネリング酸化層 22 上に蒸着させる。電荷保存層 2 20
3 は、 Si_3N_4 などの高誘電定数を有する High-k 物質を使用する。

【0030】

そして、電荷保存層 23 上にブロッキング酸化層 24 を蒸着させる。ブロッキング酸化層 24 物質は、例えば、 SiO_2 や Al_2O_3 などのような誘電物質を使用して約 3.5 ないし 20 nm の厚さに形成させうる。ブロッキング酸化層 24 を蒸着する場合、ブロッキング酸化層 24 が負電圧の固定酸化膜電荷の特性を有させるために、N、O、F、Si、P、S、Cl、C、As、Se、Br、Te、I または At 元素が含まれた雰囲気ガスをチャンバ内に注入し、650 以上の温度範囲で RTA 工程を実施する。具体的には、700 ないし 1000 の温度範囲で実施することが望ましい。

【0031】

使われるガスは、例えば、 O_2 ガス、 NH_3 ガスまたは RuO ガスなどを使用できる。ガス分圧の場合は、あまり重要な要素ではなく、装備によって実験者が任意に調節して進めうる。このような工程によって、O 元素や N 元素がブロッキング酸化層 24 に負電圧の固定酸化膜電荷の特性を有させる。但し、 N_2 または N_2O ガスを注入した場合には、ブロッキング酸化層 24 が負電圧の固定酸化膜電荷の特性を有することは、容易でない。したがって、窒素元素をブロッキング酸化層 24 内に投入しようとする場合、 NH_3 ガスを雰囲気ガスとして使用することが望ましい。そして、ブロッキング酸化層 24 上にゲート電極層 25 を形成させる。ゲート電極層 25 は、通常の半導体メモリ素子の製造時に使用する伝導性物質を使用できる。

【0032】

そして、図 3 B 及び図 3 C を参照すれば、トンネリング酸化層 22、電荷保存層 23、ブロッキング酸化層 24 及びゲート電極層 25 の両側部をエッチングして半導体基板 20 の両側上部を露出させる。そして、露出された半導体基板 20 の両側上部に対して不純物をドーピングする。不純物のドーピングによって、半導体基板 20 には、第 1 不純物領域 21 a 及び第 2 不純物領域 21 b が形成される。最後に、熱処理工程を実施して第 1 不純物領域 21 a 及び第 2 不純物領域 21 b を活性化させる。

【0033】

前述した図 3 A ないし図 3 C についての説明では、ブロッキング酸化層 24 の負電圧の固定酸化膜電荷に特性付与するための工程を、ブロッキング酸化層 24 を電荷保存層 23 上に形成させた直後に実施することを記載したが、これに限定されるものではない。選択 50

的に、第1不純物領域21a及び第2不純物領域21bを何れも形成させた後に実施して、ブロッキング酸化層24の側部を通じて酸素元素や窒素元素を浸透させてブロッキング酸化層24に負電圧の固定酸化膜電荷の特性を有させることも可能である。

【0034】

図4は、前述した図3Aないし図3Cの工程によって製造した試片の熱処理温度による電荷値を示すグラフである。ここで、横軸は、酸素雰囲気下での熱処理温度を表し、縦軸は、 N_f (Q_f / Q) 値を表すものである。

【0035】

図4を参照すれば、約650以上のアニーリングを実施する場合、ブロッキング酸化層24が負電圧の固定酸化膜電荷の特性を有するということが分かる。

10

【0036】

図5Aないし図5Cは、本発明の実施形態による消去特性が改善されたメモリ素子の電気的特性を示すグラフである。

【0037】

図5Aを参照すれば、情報記録時にバイアス電圧を約13Vないし17Vで印加した場合、記録状態での V_{th} 値が1V以上に増加し、メモリ素子として使用されうることが分かる。

【0038】

図5Bを参照すれば、250で2時間加熱して、85で10年間使用したメモリ素子の V_{th} の変化を推定すれば、-0.3V以上の小さな変化を表すということが分かる。

20

【0039】

図5Cを参照すれば、情報記録及び情報消去(P/E)を実施し続けてフラットバンド電圧 V_{FB} 値を測定した結果、 10^4 回のP/Eサイクルを反復したが、情報記録及び消去時のフラットバンド電圧の値をそのまま維持しているということが分かる。

【0040】

前記説明で多くの事項が具体的に記載されているが、それらは、発明の範囲を限定するものではなく、望ましい実施形態の例示として解釈されねばならない。すなわち、本発明の特徴は、SONOSメモリ素子を含むチャージトラップ型のメモリ素子に何れも適用可能である。したがって、本発明の範囲は、説明された実施形態によって決定されず、特許請求の範囲に記載された技術的思想によって決定されねばならない。

30

【産業上の利用可能性】

【0041】

本発明は、SONOSメモリ素子を含むチャージトラップ型の何れのメモリ素子にも適用可能である。

【図面の簡単な説明】

【0042】

【図1】従来の技術によるメモリ素子の一般的な形態を示す図面である。

【図2A】本発明によるメモリ素子の構造を示す図面である。

【図2B】メモリ素子の初期状態のフラットバンド電圧 V_{FB} と情報消去時の最小フラットバンド電圧 V_{FB} との関係を示すグラフである。

40

【図3A】本発明の実施形態による消去特性が改善されたメモリ素子の製造方法を示す図面である。

【図3B】本発明の実施形態による消去特性が改善されたメモリ素子の製造方法を示す図面である。

【図3C】本発明の実施形態による消去特性が改善されたメモリ素子の製造方法を示す図面である。

【図4】本発明の実施形態によるメモリ素子の消去特性及びリテンション特性を示すグラフである。

【図5A】本発明の実施形態による電気的特性を示すグラフである。

50

【図 5 B】本発明の実施形態による電気的特性を示すグラフである。

【図 5 C】本発明の実施形態による電気的特性を示すグラフである。

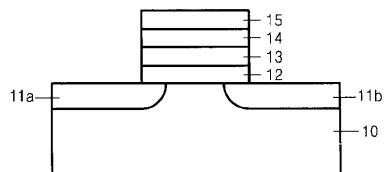
【符号の説明】

【0043】

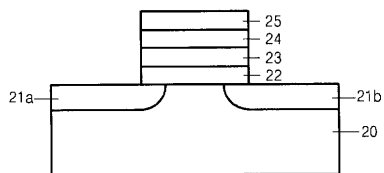
- 10, 20 半導体基板
- 11a, 21a 第1不純物領域
- 11b, 21b 第2不純物領域
- 12, 22 トンネリング酸化層
- 13, 23 電荷保存層
- 14, 24 ブロッキング酸化層
- 15, 25 ゲート電極層

10

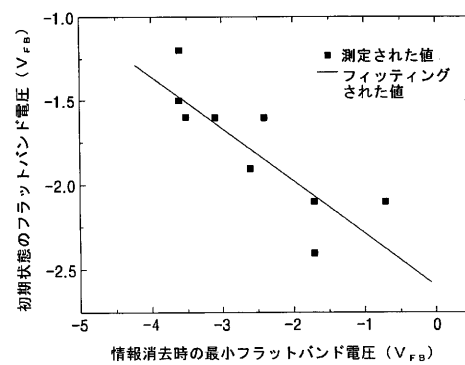
【図 1】



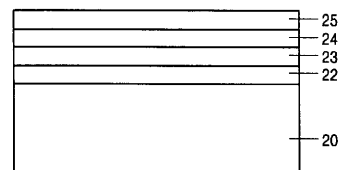
【図 2 A】



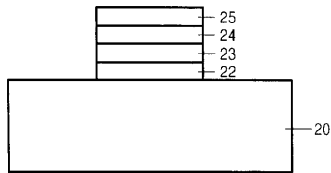
【図 2 B】



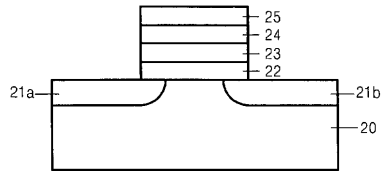
【図 3 A】



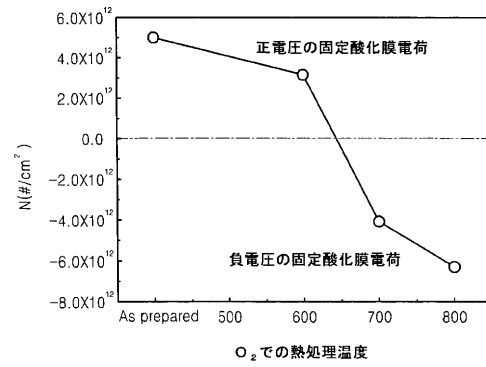
【図 3 B】



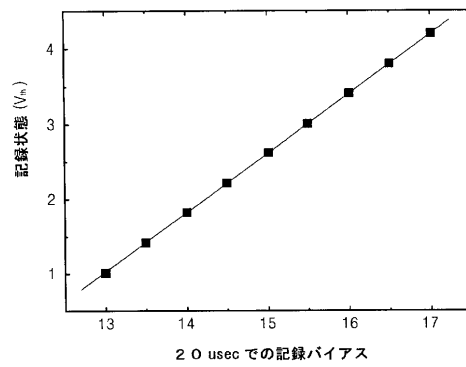
【図 3 C】



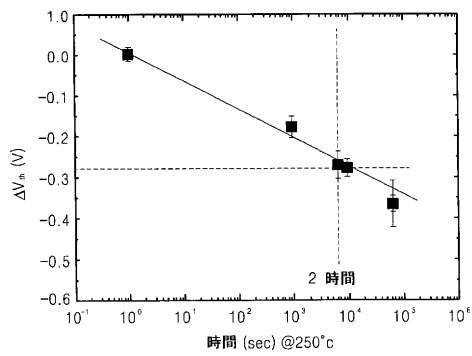
【図 4】



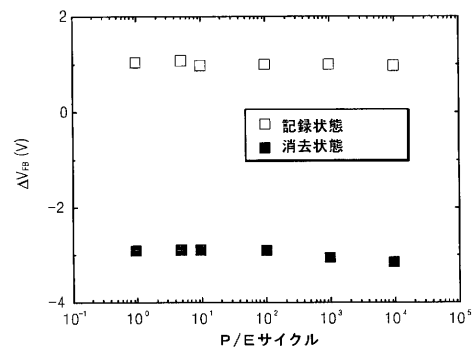
【図 5 A】



【図 5 B】



【図 5 C】



フロントページの続き

- (72)発明者 田 尚勲
大韓民国首爾道江南區驛三 2 洞 7 2 0 - 2 5 番地 大宇ザ・オビールアパート 5 1 6 號
- (72)発明者 金 奎植
大韓民国京畿道龍仁市器興區南羅洞 5 5 3 番地 民俗マウル雙龍アパート 1 0 8 棟 7 0 3 號
- (72)発明者 金 ▲チュン▼雨
大韓民国京畿道水原市靈通區網浦洞 4 8 8 番地 スルプルン碧山アパート 1 1 5 棟 2 0 6 號
- (72)発明者 朴 星昊
大韓民国京畿道龍仁市器興區新葛洞 8 6 番地 セチョンニョン・グリーンビル 4 團地アパート 4 1
1 棟 1 3 0 2 號
- (72)発明者 閔 若瑟
大韓民国京畿道龍仁市器興區靈徳洞 1 3 番地 斗眞アパート 1 0 4 棟 1 5 0 6 號
- (72)発明者 韓 禎希
大韓民国京畿道水原市靈通區網浦洞 4 8 8 番地 スルプルン碧山アパート 1 1 7 棟 1 3 0 4 號
- F ターム(参考) 5F083 EP17 EP18 EP22 ER30 GA27 JA02 JA04 JA19 PR34
5F101 BA45 BA54 BB02 BD02 BE07 BH16