

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月3日(03.05.2018)



(10) 国際公開番号

WO 2018/079142 A1

(51) 国際特許分類:

H05K 1/16 (2006.01) H01L 23/12 (2006.01)
H01F 17/00 (2006.01) H02M 3/00 (2006.01)
H01F 17/04 (2006.01) H05K 3/46 (2006.01)

(74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目4番34号 Osaka (JP).

(21) 国際出願番号: PCT/JP2017/034081

(22) 国際出願日: 2017年9月21日(21.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-207425 2016年10月24日(24.10.2016) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1
丁目10番1号 Kyoto (JP).

(72) 発明者: 米森 啓人 (YONEMORI Keito);
〒6178555 京都府長岡京市東神足 1 丁目10番
1号 株式会社村田製作所内 Kyoto (JP).

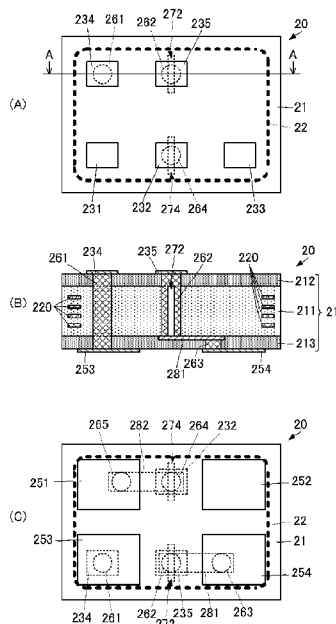
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: MULTILAYER SUBSTRATE WITH BUILT-IN COIL AND POWER SUPPLY MODULE

(54) 発明の名称: コイル内蔵多層基板、電源モジュール

[FIG.1]



(57) Abstract: The present invention increases the diameter of a coil as much as possible and suppresses the parasitic inductance of an interlayer connection conductor. A multilayer substrate (20) with a built-in coil is provided with a multilayer substrate (21), a coil (22), interlayer connection conductors (262, 264) and voids (272, 274). The multilayer substrate (21) contains a magnetic layer (211), while having a land conductor for component mounting on a first main surface and a terminal conductor on a second main surface. The coil (22) is provided on the magnetic layer (211) and has a shape that has an axis in a direction perpendicular to the first main surface and the second main surface. The interlayer connection conductors (262, 264) are formed in the inside region of the spiral coil (22), said region being a part of the magnetic layer (211). The voids (272, 274) respectively penetrate through the lateral surfaces of the interlayer connection conductors (262, 264).

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：コイルの径をできる限り大きくし、且つ、層間接続導体の寄生インダクタンスを抑制する。コイル内蔵多層基板（20）は、多層基板（21）、コイル（22）、層間接続導体（262、264）、および、空隙（272、274）を備える。多層基板（21）は、磁性体層（211）を含み、第1主面に部品実装用ランド導体を有し、第2主面に端子導体を有する。コイル（22）は、磁性体層（211）に設けられ、第1主面と第2主面とに直交する方向に軸を有する形状である。層間接続導体（262、264）は、磁性体層（211）であって螺旋形のコイル（22）の内側領域に形成されている。空隙（272、274）は、層間接続導体（262、264）の側面を、それぞれに貫通している。

明 細 書

発明の名称： コイル内蔵多層基板、電源モジュール

技術分野

[0001] 本発明は、コイルが内蔵された磁性体層を含むコイル内蔵多層基板、および、これを用いた電源モジュールに関する。

背景技術

[0002] 特許文献 1 には、磁性体基板と表面実装部品とを備える D C D C コンバータモジュールが記載されている。磁性体基板の内部には、螺旋状の導体パターンからなるコイルが形成されている。磁性体基板の第 1 主面には、部品実装用ランド導体が形成されており、前記第 1 主面に対向する面である磁性体基板の第 2 主面には、端子導体が形成されている。表面実装部品は、部品実装用ランド導体に実装されている。

[0003] 磁性体基板には、層間接続導体が形成されている。層間接続導体は、部品実装用ランド導体と端子導体とを接続している。層間接続導体は、磁性体基板の内部において、コイルを形成する導体パターンと側面との間に形成されている。

先行技術文献

特許文献

[0004] 特許文献 1：特許第 4 3 2 5 7 4 7 号明細書

発明の概要

発明が解決しようとする課題

[0005] 特許文献 1 に示す構成では、コイルの外側に層間接続導体を形成する分、コイルの径を小さくしなければならない。また、層間接続導体が磁性体内を通過することによって、寄生インダクタンス成分が発生してしまう。

[0006] このため、D C D C コンバータモジュールの小型化と軽負荷・高効率とを両立させることは難しい。

[0007] したがって、本発明は、コイルが磁性体に内蔵された構造において、コイ

ルの径をできる限り大きくし、且つ、層間接続導体の寄生インダクタンスを抑制できるコイル内蔵多層基板を提供することにある。

課題を解決するための手段

- [0008] この発明のコイル内蔵多層基板は、多層基板、コイル導体パターン、層間接続導体、および、磁界妨害部を備える。多層基板は、磁性体層を含み、第1主面に部品実装用ランド導体を有し、第1主面に対向する面である第2主面に端子導体を有する。コイル導体パターンは、磁性体層に設けられ、第1主面と第2主面とに直交する方向に軸を有する形状である。層間接続導体は、磁性体層であって、螺旋形のコイル導体パターンの内側領域に形成され、部品実装用ランド導体と端子導体とを接続する。磁界妨害部は、層間接続導体に接し、且つ、層間接続導体の延びる方向に沿って設けられた空隙、または、層間接続導体に接し、且つ、層間接続導体の延びる方向に沿って設けられた磁性体層の透磁率よりも低い透磁率を有する絶縁性材料である。
- [0009] この構成では、層間接続導体が螺旋状のコイル導体パターンの内側であるので、コイル導体パターンの開口径を大きく取れる。また、磁界妨害部によって層間接続導体の側面に沿って生じる周回状の磁界が遮断または抑制される。
- [0010] また、この発明のコイル内蔵多層基板では、磁界防御部は、前記磁性体層の厚み方向の全長に亘って延びていることが好ましい。
- [0011] この構成では、より確実に磁界が遮断または抑制される。
- [0012] また、この発明のコイル内蔵多層基板では、磁界妨害部は、層間接続導体を分割する形状であってもよい。
- [0013] この構成でも、磁界妨害部によって層間接続導体の側面に沿って生じる周回状の磁界が遮断または抑制される。また、加工誤差によって磁界妨害部が層間接続導体の側面に接しないということが防げる。
- [0014] また、この発明のコイル内蔵多層基板では、磁界妨害部は、層間接続導体の側面に当接する形状であることが好ましい。
- [0015] この構成では、層間接続導体の側面に沿った磁界が確実に分断される。

- [0016] また、この発明のコイル内蔵多層基板では、磁界妨害部は、層間接続導体の複数箇所に接する形状であることが好ましい。
- [0017] この構成では、層間接続導体の側面に沿って生じる周回状の磁界がより効果的に遮断または抑制される。
- [0018] また、この発明のコイル内蔵多層基板では、次の構成であってもよい。層間接続導体は複数であり、第1の層間接続導体と第2の層間接続導体とを含む。第1の層間接続導体に対して形成された磁界妨害部と、第2の層間接続導体に対して形成された磁界妨害部は、繋がっている。
- [0019] この構成では、層間接続導体が複数存在する場合に、それぞれに対する磁界がより効果的に遮断または抑制される。
- [0020] また、この発明のコイル内蔵多層基板では、磁界妨害部は、磁性体層の第1主面と第2主面とに接続する面である側面に達する形状であることが好ましい。
- [0021] この構成では、層間接続導体の側面に沿って生じる周回状の磁界がより効果的に遮断または抑制される。
- [0022] また、この発明の電源モジュールは、コイル内蔵多層基板と、部品実装用ランド導体の実装されたスイッチングICと、を備える。コイル内蔵多層基板は、磁性体層を含み、第1主面に実装用ランド導体を有し、第1主面に対向する面である第2主面に端子導体を有する多層基板と、磁性体層に設けられ、第1主面と第2主面とに直交する方向に軸を有する螺旋形のコイル導体パターンと、を備える。コイル内蔵多層基板は、さらに、磁性体層であって、螺旋形のコイル導体パターンの内側領域に形成され、実装用ランド導体と端子導体とを接続する層間接続導体と、層間接続導体に接し、且つ、層間接続導体の延びる方向に沿って設けられた空隙、または、層間接続導体に接し、且つ、層間接続導体の延びる方向に沿って設けられた磁性体層の透磁率よりも低い透磁率を有する絶縁性材料である磁界妨害部と、を備える。そして、電源モジュールは、磁性体層に形成されたコイル導体パターンを、チョークコイルとする。

[0023] この構成では、スイッチング IC に接続する層間接続導体の側面に沿って生じる周回状の磁界が遮断または抑制される。

[0024] また、この発明の電源モジュールでは、層間接続導体は、スイッチング IC に対する接地用端子、イネーブル信号入力端子、および電圧入力端子の少なくとも 1 つに接続される層間接続導体であることが好ましい。

[0025] この構成では、スイッチング IC の特性が安定化する。

発明の効果

[0026] この発明によれば、コイルが磁性体に内蔵された構造において、限られた面積の多層基板でコイルの径をできる限り大きくでき、且つ、層間接続導体の寄生インダクタンスを抑制できる。

図面の簡単な説明

[0027] [図1] (A) は本発明の第 1 の実施形態に係るコイル内蔵多層基板の第 1 主面の平面図であり、(B) は本発明の第 1 の実施形態に係るコイル内蔵多層基板の側面断面図であり、(C) は本発明の第 1 の実施形態に係るコイル内蔵多層基板の第 2 主面の平面図である。

[図2] 本発明の第 1 の実施形態に係る電源モジュールの分解斜視図である。

[図3] 磁界妨害部が設けられた層間接続導体の部分を拡大した斜視図である。

[図4] 本発明の第 1 の実施形態に係る電源回路の回路図である。

[図5] (A) は本発明の第 2 の実施形態に係るコイル内蔵多層基板の第 1 主面の平面図であり、(B) は本発明の第 2 の実施形態に係るコイル内蔵多層基板の第 2 主面の平面図である。

[図6] (A) は、本発明の第 3 の実施形態に係るコイル内蔵多層基板の第 1 主面の平面図であり、(B) は、本発明の第 3 の実施形態に係るコイル内蔵多層基板の側面断面図であり、(C) は、本発明の第 3 の実施形態に係るコイル内蔵多層基板の第 2 主面の平面図である。

[図7] 本発明の第 3 の実施形態に係るコイル内蔵多層基板の磁性体層を形成する 1 つの磁性体シートの構成を示す斜視図である。

[図8] (A) は本発明の第 4 の実施形態に係るコイル内蔵多層基板の第 1 主面

の平面図であり、（Ｂ）は本発明の第４の実施形態に係るコイル内蔵多層基板の側面断面図であり、（Ｃ）は本発明の第４の実施形態に係るコイル内蔵多層基板の第２主面の平面図である。

[図9]本発明の第４の実施形態に係るコイル内蔵多層基板の磁性体層を形成する１つの磁性体シートの構成を示す斜視図である。

発明を実施するための形態

[0028] 本発明の第１の実施形態に係るコイル内蔵多層基板および電源モジュールについて、図を参照して説明する。図１（Ａ）は、本発明の第１の実施形態に係るコイル内蔵多層基板の第１主面の平面図である。図１（Ｂ）は、本発明の第１の実施形態に係るコイル内蔵多層基板の側面断面図である。図１（Ｃ）は、本発明の第１の実施形態に係るコイル内蔵多層基板の第２主面の平面図である。図２は、本発明の第１の実施形態に係る電源モジュールの分解斜視図である。図３は、磁界妨害部が設けられた層間接続導体の部分を拡大した斜視図である。

[0029] 図１、図２に示すように、電源モジュール１０は、コイル内蔵多層基板２０とスイッチングＩＣ３０とを備える。スイッチングＩＣ３０は、コイル内蔵多層基板２０の第１主面に実装されている。

[0030] コイル内蔵多層基板２０は、多層基板２１、コイル２２、実装用ランド導体２３１、２３２、２３３、２３４、２３５、端子導体２５１、２５２、２５３、２５４、層間接続導体２６１、２６２、２６３、２６４、２６５、空隙２７２、２７４、および、配線導体２８１、２８２を備える。

[0031] 多層基板２１は、磁性体層２１１、非磁性体層２１２、２１３を備える。非磁性体層２１２、２１３は、磁性体層２１１に対して透磁率が低い低磁性体であってもよい。

[0032] 磁性体層２１１は、複数の磁性体シートを積層してなる。磁性体層２１１は、互いに対向する第１主面と第２主面とを有し、第１主面と第２主面とを接続する面である側面を有する。非磁性体層２１２は、磁性体層２１１の第１主面に配置されている。これにより、多層基板２１の第１主面は、非磁性

体層 2 1 2 の第 1 主面である。非磁性体層 2 1 3 は、磁性体層 2 1 1 の第 2 主面に配置されている。これにより、多層基板 2 1 の第 2 主面は、非磁性体層 2 1 3 の第 2 主面である。すなわち、多層基板 2 1 も、互いに対向する第 1 主面と第 2 主面とを有し、第 1 主面と第 2 主面とを接続する面である側面を有する。

[0033] 磁性体層 2 1 1 を形成する所定の複数の磁性体シートには、それぞれコイル導体パターン 2 2 0 が形成されている。各磁性体シートのコイル導体パターン 2 2 0 は、図示しないコイル用層間接続導体によって接続されている。これにより、多層基板 2 1 の第 1 主面および第 2 主面に直交する方向（多層基板 2 1 の厚み方向）に平行な軸を有する螺旋形のコイル 2 2 が形成される。この際、各コイル導体パターン 2 2 0 と磁性体層 2 1 1 の側面との間には、層間接続導体等が形成されておらず、各コイル導体パターン 2 2 0 は、磁性体層 2 1 1 の側面に近接している。これにより、螺旋形のコイル 2 2 の開口径は、多層基板 2 1 にコイル 2 2 を内蔵するという制限範囲内において、可能な限り大きくなる。これにより、特に軽負荷で高効率なコイルが実現される。

[0034] 実装用ランド導体 2 3 1、2 3 2、2 3 3、2 3 4、2 3 5 は、平面視して、それぞれに矩形であり、多層基板 2 1 の第 1 主面に形成されている。端子導体 2 5 1、2 5 2、2 5 3、2 5 4 は、平面視して、それぞれに矩形であり、多層基板 2 1 の第 2 主面に形成されている。

[0035] 層間接続導体 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5 は、多層基板 2 1 を平面視して、コイル 2 2 の内側領域に配置されている。これらの層間接続導体 2 6 1、2 6 2、2 6 3、2 6 4、2 6 5 は、多層基板 2 1 の内部にて厚み方向に延設されたビアホール導体であり、モジュールを構成するのに必要な全てのビアホール導体をコイル 2 2 のコイル開口内に設けることが好ましい。なお、この場合であっても、多層基板 2 1 の側面に端面電極があることを妨げるものではない。

[0036] 層間接続導体 2 6 1 は、多層基板 2 1 を厚み方向に貫く形状であり、実装

用ランド導体 231 と端子導体 253 とを接続している。

[0037] 層間接続導体 262 は、多層基板 21 における非磁性体層 212 と磁性体層 211 とを貫く形状であり、磁性体層 211 と非磁性体層 213 との界面に配置された配線導体 281 と、実装用ランド導体 235 と、を接続している。

[0038] 層間接続導体 263 は、多層基板 21 における非磁性体層 213 を貫く形状であり、配線導体 281 と端子導体 254 とを接続している。

[0039] 層間接続導体 264 は、多層基板 21 における非磁性体層 212 と磁性体層 211 とを貫く形状であり、磁性体層 211 と非磁性体層 213 との界面に配置された配線導体 282 と、実装用ランド導体 232 と、を接続している。

[0040] 層間接続導体 265 は、多層基板 21 における非磁性体層 213 を貫く形状であり、配線導体 282 と端子導体 251 とを接続している。

[0041] 磁性体層 211 における層間接続導体 262 が形成される部分には、空隙 272 が設けられている。空隙 272 は、内包される気体の透磁率が磁性体層 211 よりも低いので、本発明の「磁界妨害部」と同じ機能を生じる。磁界妨害部は、層間接続導体の周囲に生じる誘導磁界が層間接続導体の周側面に沿って最短経路で周回するのを防ぐための領域である。空隙 272 は、直方体の外形を有する空間である。空隙 272 は、層間接続導体 262 の側面に直交する方向（多層基板 21 の第 1 主面および第 2 主面に平行な方向）に延びる形状であり、層間接続導体 262 の側面の二箇所を貫いている。さらに、空隙 272 は、層間接続導体 262 の延びる方向において磁性体層 211 の厚み方向の全長に亘って延びる形状で設けられている。言い換えれば、空隙 272 は、層間接続導体 262 における磁性体層 211 に形成されている部分を二分割する形状である。

[0042] このような構成とすることによって、図 3 に示すように、層間接続導体 262 に電流が流れた際に、磁性体層 211 に生じる磁界は、空隙 272 によって遮断される。これにより、層間接続導体 262 による寄生インダクタン

スの発生は抑制される。

[0043] 磁性体層 2 1 1 における層間接続導体 2 6 4 が形成される部分には、空隙 2 7 4 が設けられている。空隙 2 7 4 は、本発明の「磁界妨害部」と同じ機能を生じる。空隙 2 7 4 は、直方体の外形を有する空間である。空隙 2 7 4 は、層間接続導体 2 6 4 の側面に直交する方向（多層基板 2 1 の第 1 主面および第 2 主面に平行な方向）に延びる形状であり、層間接続導体 2 6 4 の側面の二箇所を貫いている。さらに、空隙 2 7 4 は、層間接続導体 2 6 4 の延びる方向において磁性体層 2 1 1 の厚み方向の全長に亘って延びる形状で設けられている。言い換えれば、空隙 2 7 4 は、層間接続導体 2 6 4 における磁性体層 2 1 1 に形成されている部分を二分割する形状である。

[0044] このような構成とすることによって、層間接続導体 2 6 2 に対する空隙 2 7 2 と同様に、層間接続導体 2 6 4 に電流が流れた際に、磁性体層 2 1 1 に生じる磁界は、空隙 2 7 4 によって遮断される。これにより、層間接続導体 2 6 4 による寄生インダクタンスの発生は抑制される。

[0045] このように、本実施形態に係るコイル内蔵多層基板を用いることによって、層間接続導体をコイルの外側ではなく内側に設けることができるので、コイルの開口をできる限り大きくでき、且つ層間接続導体による寄生インダクタンスの発生を抑制できる。

[0046] なお、空隙 2 7 2、2 7 4 は、磁性体層 2 1 1 の厚み方向において部分的に設けられていてもよい。しかしながら、空隙 2 7 2、2 7 4 が磁性体層 2 1 1 の厚み方向の全長に亘って形成されていることによって、磁界の遮断効果が向上し、より有効である。

[0047] なお、電源モジュール 1 0 では、層間接続導体 2 6 1 に、層間接続導体 2 6 2、2 6 4 と同様の空隙を設けていないが、層間接続導体 2 6 1 に対しても空隙を設けてもよい。

[0048] このような構成からなるコイル内蔵多層基板 2 0 は、例えば、次のような工程によって製造される。

[0049] まず、コイル導体パターン 2 2 0 がそれぞれに形成された複数の磁性体セ

ラミックグリーンシートを積層し、焼結前の磁性体層 211 を形成する。次に、焼結前の磁性体層 211 に層間接続導体 261、262、264 用の貫通孔を形成し、当該貫通孔に層間接続導体 261、262、264 を形成する。次に、焼結前の磁性体層 211 における層間接続導体 262、264 の部分に空隙 274 となる凹部を形成する。そして、磁性体層 211 の第 1 主面に、非磁性体セラミックグリーンシートからなる非磁性体層 212 を当接させ、磁性体層 211 の第 2 主面に非磁性体層 213 を当接させる。この際、非磁性体層 212 には、層間接続導体 262、264 の一部となる部分を形成しておく。また、非磁性体層 213 には、配線導体 281、282 を形成しておく。そして、これら磁性体層 211 を非磁性体層 212、213 で挟みこむ形状の多層基板 21 を焼結させる。

[0050] このようなコイル内蔵多層基板 20 を有する電源モジュール 10 は、図 4 に示すような電源回路に適用される。図 4 は、本発明の第 1 の実施形態に係る電源回路の回路図である。

[0051] 図 4 に示すように、電源回路は、コイル 22、スイッチング IC 30、入力コンデンサ 92、出力コンデンサ 94、電圧入力端子 V_{in} 、および、電圧出力端子 V_{out} を備える。電圧入力端子 V_{in} と電圧出力端子 V_{out} との間には、チョークコイルとなるコイル 22 が接続されている。コイル 22 の電圧入力端子 V_{in} 側には、スイッチング IC 30 が接続されている。電圧入力端子 V_{in} と基準電位（グランド電位）との間には、入力コンデンサ 92 が接続されている。電圧出力端子 V_{out} と基準電位（グランド電位）との間には、出力コンデンサ 94 が接続されている。

[0052] スwitching IC 30 は、入力端子 P_{VIN} 、コイル側端子 P_{LX} 、イネーブル信号入力端子 P_{EN} 、および、接地用端子 P_{GND} を備える。入力端子 P_{VIN} は、コイル内蔵多層基板 20 の実装用ランド導体 234 に実装される端子であり、電源モジュール 10 の端子導体 253 を介して、電圧入力端子 V_{in} に接続されている。イネーブル信号入力端子 P_{EN} は、コイル内蔵多層基板 20 の実装用ランド導体 232 に実装される端子であり、電源モジュール 10 の端

子導体 251 に接続されている。接地用端子 P_{GND} は、コイル内蔵多層基板 20 の実装用ランド導体 235 に実装される端子であり、電源モジュール 10 の端子導体 254 を介して、基準電位（グランド電位）に接続されている。

[0053] この構成によって、電源回路は、降圧型の D C D C コンバータとして機能する。すなわち、電源モジュール 10 は、D C D C コンバータモジュールとして機能する。このような構成において、スイッチング I C 30 を基準電位に接続させる導体経路の層間接続導体 262 に空隙 272 が設けられ、イネーブル信号が伝送する層間接続導体 264 に空隙 274 が設けられる。これにより、スイッチング I C 30 の動作は安定し、スイッチング特性は向上し、安定した出力が得られる。さらに、コイル内蔵多層基板 20 が上述の構造であることで、軽負荷で高効率の電源回路を実現できる。

[0054] 一般に、軽負荷で高効率の電源回路を小型化する場合、コイルの開口径が小さくなってしまう。例えば、P F M モード駆動で、50 [mA] 以下の D C D C コンバータを実現する場合、磁性体層のコア材に起因する鉄損（ヒステリシス損、渦電流損）が効率特性およびコイル特性に与える影響は大きい。そして、ヒステリシス損は、磁束密度の二乗に比例する。

[0055] このため、軽負荷において高効率化を実現するためには、ヒステリシス損を小さくする必要がある。ここで、コア材の材料を変更しなければ、コイルの開口径を大きくする必要がある。したがって、本発明のコイル内蔵多層基板 20 を用いることによって、コイルの開口径を大きくでき、軽負荷で高効率の電源回路を実現できる。

[0056] 次に、第 2 の実施形態に係るコイル内蔵多層基板について、図を参照して説明する。図 5（A）は、本発明の第 2 の実施形態に係るコイル内蔵多層基板の第 1 主面の平面図である。図 5（B）は、本発明の第 2 の実施形態に係るコイル内蔵多層基板の第 2 主面の平面図である。

[0057] 図 5（A）および図 5（B）に示すように、本実施形態に係るコイル内蔵多層基板 20 A は、第 1 の実施形態に係るコイル内蔵多層基板 20 に対して、空隙 270 A を備える点で異なる。コイル内蔵多層基板 20 A の他の構成

は、第1の実施形態に係るコイル内蔵多層基板20と同様であり、同様の箇所の説明は省略する。

[0058] コイル内蔵多層基板20Aは、空隙270Aを備える。空隙270Aは、本発明の「磁界妨害部」に対応する。空隙270Aは、層間接続導体262と層間接続導体264とを貫く形状である。言い換えれば、空隙270Aは、第1の実施形態に係る空隙272と空隙274とが連通した形状である。

[0059] このような構成であっても、第1の実施形態と同様に、コイルの開口をできる限り大きくでき、且つ層間接続導体による寄生インダクタンスの発生を抑制できる。さらに、本実施形態の構成では、空隙270Aは、磁性体層211における層間接続導体262の側面から層間接続導体264の側面に亘って繋がっている。これにより、層間接続導体による寄生インダクタンスの発生をより効果的に抑制できる。

[0060] 次に、第3の実施形態に係るコイル内蔵多層基板について、図を参照して説明する。図6(A)は、本発明の第3の実施形態に係るコイル内蔵多層基板の第1主面の平面図である。図6(B)は、本発明の第3の実施形態に係るコイル内蔵多層基板の側面断面図である。図6(C)は、本発明の第3の実施形態に係るコイル内蔵多層基板の第2主面の平面図である。図7は、本発明の第3の実施形態に係るコイル内蔵多層基板の磁性体層を形成する1つの磁性体シートの構成を示す斜視図である。

[0061] 図6(A)、図6(B)、および図6(C)に示すように、本実施形態に係るコイル内蔵多層基板20Bは、第1の実施形態に係るコイル内蔵多層基板20に対して、空隙272B、274Bを備える点で異なる。コイル内蔵多層基板20Bの他の構成は、コイル内蔵多層基板20と同様であり、同様の箇所の説明は省略する。

[0062] コイル内蔵多層基板20Bは、空隙272B、274Bを備える。

[0063] 空隙272Bは、層間接続導体262を貫通し、且つ、層間接続導体262に最も近い磁性体層211の側面に開口している。空隙272Bには、非磁性体292Bが充填されている。非磁性体292Bは、磁性体層211よ

りも透磁率が低い材料に置き換えることもできる。

[0064] 空隙 274B は、層間接続導体 264 を貫通し、且つ、層間接続導体 264 に最も近い磁性体層 211 の側面に開口している。空隙 274B には、非磁性体 294B が充填されている。非磁性体 294B は、磁性体層 211 よりも低い透磁率を有する絶縁性材料に置き換えることもできる。非磁性体 292B および非磁性体 294B は、本発明の「磁界妨害部」に対応する。なお、磁性体層 211 よりも透磁率が低い材料は、磁性体層 211 を形成するための磁性体セラミックグリーンシートと同時焼成可能なセラミック材料であることが好ましい。

[0065] このような構成であっても、第 1 の実施形態と同様に、コイルの開口をできる限り大きくでき、且つ層間接続導体による寄生インダクタンスの発生を抑制できる。さらに、本実施形態の構成では、空隙 272B に充填された非磁性体 292B、空隙 274B に充填された非磁性体 294B が磁性体層 211 の側面に達している。これにより、層間接続導体による寄生インダクタンスの発生をより効果的に抑制できる。

[0066] この場合、コイル内蔵多層基板 20B の磁性体層は、図 7 に示す構造の磁性体シート 211LY を用いて実現される。

[0067] まず、磁性体シート 211LY に、複数の貫通孔を設け、層間接続導体 261、262、264 を形成する。次に、磁性体シート 211LY に、空隙 272B、274B を設け、空隙 272B に非磁性体 292B を充填し、空隙 274B に非磁性体 294B を充填する。この状態で、磁性体シート 211LY および非磁性体 292B、294B を仮焼成する。そして、磁性体シート 211LY および非磁性体 292B、294B の第 1 主面に、コイル導体パターン 220 を形成する。

[0068] 次に、第 4 の実施形態に係るコイル内蔵多層基板について、図を参照して説明する。図 8 (A) は、本発明の第 4 の実施形態に係るコイル内蔵多層基板の第 1 主面の平面図である。図 8 (B) は、本発明の第 4 の実施形態に係るコイル内蔵多層基板の側面断面図である。図 8 (C) は、本発明の第 4 の

実施形態に係るコイル内蔵多層基板の第2主面の平面図である。図9は、本発明の第4の実施形態に係るコイル内蔵多層基板の磁性体層を形成する1つの磁性体シートの構成を示す斜視図である。

[0069] 図8(A)、図8(B)、および図8(C)に示すように、本実施形態に係るコイル内蔵多層基板20Cは、第3の実施形態に係るコイル内蔵多層基板20Bに対して、空隙272C、274Cを備える点で異なる。コイル内蔵多層基板20Cの他の構成は、コイル内蔵多層基板20Bと同様であり、同様の箇所の説明は省略する。

[0070] コイル内蔵多層基板20Cは、空隙272C、274Cを備える。

[0071] 空隙272Cは、層間接続導体262を貫通せず、空隙272Cの一方端は、層間接続導体262の側面に面しており、他方端は、層間接続導体262に最も近い磁性体層211の側面に開口している。空隙272Cには、非磁性体292Cが充填されている。すなわち、非磁性体292Cは、層間接続導体262の側面に当接している。非磁性体292Cは、磁性体層211よりも透磁率が低い材料に置き換えることもできる。

[0072] 空隙274Cは、層間接続導体264を貫通せず、空隙274Cの一方端は、層間接続導体264の側面に面しており、他方端は、層間接続導体264に最も近い磁性体層211の側面に開口している。空隙274Cには、非磁性体294Cが充填されている。すなわち、非磁性体294Cは、層間接続導体264の側面に当接している。非磁性体294Cは、磁性体層211よりも透磁率が低い材料に置き換えることもできる。

[0073] このような構成であっても、第3の実施形態と同様に、コイルの開口をできる限り大きくでき、且つ層間接続導体による寄生インダクタンスの発生を抑制できる。さらに、本実施形態の構成では、空隙272C（非磁性体292C）が層間接続導体262を貫かず、層間接続導体262の側面に当接し、空隙274C（非磁性体294C）が層間接続導体264を貫かず、層間接続導体264の側面に当接している。これにより、磁性体層211における層間接続導体の断面積を大きくでき、低抵抗になる。

[0074] この場合、コイル内蔵多層基板 20C の磁性体層は、図 9 に示す構造の磁性体シート 211LY を用いて実現される。

[0075] まず、磁性体シート 211LY に、複数の貫通孔を設け、層間接続導体 261、262、264 を形成する。次に、磁性体シート 211LY に、空隙 272C、274C を設け、空隙 272C に非磁性体 292C を充填し、空隙 274C に非磁性体 294C を充填する。この状態で、磁性体シート 211LY および非磁性体 292C、294C を仮焼成する。そして、磁性体シート 211LY および非磁性体 292C、294C の第 1 主面に、コイル導体パターン 220 を形成する。

[0076] なお、上述の各実施形態では、空隙または非磁性体が、層間接続導体の側面の周上における 2 箇所 に当接、または貫く形状であるが、3 箇所以上であってもよく、1 箇所であってもよい。ただし、2 箇所以上（複数箇所）であることが好ましく、上述の作用効果を得るためには有効である。

符号の説明

- [0077] 10 : 電源モジュール
20、20A、20B、20C : コイル内蔵多層基板
21 : 多層基板
22 : コイル
30 : スイッチング IC
92 : 入力コンデンサ
94 : 出力コンデンサ
211 : 磁性体層
211LY : 磁性体シート
212、213 : 非磁性体層
220 : コイル導体パターン
231、232、234、235 : 実装用ランド導体
251、253、254 : 端子導体
261、262、263、264、265 : 層間接続導体

270A、272、272B、272C、274、274B、274C：空隙

281、282：配線導体

292B、292C、294B、294C：非磁性体

P_{EN}：イネーブル信号端子

P_{GND}：接地用端子

P_{LX}：コイル側端子

P_{Vin}：入力端子

P_{VIN}：入力端子

V_{in}：電圧入力端子

V_{out}：電圧出力端子

請求の範囲

- [請求項1] 磁性体層を含み、第1主面に実装用ランド導体を有し、前記第1主面に対向する面である第2主面に端子導体を有する多層基板と、
前記磁性体層に設けられ、前記第1主面と前記第2主面とに直交する方向に軸を有する螺旋形のコイル導体パターンと、
前記磁性体層であって、前記螺旋形のコイル導体パターンの内側領域に形成され、前記実装用ランド導体と前記端子導体とを接続する層間接続導体と、
前記層間接続導体に接し、且つ、前記層間接続導体の延びる方向に沿って設けられた空隙からなる、または、前記層間接続導体に接し、且つ、前記層間接続導体の延びる方向に沿って設けられた前記磁性体層の透磁率よりも低い透磁率を有する絶縁性材料である磁界妨害部と、
を備える、コイル内蔵多層基板。
- [請求項2] 前記磁界防御部は、前記磁性体層の厚み方向の全長に亘って延びる、
請求項1に記載のコイル内蔵多層基板。
- [請求項3] 前記磁界妨害部は、前記層間接続導体を分割する形状である、
請求項1または請求項2に記載のコイル内蔵多層基板。
- [請求項4] 前記磁界妨害部は、前記層間接続導体の側面に当接する形状である、
請求項1または請求項2に記載のコイル内蔵多層基板。
- [請求項5] 前記磁界妨害部は、前記層間接続導体の複数箇所に接する形状である、
請求項1乃至請求項4のいずれかに記載のコイル内蔵多層基板。
- [請求項6] 前記層間接続導体は複数であり、第1の層間接続導体と第2の層間接続導体とを含み、
前記第1の層間接続導体に対して形成された磁界妨害部と、前記第

2の層間接続導体に対して形成された磁界妨害部は、繋がっている、
請求項1乃至請求項5のいずれかに記載のコイル内蔵多層基板。

[請求項7] 前記磁界妨害部は、前記磁性体層の第1主面と第2主面とを接続する面である側面に達する形状である、

請求項1乃至請求項6のいずれかに記載のコイル内蔵多層基板。

[請求項8] 磁性体層を含み、第1主面に実装用ランド導体を有し、前記第1主面に対向する面である第2主面に端子導体を有する多層基板と、前記磁性体層に設けられ、前記第1主面と前記第2主面とに直交する方向に軸を有する螺旋形のコイル導体パターンと、を備えるコイル内蔵多層基板と、

前記実装用ランド導体の実装されたスイッチングICと、を備え、
前記コイル内蔵多層基板は、

前記磁性体層であって、前記螺旋形のコイル導体パターンの内側領域に形成され、前記実装用ランド導体と前記端子導体とを接続する層間接続導体と、

前記層間接続導体に接し、且つ、前記層間接続導体の延びる方向に沿って設けられた空隙、または、前記層間接続導体に接し、且つ、前記層間接続導体の延びる方向に沿って設けられた前記磁性体層の透磁率よりも低い透磁率を有する絶縁性材料である磁界妨害部と、

を備え、

前記磁性体層に形成された前記コイル導体パターンを、チョークコイルとする、

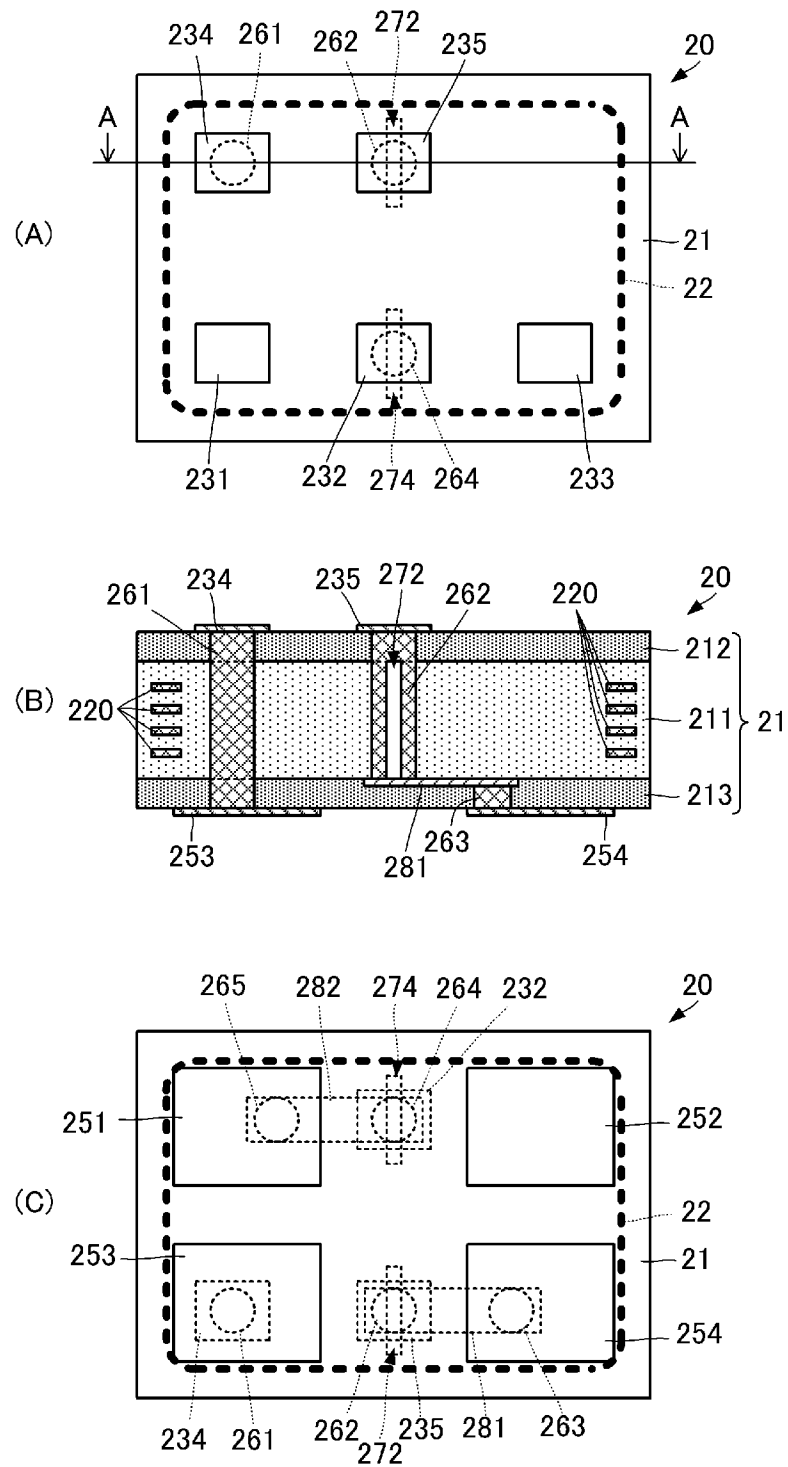
電源モジュール。

[請求項9] 前記層間接続導体は、前記スイッチングICに対する接地用端子、イネーブル信号入力端子、および電圧入力端子の少なくとも1つに接続される層間接続導体である、

請求項8に記載の電源モジュール。

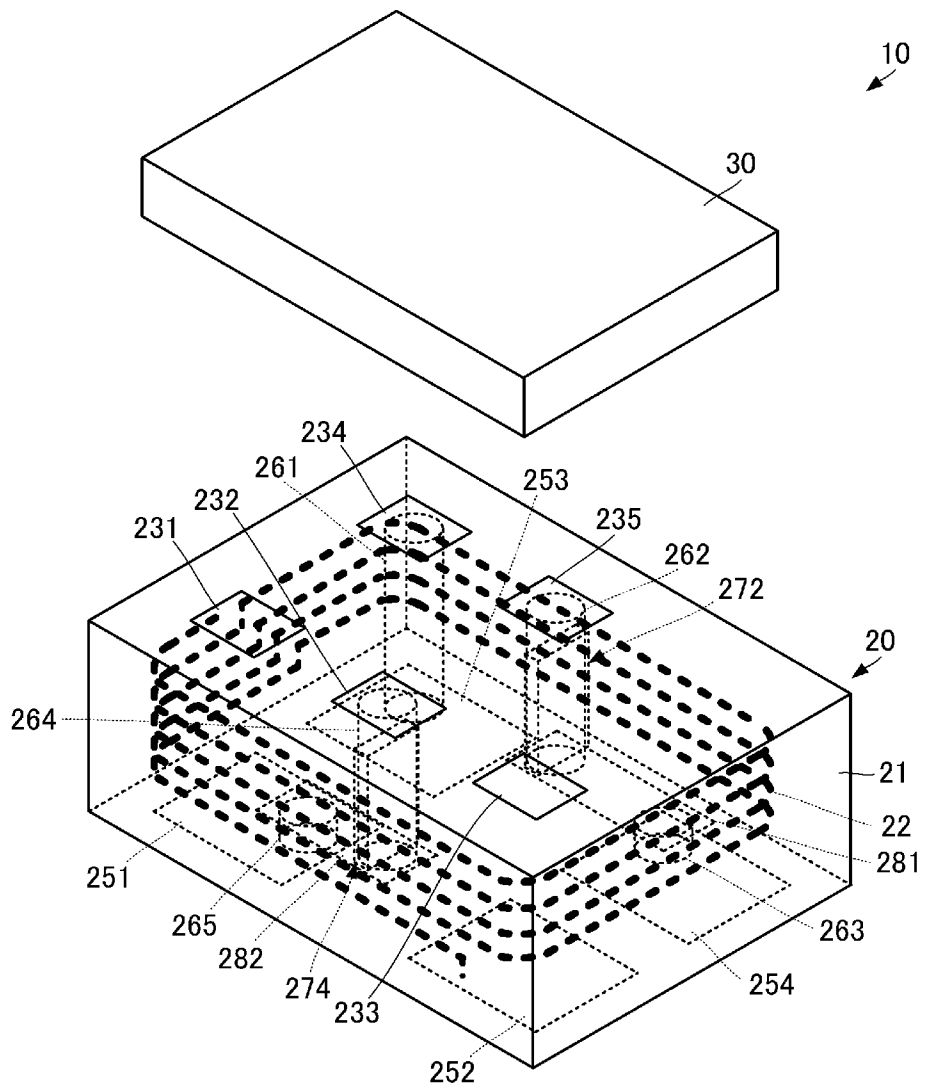
[図1]

【FIG.1】



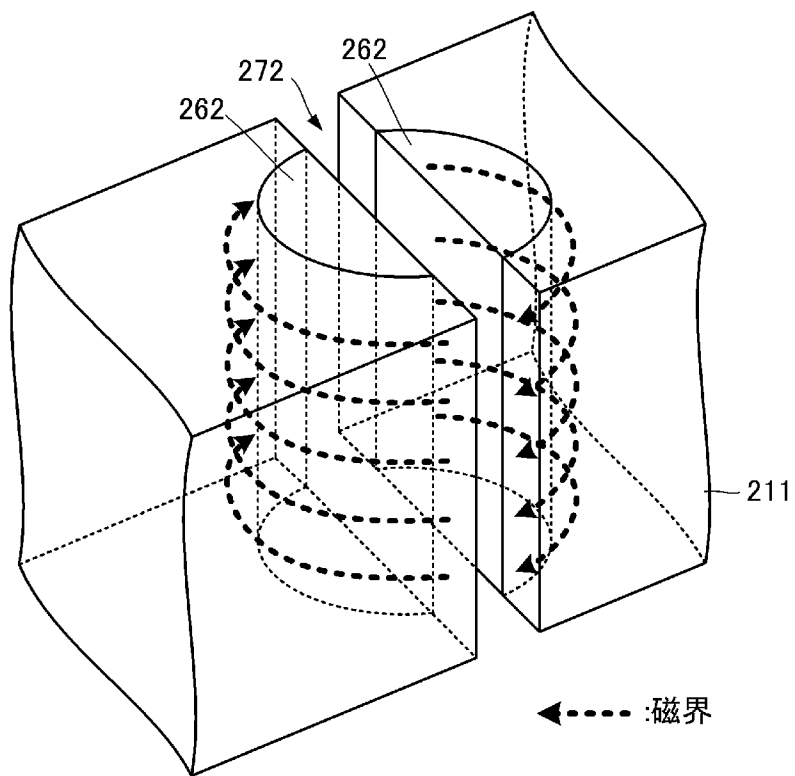
[図2]

【FIG.2】



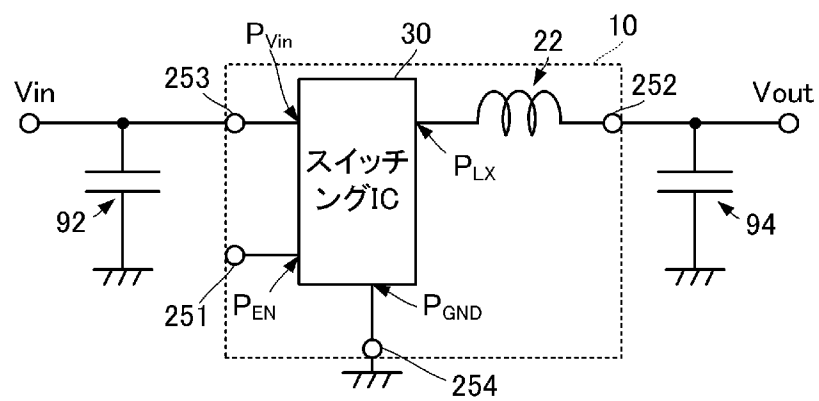
[図3]

【FIG.3】



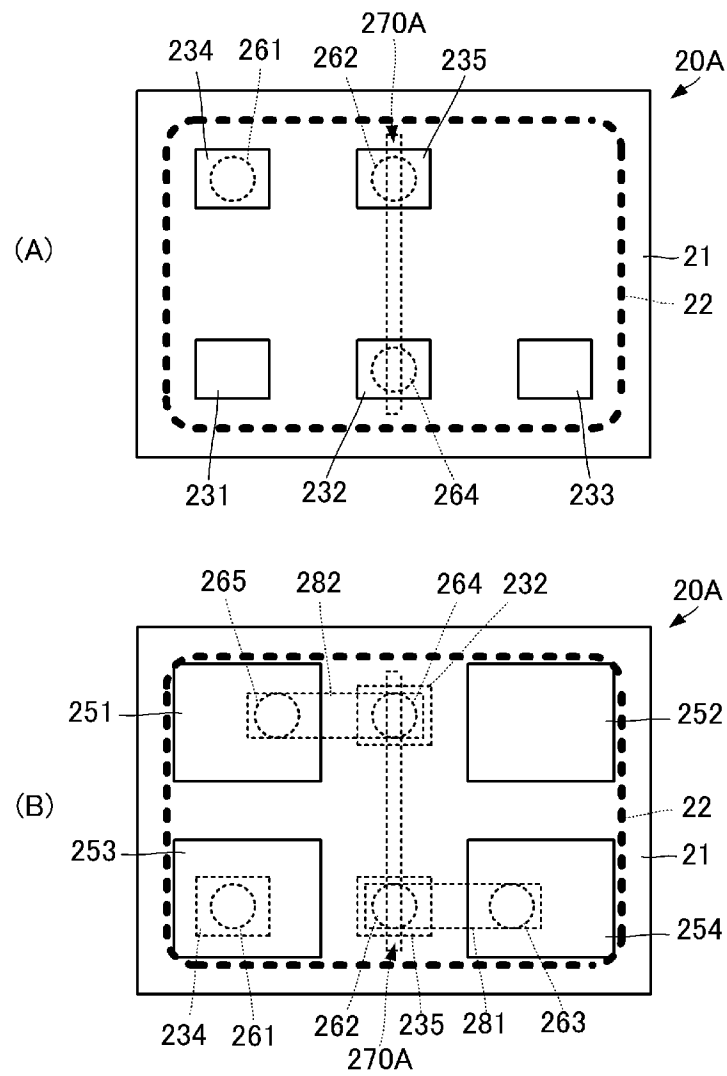
[図4]

【FIG.4】



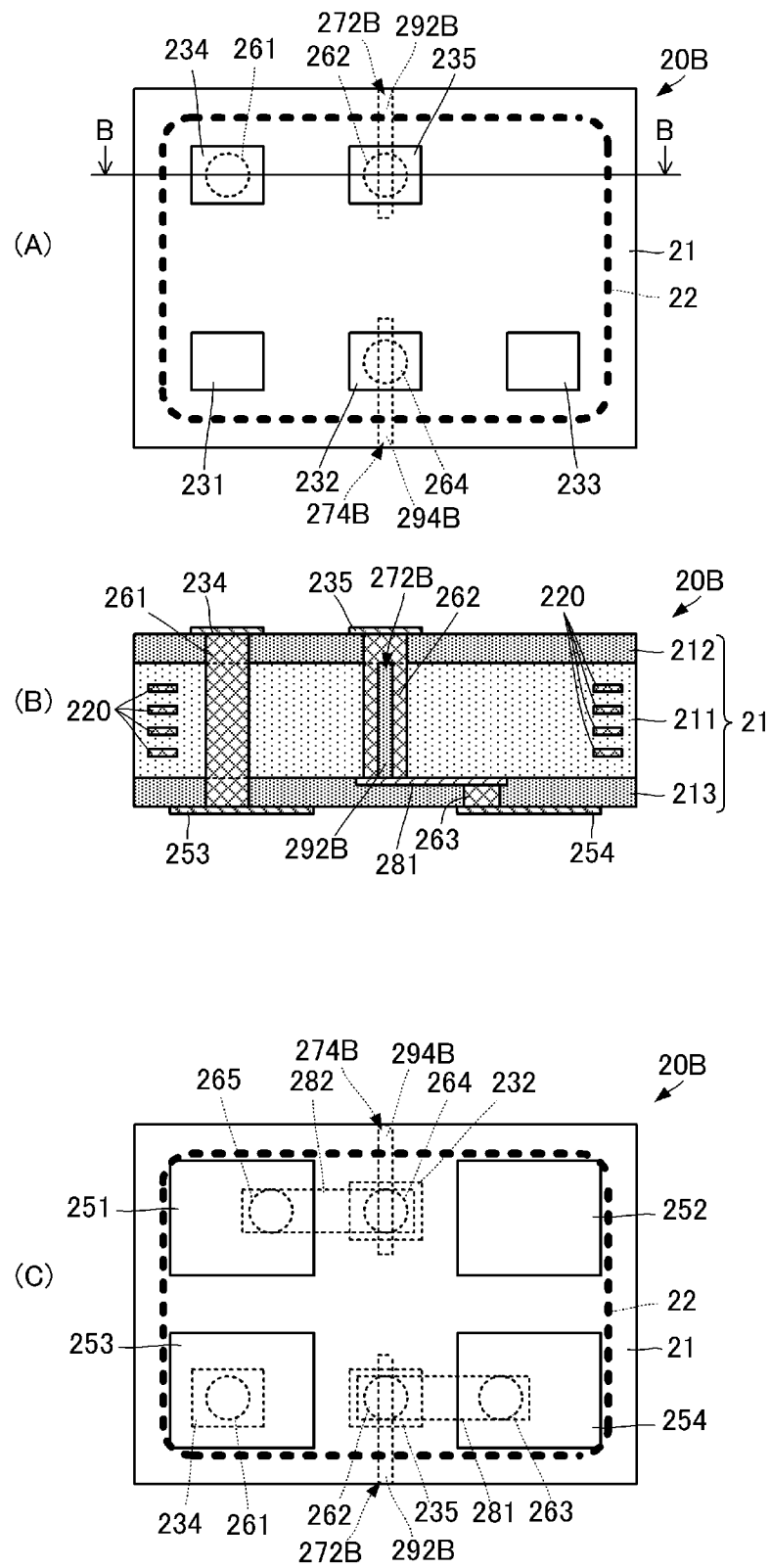
[図5]

【FIG.5】



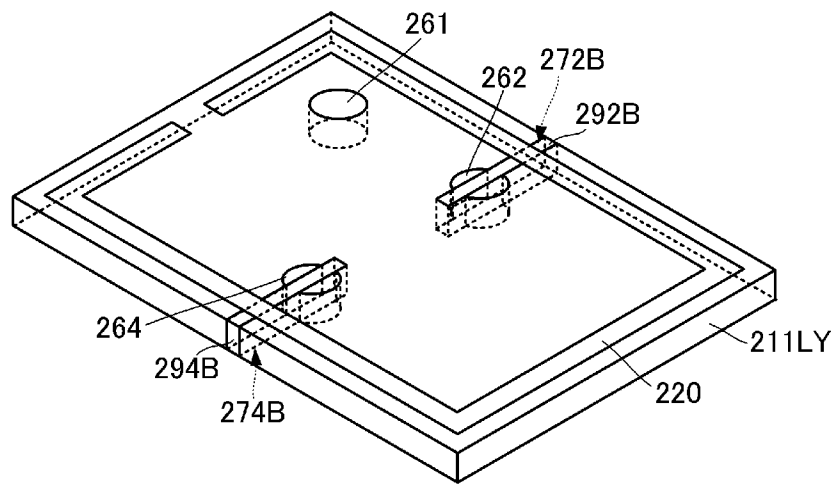
[図6]

【FIG.6】



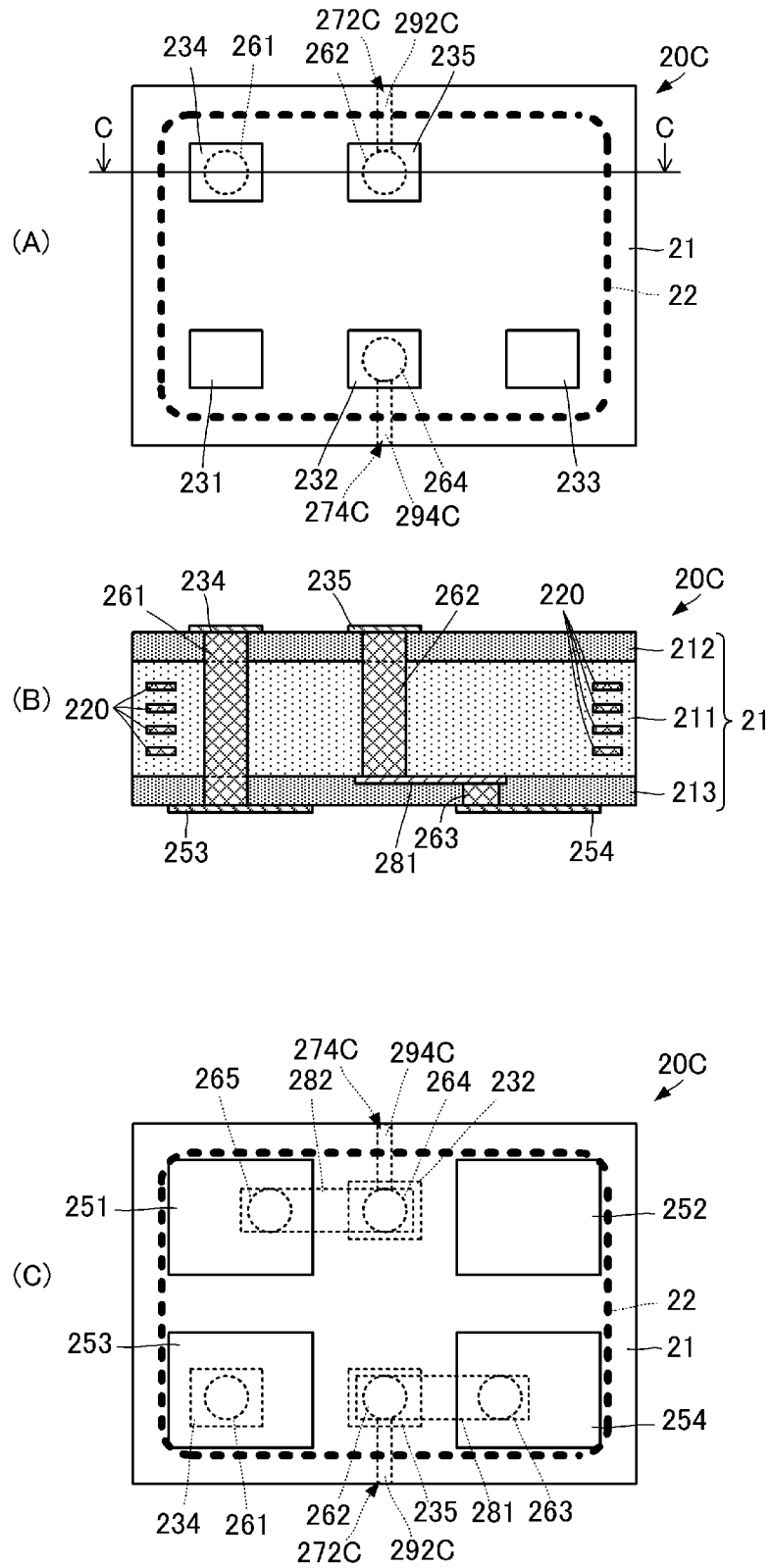
[図7]

【FIG.7】



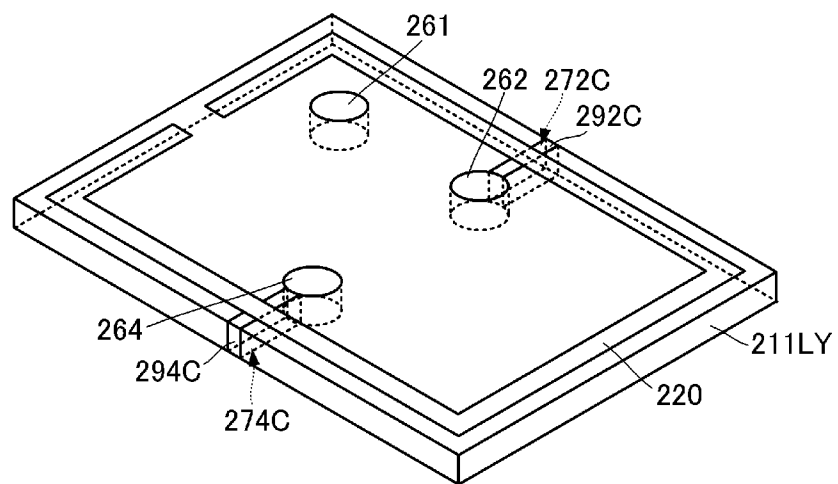
[図8]

【FIG.8】



[図9]

【FIG.9】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/034081

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H05K1/16 (2006.01) i, H01F17/00 (2006.01) i, H01F17/04 (2006.01) i,
H01L23/12 (2006.01) i,
H02M3/00 (2006.01) i, H05K3/46 (2006.01) i

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H05K1/16, H01F17/00, H01F17/04, H01L23/12, H02M3/00, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/058945 A1 (MURATA MFG. CO., LTD.) 19 May 2011, paragraphs [0024]-[0041], fig. 1-2 & CN 102598165 A	1-2, 4-9 3
Y A	JP 2012-65408 A (MURATA MFG. CO., LTD.) 29 March 2012, paragraphs [0021]-[0028], fig. 2-4 (Family: none)	1-2, 4-9 3
Y A	JP 2012-164770 A (MURATA MFG. CO., LTD.) 30 August 2012, paragraphs [0022]-[0030], fig. 2 (Family: none)	1-2, 4-6, 8-9 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/034081

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/175655 A1 (MURATA MFG. CO., LTD.) 28 November 2013, paragraph [0018], fig. 1 & US 2015/0015358 A1, paragraphs [0026], fig. 1 & CN 104221103 A	7
A	JP 2005-340586 A (MURATA MFG. CO., LTD.) 08 December 2005, paragraphs [0038]-[0048], fig. 7-12 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K1/16(2006.01)i, H01F17/00(2006.01)i, H01F17/04(2006.01)i, H01L23/12(2006.01)i,
H02M3/00(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K1/16, H01F17/00, H01F17/04, H01L23/12, H02M3/00, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2011/058945 A1 (株式会社村田製作所) 2011.05.19, 段落 [0024]-[0041], 図 1-2 & CN 102598165 A	1-2, 4-9 3
Y A	JP 2012-65408 A (株式会社村田製作所) 2012.03.29, 段落 [0021]-[0028], 図 2-4 (ファミリーなし)	1-2, 4-9 3
Y A	JP 2012-164770 A (株式会社村田製作所) 2012.08.30, 段落 [0022]-[0030], 図 2 (ファミリーなし)	1-2, 4-6, 8-9 3

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.12.2017

国際調査報告の発送日

19.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

梅本 章子

5 D

2949

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/175655 A1 (株式会社村田製作所) 2013. 11. 28, 段落[0018], 図 1 & US 2015/0015358 A1, 段落[0026], 図 1 & CN 104221103 A	7
A	JP 2005-340586 A (株式会社村田製作所) 2005. 12. 08, 段落 [0038]-[0048], 図 7-12 (ファミリーなし)	1-9