

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公开说明书

[21] 申请号 200480017658.8

[51] Int. Cl.

G06F 9/318 (2006.01)

G06F 9/38 (2006.01)

G06F 1/32 (2006.01)

G06F 9/30 (2006.01)

G06F 9/34 (2006.01)

[43] 公开日 2006年7月26日

[11] 公开号 CN 1809810A

[22] 申请日 2004.6.22

[21] 申请号 200480017658.8

[30] 优先权

[32] 2003.6.25 [33] EP [31] 03101877.3

[86] 国际申请 PCT/IB2004/050964 2004.6.22

[87] 国际公布 WO2004/114128 英 2004.12.29

[85] 进入国家阶段日期 2005.12.23

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 卡洛斯·A·阿尔巴·平托

巴尔克施南·斯里尼瓦桑

拉马纳坦·塞瑟拉曼

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

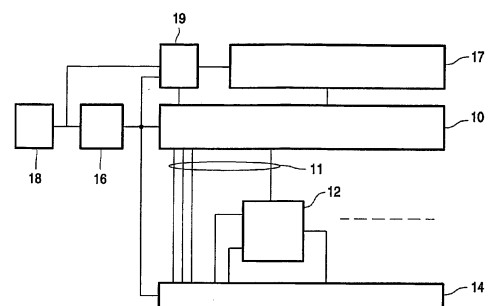
权利要求书 4 页 说明书 12 页 附图 4 页

## [54] 发明名称

指令控制数据处理设备

## [57] 摘要

该数据处理设备具有多个功能单元并在连续的指令周期中发送指令。第一种指令的每一个每次用于一个功能单元。第二种指令使得功能单元的组合在同一指令执行周期中响应，来自一个功能单元的结果被另一个功能单元用作同一指令的执行的一部分。优选地，该设备支持在多个不同的指令周期速率下的可选的操作，这依赖于所执行的程序段是否包含第二种指令。最快的指令周期速率不允许第二种指令的执行，这是因为多个不同的功能单元的操作不适合于在该指令执行周期内。当可能的时候，该设备通过切换到更慢的时钟速率以节省功率，在这种情况下第二种指令被执行，以通过减少需要发送的指令数量来节省额外的功率。



1、一种指令控制数据处理设备，所述设备包括：

指令发送单元(10)，具有用于发送来自指令集的指令的发送槽(11)，所述指令发送单元在连续的指令周期中发送所述指令中的各条指令；

寄存器文件(14)，具有读端口和写端口；

功能单元(20a、b)组(12)，每个功能单元(20a、b)具有连到所述发送槽(11)的控制输入端、连到所述读端口的操作数输入端(22a、b)以及连到所述写端口的结果输出端，每个功能单元(20a、b)被用于响应其它功能单元(20a、b)所不响应的来自所述指令集的各个子集的指令，所述指令集还包括所述功能单元中的第一个和第二个功能单元(20a、b)所响应的组合指令；

控制单元(28)，连到所述发送槽(11)，并且响应来自所述指令集的所述组合指令，将所述第一个功能单元(20a)的结果输出路由到所述第二个功能单元(20b)的操作数输入端。

2、根据权利要求 1 所述的指令控制数据处理设备，被构成为 VLIW 处理器，所述发送槽(11)是用于发送 VLIW 指令字的所述指令发送单元的多个发送槽之一，其中所述 VLIW 指令字包含所述组合指令作为其指令之一，所述寄存器文件(14)具有多个读和写端口集，所述设备包括各个功能单元或功能单元组，每个连到所述发送槽中的各个发送槽和所述读和写端口集，用于执行来自所述 VLIW 指令字的各个指令，与执行在所述同一指令字中作为所述组合指令发送的指令并行，所述第一个和第二个功能单元响应在所述发送槽中发送的所述组合指令。

3、根据权利要求 1 所述的指令控制数据处理设备，其中所述第一个和第二个功能单元(20a、b)在同一指令执行周期中响应所述组合指令。

4、根据权利要求 3 所述的指令控制数据处理设备，包括用于对所述指令周期进行计时的时钟电路(16)，所述时钟电路(16)具有多个可选的时钟速率，包括第一个时钟速率以及第二个时钟速率，其中，所述第一个时钟速率足够慢，使得在指令执行周期中容纳响应于也在所述指令执行周期内的所述组合指令执行过程中应用于所述第一个功能单元(20a)的操作数而从所述第二个功能单元(20b)生成结果所涉及的延迟，所述第二个时钟速率太快而不能在所述指令周期中容纳所述延迟，但是可以容纳来自所述子集的指令的延迟。

5、根据权利要求 1 所述的指令控制输出处理设备，其中所述指令发送单元(10)具有另外的发送槽，并且所述寄存器文件(14)具有另外的读端口，所述设备包括另外的功能单元(40b)，所述另外的功能单元(40b)具有连到所述另外的发送槽的控制输入端和连到所述另外的读端口的操作数输入端，所述控制单元(28)被用于在所述组合指令的控制下将所述另外的功能单元(40b)的结果输出路由到所述第二个功能单元(20b)的所述另外的操作数输入端，在所述组合指令的控制下绕开所述寄存器文件(14)。

6、根据权利要求 5 所述的指令控制数据处理设备，被用包含 VLIW 指令的程序编程，其中所述 VLIW 指令包含在同一指令周期中发送的用于所述另外的功能单元(40b)的命令和用于所述功能单元组(12)的所述组合指令。

7、根据权利要求 1 所述的指令控制数据处理设备，其中，所述控制单元(28)被用于使所述第二个功能单元(20b)在所述第一个功能单元(20a)响应所述组合指令的指令执行周期之后的指令执行周期中响应所述组合指令。

8、根据权利要求 7 所述的指令控制数据处理设备，其中，所述

第一个功能单元(20a)的结果被从所述第一个功能单元(20a)路由到所述第二个功能单元(20b)的操作数输入端，而没有中间锁存。

9、一种执行处理任务的方法，所述方法包括：

提供功能单元组(12)，

向所述组(12)发送连续的指令；

执行所述指令中的第一种指令，用功能单元(20a、b)中的一个独立功能单元执行每条所述第一种指令，

用串联的所述功能单元(20a、b)中的第一个和第二个功能单元执行第二种指令；

响应于所述第二种指令，将所述第一个功能单元(20a)的结果路由到所述第二个功能单元(20b)的操作数。

10、根据权利要求9所述的方法，其中所述第一个和第二个功能单元(20a、b)在同一指令周期中响应所述第二种指令，所述方法包括：

从至少第一个和第二个速率中选择指令周期速率，所述第一个速率很慢，使得所述功能单元中级联的至少两个功能单元(20a、b)对组合指令的执行适合于在所述第一个速率的指令周期内，所述第二个速率很快，使得只有所述功能单元中的单个功能单元的指令的执行适合于在所述第二个速率的所述指令周期内，所述组合指令的执行不适合于在所述第二个速率的一个指令执行周期内；

将用于执行所述处理任务的所述指令调整为所述选择的指令周期速率，因此当以所述第一个速率执行所述任务时，使用所述组合指令，而当以所述第二个速率执行所述任务时，用具有相应效果的多条所述第一种指令来代替所述组合指令。

11、根据权利要求9所述的方法，包括：

发送所述连续的指令，每条指令作为 VLIW 指令字的一部分，其中所述 VLIW 指令字包含用于各个另外的功能单元(40a、b)的多条指令；

在包含所述第二种指令的所述指令字中,包括用于所述另外的功能单元(40a、b)中的特定一个功能单元的另外的指令;

响应于所述第二种指令,将所述另外的指令的另外的结果从所述另外的功能单元(40a、b)中的所述特定一个功能单元路由到所述第二个功能单元(20b)的另外的操作数输入端。

---

## 指令控制数据处理设备

### 技术领域

本发明涉及一种指令控制数据处理设备。

### 背景技术

PCT 专利申请 No. WO00/60457 公开了一种 VLIW 处理设备。VLIW 处理设备包含多个功能单元，其中每个功能单元能够与其它功能单元并行执行指令。VLIW 处理设备处理 VLIW 指令字，其中每个 VLIW 指令字通常包含用于由各个功能单元并行执行的多条指令。VLIW 处理器具有使得能够高速执行程序化的处理任务的优势，但是获得这一优势的代价是高存储器使用和高功耗。WO00/60457 以减少 VLIW 处理设备的程序所需的指令存储器大小为目标。为了达到这一目的，该处理设备响应于存储器中指令而组成 VLIW 指令。因此，来自存储器的原始指令被转换为 VLIW 指令字中的多条指令，被不同的功能单元并行执行。

引起高功耗的原因之一，是并行发送许多指令的需要和对所发送的每条指令访问寄存器文件的需要。这些问题在 WO00/60457 中没有涉及。

### 发明内容

本发明的目的之一是在指令控制处理设备中降低功耗。

本发明的目的之一是尤其在 VLIW 处理设备中降低功耗。

在权利要求 1 中阐明了根据本发明的设备。该设备包含一组功能单元，该组功能单元并行连到发送槽和寄存器文件的端口，用于可选地执行从发送槽发送的、具有来自至少一个端口的操作数的指令以及将结果写到至少一个端口。除了这些可选指令，该设备提供了组合指令，其中该组中多于一个功能单元响应于该组合指令，来自多个功能

单元中的第一个的结果被路由到多个功能单元中的第二个的操作数输入端，以响应该组合指令。第二个功能单元的结果被用于生成该组合指令的结果。通过使用组合指令，可以减少对于给定任务的程序执行过程中需要向功能单元组发送的指令数量，因而降低了功耗。与 WO00/60457 相比，该组合指令并不被分为需要分别发送的多条指令，而是在一个发送槽中被发送。因此，通过部分地避免为不同的功能单元并行地发送指令的需要，该设备部分地违背了 VLIW 处理的基本原理，即使如此，当然，其他指令可以在同一 VLIW 指令字中被与组合指令并行发送。

在一个实施例中，该处理设备具有可选择的指令周期时钟速率。通过降低不需要更高时钟速率的处理任务执行过程中的时钟速率，功耗得以降低。当处理任务需要高速执行时，时钟速率增加到最大值，此时所有单独的功能单元仅可以在一个指令周期内执行该指令。根据本发明的一个方面，构建该设备，使得多于一个功能单元在同一指令周期中响应组合指令，串联地工作，并且时钟速率可以增加到高速，使得组合指令的串联执行不再适合于在一个指令周期之内。当时钟速率增加到这样的水平时，避免使用组合指令，例如通过只执行不包含组合指令的程序，或者在使用和不使用组合指令以分别完成相同任务的可选的程序版本之间切换，或者通过将组合指令转换为由不同功能单元在连续的周期中执行的多条指令。

这样，可以实现节省更多的功率，这是因为当该设备在较低的时钟速率下执行时，执行处理任务所需发送的指令总数可以通过将多条指令组合成组合指令而减少，此时发送槽只需在一个指令周期内活跃。当组合指令使用的指令周期不比正常指令多时，它的使用就减少了执行程序所需的时间，使得可能进一步降低必须在指定时间间隔内执行的处理任务的时钟速率。

在另一个实施例中，该处理设备是包含多个功能单元的 VLIW 处理器，其中来自一个指令字的多条指令可以被并行发送到该多个功能单元，以并行执行。在该实施例中，提供了从另外的功能单元的结果输出端到功能单元中的第二个的操作数输入端的旁路连接，该另外的

功能单元与接收组合指令的功能单元组并行接收指令，该第二个功能单元响应组合指令并还接收第一个功能单元的结果。优选地，该旁路连接不包括用于使功能单元在多个指令周期内所执行的执行级流水线化的锁存器。因此，可以使用包含了组合指令和另一条指令的 VLIW 指令字，其中该组合指令用于一个组中，该另一条指令用于传送在组合指令执行过程中所用操作数的功能单元中。结果，在足够低的时钟速率下只需发送较少的指令，而仍可以维持足够的速度。

在另一个实施例中，组合指令的执行可以扩展到多于一个指令周期。因此，还可以以串联的执行不适合于在一个指令周期内的时钟速率来执行组合指令。在一个实施例中，提供多个中间寄存器，用于当两个功能单元都响应组合指令时，锁存从一个功能单元路由到另一个功能单元的结果。但是，这需要寄存器的额外功耗并且将执行分开。在另一个实施例中，功能单元之间不使用寄存器，使用行波流水线 (wave pipelining) 在跨越多于一个指令周期的时间间隔的一部分中，将结果从一个功能单元传递到另一个功能单元。

### 附图简述

将使用以下附图描述本发明的这些和其它目的及其有利方面：

- 图 1 示出处理设备；
- 图 2 示出一组功能单元；
- 图 3a、b 示出时序方面；
- 图 4 示出多组功能单元；
- 图 5 示出另外的功能单元组。

### 具体实施方式

图 1 示出处理设备，包括：指令存储器 17、具有发送槽 11 的指令发送单元 10、功能单元组 12、寄存器文件 14、时钟电路 16、时钟速率选择电路 18 和程序计数器 19。程序计数器 19 具有连到指令存储器 17 的地址输入端的输出端。指令存储器 17 具有连到指令发送单元 10 的输出端。指令发送单元 10 的发送槽 11 包含连到功能单元组



12 的用于操作码的输出端，以及连到寄存器文件 14 的用于第一个操作数寄存器地址和第二个操作数寄存器地址和结果寄存器地址的输出端。功能单元组 12 具有连到寄存器文件 14 的输出端的操作数输入端，以及连到寄存器文件 14 的输入端的结果输出端。

尽管只示出一个功能单元组 12，应当理解可以并行存在多个组。在这种情况下，指令发送单元包含对于每个功能单元组的各自的发送槽，具有连到相应组的操作码输入端的输出端以及连到寄存器文件 14 的多个寄存器地址输出端。在这种情况下，寄存器文件 14 还具有对于每个功能单元组的独立的结果输入端，以及独立的操作数输出端。

时钟速率选择电路 18 具有连到时钟电路 16 的控制输入端和程序计数器 19 的输出端。时钟电路 16 具有连到指令发送单元 10 和寄存器文件 14 的时钟输出端。指令发送单元 10 连到程序计数器 19。在操作中，来自时钟电路 16 的时钟信号定义连续的指令周期。通常在每个指令周期中执行各自的指令。在每个指令周期中指令发送单元 10 向功能单元组 12 发送作为指令一部分的命令操作码。同样，指令发送单元 10 在每个指令周期中向寄存器文件 14 发送指令的操作数寄存器地址，并且指令发送单元 10 在每个指令周期中向寄存器文件 14 发送指令的结果寄存器地址。由于流水线，在同一指令周期中发送的操作码、操作寄存器地址和结果寄存器地址可以属于不同的指令。

在指令周期中，功能单元组 12 使用从寄存器文件 14 接收的一个或多个操作数，执行来自指令发送单元 10 的操作码所标识的命令。

图 2 更加详细地示出功能单元组 12。组 12 包含多个功能单元 20a、b(为了清楚，只示出两个，但是可以存在更多)。组 12 的操作数输入端 22a、b 连到功能单元 20a、b 的操作数输入端。功能单元 20a、b 的结果输出端通过输出复用器 26 连到组 12 的结果输出端。操作码输入端 24 连到功能单元 20a、b 的操作码输入端和输出复用器 26(优选地，操作码 24 通过预解码器连到功能单元 20a、b 和输出复用器 26，但是为了清楚没有示出)。

组 12 还包含控制单元 28 和输入复用器 29。输入复用器 29 具有

连到该组的操作数输入端 22a 的第一个输入端和连到第二个功能单元 20b 的输出端。输入复用器 29 的第二个输入端连到第一个功能单元 20a 的结果输出端。控制单元 28 连到操作码输入端 24 并且具有连到输入复用器 29 的选择输入端的输出端。

在操作中,所接收的第一种操作码中的每一个标识执行该操作码的功能单元 20a、b 之一。对于该第一种操作码,控制单元 28 使得输入复用器 29 传递来自操作数输入端 22b 的操作数。所标识的功能单元 20a、b 使用应用于其操作数输入端的操作数来执行操作码所标识的处理操作(例如加法,或乘法)。所标识的功能单元 20a、b 输出结果。输出复用器 26 将结果从所标识的功能单元 20a、b 的传递到功能单元组 12 的结果输出端。

图 3a 示出功能单元 20a、b 执行操作的时序方面。上部迹线 30 指示连续的指令周期。每个指令周期持续 T1 持续时间。最上一行下面的最小时间间隔 32、34 指示功能单元 20a、b 在执行过程中生成结果所需的时间间隔。时间间隔 32、34 可以依赖于操作码所选择的操作类型,依赖于执行该操作的功能单元 20a、b 以及操作中所使用的操作数数据。但是结果总是在指令周期结束之前就是可用的,也就是说该间隔的持续时间比 T1 短。应当注意图 3a 只示出在一个功能单元中执行所需的时间间隔。在实际中,操作可以流水线化,所以每条指令的处理包括指令读取级、操作数读取级、执行级和结果写入级,如果在锁存了中间结果之后需要的话,不同的级被在连续的指令周期中执行。时间间隔 32、34 只涉及执行级。

操作码还包括第二种操作码,其导致功能单元 20a、b 的级联操作。当第二种操作码应用于操作数输入端 24 时,控制单元使得输入复用器 29 将结果从第一个功能单元 20a 传递到第二个功能单元 20b 的操作数输入端。输出复用器 26 将结果从第二个功能单元 20b 传递到功能单元组 12 的结果输出端。

作为第二种操作码实例的是一个操作数加上一个平方和的计算的操作码

$$\text{result} = A * A + B$$

在该实例中，组 12 的第一个功能单元 20a 是乘法器，而组 12 的第二个功能单元 20b 是加法器。该操作具有包含 A 和 B 作为操作数的寄存器的寄存器地址。响应于该操作码，组 12 的第一个功能单元 20a 形成乘积  $A*A$ 。响应与同一操作码，控制单元 28 使得复用器 29 将乘积  $A*A$  作为操作数传递到组 12 的第二个功能单元 20b。仍然响应于同一操作码，组 12 的第二个功能单元 20b 形成所接收的乘积  $A*A$  和操作数 B 的和  $A*A+B$ 。应当理解，这一操作码只是一个示例。可以为其他操作(例如， $A*A-B$ 、 $A/(A+B)$ 、 $A*B+A$  等等)提供操作码，可以支持这样单一的操作码或者多个操作码。

当通过在命令中包括多于两个操作数寄存器地址，或通过在同一寄存器中包括多个操作数而有更多的操作数可用时，可以执行更加复杂的操作。例如，当操作数包含一对数字(ReA, ImA)和(ReB, ImB)时，其中每个数字表示复数的实部和虚部，组合操作可以命令乘法器功能单元分别形成实部的乘积(ReA\*ReB)以及虚部的乘积(ImA\*ImB)，并命令加法器将两个乘积相加。在这种情况下，组 12 优选地包含至少两个乘法器和一个加法器作为功能单元，以及在控制单元 28 控制之下的复用器，以选择加法器是从操作数输入端 22a、b 还是从乘法器接收操作数。

图 3b 示出执行第二种操作码所选择的操作的执行级的时序方面。在这种情况下，指令周期的持续时间是 T2。到该操作的结果可用之前所需的时间间隔 36 的持续时间是第一个时间间隔 36a 的持续时间、第二个时间间隔 36b 的持续时间和第三个时间间隔 36c 的持续时间之和，其中该第一个时间间隔 36a 是第一个功能单元 20a 所需的，该第二个时间间隔 36b 是将第一个功能单元 20a 的结果传递到第二个功能单元 20b 的操作数输入端所需的，该第三个时间间隔 36c 是第二个功能单元 20b 所需的(更精确地说，替代第二个时间间隔 36b 的持续时间的是，应当考虑将结果从第一个功能单元 20a 的输出端传递到第二个功能单元 20b 的操作数输入端所需的时间间隔的持续时间减去将外部操作数传递到该操作数输入端所需的间隔的持续时间而得到的差值；这一差值可以忽略)。

在第二种操作的结果可用之前的时间间隔 36 的总持续时间比功能单元 20a、b 对于组成操作的操作所需的时间间隔 36a、36c 的持续时间长。尽管如此,该总持续时间应当适合于在指令周期的持续时间 T2 内。

时钟速率选择电路 18 向时钟电路 16 提供信号以选择时钟速率,也就是指令周期的持续时间 T1 或 T2。优选地,时钟速率设置得尽可能低(对于指令周期持续时间,设置得尽可能长),而没有对在要求的时间间隔内执行要求的任务的能力做出折衷。通过降低时钟速率,降低了设备的功耗。

可选的时钟速率包括慢时钟速率和快时钟速率,其中以慢时钟速率,第二种指令的执行持续时间适合于在一个指令周期(持续时间 T2)内,而以快时钟速率,第二种指令的执行持续时间不适合于在一个指令周期(持续时间 T1)内。当时钟速率被设置为慢时钟速率时,使用带有第二种操作码的指令来执行任务。当时钟速率被设置为快时钟速率时,不使用带有第二种操作码的指令来执行任务,例如通过用带有第一种操作码的多条指令来代替带有第二种操作码的每条指令。通过在低时钟速率下使用带有第二种操作码的指令,减少了执行任务所需的指令周期数。因此加快了执行速度。

可以采用任何方法调整执行任务所使用的指令。在一个实施例中,指令存储器 17 存储了至少两个执行同一任务的程序的指令,一个程序使用带有第一种操作码的指令而另一个程序不使用这种指令。在该实施例中,时钟速率选择电路 18 除了选择时钟速率之外还选择相应程序,例如通过在任务执行开始时设置程序计数器 19 的初始值。

然而,可以使用许多其它方法来避免在任务执行过程中使用第二种操作码。例如,指令可以根据所设置的时钟速率,被执行而跳到带有第二种操作码的程序或者不带有这种操作码的程序。同样,可以根据所选择的时钟速率,将指令地址转换到物理存储器地址,以选择适当的指令。在这些情况下,不需要提供执行任务的整个程序的可选版本(带有和不带有第二种操作码):而只为包含这样的指令的程序部分提供可选版本(在这种情况下,带有第二种操作码的指令优选地只包

括在频繁执行的部分中)。作为选择, 如果选择了快时钟速率, 指令发送单元甚至可以被动态地(on the fly)安排将带有第二种操作码的指令转换为不带有这种操作码的多条指令。

优选地, 第二种操作码支持频繁执行的指令。

尽管用具有时钟速率选择电路 18 的实施例说明了本发明, 要理解的是, 可以用其它方法选择时钟速率, 例如在程序计数器值部分的控制下, 从而根据所执行指令所属的程序段来设置时钟速率, 或者在来自程序的指令的控制下。

图 2 示出一个实施例, 其中几个功能单元 20a、b 响应同一个第二种操作码。此外, 控制单元 28 响应该操作码并且输出复用器 26 只输出来自响应的功能单元 20a、b 之一的结果。但是, 要理解的是, 可以使用(预)解码器(未示出)来检测哪个功能单元必须被激活以响应操作码并激活这些功能单元 20a、b。在这种情况下, 当操作码是第一种时, (预)解码器每个指令周期激活一个功能单元 20a、b, 而当操作码是第二种时, 激活功能单元的组合。如所示, 功能单元 20a、b 中响应于第二种操作码而被激活的每一个功能单元还可以单独响应第一种操作码。因此, 指令单元 20a、b 被有效地重用。但是, 可选地, 功能单元 20a、b 中用于级联地执行第二种操作码的一部分可以是不单独响应任何第一种操作码的类型。因此功能单元组 12 中要引入一定的开销。

尽管以示例的方式只示出单个的输入复用器 29, 以及两个功能单元 20a、b, 要理解的是, 实际中可以在组 12 中的功能单元 20a、b 或其它功能单元(未示出) 的输出端之间提供更加复杂的连接网络。

图 4 示出用于图 1 所示处理设备中的两个功能单元组 12、40, 实现了本发明的另一个方面。组 12、40 中的每一个具有连到指令发送单元(未示出)各自的发送槽的操作选择输入端 24、48, 并且连到寄存器文件(未示出)的读和写端口。因此, 该设备是包含用于不同组 12、40 的多个实质上独立的可选命令的 VLIW 处理器(超长指令字处理器)。第一个组 12 被如图 2 所示设置, 除了增加了另外的复用器 44, 组 12 的第二个操作数输入端 22b 连到其第一个输入端。另外的复用

器 44 的一个输出端连到第二个功能单元 20b 的操作数输入端。另外的复用器 44 具有连到控制单元 28 的控制输入端。

第二个功能单元组 40 包括多个功能单元 40a、40b。第二个组 40 中的一个功能单元 40b 的输出端通过旁路连接 42 连到另外的复用器 44 的第二个输入端。

在操作中，控制单元 28 识别组合指令的操作码何时发送到功能单元组 12。如果这样，控制单元 28 使得复用器 29、44 将来自组 12 的第一个功能单元 20a 和来自另外的组 40 的功能单元 40b 的操作数传递到组 12 的第二个功能单元 20b 的操作数输入端。组 12 的第一个和第二个功能单元 20a、b 都响应组合指令，第一个功能单元 20a 接收来自组 12 的操作数输入端 22a、b 的操作数，复用器 26 将结果从第二个功能单元 20b 传递到为组 12 提供的寄存器文件的写端口。

存储在指令存储器 17 的程序包含指令，该指令包含用于两个组 12、40 的命令。该指令包含用于第一个组 12 的组合命令，而用于第二个组 40 的命令包含激活第二个组的第二个功能单元 40b 的操作码。因此，响应于该指令，第一个组 12 的第一个功能单元 20a 和第二个组 40 的第二个功能单元 40b 都生成结果，其中所述结果用作组 12 的第二个功能单元 20b 的操作数。来自第二个组 40 的第二个功能单元 40b 的结果通过旁路连接 42 在组 12、40 之间传递。复用器 29、44 将结果作为操作数传递到第一个组 12 的第二个功能单元 20b。

作为示例，这种指令可以用于乘-加操作，其中两对操作数的乘积相加

$$\text{result}=\text{A}*\text{B}+\text{C}*\text{D}$$

在该示例中，第一个组 12 的第一个功能单元 20a 是乘法器，第二个组 40 的第二个功能单元 40b 是乘法器，而第一个组 12 的第二个功能单元 20b 是加法器。该指令包含被发送到第一个组 12 的乘-加命令(组合命令)以及被发送到第二个组 40 的乘法命令。乘-加命令具有寄存器的寄存器地址，其包含 A 和 B 作为操作数，而乘法命令具有寄存器的寄存器地址，其包含 C 和 D 作为操作数。响应于该指令，第一个组 12 的第一个功能单元 20a 和第二个组 40 的第二个功能单元 40b

分别形成乘积  $A*B$  和  $C*D$ 。响应于同一乘-加指令，控制单元 28 使得复用器 29、44 将这些乘积作为操作数传递到第一个组 12 的第二个功能单元 20b。仍然响应于同一乘-加指令，第一个组 12 的第二个功能单元 20b 形成所接收乘积  $A*B$  与  $C*D$  的和  $A*B+C*D$ 。

这种组合的乘法和加法是频繁出现的指令组合，例如在复数乘法中，因此该指令大大节省了这种操作所需发送的指令的数量。但是，应当认识到，本发明不仅限于这一指令。例如，可以将类似技术应用于乘法和减法，以计算  $A*B-C*D$ ，或者应用于某个程序中出现的任何其他操作组合。该设备可以只支持一条组合指令的操作码或者支持多条这种指令的操作码。

应当注意的是，当用图 4 的实施例的功能单元执行程序时，当指令周期速率太快而不能连续容纳第二个组 40 的第二个功能单元 40b 和第一个组 12 的第二个功能单元 20b 的延迟时，可以调整该程序以消除组合指令，如图 2 的上下文中所讨论的。组合指令可以提供对来自不同功能单元(替代第二个组 40 的第二个功能单元 40b)的结果的选择，用作第一个组 12 的第二个功能单元 20b 的操作数。这些不同的功能单元可以是单一的组 40 的一部分或多个不同组的一部分。在不背离本发明的情况下，第二个组 40 可以只包含一个功能单元(第二个功能单元 40b)。

图 5 示出用于该设备的可选的功能单元组 12。到目前为止示出的实施例中，组合操作在单一的指令周期中执行。在图 5 的实施例中，使用了多个指令周期。功能单元组 12 包含控制寄存器 50，该控制寄存器 50 具有连到控制单元 28 的输入端和连到复用器 29、44 以及第二个功能单元 20b 的控制输入端的输出端。复用器 29、44 的第一个数据输入端连到操作数输入端 22a、b。结果寄存器 52、54 配备有连到复用器 29、44 的第二数据输入端的输出端。结果寄存器 52、54 的输入端连到组 12 中一个或多个功能单元(例如 20a)的结果输出端，和/或连到其它组(未示出)中一个或多个功能单元的结果输出端。为了清楚，未示出这些输入连接。

在操作中，控制单元 28 通过使控制寄存器 50 载入用于控制复用

器 29、44 和第一个组 12 的第二个功能单元 20b 的信息，来响应为了第一个指令周期中的执行而发送的组合指令。在第一个指令周期之后的第二个指令周期中，该信息控制复用器 29、44 和第一个组 12 的第二个功能单元 20b。在第二个指令周期中，锁存在结果寄存器 52、54 中的结果被作为操作数传递到组 12 的第二个功能单元 20b，且该第二个功能单元 20b 接收控制信号，以在第二个指令周期中执行组合指令所暗含的命令中属于该第二个功能单元 20b 的部分。作为响应，第二个功能单元 20b 在第二个指令周期末生成结果。

这样，下一条指令可以在第二个指令周期中在组 12 中被执行，该执行与第二个功能单元 20b 执行部分组合指令并行。例如，执行第一条指令以计算  $A*B-C*D$  可以在第一个指令周期中开始，执行第二条指令以计算  $A*D+B*B$  可以在下一个指令周期中开始。因此，使用两条指令计算了两个数  $A+iC$  和  $B+iD$  的实部和虚部。

当然应当避免来自组合指令和下一条指令的结果之间发生冲突。这可以用各种方法实现。在一个实施例中，下一条指令被从没有在第二个指令周期中生成结果的多条指令的子集中选择(例如，另一个组合指令，或 NOP 指令)。在该实施例中，控制寄存器 50 还控制输出复用器 26 以传递来自第二个功能单元 20b 的结果。在另一个实施例中，可以使用旁路寄存器(未示出)来并行传递第二个功能单元 20b 的结果和来自响应下一条指令的功能单元的结果。

应当注意的是，在图 5 的实施例中，当指令周期太快而不能在单个的指令周期中容纳第一个和第二个功能单元 20a、b 的延迟时，不需要调整程序。

尽管图 5 示出了插入到复用器 29、44 之前的结果寄存器 52、54，但是如果使用了行波流水线，可以省略这些寄存器 52、54。在这种情况下，在功能单元 20a、b 内的传播延迟被用于允许来自组合指令和下一条指令的结果同时出现在第二个功能单元 20b 和执行下一条指令的功能单元的输出端中。在另一个实施例中，可以在生成由第一个组 12 的第二个功能单元 20b 使用的结果的特殊功能单元之前提供寄存器。这些寄存器用于通过锁存这些功能单元的操作数来响应组合



指令，并在当这些操作数被直接从第一个指令周期的输入端 22a、b 应用于后续指令周期过程中的特殊功能单元之后，提供这些操作数。

尽管已经使用组合指令说明了本发明，其中所述组合指令涉及串联的两个功能单元响应于同一命令的连续执行，但是要理解的是，可以提供涉及更多串联的功能单元的组合命令。

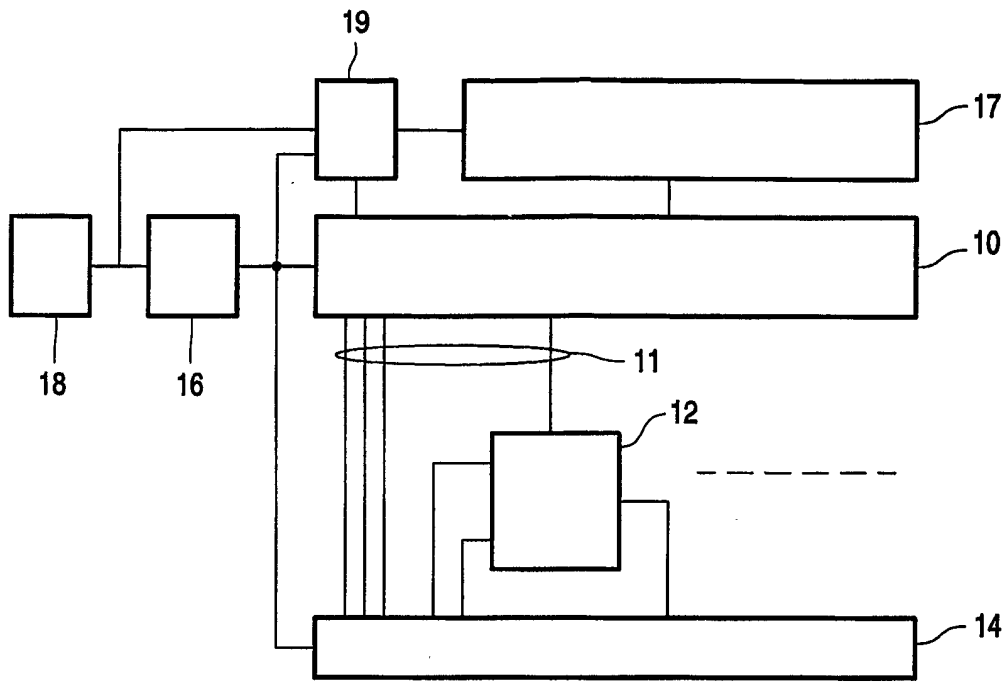


图1

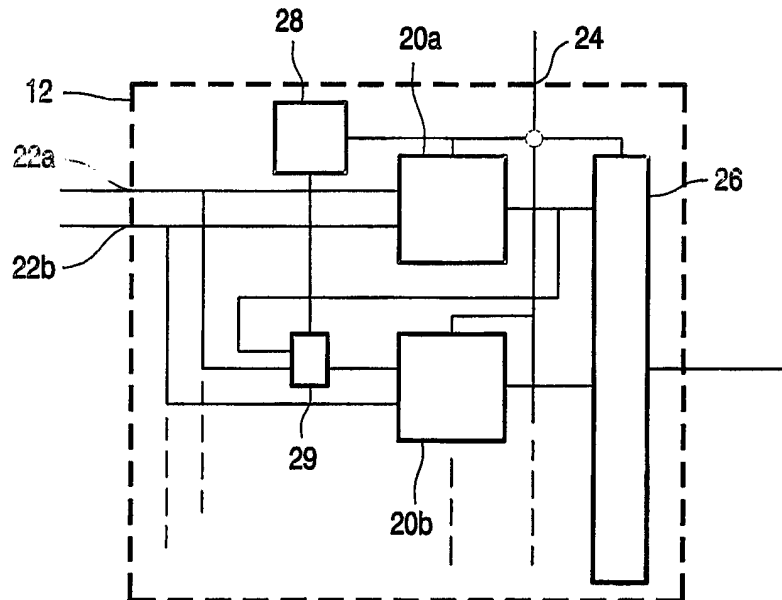


图2

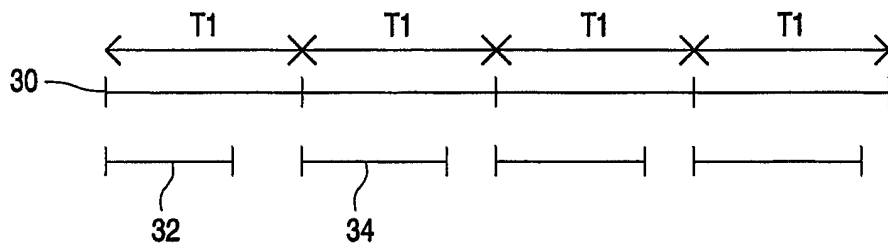


图3A

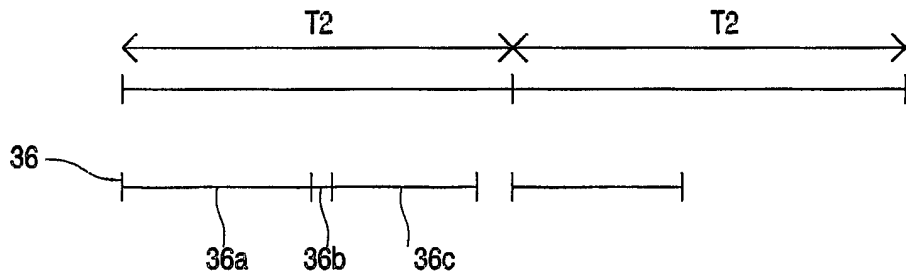


图3B

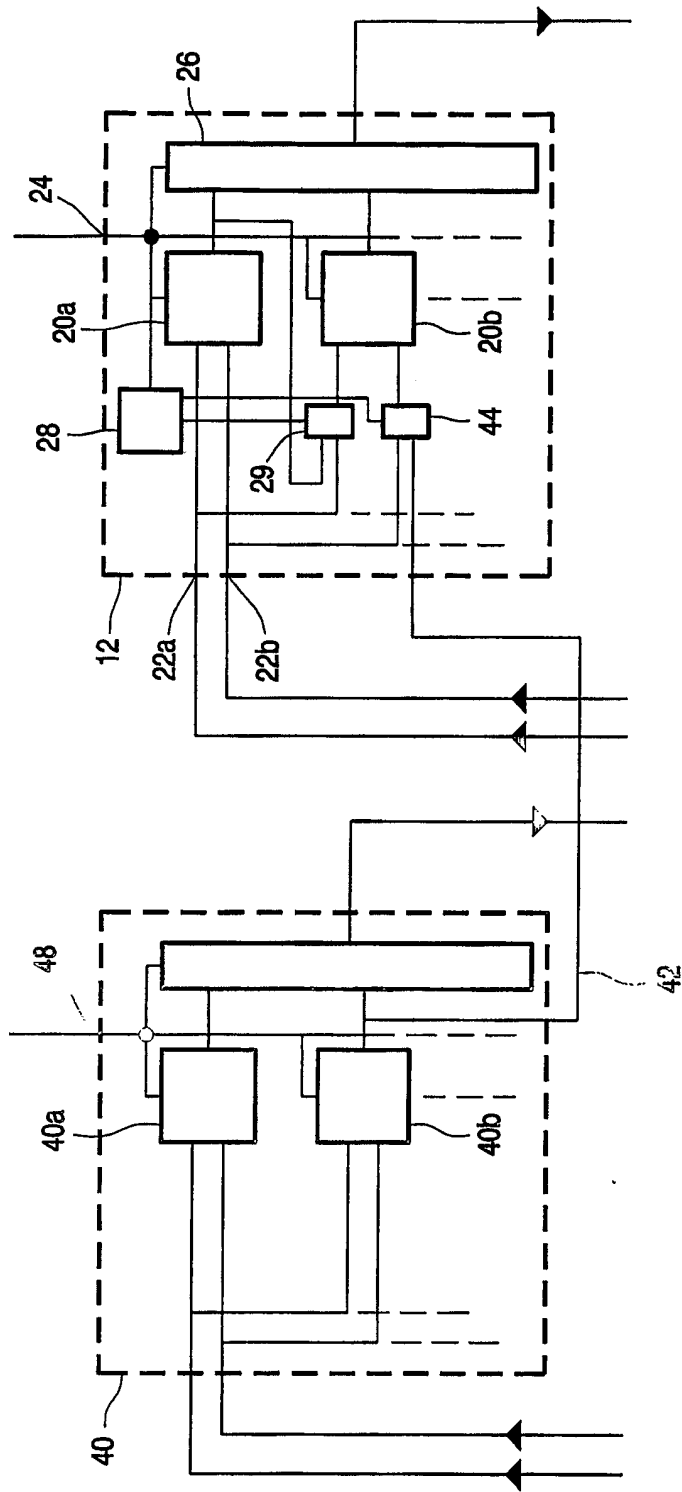


图4

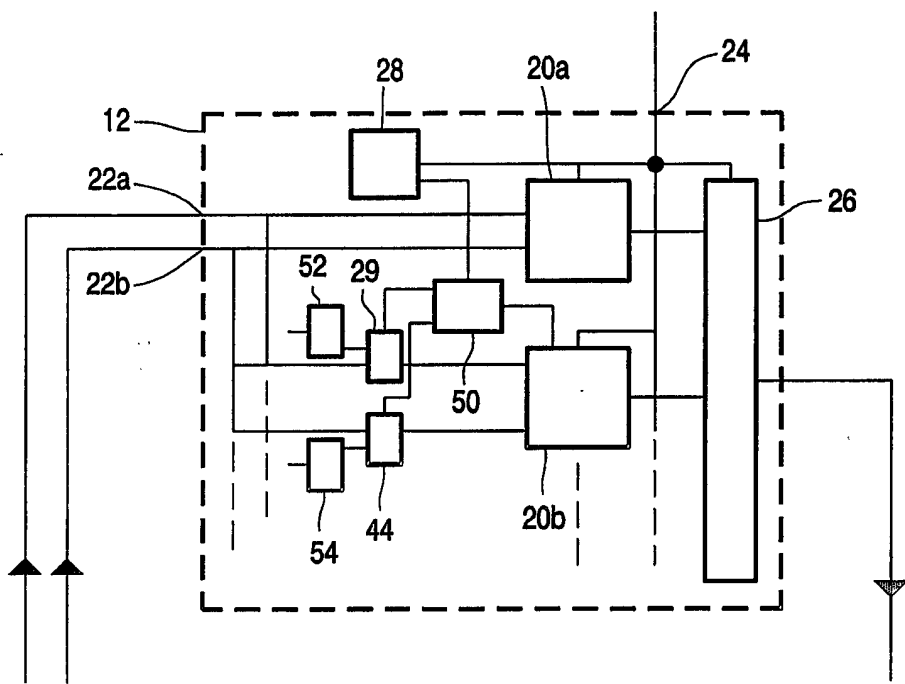


图5