

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-354567

(P2004-354567A)

(43) 公開日 平成16年12月16日(2004.12.16)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H092
G02F 1/133	G02F 1/133 505	2H093
G02F 1/1345	G02F 1/133 550	3K007
G02F 1/1362	G02F 1/1345	5C006
G09F 9/00	G02F 1/1362	5C080

審査請求 未請求 請求項の数 10 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-150549 (P2003-150549)
 (22) 出願日 平成15年5月28日 (2003.5.28)

(71) 出願人 595059056
 株式会社アドバンスト・ディスプレイ
 熊本県菊池郡西合志町御代志997番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 福田 孝幸
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 西村 優
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 Fターム(参考) 2H092 GA40 GA50 GA59 GA60 JA24
 NA11 NA24 PA06

最終頁に続く

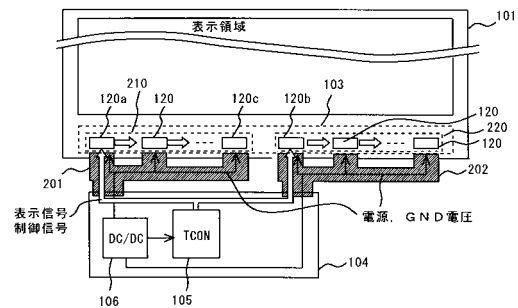
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示信号がドライバIC間を伝送される液晶表示装置の画像品質を改善する。

【解決手段】 表示信号についてカスケード接続された複数ソース・ドライバIC 120が、2つの群210、220に分割され、それぞれの群にタイミング・コントローラ105から表示信号が入力される。一つのドライバICに入力された表示信号をカスケード接続された全ての他のドライバICに伝送する場合に比較して、基板上の伝送距離を小さくすることができる。これにより、ガラス基板上の配線に起因する表示信号の振幅レベルの減衰あるいは波形のなまりを抑制することができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

画像表示信号に従って画像を表示する表示パネルと、
前記表示パネル上に配置された複数の回路部と、
前記複数の回路部へ表示信号を出力する制御回路部と、を備え、
前記複数の回路部のそれぞれに前記制御回路部から表示信号が入力され、
前記複数の回路部のそれぞれは、前記入力された表示信号に基づいて前記表示パネルに対して画像表示信号を出力する複数の表示駆動回路部を有し、
前記入力された表示信号は、前記複数の回路部の各回路部内において、前記表示駆動回路部間を順次伝送される、表示装置。

10

【請求項 2】

前記複数の回路部のそれぞれにおいて、前記複数の表示駆動回路部のそれぞれは 1 以上の他の表示駆動回路部と隣接して配置されている、請求項 1 に記載の表示装置。

【請求項 3】

さらに、表示信号を伝送する複数の配線部を備え、
前記複数の配線部の各配線部は、前記複数の回路部のそれぞれに接続される、請求項 1 に記載の表示装置。

【請求項 4】

前記複数の配線部のそれぞれは、前記制御回路部と前記複数の回路部とを接続する F P C (Flexible Printed Circuit) である、請求項 3 に記載の表示装置。

20

【請求項 5】

前記 F P C のそれぞれは同一の配線構成を備えている、請求項 4 に記載の表示装置。

【請求項 6】

前記入力された表示信号は、前記複数の回路部の各回路部内において、前記表示パネル上に形成された配線を介して、前記表示駆動回路部間を順次伝送される、請求項 1 に記載の表示装置。

【請求項 7】

前記複数の回路部は、2 つの回路部から構成される、請求項 1 に記載の表示装置。

【請求項 8】

前記駆動回路部は I C チップであり、
前記 2 つの回路部のそれぞれに含まれる駆動回路部の数は同一である、もしくは駆動回路部の数の差は 1 である、請求項 7 に記載の表示装置。

30

【請求項 9】

前記複数の回路部へは同一の表示信号が並行して伝送され、
前記複数の各回路部に対して、前記表示データの取り込み信号が異なるタイミングで伝送される、請求項 1 に記載の表示装置。

【請求項 10】

前記複数の回路部へは異なる表示信号が並行して伝送され、
前記複数の各回路部は、表示信号を並行して取り込む、請求項 1 に記載の表示装置。

40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は表示装置に関し、特に、画像表示信号を出力する表示駆動回路が表示パネルの基板上に配置された表示装置に関する。

【0002】**【従来の技術】**

パーソナルコンピュータ、その他各種モニタ用の画像表示装置として、液晶表示装置の普及は目覚ましいものがある。液晶表示装置は、典型的には、液晶表示パネルと、その背面に配置されたバックライト・ユニットと、を有する。液晶表示パネルは、その透過光を制御

50

することにより、画像表示を行う。いくつかのタイプの液晶表示装置の一つに、COG (Chip On Glass)タイプの液晶表示装置が知られている。COGタイプの液晶表示装置は、液晶表示パネルのガラス基板上に複数のソース・ドライバIC及び/もしくは複数のゲート・ドライバICが実装される。これにより、製造コストの削減と狭額縁化に大きく寄与することができる。

【0003】

従来の典型的な液晶表示装置において、タイミング・コントローラと各ソース・ドライバICは、FPC (Flexible Printed Circuit)を介して、各別の配線によって接続されている。タイミング・コントローラから各ソース・ドライバICに対して、表示信号及び制御信号などが各配線を介して伝送される。しかし、ソース・ドライバIC毎に配線を設けることによって全体の配線長が長くなり、また、配線間のクロストークが問題となっている。そこで、複数のソース・ドライバICを表示信号伝送配線についてカスケード接続する方法が提案されている。

10

【0004】

図5は、従来の典型的な、表示信号についてカスケード接続されたソース・ドライバICを有する液晶表示装置の概略を示す構成図である。カスケード接続されたソース・ドライバIC502間において、表示信号は液晶表示パネル501のガラス基板上の配線を介して、伝送される。つまり、基板上501に配置された端部のソース・ドライバIC502aに、制御基板上に配置されたタイミング・コントローラ503から、FPC504上の配線を介して、表示信号が出力される。

20

【0005】

端部のソース・ドライバIC502aは自らが信号線に出力する表示信号をラッチする。全ての表示信号をラッチすると、他のソース・ドライバICのための表示信号を、後段のソース・ドライバICへ伝送する。このように、各ソース・ドライバIC502が順次必要な表示信号をラッチし、その後は、後段のソース・ドライバIC502のために表示信号を伝送する。ソース・ドライバIC502間の表示信号の伝送は、ガラス基板501上の配線を介して行われる。

【0006】

カスケード接続されたソース・ドライバICによって生ずる問題、及びそれを解決するためのいくつかの技術が知られている。例えば、ガラス基板上の配線が高抵抗であることによって、各ドライバICに均一な電圧を供給、特に補正用の均一な基準電圧を供給することが困難であるとの観点から、基板上の配線抵抗を段階的に変化させる技術が知られている(例えば、特許文献1参照)。

30

【0007】

この液晶表示装置は、連鎖的に接続された複数のドライバLSIの基準電圧発生器に対して電圧を供給するため、基板上に配線を有している。この配線構造は、電圧供給点から配線抵抗を段階的に変化させ、往路配線と復路配線とによって基準電圧発生器に対して電圧を供給し、また、往路配線と復路配線とは一筆書き状に結線されている。このような構成を有することによって、各ドライバLSIがうける電圧の差を小さくすることができる。

【0008】

発明者らは、上記問題と異なる点において、カスケード接続されたソース・ドライバICを備える液晶表示装置において、画像表示に問題が生じうることを見出した。この問題は、後段のソース・ドライバIC、特に、最終段のソース・ドライバICが、表示信号をサンプリングできなくなり表示に支障をきたすことである。この問題は、20インチ程度もしくはそれ以上の大型液晶表示装置において、より明確に顕在化する。

40

【0009】

【特許文献1】

特開平2001-281686号公報

【0010】

【発明が解決しようとする課題】

50

本発明は上記従来技術に鑑みてなされたものであって、表示信号が表示駆動回路間を伝送される表示装置において、表示駆動回路の動作安定性を向上することができる表示装置を提供することを一つの目的としている。

【0011】

【課題を解決するための手段】

本発明の第1の態様に係る表示装置は、画像表示信号に従って画像を表示する表示パネルと、前記表示パネル上に配置された複数の回路部と、前記複数の回路部へ表示信号を出力する制御回路部と、を備え、前記複数の回路部のそれぞれに前記制御回路部から表示信号が入力され、前記複数の回路部のそれぞれは、前記入力された表示信号に基づいて、前記表示パネルに対して画像表示信号を出力する複数の表示駆動回路部を有し、前記入力された表示信号は、前記複数の回路部の各回路部内において、前記表示駆動回路部間を順次伝送されるものである。これにより、表示パネルの表示品質を改善することができる。

10

【0012】

上記第1の態様において、前記複数の回路部のそれぞれにおいて、前記複数の表示駆動回路部のそれぞれは1以上の他の表示駆動回路と隣接して配置されていることが好ましい。これにより、駆動回路部間の配線長を短くすることができる。

【0013】

上記第1の態様において、さらに、表示信号を伝送する複数の配線部を備え、前記複数の配線部の各配線部は、前記複数の回路部のそれぞれに接続されることが好ましい。これにより、さらに、前記複数の配線部のそれぞれは、前記制御回路部と前記複数の回路部とを接続するFPC(Flexible Printed Circuit)であることが好ましい。これにより、表示装置の小型化に寄与する。さらに、前記FPCのそれぞれは、同一の配線構成を備えていることが好ましい。これにより伝送特性の均一化に寄与する。

20

【0014】

上記第1の態様において、前記入力された表示信号は、前記複数の回路部の各回路部内において、前記表示パネル上に形成された配線を介して、前記表示駆動回路部間を順次伝送される。パネル上の伝送配線距離を小さくすることができ、表示品質を向上することができる。

【0015】

上記第1の態様において、前記複数の回路部は、2つの回路部から構成されることが好ましい。これにより部品点数の削減に寄与する。さらに、前記駆動回路部はICチップであり、前記2つの回路部のそれぞれに含まれる駆動回路部の数は同一である、もしくは駆動回路部の数の差は1であることが好ましい。これにより、信号伝送特性の均一化に寄与する。

30

【0016】

上記第1の態様において、前記複数の回路部へは同一の表示信号が平行で伝送され、前記複数の各回路部に対して、前記表示信号の取り込み信号が異なるタイミングで伝送されることが好ましい。これにより、回路動作をシンプルにすることができる。あるいは、前記複数の回路部へは異なる表示信号が並行して伝送され、前記複数の各回路部は、表示信号を並行して取り込むことが好ましい。これにより、動作周波数を小さくすることができる。

40

【0017】

【発明の実施の形態】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能であろう。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略される。

【0018】

50

図1は、本実施の形態における液晶表示装置100の概略構成を示すブロック図である。図1において、101は液晶表示パネル、102はゲート・ドライバ回路部、103はソース・ドライバ回路部、104は制御回路部である。制御回路部104は、タイミング・コントローラ105、及び電源回路部106を備えている。電源回路部106はDC/DCコンバータを備え、外部電源から供給されるDC電圧から、各回路へ供給される電圧を生成する。DC/DCコンバータからの電圧は、ゲート・ドライバ回路部102、ソース・ドライバ回路部103、あるいはタイミング・コントローラ105の各回路へ供給される。

【0019】

液晶表示パネル101は、マトリクス状に配置された複数の画素から構成される表示領域と、その外周領域である額縁領域とを有している。又、液晶表示パネル101は、アレイ回路が形成されたアレイ基板とその対向基板とを有し、その2つの基板の間に液晶が封入されている。アクティブマトリクス・タイプの液晶表示パネルは、各画素が表示信号の入出力を制御するスイッチング素子を備えている。典型的なスイッチング素子は、TFT (Thin Film Transistor) である。

【0020】

カラー液晶表示装置は、対向基板上にRGBのカラー・フィルター層を有している。液晶表示パネル101の表示領域内の各画素は、RGBいずれかの色表示を行う。もちろん、白黒ディスプレイにおいては、白と黒のいずれかの表示を行う。アレイ基板上の表示領域内には、複数の信号線とゲート線がマトリクス状に配設されている。信号線とゲート線とはお互いにほぼ直角に重なるように配設され、交差点近傍にTFTが配置される。ゲート・ドライバ回路部102から入力されるゲート電圧によって選択された各画素は、ソース・ドライバ回路部103から入力される表示信号電圧に基づき液晶に電界を印加する。

【0021】

ゲート・ドライバ回路部102は、複数のゲート・ドライバIC110を備えている。また、ソース・ドライバ回路部103は、表示駆動回路の一例であるソース・ドライバIC120を複数備えている。ソース・ドライバ回路部103は、第1の回路部の一例である第1のソース・ドライバIC群125と、第2の回路部の一例である第2のソース・ドライバIC群126とから構成されている。本形態のドライバICは、アレイ基板の絶縁基板上に直接に設置、あるいは絶縁基板上に直接に形成される。典型的には、図1に示すように、信号線用の複数のソース・ドライバIC120が、TFTアレイ基板のX軸側に設けられ、ゲート電圧を制御するゲート線用の複数のゲート・ドライバIC110が、Y軸側に設けられる。

【0022】

ソース・ドライバIC120から入力される電圧が、TFTのソース/ドレインを介して画素電極に送られ、画素電極と共通電極とが液晶に電界を印加する。この電圧を変えることにより液晶への印加電圧を変化させることができ、液晶の光の透過率を制御する。共通電極に共通電位を与える回路は、制御回路基板上に構成される。液晶表示パネルは、上記のアクティブマトリクス型の他に、スイッチング素子を有していない単純マトリクス型などが知られている。本発明は様々なタイプ液晶表示パネル、あるいは、ドライバ回路部によってその表示が制御される様々なタイプの表示装置、例えば有機あるいは無機EL (Electro Luminescence) 表示装置などに適用することができる。

【0023】

タイミング・コントローラ105には、外部のパーソナルコンピュータなどから、ビデオ・インターフェースを介して、RGBの画像信号及び、同期信号が入力される。同期信号は、1画素分の画像信号の入力サイクルであるドット・クロック信号、水平同期信号、垂直同期信号などを含む。タイミング・コントローラ105は、ビデオ・インターフェースを介して受信した信号を処理し、ゲート・ドライバ回路部102及びソース・ドライバ回路部103の各ドライバICへ供給すべき各種信号を、必要なタイミングで出力する。

【0024】

10

20

30

40

50

タイミング・コントローラ105は、ゲート・ドライバ回路部102に制御信号151を供給し、ソース・ドライバ回路部103へ制御信号152及び表示信号153を供給する。第1及び第2のソース・ドライバIC群125、126のそれぞれに、表示信号153と制御信号152が供給される。ゲート・ドライバ回路部102、あるいはソース・ドライバ回路部103の各ドライバICは、制御信号に従ったタイミングで、ゲート信号あるいは表示信号の入出力を行う。典型的な液晶表示装置において、ゲート・ドライバ回路部102は、1行目から後段の行に向けて、各行の画素を順次走査するようにゲート信号を出力する。

【0025】

ゲート・ドライバ回路部102へは、典型的には、スタート・パルス信号、クロック信号、及びイネーブル信号が、タイミング・コントローラ105から入力される。ゲート・ドライバIC110はカスケード接続されており、スタート・パルス信号が、クロック信号に従ってゲート・ドライバ回路部内を順次伝送される。スタート・パルス信号がON信号を出力するゲート線を選択し、イネーブル信号がゲート信号の出力制御を行うことによって、各ゲート線において順次ON信号が出力される。ソース・ドライバ回路部103の動作については、後に説明される。

10

【0026】

図2は、本形態におけるタイミング・コントローラ105とソース・ドライバ回路部103との間の配線構造を示す図である。図2において、201あるいは202は、タイミング・コントローラ105からソース・ドライバ回路部103に対して、電源・グランド電圧、制御信号及び表示信号を伝送する配線構造を備える第1あるいは第2のFPC(Flexible Printed Circuit)である。本形態のソース・ドライバ回路部103は、第1の回路部210と第2の回路部220を備えており、各回路部が複数のソース・ドライバICを含む。

20

【0027】

本形態において、各ソース・ドライバICは一方の回路部に属する。好ましくは、第1の回路部210と第2の回路部220は、回路特性の均一化のため、同一数のソース・ドライバICを含む、もしくは、両者の数の差が1であることが好ましい。ソース・ドライバIC120は、表示領域の辺に沿って配置されており、各ソース・ドライバIC120には、複数の信号線が接続されている。

30

【0028】

第1及び第2の各回路部210、220において、各ソース・ドライバIC120は、一つもしくは2つのソース・ドライバIC120と隣接する。第1及び第2の回路部210、220のそれぞれにおいて、複数のソース・ドライバIC120は、表示信号の伝送のためにカスケード接続されている。つまり、各ソース・ドライバIC120のための表示信号が、ソース・ドライバIC120間において伝送される。表示信号は、基板上に形成された配線を介して、隣接するソース・ドライバIC120間を伝送される。

【0029】

第1のFPC201は第1の回路部210に接続され、第2のFPC202は第2の回路部220に接続される。第1のFPC201は、第1の回路部210に対して、電源・グランド電圧、表示信号、及び制御信号を伝送する。第2のFPC202は、第2の回路部220に対して、電源・グランド電圧、表示信号、及び制御信号を伝送する。FPC201、202は、制御信号用配線、表示用配線及び、電源・グランド電圧供給用の配線を備えている。2つのFPCを備えることによって、一つのFPCが全ての配線構造を有する場合と比較して、FPC上の実装配線長が短くなり、実装精度を向上することができる。

40

【0030】

FPC201、202は、電源・グランド電圧供給用の配線を介して、各ソース・ドライバICのそれぞれに並列に電源・グランド電圧を供給する。電源・グランド電圧供給用の配線を基板上に形成することも可能である。第1及び第2のFPC201、202は、好ましくは、同一の配線構成あるいは、全体として同一の構造を備えている。これにより、

50

伝送特性を均一化する、あるいは、製造コストを低減することができる。

【0031】

第1の回路部210の表示信号用配線及び制御信号用配線は、第1の回路部の最も端に配置されたソース・ドライバIC120aに接続される。本形態のソース・ドライバIC120はカスケード接続されているため、タイミング・コントローラ105から第1の回路部210への表示信号及び制御信号は、ソース・ドライバIC120aに入力される。入力された表示信号及び制御信号は、ソース・ドライバIC120間の基板上伝送配線と各ソース・ドライバIC120を介して、後段のソース・ドライバIC120に伝送される。

【0032】

第2の回路部220の表示信号用配線及び制御信号用配線は、第2の回路部の最も端に配置されたソース・ドライバIC120bに接続される。ソース・ドライバIC120bは、第1の回路部210のドライバIC120cとはカスケード接続されていない。入力された表示信号及び制御信号は、ソース・ドライバIC120間の基板上伝送配線と各ソース・ドライバIC120を介して、後段のソース・ドライバIC120に伝送される。

【0033】

従来の表示装置において、図5に示すように、基板上に配置されたすべてのソース・ドライバIC502をカスケード接続し、一つのドライバIC502aに入力された表示信号をカスケード接続された全ての他のドライバICに伝送する。このため、基板上の配線抵抗もしくは容量によって、表示信号の振幅レベルの減衰あるいは波形のなまりが生じ、特に後段のソース・ドライバICが表示信号のサンプリングができなくなり、表示に問題が生じうる。

【0034】

本形態において、タイミング・コントローラ105からソース・ドライバ回路部103への表示信号の伝送は、第1及び第2の回路部210、220のそれぞれに接続された異なる配線を介して行われる。各回路部210、220内において、表示信号はカスケード接続されたドライバIC120間を伝送される。本形態の表示装置において、ソース・ドライバIC群は2つの群に分割されており、それぞれの群に表示信号が入力される。これによりカスケード接続による表示信号伝送のための配線長を減少することができるため、表示信号の振幅レベルの減衰あるいは波形のなまりを抑制することができる。従って、ソース・ドライバICの安定動作、あるいは、好ましい画像品質を得ることができる。

【0035】

図3は、本形態におけるソース・ドライバIC120の構成を示す回路ブロック図である。図3において、301はシフトレジスタ部、302は表示信号ラッチ部、303は入力ラッチ、304は出力ラッチ、305はDA変換回路部である。表示信号ラッチ部302は、複数のラッチ306を備えており、各ラッチ306は各信号線に出力する表示信号をラッチする。

【0036】

シフトレジスタ部301に、外部から、クロック信号351及びスタート・パルス信号352が入力される。表示信号353は入力ラッチ303に入力される。このほかに、ソース・ドライバICには表示制御信号354が入力される。表示制御信号は、DA変換タイミングや、基準電圧信号などの制御を行う。これら信号は、カスケード接続されたソース・ドライバIC120間を、基板上配線を介して伝送される。

【0037】

シフトレジスタ部301に入力されたスタート・パルス信号352は、シフトレジスタ部301内において、クロック信号351に従って順次伝送される。シフトレジスタ部301の順次出力は、表示信号ラッチ部302の各ラッチ306に入力される。表示信号353は、タイミング調整のために入力ラッチ303によりラッチされた後、表示信号ラッチ部302に入力される。表示信号ラッチ部302において、順次伝送されるシフトレジスタ部301からの出力に従って、各ラッチ306が表示信号を順次ラッチする。

10

20

30

40

50

【0038】

全てラッチ306が表示信号をラッチすると、次段のソース・ドライバICに対し、クロック信号361、スタート・パルス信号362、表示信号363を転送する。表示信号363は、典型的には、R、G、B各6～8ビット分の2値データで構成される。出力ラッチ304は、次段における表示信号取り込みタイミングのマーヅン確保のために、タイミング調整を行う。

【0039】

図4は、表示信号及び制御信号の伝送タイミングを示すタイミング・チャートである。図4において、401はタイミング・コントローラ105からソース・ドライバ回路部103へ伝送される表示信号のタイミング、402はタイミング・コントローラ105から第1の回路部210へ伝送されるスタート・パルス信号のタイミング、403はタイミング・コントローラ105から第2の回路部220へ伝送されるスタート・パルス信号のタイミング、404はソース・ドライバ回路部103が液晶表示パネル101へ画像表示信号の出力を開始するタイミングを示している。

10

【0040】

第1及び第2の回路部210、220へは、同一の表示信号がパラレルに伝送される。従って、第1の回路部210に対して第1の回路部のための表示信号に加えて第2の回路部のための表示信号が伝送され、第2の回路部220に対して第2の回路部のための表示信号に加えて第1の回路部のための表示信号が伝送される。表示信号が第1及び第2の回路部の端に配置された初段のドライバIC120a、bに入力され、また、所定のタイミングで第1の回路部のためのスタート・パルス信号が第1の回路部へ、具体的には、ドライバIC120aへ入力される。

20

【0041】

第2の回路部220へはスタート・パルス信号が入力されないため、第2の回路部220、具体的にはドライバIC120bは表示信号をラッチしない。クロック信号に従って、スタート・パルス信号が第1の回路部210内のドライバIC間を伝送され、同時に、各信号線に対応する表示信号がタイミング・コントローラ105からガラス基板上の配線であるカスケード接続配線を介して伝送される。

【0042】

第1の回路部210による表示信号のラッチ処理が終了すると、第2の回路部のためのスタート・パルス信号が第2回路部220の初段のドライバIC120bに入力される。第1の回路部210と同様に、第2の回路部220は、カスケード接続配線を介して伝送される表示信号をラッチする。第2の回路部210による表示信号のラッチ処理が終了すると、DA変換部305によって、液晶表示パネルに画像表示するために変換されたアナログ信号である画像表示信号364が、各信号線に同時に出力される。1水平期間の表示が終了した後、ゲート・ドライバ回路部101によって表示する画素行の選択が行われ、前記処理が繰り返される。

30

【0043】

本形態において、ソース・ドライバ回路部を、3以上の複数の回路部へ分割することができる。ソース・ドライバ回路部における表示信号の伝送は、各回路部内において行われ、別の回路部へは伝送されない。また、各回路部へ異なる配線部を使用して、表示信号もしくは制御信号が伝送される。第1のFPC201は、ゲート・ドライバ回路102に対して制御信号を伝送するための配線部を有することができる。又、第2のFPC202は、コモン電位を与えるための配線部を備えることができる。このように、2つのFPCが上記配線部を備えることによって、これらの配線構成を近似したもの、あるいは実質的に同一にすることができる。

40

【0044】

タイミング・コントローラ105からソース・ドライバ回路部103への表示信号及び制御信号の伝送は、異なる形態を採用することができる。タイミング・コントローラ105は、第1の回路部210と第2の回路部220に、それぞれ異なる表示信号を出力するこ

50

とができる。例えば、第1の回路部210と第2の回路部220に同時に、それぞれの回路部のための異なる表示信号と、スタート・パルス信号を出力する。第1の回路部210と第2の回路部220は、クロック信号に従って、入力された表示信号を並列にラッチ処理する。この構成によって、クロック周波数を半分にすることができ、動作精度を向上することができる。

【0045】

【発明の効果】

本発明によれば、表示信号が駆動回路部間を伝送される表示装置の画像表示を改善することができる。

【図面の簡単な説明】

10

【図1】本実施の形態における液晶表示装置の構成を示すブロック図である。

【図2】本実施の形態における、ソース・ドライバICとタイミング・コントローラとの接続態様を示す構成図である。

【図3】本実施の形態における、ソース・ドライバICの構成を示す、回路ブロック図である。

【図4】本実施の形態における、信号のタイミング関係を示す、タイミング・チャートである。

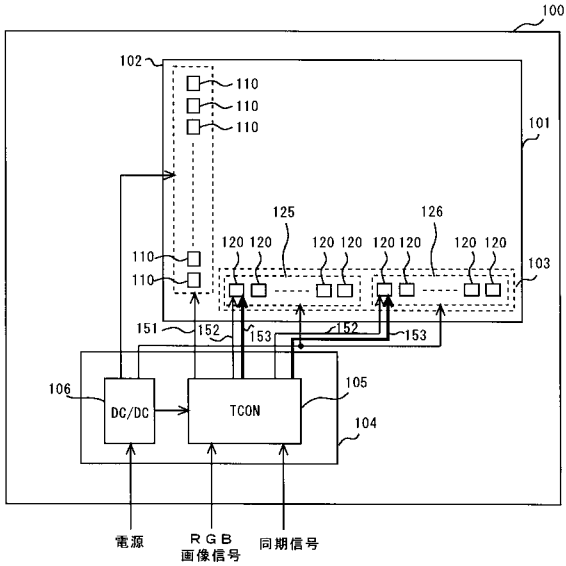
【図5】従来の液晶表示装置における、ソース・ドライバICとタイミング・コントローラとの接続態様を示す構成図である。

【符号の説明】

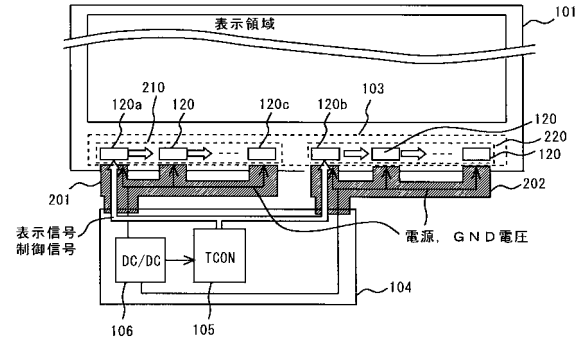
20

100 液晶表示装置、101 液晶表示パネル、102 ゲート・ドライバ回路部、103 ソース・ドライバ回路部、104 制御回路部、105 タイミング・コントローラ、106 電源回路部、120 ソース・ドライバIC、125 第1のソース・ドライバIC群、126 第2のソース・ドライバIC群、201、202 FPC、210 第1の回路部、220 第2の回路部、301 シフトレジスタ部、302 表示信号ラッチ部、303 入力ラッチ、304 出力ラッチ、305 DA変換回路部、306 ラッチ、351 クロック信号、352 スタート・パルス信号、353 表示信号、354 表示制御信号、364 画像表示信号

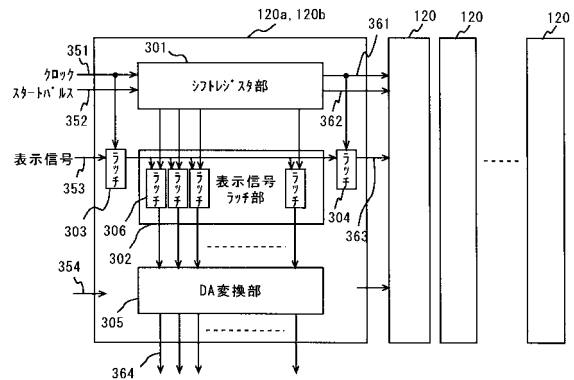
【図1】



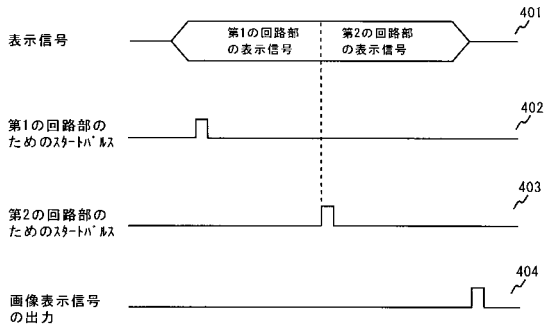
【図2】



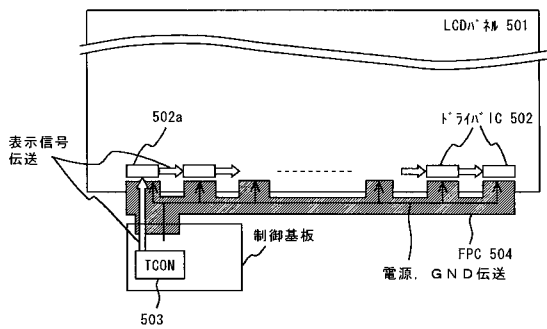
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
G 0 9 G 3/20	G 0 9 F 9/00	3 4 8 Z
H 0 5 B 33/14	G 0 9 G 3/20	5 G 4 3 5
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 1 2 J
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 3 3 C
	G 0 9 G 3/20	6 3 3 G
	G 0 9 G 3/20	6 7 0 F
	G 0 9 G 3/20	6 8 0 G
	H 0 5 B 33/14	A
	H 0 5 B 33/14	Z

F ターム(参考)	2H093	NA16	NC05	NC11	NC21	NC34	NC90	ND37	ND40	ND42	ND48
			ND60	NE07							
	3K007	AB05	AB17	BA06	BB07	DB03	GA00				
	5C006	AA16	AF43	AF50	AF72	AF83	BB14	BB16	BC02	BC12	BC16
		BC23	BC24	BF03	BF04	BF15	BF42	BF46	FA13	FA15	FA16
		FA20	FA22	FA26	FA37	FA43	FA48	FA51			
	5C080	AA06	AA10	BB06	DD05	DD08	DD09	DD23	DD25	DD26	DD27
		EE29	FF03	FF11	FF12	JJ02	JJ04	JJ06	KK02	KK04	
	5G435	AA01	BB12	CC09	CC12	EE32	EE37	EE42	EE47		