

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-532169
(P2008-532169A)

(43) 公表日 平成20年8月14日(2008.8.14)

(51) Int.Cl. F I テーマコード (参考)
G06F 13/388 (2006.01) G06F 13/368 A 5B061

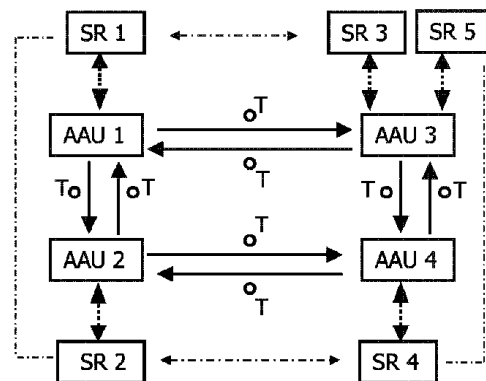
審査請求 未請求 予備審査請求 未請求 (全 26 頁)

<p>(21) 出願番号 特願2007-557657 (P2007-557657)</p> <p>(86) (22) 出願日 平成18年3月2日(2006.3.2)</p> <p>(85) 翻訳文提出日 平成19年8月23日(2007.8.23)</p> <p>(86) 国際出願番号 PCT/IB2006/050649</p> <p>(87) 国際公開番号 W02006/092768</p> <p>(87) 国際公開日 平成18年9月8日(2006.9.8)</p> <p>(31) 優先権主張番号 05101716.8</p> <p>(32) 優先日 平成17年3月4日(2005.3.4)</p> <p>(33) 優先権主張国 欧州特許庁 (EP)</p>	<p>(71) 出願人 590000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1</p> <p>(74) 代理人 100087789 弁理士 津軽 進</p> <p>(74) 代理人 100114753 弁理士 宮崎 昭彦</p> <p>(74) 代理人 100122769 弁理士 笛田 秀仙</p> <p>(72) 発明者 ヒューセンス ケース ジー ダブリュ オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6 最終頁に続く</p>
--	--

(54) 【発明の名称】 共有されたリソースを調停するための電子装置及び方法

(57) 【要約】

複数の第1の共有されたリソースSR1 - SR4と、それぞれが前記複数の第1の共有されたリソースSR1 - SR4の少なくとも1つについて調停を実行するための複数の調停ユニットAAU1 - AAU4と、を有する電子装置が提供される。前記調停ユニットAAU1 - AAU4間の通信は非同期に実行され、前記第1の共有されたリソース間のデータ通信は非同期に実行される。各前記調停ユニットAAU1 - AAU4は、第1のグローバルな時間の基準を実装するため、少なくとも1つの隣接する調停ユニットAAU1 - AAU4に第1のトークンTを送信し、少なくとも1つの隣接する調停ユニットAAU1 - AAU4から第2のトークンTを受信するように構成される。



【特許請求の範囲】**【請求項 1】**

複数の第 1 の共有されたリソースと、

それぞれが前記複数の第 1 の共有されたリソースの少なくとも 1 つについて調停を実行するための複数の調停ユニットと、

を有する電子装置であって、前記調停ユニット間の通信は非同期に実行され、前記第 1 の共有されたリソース間のデータ通信は非同期に実行され、

各前記調停ユニットは、第 1 のグローバルな時間の基準を実装するため、少なくとも 1 つの隣接する調停ユニットに第 1 のトークンを送信し、少なくとも 1 つの隣接する調停ユニットから第 2 のトークンを受信するように構成された、電子装置。

10

【請求項 2】

前記調停ユニットは、全ての前記第 1 の共有されたリソースについて必要とされるエンド・ツー・エンドのサービスの品質を提供するために、グローバルな調停方式を実装するため、前記第 1 及び第 2 のトークンを送信するように構成された、請求項 1 に記載の電子装置。

【請求項 3】

複数のポートと、

前記複数のポートを結合するための第 1 の共有されたリソースである非同期相互接続手段と、

を更に有し、前記相互接続手段は、それぞれが第 2 の共有されたリソースである複数の相互接続ユニットと、複数の調停ユニットと、を有し、前記複数の調停ユニットのそれぞれは、複数の前記第 2 の共有されたリソースの少なくとも 1 つについて調停を実行し、前記相互接続手段内の第 2 のグローバルな時間の基準を実装するため、少なくとも 1 つの隣接する調停ユニットへ第 1 のトークンを送信し、少なくとも 1 つの隣接する調停ユニットから第 2 のトークンを受信する、請求項 1 に記載の電子装置。

20

【請求項 4】

前記調停ユニットは、前記複数のポート間で要求されるエンド・ツー・エンドのサービスの品質を提供するためグローバルな調停方式を実装するように動作する、請求項 3 に記載の電子装置。

【請求項 5】

前記第 1 の共有されたリソースの少なくとも 1 つは通信リソース、記憶リソース及び / 又は計算リソースである、請求項 1 に記載の電子装置。

30

【請求項 6】

前記調停ユニットは、時分割多重アクセス方式、レート制御された調停、又はデッドライン調停に基づいて動作する、請求項 1 に記載の電子装置。

【請求項 7】

前記調停ユニット又は前記第 1 及び / 又は第 2 の共有されたリソースは D 型ポートを有する、請求項 1 又は 3 に記載の電子装置。

【請求項 8】

前記調停ユニット又は前記第 1 及び / 又は第 2 の共有されたリソースは P 型ポートを有する、請求項 1 又は 3 に記載の電子装置。

40

【請求項 9】

前記調停ユニット又は前記第 1 及び / 又は第 2 の共有されたリソースは S 型ポートを有する、請求項 1 又は 3 に記載の電子装置。

【請求項 10】

前記相互接続ユニットは第 2 の共有されたリソースであり、ネットワークインタフェース、ルータ、ブリッジ及び / 又はバスを有する、請求項 3 に記載の電子装置。

【請求項 11】

前記第 1 の共有されたリソースの少なくとも 1 つは、ネットワークインタフェース、ルータ、ブリッジ及び / 又はバスを有する、請求項 1 に記載の電子装置。

50

【請求項 1 2】

前記第 1 の共有されたリソースの 1 つはメモリであり、前記調停ユニットはメモリコントローラである、請求項 1 に記載の電子装置。

【請求項 1 3】

前記第 1 の共有されたリソースの 1 つは計算ユニットであり、前記調停ユニットはハードウェア又はソフトウェアのマルチスレッド用のタスクスケジューラである、請求項 1 に記載の電子装置。

【請求項 1 4】

前記第 1 のグローバルな時間の基準と前記第 2 のグローバルな時間の基準とは同一である、請求項 3 に記載の電子装置。

10

【請求項 1 5】

前記第 2 のグローバルな時間の基準は、前記第 1 のグローバルな時間の基準の倍数又は約数である、請求項 3 に記載の電子装置。

【請求項 1 6】

前記第 1 及び第 2 のトークンは、ゼロでない増分に基づく論理時間の経過を示し、前記増分は静的であるか又は動的に変化する、請求項 1 又は 3 に記載の電子装置。

【請求項 1 7】

前記データ通信は同期通信と組み合わせられる、請求項 1 又は 3 に記載の電子装置。

【請求項 1 8】

複数の共有されたリソースを持つ電子装置内で共有されたリソースを調停するための方法であって、前記方法は、

20

複数の第 1 の共有されたリソースの少なくとも 1 つについて複数の調停を実行するステップを有し、

前記調停間の通信は非同期に実行され、前記共有されたリソース間のデータ通信は非同期に実行され、

各前記調停するステップは、第 1 のグローバルな時間の基準を実装するため、少なくとも 1 つの隣接する調停に第 1 のトークンを送信するステップと、少なくとも 1 つの隣接する調停から第 2 のトークンを受信するステップと、を有する方法。

【請求項 1 9】

電子装置における複数の第 1 の共有されたリソースの少なくとも 1 つについて複数の調停を実行するための調停ユニット間で時間の基準を通信するためのトークンの使用であって、前記調停ユニット間の通信は非同期に実行され、前記共有されたリソース間のデータ通信は非同期に実行される、トークンの使用。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、共有されたリソースを調停するための電子装置及び方法に関する。

【背景技術】

【0002】

マルチチップ相互接続を持つ新規なシステムオンチップ (SoC) アーキテクチャのうち、1 以上のダイ (「システムインパッケージ」) 又はチップ上のルータ (又はスイッチ) 及びネットワークインタフェース NI (又はアダプタ) から成るネットワークオンチップ (NoC) が、スケラブルな相互接続基盤であることが分かっている。しかしながら、提案されるアーキテクチャのうち、保証されたスループット、待ち時間又はジッタのような、保証されたサービス (即ちサービスの品質 (Quality of Service、QoS)) を提供するものは一部のみである。

40

【0003】

斯かるアーキテクチャの一例は、E. Rijpkema、K. Goossens及びP. Wielageによる「A router architecture for networks on silicon」(「2nd Workshop on Embedded Systems」、Proceedings of Progress 2001、オランダ国Veldhoven、2001年10月)に記載された

50

ような、無衝突ルーティング又は分散 T D M A を伴う Aethereal アーキテクチャである。更なる例は、M. Millberg、E. Nilsson、R. Thid 及び A. Jantsch による「Guaranteed bandwidth using looped containers in temporally disjoint networks within the Nostrum networks on chip」(「Automation and Test in Europe Conference and Exhibition (DATE)」、Proc. Design、2004年)に示されるような、コンテナを用いたホットポテト型ルーティングを用いる Nostrum アーキテクチャである。J. Liang、S. Swaminathan 及び R. Tessier による「aSOC: A scalable, single-chip communications architecture」(「Intel Conference on Parallel Architectures and Compilation Techniques」、Proc.、2000年)は、分散 T D M A に対する変形を用いた a S O C を記載している。

【0004】

10

しかしながら、これらのネットワークオンチップ N O C は、パケット注入をスケジューリングすることにより、ネットワークオンチップ N O C におけるパケットの衝突を回避するために、グローバルな同期の基準 (notion) を必要とする。一般に、これらネットワークオンチップは、(100% 同期的に又はメソクロナス (mesochronously) 的に、1つのグローバルなクロックを用いて) 同期した態様で実装されてきた。

【発明の開示】

【発明が解決しようとする課題】

【0005】

時間に関連する Q o S (スループット、待ち時間、ジッタ) のない多くの他のネットワークオンチップ N O C が報告されている。それ故、これらはグローバルな同期の基準を必要とせず、それにより実装が同期的であっても非同期的であっても良い。例は、P. Guerrier による「Un Reseau D'Interconnexion pour Systemes Integres」(PhD thesis、Universite Paris VI、2000年3月)による同期 S P I N アーキテクチャ、Felicijan による非同期ルータ、Arteris 社の非同期 N O C (www.arteris.net)、Sonics 社の Silicon Backplane (www.sonicsinc.com) である。同期型の実装 (例えば S P I N 及び Sonics) は、グローバルな調停 (arbitration) 方式を容易に実装することができる。非同期方式 (Arteris、Felicijan) は、グローバルな調停方式を利用しない。

20

【0006】

Q o S、即ち保証されたスループット及び保証された待ち時間の実装のため、ネットワークオンチップのようなマルチホップ相互接続については、エンド・ツー・エンド (end-to-end) 型の調停が必要とされる。これらマルチホップ相互接続は複数の調停器を必要とし、マスタとスレーブとの間、即ち要求者と応答者との間の全ての調停器が、エンド・ツー・エンド型の調停を可能とするために協働する必要がある。換言すれば、マスタとスレーブとの間において、グローバルな時間の基準が必要とされる。斯かるグローバルな時間の基準は、同期クロックを有するシステムオンチップ S O C 内で容易に実装されることができる。しかしながら、システムオンチップは、100% 同期して実装されることはできない。このことは、G A L S (globally asynchronous, locally synchronous) 設計の手法に導いてきた。Jens Muttersbach による「Globally-asynchronous locally-synchronous architecture for VLSI systems」(Series in Microelectronics、Volume 120、Hartung - Gorre Verlag Konstanz、2001年)において、G A L S アーキテクチャの基本概念が記載されている。

30

40

【0007】

図 23 は、先行技術による、種々の相互接続の表現を示す。図 23 a において、相互接続 I M により接続された 3 つの I P ブロックを持つシステムオンチップが示されている。図 23 b において、ネットワークオンチップ N O C のようなマルチホップ相互接続が示されている。I P モジュールは、複数のルータ R 及びネットワークインタフェース N I を有するネットワーク N に結合されている。図 23 c において、複数のバス B を持つマルチホップ相互接続が示されている。該相互接続は 2 つのバス B を有し、I P ブロック I P に結合されている。

【0008】

50

G A L S 構築ブロックの一般的なアーキテクチャが、図 2 4 に示されている。該アーキテクチャは、ローカル同期モジュール L S M (アイランド (island)) の周囲の非同期ラッパ (wrapper) A W からなる。ラッパ A W は、モジュール L S M の環境への通信を可能とし、同期モジュール L S M 用のローカルなクロックを生成する。ネットワークオンチップ N O C の環境において、ルータノード R 及びネットワークインタフェース N I 並びに I P ブロック / クラスタは、斯かるラッピングされたモジュール A W により実装される。クロックのローカルな生成は、環境との通信が進行中である場合又は要求される場合に、次のクロックサイクルを遅延させることを可能とする。ポートコントローラ I P C U 及び O P C U は、G A L S システム中のブロックの特定のポートにおける全てのデータ転送を管理するために備えられる。このことはモジュール L S M により可能とされ、データ送信とローカルクロックの位相とを同期させるように働く。データを高速に且つ効率的に送信するため、ポートコントローラ I P C U 及び O P C U は、ローカルクロック信号とは独立に動作する必要がある。このことは、これらコントローラを、非同期有限状態機械として実装することにより達成される。

10

20

30

40

50

【 0 0 0 9 】

モジュール間通信についての多様な要求をカバーするため、ポートコントローラの 2 つのファミリ、即ちポール型ポート及びデマンド型ポートが有用である。ポール型 (P 型) ポートは、専ら準安定を防ぐためにクロック伸張のための要求を発行し、かくしてデータの正確さを確実にする。クロックは、可能な限り影響を受けない。デマンド型 (D 型) ポートもまた転送チャンネル上でのデータの完全性を保証するが、クロックゲーティングに類似する特徴を加える。これがイネーブルとされるとすぐに、ローカルクロックを停止させ、要求された転送が起こるとすぐに解放する。

【 0 0 1 0 】

更に、入出力変形型におけるポート型の実装が図 2 4 に示されている。これらのポートコントローラは、2 つのハンドシェイク対を持つ。一方はコントローラとクロック発生器との間にあり、他方はコントローラと対応するモジュールとの間にある。これらは、4 位相ハンドシェイク (レベル信号) を利用する。更に、ポートイネーブルラインは、2 位相プロトコル (遷移信号) を利用する。T a は、ポートコントローラから L S モジュールへの確認応答信号である。該信号のレベルは、データ語の転送が発生したか否かを示す。

【 0 0 1 1 】

図 2 5 において、図 2 4 の一時停止可能なクロック発生器のブロック図が示されている。一時停止可能なクロック発生器 P C G は、G A L S モジュールの重要な構成要素である。ここでは、テスト及びデバッグのための方法のない実装を示す。

【 0 0 1 2 】

図 2 6 は、先行技術による、2 つのローカルに同期したアイランド (L S M 1、L S M 2) の間の単一方向チャンネルの実装を示す。上述したようなハンドシェイクプロトコルが仮定される。ポートコントローラ P C U 間の接続は、ハンドシェイク信号 A p 及び R p を介して確立される。ハンドシェイク確認応答信号 A p により制御されるデータライン data 1 及び data 2 上のラッチ L は、通信モジュール L S M 1 及び L S M 2 を可能な限り分離する。転送チャンネルにメモリを追加することは、受信側のクロックがデータを未だサンプリングしていなくても送信者が動作を再開することを可能とする。

【 0 0 1 3 】

図 2 7 は、D 出力から P 入力へのデータ転送の波形を示す。最初に、D 出力がイネーブルにされ、自身のクロックを停止し、R p + を発行する。このとき、受信ポートは未だイネーブルにされていない。このことが起こるとすぐに、該受信ポートがペンディング中のハンドシェイクを検出し、自身のクロックを停止し、ハンドシェイクに対して確認応答する。外部のハンドシェイクが処理された後、両方のポート及び対応するモジュール L S M が、自身の動作を再開し得る。

【 0 0 1 4 】

網掛けされたエリアは、データラッチ L の透過位相 (A p = 1) を示すものである。ラ

ッチLが開いたとき受信クロックは非アクティブであり ($A_{i2} = 1$)、その後ラッチの伝播遅延よりもかなり長い間非アクティブのままである。このことは、データライン上のイベントが受信側フリップフロップに安全に到達し、準安定が生じないことを確実にする。送信側クロックを停止したまま保つ ($A_{i1} = 1$) ことは、ラッチが透過的である間data1が安定に保たれることを保証する。

【0015】

図28は、従来の非同期のシステムオンチップのブロック図を示す。3つの非同期回路AC1乃至AC3が示されている。非同期回路AC1乃至AC3のそれぞれは、自身の入力部の少なくとも1つにおいてデータが実際に存在するときのみ起動される。従って、非同期回路AC1乃至AC3は時間の基準を持たないか、又は単にそれぞれの自身のローカルな時間の基準を持つ。

10

【0016】

図29は、3つの非同期回路AC1乃至AC3を持つ従来の非同期システムの実行追跡図を示す。ここで、非同期回路AC1乃至AC3は、時間の基準なく、個別にまた独立にトリガーされる。t1において、回路AC1用の入力が第1の回路AC1に到達する。t2において、第2の回路AC2用の入力が第1の回路AC1から到着する。t3において、第3の回路AC3用の入力が第2の回路AC2から到着する。

【0017】

本発明の目的は、グローバルな同期クロックの非存在下でQoSを実装するための電子装置及び対応する方法を提供することにある。

20

【課題を解決するための手段】

【0018】

本目的は、請求項1による電子装置、請求項18による共有されたリソースを調停するための方法、及び請求項19による調停ユニット間で時間の基準を通信するためのトークンの使用により達成される。

【0019】

それ故、複数の第1の共有されたリソースと、それぞれが前記複数の第1の共有されたリソースの少なくとも1つについて調停を実行するための複数の調停ユニットと、を有する電子装置が提供される。前記調停ユニット間の通信は非同期に実行され、前記第1の共有されたリソース間のデータ通信は非同期に実行される。各前記調停ユニットは、第1のグローバルな時間の基準を実装するため、少なくとも1つの隣接する調停ユニットに第1のトークンを送信し、少なくとも1つの隣接する調停ユニットから第2のトークンを受信するように構成される。

30

【0020】

それ故、提案されるグローバルな調停方式は、調停ユニットの数においてスケラブルであり、スケラブルではない調停ユニット間の同期通信の使用に比して有利である。

【0021】

本発明の一態様によれば、前記電子装置は更に、複数のポートと、前記複数のポートを結合するための第1の共有されたリソースである非同期相互接続手段と、を有する。前記相互接続手段は、それぞれが第2の共有されたリソースである複数の相互接続ユニットと、複数の調停ユニットと、を有し、前記複数の調停ユニットのそれぞれは、複数の前記第2の共有されたリソースの少なくとも1つについて調停を実行し、前記相互接続手段内の第2のグローバルな時間の基準を実装するため、少なくとも1つの隣接する相互接続構成要素へ第1のトークンを送信し、少なくとも1つの隣接する相互接続構成要素から第2のトークンを受信する。従って、非同期相互接続内で、及びそれ故ポート間で、QoSの実装を可能とする相互接続においてグローバルな時間の基準が実現される。

40

【0022】

本発明は更に、複数の共有されたリソースを持つ電子装置内で共有されたリソースを調停するための方法に関する。前記方法は、複数の第1の共有されたリソースの少なくとも1つについて、複数の調停が実行される。前記調停間の通信は、非同期に実行される。前

50

記共有されたリソース間のデータ通信は、非同期に実行される。各前記調停するステップは、第1のグローバルな時間の基準を実装するため、少なくとも1つの隣接する調停に第1のトークンを送信するステップと、少なくとも1つの隣接する調停から第2のトークンを受信するステップと、を有する。

【0023】

本発明は更に、電子装置における複数の第1の共有されたリソースの少なくとも1つについて複数の調停を実行するための調停ユニット間で時間の基準を通信するためのトークンの使用に関する。前記調停ユニット間の通信は、非同期に実行される。第1の共有されたリソース間のデータ通信は、非同期に実行される。このことは、トークンは通常単にデータを通信し、時間を通信しないため、有利である。

10

【0024】

本発明は、分散されたグローバルな調停方式（例えばメモリコントローラ及びネットワークオンチップNOC調停方式、タイルベース方式における通信支援及びネットワークオンチップNOC調停方式）の非同期実装を提供するという発想に基づく。分散された態様において非同期で実装されることができ、グローバルな同期の基準（又は調停方式）が提供される。本発明はまた、レート制御された方式（例えば仮想回路キュー又は出力キュー）及びデッドラインベース方式のようなグローバルな同期の基準を必要とする他の調停方式を持つネットワークオンチップNOC（又はより一般的には、階層型/ブリッジされたバスのような通信基盤）に適用されることができ、根本的に、基本的な発想は、ネットワークオンチップNOCが、同期の論理的な単位（又は時間ステップ若しくはデータフロー射出）毎にトークンを交換する構成要素（例えばルータ、ネットワークインタフェース）から構成されることにより、グローバルな同期の基準（又はグローバルなスケジュール）を実装することができる点である。

20

【0025】

本発明は主に、(a)ネットワークオンチップNOCの同期レートの倍数又は約数でIPブロックを結合する非同期ネットワークオンチップNOC（即ち要求駆動型）、(b)ネットワークオンチップNOCの同期レートの倍数又は約数で動作しないIPブロックを結合する非同期ネットワークオンチップNOC（即ちデータ駆動型）、及び(c)ネットワークオンチップNOCの同期レートの倍数又は約数で動作しないIPブロックを結合する非同期ネットワークオンチップNOC（即ちイベント駆動型）、のケースに向けられたものである。

30

【0026】

本発明の更なる態様は、従属請求項に記載される。

【0027】

本発明のこれらの及び他の態様は、以下に説明される実施例を参照しながら、及び添付図面に関連して説明され明らかとなるであろう。

【発明を実施するための最良の形態】

【0028】

QoS（とりわけ有限の待ち時間）を提供する本方法は、E. Rijpkema、K. Goossens及びP. Wielageによる「A router architecture for networks on silicon」（「2nd Workshop on Embedded Systems」、Proceedings of Progress 2001、オランダ国Veldhoven、2001年10月）に記載されたような、無衝突ルーティングの背景にあるデータフローモデルに存する。E. Rijpkema、K. G. W. Goossens、A. Radulescu、J. Dielissen、J. van Meerbergen、P. Wielage及びE. Waterlanderによる「Trade offs in the design of a router with both guaranteed and best-effort services for networks on chip」（「Automation and Test in Europe Conference and Exhibition (DATE)、Proc. Design、350-355頁、2003年3月」）により説明されているように、同期の論理単位はフリット（flit）であっても良い。本方式は、引用された論文において説明されているように、同期ベースで実装されても良いが、本発明により非同期実装のために実装されても良い。

40

【0029】

50

図 1 は、本発明の第 1 の実施例による非同期システムのブロック図を示す。本システムは、幾つかの共有されたリソース S R 1 乃至 S R 4 及び幾つかの調停ユニット A A U 1 乃至 A A U 4 を有する。調停器間の通信、即ち調停器と調停器との間の通信は、非同期に実行される。共有されたリソース S R 1 乃至 S R 4 は、これらリソース間でデータを通信しても良い。調停ユニット A A U 1 乃至 A A U 4 のそれぞれは、自身の入力部にトークン T が存在するときに起動する。従って、非同期の調停器 A A U 1 乃至 A A U 3 は、グローバルで且つ共有された時間の基準を持つ。結果として、調停ユニット A A U は、該調停ユニットに関連する共有されたリソースを調停（断続線を参照）することができる。とりわけ、調停ユニット A A U 1 は共有されたリソース S R 1 に関連し、該共有されたリソース S R 1 を調停する。調停ユニット A A U 2 は共有されたリソース S R 2 に関連し、該共有されたリソース S R 2 を調停する。調停ユニット A A U 3 は共有されたリソース S R 3 及び S R 5 に関連し、該共有されたリソース S R 3 及び S R 5 を調停する。調停ユニット A A U 4 は共有されたリソース S R 4 に関連し、該共有されたリソース S R 4 を調停する。調停ユニット A A U 1 乃至 A A U 4 の調停は、グローバルに同期された態様で、即ち協調した態様で実行される。共有されたリソース S R 1 乃至 S R 4 は、これらリソース間でデータを通信しても良い。調停ユニット A A U 1 乃至 A A U 4 は単に、グローバルな時間の基準を実装するため、隣接する調停ユニットと通信する。それ故、提案されるグローバルな調停方式は、調停ユニットの数においてスケラブルであり、このことは、スケラブルでない調停ユニット間の同期通信の使用に比して有利である。

10

20

【 0 0 3 0 】

グローバルな時間の基準とは、（ことによると全ての）調停ユニットが、（全ての）他の調停ユニットの状況又は状態を知っている状況を示す。それ故、或る調停ユニットがステップ 3 にある場合、他の全ての調停ユニットもステップ 3 にあることとなる。

【 0 0 3 1 】

図 2 (a) 及び 2 (b) は、第 1 の実施例による幾つかの I P ブロックを結合するマルチホップ相互接続 I M のブロック図を示す。相互接続 I M は、幾つかのルータ R と、該ルータを I P ブロック I P に接続させるための相互接続構成要素又は相互接続ノードとしてのネットワークインタフェース N I とを有する。

【 0 0 3 2 】

ルータ R （又は他のネットワークオンチップ N O C の構成要素）の非同期の実装は、起動 / リセット時に、最初に、全ての出力部、即ち図 2 a に示されたような他のネットワークオンチップ N O C 構成要素への各リンクにおけるトークン T の生成に帰着し、次いで（永久に又はリセットまで）全ての入力部からトークンを読み出し、図 2 b に示されるようにトークンを処理し、全ての出力部においてトークン T を生成する。このようにして、全てのルータが、例えば同一の T D M A スロットにおいて、横並びで進行する。このことは、ローカルである傾向がある隣接するものへの非同期のハンドシェイクのみを用いたグローバルな調停方式を実装する効果を持つ。トークンを生成し消費することは、要求駆動（要求 - 確認応答）型のインタラクション（ハンドシェイク）に対応する。

30

【 0 0 3 3 】

この概念は、レート制御された及びデッドラインベースのグローバルな調停方式にも利用されることができる。トークン T は、データを含むか、又は空であることに留意されたい。データがない場合であっても、これらトークンは同期の基準を維持するために送信される必要がある。

40

【 0 0 3 4 】

非同期相互接続 I M のための Q o S の実装が、ここで説明される。ネットワークオンチップ N O C 構成要素は、最も低速な構成要素と同じように低速に進み、全体としてネットワークオンチップ N O C の同期レートを構成する。1 秒ごとの繰り返しの回数は、「実クロック速度」に関連する。例えば、同期ステップは 3 個のクロックサイクルに対応しても良い。同期レートがネットワークオンチップ N O C において内部的に、即ち最も低速な構成要素によって生成され、（完全に同期的なネットワークオンチップ N O C におけるよう

50

に) 外部の既知のクロックにより課せられるものではないという事実は、問題となるものではなく、QoSの概念を無効化するものではない。なぜなら、該ネットワーク内の全ての非同期の構成要素が、考慮される動作の特定の目標周波数で設計されるからである。

【0035】

説明のための例として、目標周波数は、166M同期/秒、即ち166メガフリット/秒であっても良い。ここでフリットとは、それぞれが32ビットの3個のワードであっても良い。例えば20%のような適切なマージンをとる(即ち「オーバ・デザインング」)ことにより、構成要素は200M同期/秒即ち200Mフリット/秒で動作するが、最も低速な構成要素は意図された166M同期/秒即ち500Mワード/秒よりも確実に高速に動作し、少なくとも166M同期/秒即ち500Mワード/秒の保証されたスループットに導き、潜在的により高速に動作するネットワークオンチップNOCに導く。実際のマージンは、チップの処理の正確さ、ワーストケースの動作条件等に依存するものとなるであろう。この論法は同期及び非同期のモジュール/ICについて等しく受け入れられる。

10

【0036】

図3乃至dは、第2の実施例による、ルータR及び、相互接続としてのネットワークインタフェースNI、並びにそれぞれのネットワークインタフェースNIに結合されたIPブロックIPを持つネットワークオンチップを示す。IPブロックは、種々のトークンレートを利用して、倍数のレート(又は約数のレート)で動作し得る。従って、ネットワークオンチップNOCの同期レートの倍数又は約数で動作するIPブロックIPとの非同期マルチホップ相互接続IMのQoSが示されている。図3aにおいて、IPブロックIPは相互接続の倍のレートで動作し、それ故、ルータR及びネットワークインタフェースNIが単に単一のトークンTを生成する間に、2つの動作トークンTを生成する。

20

【0037】

両方のケースにおいて、本方法は、ネットワークオンチップNOCの周波数の倍数又は約数で動作するIPブロックにのみ適用可能である。更に、同期の場合には、ネットワークオンチップNOCに接続された全てのIPブロックのために動作する単一の同期クロックを持つことはもはや実現可能ではない。

【0038】

同期の場合には、IP及びネットワークオンチップNOC(1つのクロックで動作する)のための複数の独立したクロックの使用は、データの同期、即ち或る(IPの)クロックドメインから他のもの(ネットワークオンチップNOCのもの)への交差又はその逆のための直列の2つのフリップフロップの利用に依存する。このことは、データ駆動型同期と呼ばれる。斯かる方法は動作するが最適ではない。なぜなら、他のクロックドメインからサンプリングデータが来たときにエラーが発生し得るからである。該状態は、両方の周波数が増大するにつれて更に悪化する。

30

【0039】

非同期の場合には、同期の論理的な基準により動作するIP及びネットワークオンチップNOCのための複数の独立したクロックの同期は、要求駆動型同期、データ同期又はイベント駆動型同期により解決されることが出来る。第1の方法は、全てのクロック比、可変クロック等に対処することはできない。第2の方法は、不正確なデータの可能性を導く。第3の方法は、どちらの問題も持たない。

40

【0040】

データ駆動型の同期の場合においては、他のモジュールへの通信ラインの全てにおける全てのモジュールが、クロックを進めるときにラインをサンプリングする。このことは、二重フリップフロップ方式により為され得る。不正確なデータサンプルという潜在的な問題が導かれる。とりわけ、2つのフリップフロップを利用してサンプリングされたビットが不正確である可能性がある。より多くのフリップフロップを利用することにより、増大される待ち時間と引き換えに、この可能性は低減させられる。ここで、本システム上の全てのデータ駆動型ポート/リンクについて該エラーの可能性が存在し、エラーが互いを相殺しない即ち互いを補償しないという意味で、これらの可能性が合算されることに留意さ

50

りたい。

【 0 0 4 1 】

要求駆動型の同期が図 2 及び図 3 に示され、ネットワークオンチップ N O C モジュール (N I 及びルータ) 間の実施例を構成する。送信されるデータにおいてエラーは発生しない。

【 0 0 4 2 】

図 4 は、第 2 の実施例による、3 つの I P ブロック I P を結合するためのネットワークオンチップ N O C のブロック図を示す。該ネットワークオンチップは、3 つのルータ R と共に、3 つのネットワークインタフェース N I を有する。ルータ R 及びネットワークインタフェース N I は、D 型ポート D を介して通信する。

10

【 0 0 4 3 】

図 5 は、I P ブロック I P、ネットワークインタフェース N I 及びルータ R のブロック図を示す。I P ブロック I P とネットワークインタフェース N I との間のインタフェースは適切なクロック方式に基づいて実装され、ネットワークインタフェース N I とルータ R との間のインタフェースは要求駆動型の同期に基づいて実装される。I P ブロック I P からネットワークインタフェース N I への通信は、I P ブロックからの要求信号 ip2ni_vali d、及びネットワークインタフェースからの応答信号 ip2ni_ack、並びに要求データ reqdata により実装される。ネットワークインタフェース N I から I P ブロック I P への通信は、ネットワークインタフェース N I からの要求信号 ni2ip_vali d、及び I P ブロック I P からの応答信号 ni2ip_ack、並びに応答データ respdata により実装される。更に、ネット
ワークインタフェース N I からルータ R への通信は、ネットワークインタフェース N I からの要求信号 ni2r_vali d、及びルータ R からの応答信号 r2ni_ack、並びに ni2r_data により実装される。ルータ R からネットワークインタフェース N I への通信は、ルータからの要求信号 r2ni_vali d、及びネットワークインタフェースからの応答信号 r2ni_ack、並びにデータ r2ni_data により実装される。

20

【 0 0 4 4 】

ネットワークインタフェース N I は、相互排斥ユニット m u t e x に接続された排他的 O R ユニット X O R を有し、該相互排斥ユニット m u t e x はトグルユニット T U に接続されている。トグルユニット T U の出力部は論理ユニット L U に接続され、応答信号 ip2n i_ack を構成する。遅延ライン及びインバータ D L I を持つフィードバックループは、相
互排斥ユニット m u t e x に結合されている。2 入力相互排斥要素 m u t e x は、標準的な非同期構築ブロックである。

30

【 0 0 4 5 】

ネットワークインタフェース N I の応答部は、遅延及びインバータ D L I のない対応する態様で構成される。

【 0 0 4 6 】

基本的に、I P からの外部イベントが N I に到達したときにはいつでも、状態要素が該情報 (I P が通信したもの) を保存するためにトグルされ、それにより該情報が論理ブロックにより利用されることができる。該イベントは次いで、I P ブロック I P への信号 ip 2ni_ack により確認応答される。I P ブロックに対する確認応答はクリティカルパス上に
あり、可能な限り迅速である必要がある。この理由のため、トグル要素 T U は、潜在的に非常に低速な I P ブロックからのいずれのインタラクションをも必要とすることなく、即座に、(相互排斥要素へと向かう) 要求ラインをローにする。I P ブロックは次いで、都合の良いときに確認応答に
応答する。論理ユニット L U は、例えば要求データを読み出すために、要求ライン ip2ni_vali d がハイであるという情報を利用する。

40

【 0 0 4 7 】

図 6 は、図 5 による I P ブロック I P、ネットワークインタフェース N I 及びルータ R のブロック図を示す。しかしながら、図 6 によれば、同期 N I コア N S N I が再利用されても良い。図 6 の他の構成は、図 5 の構成に対応する。換言すれば、非同期のネットワークインタフェースが実装されるべき場合には、このことは同期ネットワークインタフェー

50

スの典型的な構造を利用することにより達成され、斯かる典型的な構造の上端においてIPブロックIPへの通信を可能とするための一種の内部シェルを提供する。

【0048】

上述の動作は通常、NIの内部的に生成されたクロックを全く停止させないことは留意されるべきである。

【0049】

図7は、図4の2つの隣接するルータのより詳細なブロック図を示す。ルータR間のインタフェースは、要求駆動型の同期に基づいて実装される。ルータ間の通信は、要求信号valid及び応答信号ack並びに要求データdataにより実装される。

【0050】

前記ルータは相互排斥ユニットmutexに接続された排他的ORユニットXORを有し、該相互排斥ユニットmutexはトグルユニットTUに接続されている。トグルユニットTUの出力部は、同期ルータコアNSRに接続されている。遅延ライン及びインバータDLIを持つフィードバックループは、相互排斥ユニットmutexに結合されている。2入力相互排斥要素mutexは、標準的な非同期構築ブロックである。

【0051】

図8は、図4の2つの隣接するルータの更に詳細なブロック図を示す。該ルータは、通常の同期ルータコアNSR及び一時停止可能なクロック発生器PCGを有する。

【0052】

図9は、第2の実施例による図4のルータRのブロック図を示す。ルータRは、ルータRを隣接するルータR、及びことによると隣接するネットワークインタフェースNIへと結合させる、要求駆動型のインタフェースを有するであろう。ルータRは、入力ポート制御ユニットIPCU及び出力ポート制御ユニットOPCUを持つコアとして、通常の同期ルータNSRを有する。入力ポート制御ユニットIPCU及び出力ポート制御ユニットOPCUは、D型ポートとして実装される。2つのポート制御ユニットIPCU及びOPCUは、一時停止可能なクロック発生器PCGに結合される。ルータRと隣接するルータとの間の通信は、ルータRの入力側においてハンドシェイク信号AP1及びRP1を介して実行され、ルータは入力データdata1を受信する。ルータRの出力側においては、隣接するルータRへの通信はハンドシェイク信号AP2及びRP2を介して実行され、data2が後続するルータへと転送される。

【0053】

図10の上部において、ネットワークオンチップの一部のブロック図が示される。図10は、第2の実施例によるネットワークオンチップの一部を示す。ここで、マスタIPブロックMIP（マスタとして動作する）、マスタネットワークインタフェースmNI、1以上のルータR、スレーブネットワークインタフェース、及びスレーブIPブロックSIP（スレーブとして動作する）が示されている。これらのユニットは、論理的に同期した、即ち同一のクロックドメイン中にある又は固定されたレートで同期している、リンクL1、L2、L3及びL4により接続される。換言すれば、IPブロックMIP及びSIP並びに相互接続mNI、R及びsNIは、論理的に同期している。いずれの時間に関連するQoSも、マスタIPブロックMIPからスレーブIPブロックSIPへと達することができる。

【0054】

図10は、該図の下部において、ネットワークオンチップの同一の部分を示すが、ここでは相互接続IM、マスタネットワークインタフェースmNI、ルータR及びスレーブネットワークインタフェースsNIのみが論理的に同期している。いずれの時間に関連するQoSもが、マスタネットワークインタフェースmNIからスレーブネットワークインタフェースsNIへと達する。即ち、リンクL1とL4とが同期していないため、マスタIPブロックMIPからスレーブIPブロックSIPまでは達しない。データ駆動型同期を可能とするためにこれらリンクL1及びL4を通る通信のためのデータがサンプリングされる必要があるか、又はイベント駆動型同期を可能とするためにそれぞれのクロックが同

10

20

30

40

50

期される必要がある。

【0055】

ここで、ネットワークオンチップNOC（同期又は非同期）とIPブロックとの間のインタラクションが考慮される。ネットワークオンチップNOCにより実装されるようなQoS（例えば保証された待ち時間）は、マスタmNIからスレーブmNIまでのみ亘る。マスタ（又はスレーブ）及びネットワークオンチップNOC（即ち（マスタ（又はスレーブ）NI）が同期して動作する場合、即ち同一の又は導出されたクロックドメインにある場合（即ちクロックドメインの交差がない場合）、QoSの保証はマスタからスレーブまで達する。同様に、ネットワークオンチップNOCが非同期である場合、マスタ（又はスレーブ）は全ての（固定された倍数）時間ステップをマスタ（又はスレーブ）NIと同期させ、QoSはマスタMIPからスレーブSIPへと達する。従って、このことは非同期（マルチレートSDF）状態、即ち要求駆動型同期に対応することとなる。

10

【0056】

図11において、第3の実施例によるネットワークオンチップの一部のブロック図が示される。単に本発明を説明するため、1つのIPブロックIP、1つのネットワークインタフェースNI、及び単に1つのルータRが示されている。IPブロックIPとネットワークインタフェースとの間の通信は、IPブロックIP及びネットワークインタフェースNIにおけるD型ポートDを用いてD型インタフェースを介して実行される。ネットワークインタフェースNIと関連するルータRとの間の通信もまた、D型ポートDを用いてD型インタフェースに基づいて実行される。このことは、ルータ間通信にも当てはまる。従って、ネットワークオンチップNOCとIPブロックIPとの間の要求駆動型通信が示される。ここでIPブロックは、ネットワークオンチップのレートと同一または倍数若しくは約数のレートで処理を実行する。

20

【0057】

図12において、IPブロックIP及びネットワークインタフェースNIのより詳細なブロック図が示される。IPブロックIPは、通常同期IPコアNSIPを有する。入力ポート制御ユニットIPCU及び出力ポート制御ユニットOPCUは、通常同期IPユニットNSIPに結合されている。これらユニットは共に、D型ポートとして実装される。これらポート制御ユニットは、一時停止可能なクロック発生器PCGに結合される。ネットワークインタフェースNIは、入力ポート制御ユニットIPCU及び出力ポート制御ユニットOPCUを伴う、通常同期ネットワークインタフェースコアNSNIを有する。これらポート制御ユニットは共に、一時停止可能なクロック発生器PCGに結合される。IPブロックからネットワークインタフェースNIへの通信はハンドシェイク信号AP1及びRP1を介して処理され、データdata1がIPブロックIPからネットワークインタフェースNIへと転送される。ネットワークインタフェースからIPブロックへの通信は第2のハンドシェイク信号AP2及びRP2を介して処理され、データdata2がネットワークインタフェースNIからIPブロックIPへと転送される。従って、要求駆動型インタフェースが、IPブロックIPとネットワークインタフェースNIとの間に実装される。

30

【0058】

図13は、図11のネットワークインタフェースのより詳細なブロック図を示す。該ネットワークインタフェースは、D型ポートとして実装されるルータ及びIPの両方に対する要求駆動型インタフェースを有する。

40

【0059】

図14は、第4の実施例によるネットワークオンチップのブロック図部分を示す。該ネットワークオンチップの基本構造は、図11による構造に対応する。しかしながら、IPブロックIPとネットワークインタフェースNIとの間のインタフェースは、P型インタフェースである。それ故、IPブロックは2つのP型ポートを有し、ネットワークインタフェースNIもまた2つのP型ポートを有する。ネットワークインタフェースとルータとの間の通信及びルータ間通信は、D型ルータを用いたD型インタフェースに基づく。

50

【 0 0 6 0 】

図 1 5 は、第 4 の実施例による図 1 4 による I P ブロック I P 及びネットワークインタフェースのより詳細なブロック図を示す。図 1 5 の I P ブロック及びネットワークインタフェースの基本構造は、図 1 2 によるネットワークインタフェース及び I P ブロックの構造に対応する。しかしながら、P 型ポート制御ユニットとしてポート制御ユニット O P C U 及び I P C U が実装され、これにより P 型インタフェースが I P ブロックとネットワークインタフェースとの間に実装される。従って、I P ブロック I P とネットワークインタフェース N I との間にイベント駆動型インタフェースが実装される。I P ブロックからネットワークインタフェースへの通信は第 1 のハンドシェーク信号 A P 1 及び R P 1 並びに data1 を介して制御され、ネットワークインタフェースから I P ブロックへの通信は第 2

10

【 0 0 6 1 】

図 1 6 は、図 1 4 のネットワークインタフェースのより詳細なブロック図を示す。ネットワークインタフェースは、それぞれが P 型ポート及び D 型ポートとして実装された、1 つのイベント駆動型インタフェース (I P への通信用) 及び要求駆動型インタフェース (ルータへの通信用) を有する。

【 0 0 6 2 】

図 1 7 は、第 5 の実施例による I P ブロックに結合されたネットワークオンチップの一部のブロック図を示す。該ネットワークオンチップ及び I P ブロックの構造は、図 1 1 及び図 1 4 の構造に対応する。ネットワークインタフェース N I とルータとの間の通信及びルータ間通信は、D 型ポートを用いた D 型インタフェースに基づく。しかしながら、I P ブロックとネットワークインタフェースとの間の通信はデータ駆動型インタフェースを用いて実行され、I P ブロックは S 型ポートを有し、ネットワークインタフェースは P 型ポートを有する。ここで、I P ブロックはネットワークオンチップのレートとは独立したレートで動作しても良い。

20

【 0 0 6 3 】

図 1 8 は、図 1 7 の I P ブロック I P 及びネットワークインタフェース N I のより詳細なブロック図を示す。図 1 8 の I P ブロック及びネットワークインタフェースの基本構造は、図 1 2 及び図 1 6 の基本構造に対応する。しかしながら、I P ブロックは S 型ポート制御ユニット O P C U 及び I P C U を有し、ネットワークインタフェースは P 型ポート制御ユニット I P C U 及び O P C U を有する。

30

【 0 0 6 4 】

図 1 9 は、図 1 7 のネットワークインタフェースのより詳細なブロック図を示す。該ネットワークインタフェースは、それぞれが S 型ポート及び P 型ポートとして実装された、1 つの要求駆動型インタフェース及び要求駆動型インタフェースを有する。

【 0 0 6 5 】

図 2 0 は、第 7 の実施例による、2 つのローカルに同期したアイランド (L S M 1 、 L S M 2) 間の単一方向チャネルの実装のブロック図を示す。出力ポート制御ユニット O P C U と入力ポート制御ユニット I P C U との間の接続は、ハンドシェーク信号 A p 及び R p を介して確立される。ハンドシェーク確認応答信号 A p により制御されるデータライン data1 及び data2 上のラッチ L は、通信モジュール L S M 1 と L S M 2 とを可能な限り分離する。

40

【 0 0 6 6 】

ここで、停止されることができないクロックで動作するローカルに同期したアイランド L S M 1 及び L S M 2 用の出力及び入力ポートコントローラ O P C U 及び I P C U のために、S 型ポートが利用される。斯かるクロックは一般に、外部的に生成されたクロックである。斯かるローカルに同期したアイランド L S M 1 及び L S M 2 は、一時停止可能なクロック発生器 P C G を持たない。ローカルに同期したアイランド L S M 1 及び L S M 2 は、(E n 信号をトグルすることにより) S 型ポートがデータ通信を実行することを可能と

50

することができる。信号T aがトグルするとき、データ通信が実行されている。S型ポートはいずれのクロックとも干渉しないため、S型ポートの実装は基本的に、自由に動作するP型ポートである。信号T aをLSMクロック信号と同期させるため、フリップフロップFFが利用される。それ故、P及びD型ポートにより利用されるクロック同期の代わりに、データ同期が利用される。

【0067】

図21は、イベント駆動型の同期のためのタイミング信号の表現を示す。図21に示されるクロックCは、遅延ライン及びインバータDLIにより生成される。イベントE1がクロックのエッジよりも十分に前に到達した場合、クロックCは遅延されない。なぜなら、準安定を回避するため、相互排斥ユニットmutexが該イベント及び離れたクロックエッジを受信するからである（イベントは最小の（一定の）時間内で発生する）。入力されるイベントE2がクロックエッジ近くで到達する場合にのみ（同時に、制限内で）、相互排斥要素が、何が最初に到達したか（又は厳密な一致の場合には何が最初に通過を許可されたか）を調停する必要がある。このことは（準安定のため）幾分かの時間を要し得、それ故クロックを遅延（ED）させ得る（即ち図14の第2のイベント）。このことは稀にしか起こらない。クロックが遅延された瞬間同士の間の時間は計算されることができ、IP及びNIのクロック速度に依存する（速くなるほど減少する）。

【0068】

応答経路は同様の態様で動作する。要求及び応答経路は、NIが一時停止可能（ただし短い時間の間のみ）であること（即ちローカルクロックが停止させられ得ることを確実にするために、このように実装される。NIのみが停止させられ、結合されたいずれのルータのクロックも停止させられず、要求駆動型のハンドシェイクのみが僅かに長く費やしても良いことは留意されたい。短い時間の間停止させられたNIが高速なルータに接続されている場合（例えば処理の変形又は温度差によって）、NIの瞬間的な失速は、ルータによって補償され得る。このようにして、分散非同期ネットワークオンチップNOCは、失速したNIによる全ての遅延流入が補償されることができないグローバルなクロックの同期ネットワークよりも、一時停止に対して優れた対応をすることができる。このことは待ち時間にのみ影響を与えスループットには影響を与えず、スループットは常に最も低速のフィードバックループへと減少させられる。

【0069】

このとき、上述したデータ駆動型同期の場合に比べて、エラーのような入力されてくるイベントによるクロックの遅延を考慮すると、これらのエラーは合算されない。即ち、複数のNIが同時に遅延された場合、これら遅延の合計ではなく、これらの遅延のうち最も大きい遅延によってのみ、ネットワークオンチップNOC全体が遅延される。このことは、データ駆動型方式に対するイベント駆動型同期方式の利点である。

【0070】

NI速度を例えば5%大きくすると、単一のクロック期間についての平均故障間隔は減少させられる。なぜなら、相互排斥要素mutexが安定化するために5%の付加的な時間が利用可能となるからである。複数の（例えば3個の）連続するクロック期間が考慮される場合、NIが1クロック期間の後に低速になり過ぎる確率よりも、NIが3クロック期間の後に低速になり過ぎる確率のほうが低い。なぜなら、1つの遅延イベントが3クロック期間で発生する場合、5%ではなく3×5%の安定化のためのたるみ（slack）を持つからである。3つの期間の間に2つの遅延イベントがある場合にも同様である（それぞれ1.5×5%のたるみを持つ）。3つの遅延イベントについて、付加的なたるみは利用可能ではない。このことは、データ駆動型方式に対するイベント駆動型同期方式の利点である。

【0071】

従って、ネットワークオンチップNOCの物理的な（タイミング及びクロック）側面は緩和される。即ち、ネットワークオンチップNOCのためのグローバルなクロックが必要とされない。ネットワークオンチップNOCは、構成要素の数という点で、即ち性能とい

10

20

30

40

50

う点で、よりスケラブルである。IP及びネットワークオンチップNOCは、(イベント駆動型IPNOC同期については)不正確なデータの虞なく、一方で失われた時間デッドラインの点で先験的に既知の平均故障間隔を伴い、任意の独立した速度で動作することができる。

【0072】

一方で、非同期回路のテストは、同期回路についてのテストよりも困難となる。標準的なハードウェアバックエンドフロー(合成、タイミング確認等)は、非同期設計ではなく同期設計に、より適合される。

【0073】

図22は、第6の実施例による、幾つかのIPブロックを結合するネットワークオンチップを示す。ネットワークインタフェースとルータとの間の通信及びルータ間通信は、D型ポートを用いたD型インタフェースに基づく。即ち、ネットワークオンチップの構成要素間のインタフェースは、要求駆動型である。それぞれのIPブロックと関連するネットワークインタフェースとの間のインタフェースは、第3(左)、第4(中)及び第5(右)の実施例によるインタフェースを呈する。従って、第3、第4及び第5の実施例によるインタフェースが、単一のネットワークオンチップにおいても適用されることができる。

10

【0074】

第5の実施例による導入されたGALS技術に基づくネットワークオンチップNOCにおいて、NOCとIPとの間に要求駆動型通信を実装するため、NIとIPとの間のチャネルの両側においてD型ポートが利用される。全てのチャネルがD型のポートを利用するため、全てのブロックの整合のとれた進行が保証される。D型ポートは100%決定論的であるため、結果の性能もまた決定論的である。

20

【0075】

QoSを提供するための他の方法(一般的なネットワークからの)が文献から知られている(特にH. Zhangによる「Service disciplines for guaranteed performance service in packet-switching networks」(IEEEのProceeding、83(10):1374-96、1995年10月)に記載されたようなレート制御された方式、及びJ. Rexfordによる「Tailoring Router Architectures to Performance Requirements in Cut-Through Networks」(PhD論文、University of Michigan、Department of Computer Science and Engineering、1999年)に記載されたようなデッドラインベースの方式)が、これらの方式を実装したネットワークオンチップNOCは報告されていない。これらの方法はまた、グローバルな同期の基準に依存している。

30

【0076】

上述の実施例は本発明を限定するものではなく説明するものであって、当業者は添付する請求項の範囲から逸脱することなく多くの代替実施例を設計することが可能であることは留意されるべきである。請求項において、括弧に挟まれたいずれの参照記号も、請求の範囲を限定するものとして解釈されるべきではない。「有する(comprising)」なる語は、請求項に記載されたもの以外の要素又はステップの存在を除外するものではない。要素に先行する「1つの(a又はan)」なる語は、複数の斯かる要素の存在を除外するものではない。幾つかの手段を列記した装置請求項において、これら手段の幾つかは同一のハードウェアのアイテムによって実施化されても良い。特定の手段が相互に異なる従属請求項に列挙されているという単なる事実は、これら手段の組み合わせが有利に利用されることができないことを示すものではない。

40

【0077】

更に、請求項におけるいずれの参照記号も、請求の範囲を限定するものと解釈されるべきではない。

【図面の簡単な説明】

【0078】

【図1】本発明の第1の実施例による非同期システムのブロック図を示す。

【図2(a)】第1の実施例による幾つかのIPブロックを結合するマルチホップ相互接

50

続のブロック図を示す。

【図 2 (b)】第 1 の実施例による幾つかの I P ブロックを結合するマルチホップ相互接続のブロック図を示す。

【図 3 (a)】I P ブロックと共に、ルータ R 及び相互接続としてのネットワークインタフェース N I を持つネットワークオンチップを示す。

【図 3 (b)】I P ブロックと共に、ルータ R 及び相互接続としてのネットワークインタフェース N I を持つネットワークオンチップを示す。

【図 3 (c)】I P ブロックと共に、ルータ R 及び相互接続としてのネットワークインタフェース N I を持つネットワークオンチップを示す。

【図 3 (d)】I P ブロックと共に、ルータ R 及び相互接続としてのネットワークインタフェース N I を持つネットワークオンチップを示す。

【図 4】第 2 の実施例による、3 つの I P ブロック I P を結合するためのネットワークオンチップ N O C のブロック図を示す。

【図 5】I P ブロック I P、ネットワークインタフェース N I 及びルータ R のブロック図を示す。

【図 6】図 5 による I P ブロック I P、ネットワークインタフェース N I 及びルータ R のブロック図を示す。

【図 7】図 4 の 2 つの隣接するルータのより詳細なブロック図を示す。

【図 8】図 4 の 2 つの隣接するルータの更に詳細なブロック図を示す。

【図 9】第 2 の実施例による図 4 のルータ R のブロック図を示す。

【図 10】ネットワークオンチップの一部のブロック図を示す。

【図 11】第 3 の実施例によるネットワークオンチップの一部のブロック図を示す。

【図 12】I P ブロック I P 及びネットワークインタフェース N I のより詳細なブロック図を示す。

【図 13】図 4 のネットワークインタフェースのより詳細なブロック図を示す。

【図 14】第 4 の実施例によるネットワークオンチップのブロック図部分を示す。

【図 15】第 4 の実施例による図 14 による I P ブロック I P 及びネットワークインタフェースのより詳細なブロック図を示す。

【図 16】図 14 のネットワークインタフェースのより詳細なブロック図を示す。

【図 17】第 5 の実施例による I P ブロックに結合されたネットワークオンチップの一部のブロック図を示す。

【図 18】図 17 の I P ブロック I P 及びネットワークインタフェース N I のより詳細なブロック図を示す。

【図 19】図 17 のネットワークインタフェースのより詳細なブロック図を示す。

【図 20】第 7 の実施例による、2 つのローカルに同期したアイランド (L S M 1、L S M 2) 間の単一方向チャンネルの実装のブロック図を示す。

【図 21】イベント駆動型の同期のためのタイミング信号の表現を示す。

【図 22】第 6 の実施例による、幾つかの I P ブロックを結合するネットワークオンチップを示す。

【図 23】先行技術による種々の相互接続の表現を示す。

【図 24】G A L S 構築ブロックの一般的なアーキテクチャを示す。

【図 25】図 24 の一時停止可能なクロック発生器のブロック図を示す。

【図 26】先行技術による、2 つのローカルに同期したアイランド間の単一方向チャンネルの実装を示す。

【図 27】D 出力から P 入力へのデータ転送の波形を示す。

【図 28】従来の非同期のシステムオンチップのブロック図を示す。

【図 29】3 つの非同期回路を持つ従来の非同期システムの実行追跡図を示す。

10

20

30

40

【 図 1 】

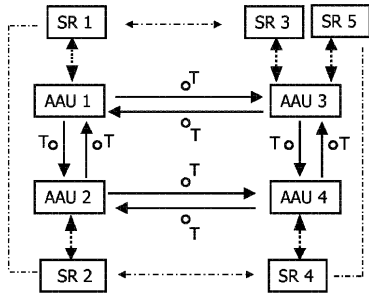


FIG. 1

【 図 2 a ）

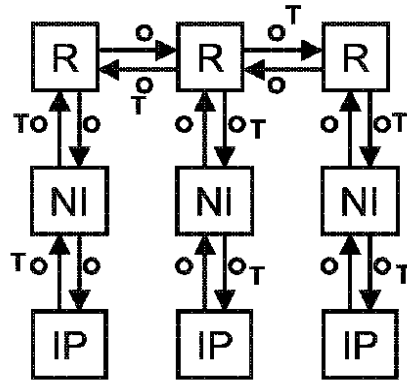


FIG. 2a

【 図 2 b ）

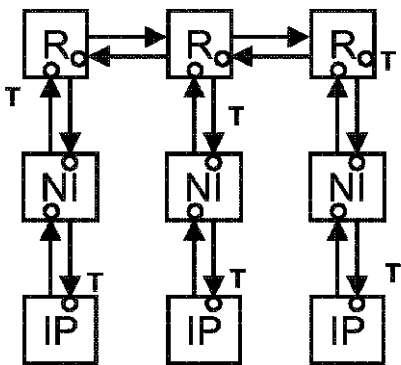


FIG. 2b

【 図 3 a ）

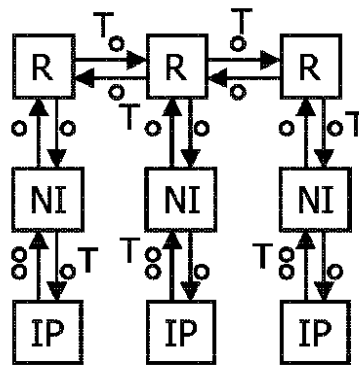


FIG. 3a

【 図 3 b 】

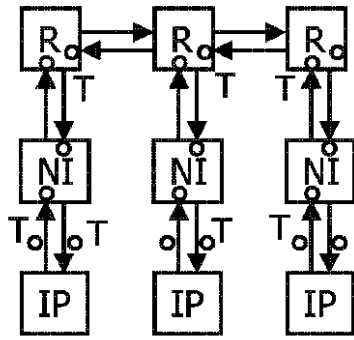


FIG. 3b

【 図 3 c 】

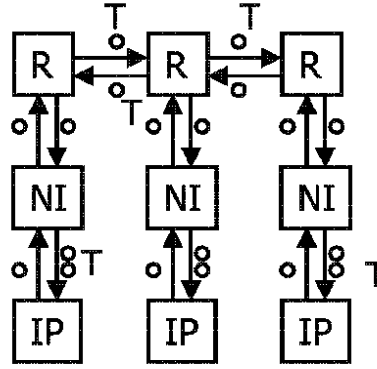


FIG. 3c

【 図 3 d 】

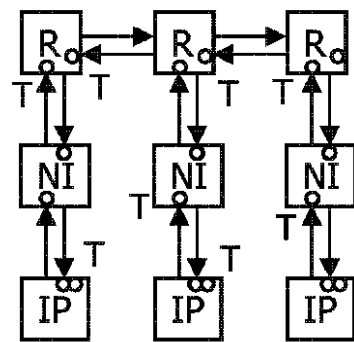


FIG. 3d

【 図 4 】

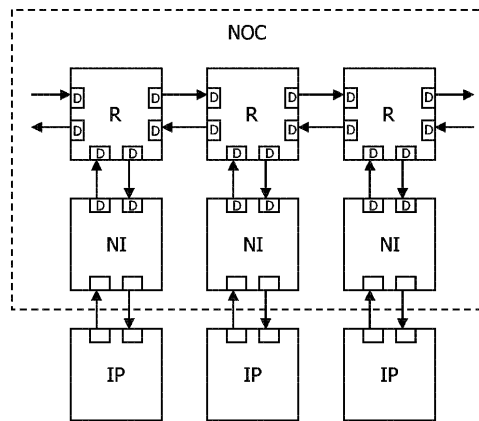


FIG. 4

【 図 5 】

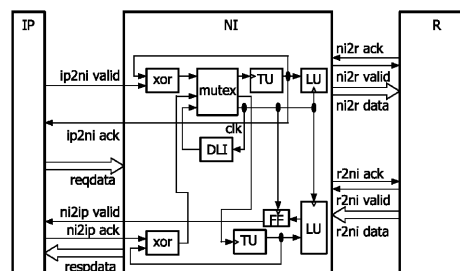


FIG. 5

【 図 6 】

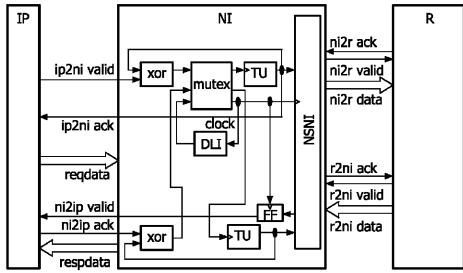


FIG. 6

【 図 8 】

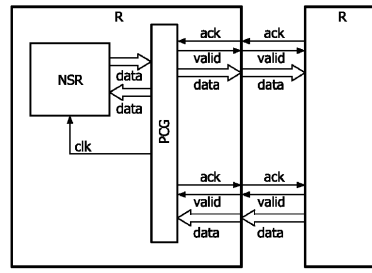


FIG. 8

【 図 7 】

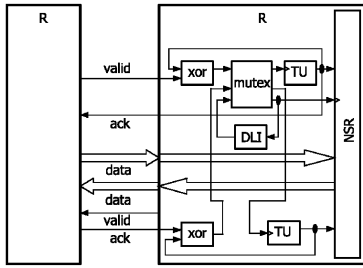
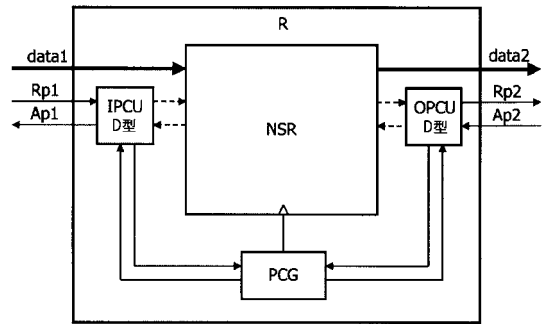


FIG. 7

【 図 9 】



【 図 10 】

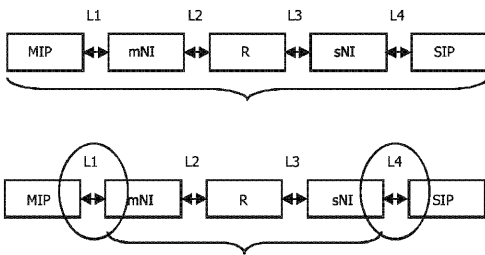
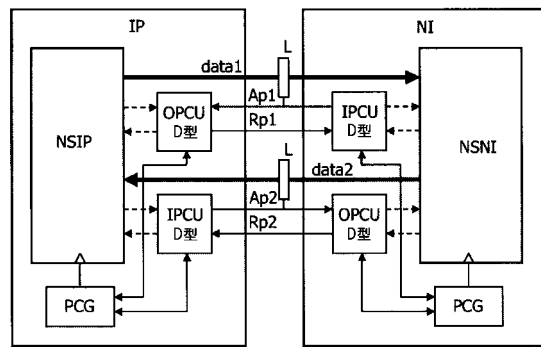


FIG. 10

【 図 12 】



【 図 11 】

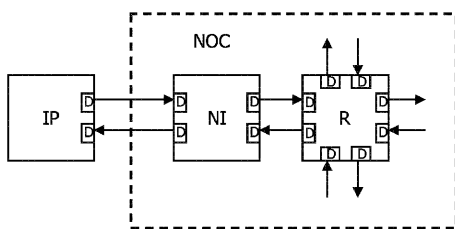
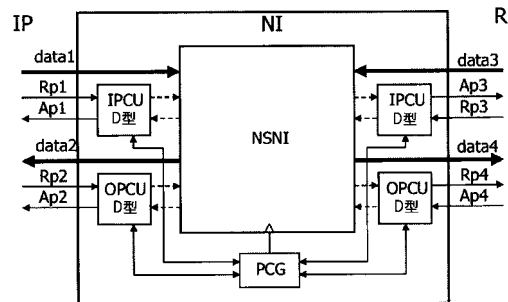


FIG. 11

【 図 13 】



【 図 1 4 】

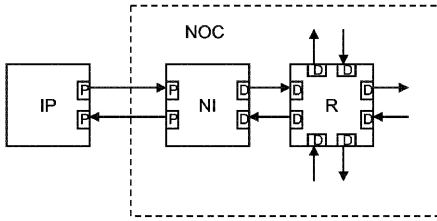
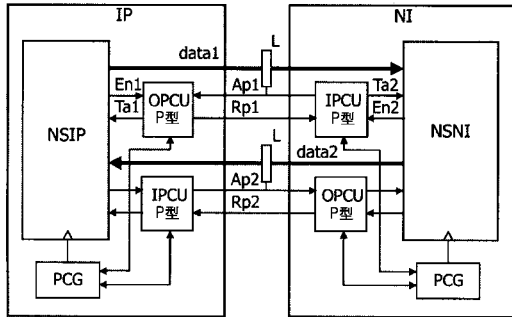
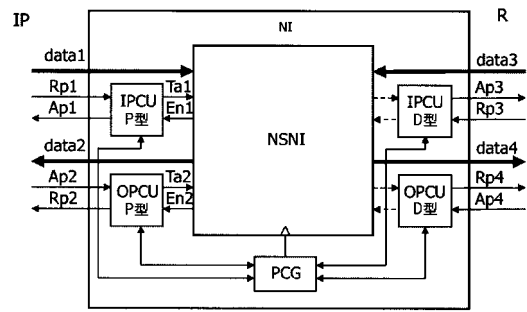


FIG. 14

【 図 1 5 】



【 図 1 6 】



【 図 1 7 】

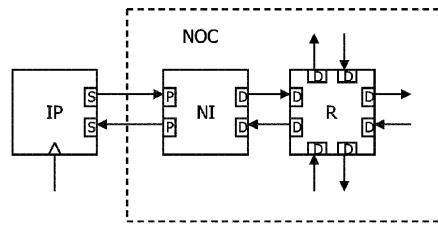
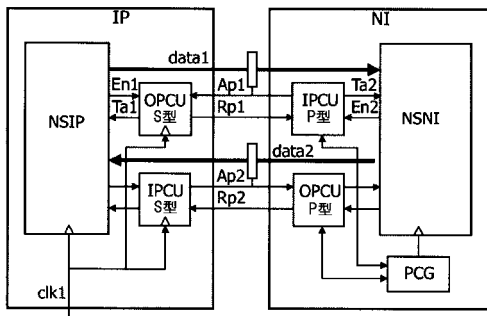
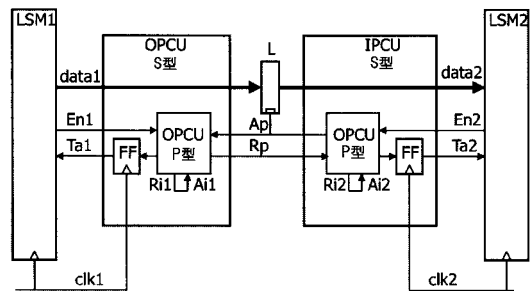


FIG. 17

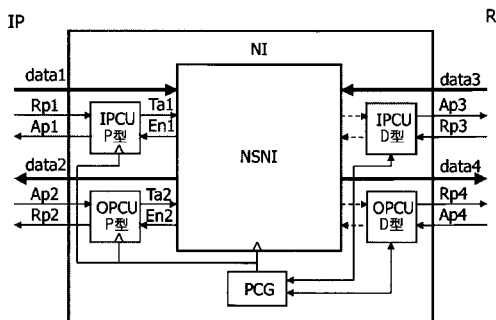
【 図 1 8 】



【 図 2 0 】



【 図 1 9 】



【 図 2 1 】

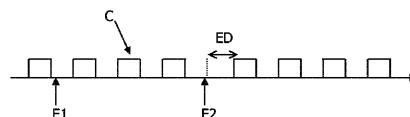


FIG. 21

【 図 2 2 】

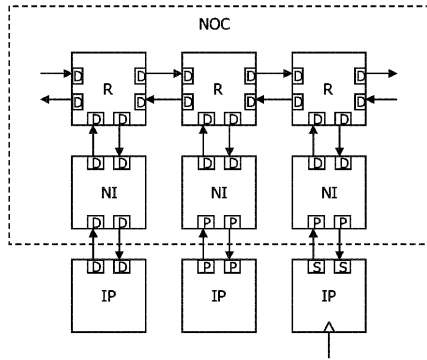


FIG. 22

【 図 2 3 】

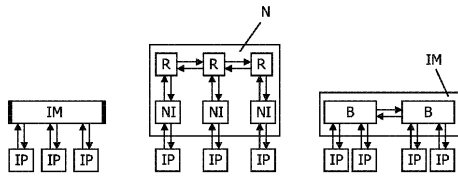
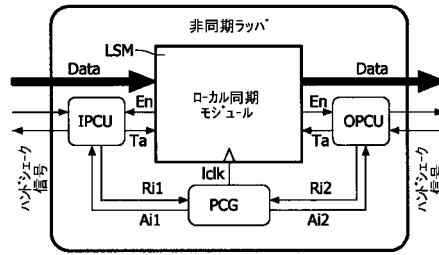
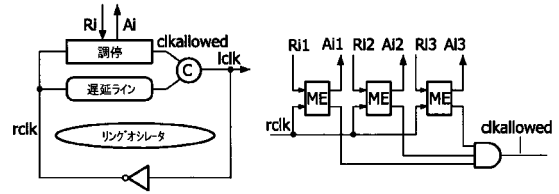


FIG. 23

【 図 2 4 】



【 図 2 5 】



【 図 2 6 】

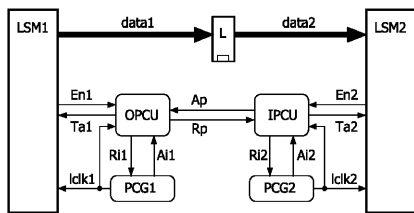


FIG. 26

【 図 2 7 】

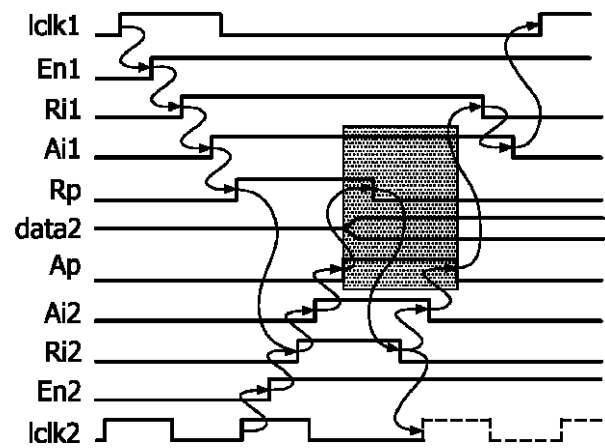


FIG. 27

【 図 2 8 】

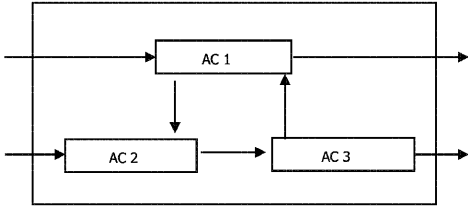


FIG. 28

【 図 2 9 】

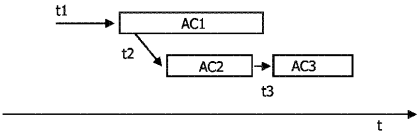


FIG. 29

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/IB2006/050649
A. CLASSIFICATION OF SUBJECT MATTER INV. H04L12/40		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 978 578 A (AZARYA ET AL) 2 November 1999 (1999-11-02) figures 1,3,6,11 column 2, lines 40-67 column 3, lines 1-15 column 6, lines 30-51 column 8, lines 15-42 column 11, lines 50-61 column 12, lines 49-61 ----- -/-	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 3 July 2006		Date of mailing of the international search report 07/07/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 81 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Mircescu, A

2

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No PCT/IB2006/050649

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 03/090084 A (METSU AUTOMATION OY; BORG, ALE) 30 October 2003 (2003-10-30) figures 1-3 page 1, lines 1-27 page 2, lines 7-37 page 3, lines 1-5 page 5, lines 17-35 page 9, lines 12-28 page 11, lines 5-14	1-19
A	US 6 353 615 B1 (BOHNE JUERGEN) 5 March 2002 (2002-03-05) figures 1-6 column 2, lines 58-67 column 3, lines 1-22 column 5, lines 49-61 column 7, lines 50-62 column 13, lines 9-35	1-19

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/IB2006/050649

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5978578	A	02-11-1999	AU 5778198 A WO 9836518 A2	08-09-1998 20-08-1998
WO 03090084	A	30-10-2003	AU 2003222858 A1 EP 1497731 A1 FI 20020774 A US 2006075085 A1	03-11-2003 19-01-2005 23-10-2003 06-04-2006
US 6353615	B1	05-03-2002	DE 19620137 A1 WO 9742733 A1 EP 0897626 A1 JP 2000509585 T	13-11-1997 13-11-1997 24-02-1999 25-07-2000

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ディーリッセン ジョン
 オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ラドゥレスク アンドレイ
 オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 レイプケマ エドウィン
 オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ヴィーラヒェ パウル
 オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

Fターム(参考) 5B061 BB36