

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5725695号
(P5725695)

(45) 発行日 平成27年5月27日(2015.5.27)

(24) 登録日 平成27年4月10日(2015.4.10)

(51) Int.Cl.

F 1

G06F 12/00	(2006.01)	G06F 12/00	550 E
G06F 1/32	(2006.01)	G06F 12/00	597 D
G06F 1/26	(2006.01)	G06F 1/00	332 B
		G06F 1/00	334 P

請求項の数 11 (全 17 頁)

(21) 出願番号

特願2009-63202(P2009-63202)

(22) 出願日

平成21年3月16日(2009.3.16)

(65) 公開番号

特開2010-218142(P2010-218142A)

(43) 公開日

平成22年9月30日(2010.9.30)

審査請求日

平成24年3月16日(2012.3.16)

審判番号

不服2014-2681(P2014-2681/J1)

審判請求日

平成26年2月12日(2014.2.12)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100145827

弁理士 水垣 親房

(72) 発明者 山崎 壮三

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

合議体

審判長 小曳 满昭

審判官 和田 志郎

審判官 千葉 輝久

最終頁に続く

(54) 【発明の名称】データ記憶装置、及びデータ記憶装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

データを記憶するためのデータ記憶手段を備えるデータ記憶装置であって、前記データ記憶手段を省電力状態にするための信号を送信するための第1信号線を含む複数の信号線を有するバスを介して、前記データ記憶手段との間でデータの送受信を行うよう前記データ記憶手段の動作を制御する動作制御手段と、

前記複数の信号線に基準電圧を供給する基準電圧供給手段と、を備え、

前記データ記憶手段を前記省電力状態に移行させるために前記第1信号線を介して送信される信号の状態が前記基準電圧より低いローレベルになる場合、前記動作制御手段は、前記複数の信号線を介して送信される信号の状態を前記ローレベルにし、前記基準電圧供給手段は、前記基準電圧の供給を停止することを特徴とするデータ記憶装置。

【請求項 2】

前記動作制御手段が前記複数の信号線を介して送信される信号の状態を前記ローレベルにした後に、前記基準電圧供給手段は、前記基準電圧の供給を停止することを特徴とする請求項1に記載のデータ記憶装置。

【請求項 3】

前記データ記憶手段を前記省電力状態から復帰させるために前記第1信号線を介して送信される信号の状態が前記基準電圧より高いハイレベルになる場合、前記基準電圧供給手段は、前記基準電圧の供給を再開するとともに、前記動作制御手段は、前記複数の信号線を介して送信される信号の状態が前記ローレベルになるのを解除させるように制御するこ

とを特徴とする請求項 1 又は 2 に記載のデータ記憶装置。

【請求項 4】

前記基準電圧供給手段が前記基準電圧の供給を再開した後に、前記動作制御手段は、前記複数の信号線を介して送信される信号の状態が前記ローレベルになるのを解除させるよう制御することを特徴とする請求項 3 に記載のデータ記憶装置。

【請求項 5】

前記基準電圧供給手段は、前記データ記憶装置の終端抵抗を介して前記複数の信号線に前記基準電圧を供給することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のデータ記憶装置。

【請求項 6】

前記第 1 信号線を含む前記複数の信号線は、互いに電気的に接続されている、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のデータ記憶装置。

【請求項 7】

前記データ記憶手段はデータを保持するためのリフレッシュ動作を実行する D R A M であり、

前記第 1 信号線を含む複数の信号線は、前記 D R A M に前記リフレッシュ動作を実行させるためのコマンドを送信することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のデータ記憶装置。

【請求項 8】

前記 D R A M は、前記バスを介して送信される前記リフレッシュ動作を実行させるためのコマンドに基づいて前記リフレッシュ動作を実行する第 1 のリフレッシュモードと、前記リフレッシュ動作を実行させるためのコマンドを用いることなく前記リフレッシュ動作を実行する第 2 のリフレッシュモードのいずれか一方にて前記リフレッシュ動作を実行することを特徴とする請求項 7 に記載のデータ記憶装置。

【請求項 9】

前記複数の信号線は、前記データ記憶手段にクロック信号を供給するクロック供給信号線を含み、

前記第 1 信号線は、 C K E (C l o c k E n a b l e) 線であり、

前記動作制御手段は、前記データ記憶手段を前記省電力状態に移行させるために前記 C K E 線を介して送信される信号の状態がローレベルになる場合、前記クロック供給信号線を介して前記データ記憶手段へ供給されるクロック信号を遮断するよう制御することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載のデータ記憶装置。

【請求項 10】

データを記憶するためのデータ記憶手段と、前記データ記憶手段を省電力状態にするための信号を送信するための第 1 信号線を含む複数の信号線を有するバスを介して前記データ記憶手段との間でデータの送受信を行うよう前記データ記憶手段の動作を制御する動作制御手段と、前記複数の信号線に基準電圧を供給する基準電圧供給手段と、を有するデータ記憶装置の制御方法であって、

前記データ記憶手段を前記省電力状態に移行させるために前記第 1 信号線を介して送信される信号の状態が前記基準電圧より低いローレベルになる場合、前記動作制御手段が前記複数の信号線を介して送信される信号の状態を前記ローレベルにすると共に、前記基準電圧供給手段が前記基準電圧の供給を停止する、停止ステップ、を有することを特徴とするデータ記憶装置の制御方法。

【請求項 11】

前記動作制御手段が前記複数の信号線を介して送信される信号の状態を前記ローレベルにした後に、前記基準電圧供給手段は、前記基準電圧の供給を停止することを特徴とする請求項 10 に記載のデータ記憶装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明は、データ記憶装置、及びデータ記憶装置の制御方法に関する。

【背景技術】

【0002】

データを記憶するデータ記憶手段であるメモリ（例えば、DRAM）を含むシステムにおいて、システムの消費する消費電力の低減方法として、メモリの省電力機能の使用が従来から行われている。

メモリの省電力機能とは、パワーダウン状態やセルフリフレッシュ状態といった省電力状態にメモリを移行させる機能である。

【0003】

この省電力機能を更に有効にするために、特許文献1は、DDR SDRAMを省電力状態に移行後、さらにDDR SDRAMの終端電源を遮断する遮断制御手段を備えている。10

DDR SDRAMの終端回路としては、JEDEC規格のSSTL2（Stub Series terminated Logic for 2.5V）インターフェースが知られている。

SSTL2準拠の終端回路では、メモリシステムの電源電圧（例えば、2.5V）の中間電圧（例えば、1.25V）が、終端抵抗を介して各信号線に供給されている。そのため、DDR SDRAMを省電力状態に移行しても、中間電圧を供給する電源から複数の信号線に対して電流が流れうる状態となるので、それに応じた電力の消費が、終端回路において発生してしまう。

【0004】

20

また、DDR SDRAMのパワーダウンモードへの移行は、DDR SDRAMの全バンクがアイドル状態となった後に、インターフェースのCKE信号をLOWレベルに遷移させることで実行される。アイドル状態のままでCKE信号のみ信号レベルを切替えて省電力状態へと移行した場合、インターフェースには、HIGHとLOWのそれぞれの信号レベルが存在することになる。このまま終端電源を遮断すると、終端回路を通じてHIGHからLOWのレベルの信号へと電流が流れ、それに応じた電力の消費が発生してしまうことになる。

【0005】

特許文献1では、このような問題点を解決するために、終端電源の遮断手段を2つ備え、HIGHとLOWのそれぞれを独立した遮断手段により制御することで、終端電源を遮断することによる電流の流れを抑制し、終端回路における電力の消費を抑えている。30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-331305号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、特許文献1に記載の方法では、終端電源の遮断手段を2つ備えることから、これらの遮断手段において電力が消費されつづけるため、省電力状態に移行しない通常の動作時において電力消費が増加してしまう。40

【0008】

本発明は、上記の問題点を解決するためになされたものである。本発明の目的は、データ記憶装置において、電力消費の低下を実現する仕組を提供することである。

【課題を解決するための手段】

【0009】

本発明は、データを記憶するためのデータ記憶手段を備えるデータ記憶装置であって、前記データ記憶手段を省電力状態にするための信号を送信するための第1信号線を含む複数の信号線を有するバスを介して、前記データ記憶手段との間でデータの送受信を行うよう前記データ記憶手段の動作を制御する動作制御手段と、前記複数の信号線に基準電圧を50

供給する基準電圧供給手段と、を備え、前記データ記憶手段を前記省電力状態に移行させるために前記第1信号線を介して送信される信号の状態が前記基準電圧より低いローレベルになる場合、前記動作制御手段は、前記複数の信号線を介して送信される信号の状態を前記ローレベルにし、前記基準電圧供給手段は、前記基準電圧の供給を停止することを特徴とする。

【発明の効果】

【0010】

本発明によれば、通常の動作時における電力消費が少ない、より簡単な回路構成で、データ記憶手段の省電力状態への移行時における電力消費を抑制することができる。

【図面の簡単な説明】

10

【0011】

【図1】本発明のデータ記憶装置を適用可能な画像処理装置のブロック図である。

【図2】制御装置10の構成を示すブロック図である。

【図3】メインコントローラ100の内部回路を説明するブロック図である。

【図4】DRAMコントローラ208とDRAM101との接続構成を示す図である。

【図5】DRAMコントローラ208の省電力制御動作を示すフローチャートである。

【図6】省電力制御回路213が実行する動作を説明するタイミングチャートである。

【図7】省電力制御回路213が実行する動作を説明するフローチャートである。

【発明を実施するための形態】

【0012】

20

〔第1実施形態〕

以下、本発明を実施するための最良の形態について図面を用いて説明する。

図1は、本発明の一実施形態を示すデータ記憶装置を適用可能な画像処理装置の構成を示すブロック図である。

図1において、1は、本発明のデータ記憶装置を適用可能な画像処理装置である。10は制御装置であり、画像処理装置1全体の制御を行う。制御装置10は、スキャナ部11や、外部装置であるホストコンピュータ、PSTN回線（公衆回線）を介して接続されたファクシミリ装置等から受信した画像データに基づいて、画像処理等を実行し、プリンタ部12を解して例えば用紙上に画像を形成する。

【0013】

30

スキャナ部11は、原稿を画像データとして読み取り、その読み取った画像を制御装置10に送信する。スキャナ部11は、図示しないが、原稿を読取るための機能を持つスキャナユニットと、原稿用紙を搬送するための機能を持つ原稿給紙ユニットとで構成される。

プリンタ部12は、記録紙を搬送し、制御装置10から受信した画像データを電子写真方式等で用紙に可視画像として印字して装置外に排紙する。プリンタ部12は、図示しないが、複数種類の記録紙カセットを持つ給紙ユニットと、画像データを記録紙に転写、定着させる機能を持つマーキングユニットと、印字された記録紙をソート、ステイプルして機外へ出力する機能を持つ排紙ユニットとで構成される。

【0014】

40

13は電源部であり、交流商用電源（AC電源）を入力とする電源回路である。電源部13は、制御装置10、スキャナ部11、プリンタ部12に、直流電圧や交流電圧を供給する電圧113を生成する。また、電源部13は、制御装置10からの供給信号116に応じて、直流電圧の電圧を変化させる。

14は操作パネルであり、スキャナ部11にて読み取った原稿をプリンタ部12にて画像形成させるための各種の設定を、操作者（ユーザ）からの指示に基づいて行うためのものである。例えば、操作パネル14は、タッチパネル方式にて画像形成すべき部数や、画像形成する際の濃度に関する情報や、原稿を読み取るためのスキャナユニットの読み取解像度（例えば300dpiや600dpi）の選択を入力するために用いられる。

【0015】

50

図2は、図1に示した制御装置10の構成を示すブロック図である。

図2において、100はメインコントローラである。メインコントローラ100は、その回路内にスキャナ部11等から受信した画像データを処理する画像処理ブロックや、メインコントローラ全体を制御するためのCPU201(図3)を内蔵している。

【0016】

また、メインコントローラ100は、外部のデバイスを接続するためのインターフェースを備える。このインターフェースには、DRAMバス115、スキャナインターフェース110、プリンタインターフェース111、操作パネルインターフェース114等が含まれる。DRAMバス115は、DRAM101とのデータの送受信を行うためのものである。スキャナインターフェース110は、スキャナ部11からの画像データを受信するためのものである。プリンタインターフェース111は、プリンタ部12に画像データを送信するためのものである。操作パネルインターフェース114は、操作パネル14を介して入力された指示を操作パネル14から受信したり、操作パネル14に操作画面やメッセージ等を送信するためのものである。

【0017】

112は汎用バス112であり、メインコントローラ100が使用するシステムプログラムが格納されるROM102、モデム103等のデバイスが接続される。

DRAM101は、DRAMバス115に接続され、メインコントローラ100のCPU201(図3)により、画像処理ブロックのワークエリアや、画像データの保持メモリとして使用される。また、DRAM101には、ROM102から転送されたプログラムが格納され、メインコントローラ100のCPU201(図3)の制御が行われる。また、DRAM101は、省電力機能として、データを保持しながら電力の消費を低減可能なセルフリフレッシュ機能を備える。

【0018】

ここで、DRAM101のセルフリフレッシュ動作について説明する。

一般的にDRAM(Dynamic Random Access Memory)は、内部にある記憶素子に電荷を蓄えることで情報を保持する。そして、DRAMは、各記憶素子における電荷の有無という2つの状態で1bit分の情報を表現する。従って、記憶素子の電荷が失われることは情報が失われる、つまりデータの損失を意味することとなる。

しかし、DRAMを構成する各記憶素子は、何らの電荷保持動作をすることなく放置しておくと電荷が電流として漏れ出てしまい、所定時間が経過すると電荷がなくなってしまうという特徴がある。そのため、DRAMは、定期的に電荷を再補充してデータの損失を防ぐという作業が必要となり、その作業をリフレッシュ動作という。

【0019】

なお、基本的にDRAMの記憶素子のリフレッシュ動作は、DRAMの動作制御を行うメモリコントローラ(図3に示すDRAMコントローラ208)がDRAM(DRAM101)に対して定期的に実行する。DRAM101は、リフレッシュモード(第1のリフレッシュモード)の際、DRAMコントローラ208からの信号に基づいて上記リフレッシュ動作を行う。

【0020】

その一方で、DRAMバス115を非活性状態とするような場合は、DRAMコントローラ208からDRAM101に対してリフレッシュ動作をさせることができなくなることから、2次電源を用いてDRAM101自身がリフレッシュ動作を実行する。この動作をセルフリフレッシュ動作という。DRAM101は、セルフリフレッシュモード(第2のリフレッシュモード)の際に、上記セルフリフレッシュ動作を行う。

【0021】

なお、DRAM101としては、種々のものを用いることが可能であるが、本実施形態では、DDR SDRAM(Double Data Rate SDRAM)を用いるものとする。DDR SDRAMとは、メモリバスクロックをSDRAMの2倍に高めることで、高速なメモリ転送を実現するメモリ規格である、

10

20

30

40

50

また、DRAMバス115は、例えばSSTL2(Stub Series terminated Logic for 2.5V)準拠である。これは、メモリシステムの電源電圧(例えば、2.5V)の中間電圧(例えば、1.25V)を各信号線に供給するものである。SSTL2規格では、DRAMバス115を構成する各信号線の信号レベルは、1.25ボルトのような基準電位(VREF)に対して0.35V以上高い1.6ボルト以上のレベルがHレベルとみなされる。また、かかる基準電位に対して0.35V以下のレベルすなわち0.90ボルト以下のレベルがLレベルとみなされる。

【0022】

103はモデムであり、PSTN回線(公衆回線)に接続するNCU(ネットワークコントロールユニット)104と接続されている。モデム103は、メインコントローラ100から受信した画像データ等を変調してNCU104へ送信することで、画像データをPSTN回線経由で外部のファクシミリ装置等に送信することができる。また、NCU104は、外部のファクシミリ装置からPSTN回線を経由して送信されるファクシミリデータを受信することができる。

【0023】

105はネットワークインターフェースであり、LAN(Local Area Network)を介して、外部装置である不図示のホストコンピュータからプリントデータ(画像処理装置1にて処理する画像データに関する情報を含む)等を受信する。

107は制御装置電源であり、電源部13からの電圧を受けて、メインコントローラ100等の制御装置10内部の回路に対して、それぞれの駆動電圧に変換して供給する電圧を生成する。

【0024】

106はVT電源(ターミネーション電源)である。VT電源106は、制御装置電源107からの電圧を受けて、DRAMバス115の各データ信号線(後述する図4に示す310～321)に終端抵抗を介して印加される電圧(基準電圧)を生成する基準電圧供給部である。VT電源106では、メインコントローラ100からのVT電源遮断信号を信号線117を介して受信して、電源オン制御・電源オフ制御を行う。電源オン制御では、DRAM101(DDR SDRAM)のインターフェースであるSSTL2に準拠した中間電位の電圧(例えば、1.25Vの電圧)が出力され、電源オフ制御では、ハイインピーダンス状態の出力となる。

【0025】

VT電源106の構成としては、レギュレータのような電圧安定化手段を電源とDRAMバス115の間に挿入して構成され、VT電源遮断信号によりレギュレータの出力を切り替える構成とする。或いは、VT電源106の構成としては、VT電源の出力とDRAMバス115の間に半導体スイッチを挿入して、VT電源遮断信号によりこの半導体スイッチをオン・オフ制御させる構成としてもよい。

【0026】

図3は、図2に示したメインコントローラ100の内部回路を説明するブロック図である。

図3において、201はCPUであり、メインコントローラ100全体を制御する。CPU201は、メインコントローラ100内部の複数の回路間でデータ及び制御信号の送受信を行うためのシステムバス220に接続されている。

202はDMA(A)であり、画像処理ブロック(A)205から入力された画像データをDRAM101へDMA(Direct Memory Access)転送するための制御回路である。

画像処理ブロック(A)205は、スキナインタフェース110から入力される画像データを画像処理する回路ブロックである。画像処理ブロック(A)205は、例えば、画像データにシェーディング補正(原稿を読み取った画像データの主走査方向(原稿の搬送方向に直交する方向)の1ライン分のデータに対して、主走査方向の各位置に所定の輝度補正を施す)をする機能を有する。

10

20

30

40

50

【0027】

203はD MAC (B)であり、システムバス220を介してD RAM101に記憶された画像データを画像処理ブロック(B)にDMA転送するための制御回路である。画像処理ブロック(B)805は、例えば、入力された画像データに対して所定のスムージング処理を施しつつ、処理した画像データをプリンタインターフェース111に送信する機能を有する回路ブロックである。

【0028】

204はD MAC (C)であり、システムバス220を介してD RAM101に記憶されたデータを画像処理ブロック(C)にDMA転送するための制御回路である。画像処理ブロック(C)207は、例えば、入力された画像データに対して画像データ形式の変換(例えばビットマップ形式のデータをJPEG形式のデータに変換)や変倍、回転処理等を行う機能を有する回路ブロックである。10

【0029】

208はD RAMコントローラであり、D RAMバス115を介してD RAM101との間でデータの送受信を行うようD RAM101の動作を制御する。D RAMコントローラ208は、CPU201、D MAC (A)202、D MAC (B)203及びD MAC (C)204からのD RAM101に対するアクセス要求を調停するとともに、D RAM101に対するアクセスを制御するコントローラである。

【0030】

209はアクセス調停回路であり、CPU201、D MAC (A)202、D MAC (B)203及びD MAC (C)204から同時にD RAM101へのアクセス要求があった場合に、いずれのD MACからのアクセスを優先すべきかを判定する。そして、アクセス調停回路209は、アクセスの優先されたD MACからD RAM101へのデータの転送がなされるよう制御する回路である。20

【0031】

210はアクセス制御回路である。アクセス制御回路210は、アクセス調停回路209が選択したD RAM101とのデータ転送を行うD MACからのD RAMバス115の使用要求信号に基づいて、D RAM101へアクセスする各種の制御信号を生成する。また、アクセス制御回路210は、信号線221を介して受信する後述する省電力制御回路213からの信号により、D RAM101をセルフリフレッシュ状態(セルフリフレッシュモード)に移行させる。30

【0032】

211はセレクタ回路であり、信号線222を介して受信する省電力制御回路213からのD RAMバスセレクト信号に基づいて、S S T L 2インターフェースバッファ212へ出力する信号を切り替える。セレクタ回路211は、省電力制御回路213からのD RAMバスセレクト信号がない通常動作時は、アクセス制御回路210から出力されるデータをS S T L 2インターフェースバッファ212へ出力させる。そして、省電力制御回路213からD RAMバスセレクト信号を受けると、D RAMバス115の出力信号に対し、L O Wレベルに切替えた信号をS S T L 2インターフェースバッファ212に出力する。

【0033】

S S T L 2インターフェースバッファ212は、D RAMバス115を構成する複数のデータ信号線の各々に対して設けられる複数のバッファ回路を有する。

D RAMバス115を構成する複数のデータ信号線には、図4に示すように次の信号線がある。

【0034】

- C K (Clock) 線310
- / C K (Clock) 線311
- / C S (Chip Select) 線312
- / R A S (Row Address Strobe) 線313
- / C A S (Column Address Strobe) 線314

1020304050

- ・ /WE (Write Enable) 線 315
- ・ BA (Bank Address) 線 316
- ・ A (Address) 線 317
- ・ DM (Data Mask) 線 318
- ・ CKE (Clock Enable) 線 319
- ・ DQ (Data) 線 320
- ・ DQS (Data Strobe) 線 321

なお、DRAMバス115を構成する信号線には、上記以外のデータ線があつてもよい。
。

【0035】

10

ここで、図4を用いて、DRAMバス115を介して接続される、DRAMコントローラ208とDRAM101との接続構成について説明する。

図4は、DRAMバス115を介して接続される、DRAMコントローラ208とDRAM101との接続構成を説明する図である。

図4において、301は抵抗器である。図4に示すように、DRAMバス115の信号線310～321には、抵抗器301が直列に接続される。

【0036】

20

302は、DRAMバス115の各信号線310～321をVT電源106によりタミネーション電圧にプルアップするための終端抵抗用の抵抗器である。図4に示すように、VT電源106からの電源電圧は、抵抗器302を介して各信号線310～321に供給される。

【0037】

以下、図3の説明に戻る。

SSTL2インターフェースバッファ212は、図4に示す、DRAMバス115の信号線310～319に対しては出力のバッファ回路であり、DQ信号線320、DQS信号線321に対しては双方向のバッファ回路である。

214はDLL制御回路であり、アクセス制御回路210から出力されるクロックに基づいて、DRAMバス115のクロック供給信号線310, 311を介してDRAM101に出力するクロック信号(CK, /CK)を生成する。DLL制御回路214では、セレクタ回路211から出力されるデータとの位相調整が行われ、DRAM101に出力するクロック信号CKと、クロック信号CKを反転させたクロック信号/CKが生成される。
。

30

【0038】

また、DLL制御回路214は、省電力制御回路213から出力されるDLLスタンバイ信号223に基づいてスタンバイ状態へと移行することで、クロック信号CK及びクロック信号/CKのDRAMバス115への出力を停止する。

DLL制御回路214は、省電力制御回路213から出力されるDLLスタンバイ信号223が遮断されるとスタンバイ状態から復帰するが、DLLスタンバイ制御信号223が遮断されてからクロック信号CK及びクロック信号/CKのDRAMバス115への出力が再開するまでに所定の時間を要する。ここで、所定の時間とは、クロックの位相制御が完了しDRAMクロックがDRAMアクセスの可能な位相に復帰するまでの時間であり、DLL制御回路の構成、及び制御方法により異なる。

40

【0039】

次に、213は省電力制御回路である。省電力制御回路213は、CPU201から、システムバス220を介した省電力制御要求信号を受信する場合に、DRAMコントローラ208の省電力制御を実行する。

ここで、省電力制御回路213がCPU201から省電力制御要求信号を受信する場合は、メインコントローラ100のCPU201が画像処理装置1を所定の省電力状態へ移行させるべき条件が成立したと判定した場合である。

【0040】

50

例えば、次の(1)～(3)のうち、少なくともいずれか一つを判断した場合に、省電力制御回路213は、画像処理装置1を省電力状態へ移行させる。即ち、省電力制御回路213は、DRAM101をセルフリフレッシュ状態に移行させると共に、DRAMバス115の信号レベルを切替え、VT電源106の電源オフ制御を行う。

【0041】

(1) ネットワークインターフェース105がLANを介して外部装置であるホストコンピュータから画像処理装置1が画像形成すべき画像データを含むプリントデータを所定時間受信しないと判断した場合。

(2) NCU104がPSTN回線を介して外部装置であるファクシミリ装置から画像処理装置1が画像形成すべき画像データを含むプリントデータを所定時間受信しないと判断した場合。
10

(3) 操作パネル14が操作者による入力を所定時間受け付けないと判断した場合。

【0042】

省電力回路213は、2つのカウンタ回路(カウンタ1及びカウンタ2)と、各カウンタ回路用のカウント値を設定するための2つのレジスタ回路(カウンタ1設定用レジスタ、カウンタ2設定用レジスタ)を備える。これらは、画像処理装置1を省電力状態から復帰させる際に、DLLスタンバイ制御信号223の解除後に、VT電源遮断信号117とDRAMバスセレクト信号222とを解除する開始タイミングを設定するために使用される。

【0043】

以下、図5、図6を用いて、DRAMコントローラ208の省電力制御における動作について説明する。

図5は、DRAMコントローラ208の省電力制御における動作を説明するフローチャートである。なお、このフローチャートの処理は、ROM102に格納された(又はROM102からDRAM101に転送し格納された)プログラムに基づいて、CPU201が実行する省電力制御を示す。

【0044】

CPU201は、ステップS401において、画像処理装置1を所定の省電力状態へ移行させるべき条件が成立したと判定した場合(S401でYesの場合)に、ステップS402において、省電力制御回路213に省電力制御要求信号を出力する。

この省電力制御要求信号を受信した省電力制御回路213の動作(制御)により、DRAM101はセルフリフレッシュモードへ移行し、メモリバスラインの終端部への終端電源が遮断される。なお、省電力制御回路213の動作については、図6、図7を用いて後述する。

なお、上記ステップS401において、CPU201が省電力状態へ移行させるべき条件が成立したと判定した場合とは、例えば、上述の(1)～(3)のうち、少なくともいずれか一つを判断した場合とする。

【0045】

次に、ステップS403において、CPU201は、省電力状態から復帰させるべき条件が成立したと判定するまで(S403でYesとなるまで)、省電力状態を保持する。

そして、上記ステップS403において、CPU201が省電力状態から復帰させるべき条件が成立したと判定した場合(S403でYesの場合)、ステップS404において、省電力制御回路213に省電力制御解除信号を出力する。

【0046】

この省電力制御解除信号を受信した省電力制御回路213の動作により、メモリバスラインの終端部への終端電源の遮断が解除され、DRAM101は通常モードへ移行する。なお、省電力制御回路213の動作については、図6を用いて後述する。

なお、上記ステップS403において、CPU201が省電力状態から復帰させるべき条件が成立したと判定した場合とは、例えば、次の(4)～(6)のうち、少なくともいずれか一つを不図示の割り込み制御部からの割り込み信号として判断した場合

とする。

【0047】

(4) ネットワークインターフェース105がLANを介して外部装置であるホストコンピュータ808から画像処理装置1が画像形成すべき画像データを含むプリントデータを受信した場合。

(5) NCU104がPSTN回線を介して外部装置であるファクシミリ装置から画像処理装置1が画像形成すべき画像データを含むプリントデータを受信した場合。

(6) 操作パネル14が操作者による入力を受け付けた場合。

なお、CPU201は、省電力制御回路213が省電力制御中は、DRAM101へのアクセスを行わないものとする。そして、上記ステップS404にて、省電力制御回路213の省電力制御が解除された後、CPU201は、DRAM101へのアクセスが可能となる。

【0048】

次に、図6のタイミングチャートを用いて、DRAMコントローラ208の省電力制御における、省電力制御回路213が実行する動作について説明する。

図6は、DRAMコントローラ208の省電力制御において省電力制御回路213が実行する動作を説明するタイミングチャートである。

図6には、省電力制御回路213の入出力信号、VT電源106の出力状態、DRAMバス115における出力信号310～319を示す。なお、図6に示す省電力制御回路213の入出力信号のレベルは、回路構成に依存するものであり、回路構成に応じて変更されるものとする。なお、図6中、T0～T11は時を示す。

【0049】

T0において、省電力制御回路213がCPU201から省電力制御要求信号（図5のS402の信号）を受けると、T1において、省電力制御回路213は、アクセス制御回路210にDRAM101のセルフリフレッシュ状態への移行制御を行う。なお、省電力制御回路213は、DRAM101のセルフリフレッシュ状態への移行制御は、セルフリフレッシュ移行要求信号で通知することにより行う。

【0050】

ここで、セルフリフレッシュ移行要求を受けたアクセス制御回路210は、DRAMバス115に対し、セルフリフレッシュコマンドを出力後、CKE信号319をHIGHからLOWに信号レベルを設定する。これにより、DRAM101のセルフリフレッシュ状態への移行が実行される。そして、DRAM101のセルフリフレッシュ状態への移行が完了すると、アクセス制御回路210は、省電力制御回路213に、セルフリフレッシュ状態への移行完了信号で通知する。

【0051】

T2において、省電力制御回路213は、アクセス制御回路210からセルフリフレッシュ状態への移行完了を検知すると、T3において、セレクタ回路211にDRAMバスセレクト信号を出力する。

DRAMバスセレクト信号を受けたセレクタ回路211は、DRAMバス115の出力信号線312～319への出力信号を、アクセス制御回路210からの出力信号から、LOWレベル（DRAMバス115の出力信号線310～319の基準電圧より電圧値の低いローレベル信号）に固定された信号に切り替える（信号状態固定）。

【0052】

T4において、省電力制御回路213はDLL制御回路214に対し、DLLスタンバイ制御信号223を出力して、DLL制御回路214をスタンバイ状態へと移行させ、クロック信号CK及びクロック信号/CKのDRAMバス115への出力を停止させる。ここまで発信しているCK310、/CK311もLOWレベルに固定される。

なお、クロック信号CK及びクロック信号/CKのDRAMバス115への出力を停止させるために、アクセス制御回路210からDRAMクロック生成回路214に出力されるクロックを停止させるようにしても良い。その場合、DRAMクロック生成回路214

10

20

30

40

50

の消費電力を更に低減させることができる。

【0053】

T5において、省電力制御回路213は、VT電源106に対してVT電源遮断信号117を出力し、VT電源106からDRAMバス115への基準電圧の供給を停止させる。なお、図6のタイミングチャートでは、DLLスタンバイ制御信号223をT4において出力された後に、VT電源遮断信号117がT5において出力されるものとしたが、同時にあっても良い。

T5でVT電源遮断信号117が出力されると、VT電源106が出力する電圧は1.25Vから0Vへと遷移するが、VT電源106が接続される配線の負荷容量（基板上のパターンやコンデンサ等の容量）により、遷移する時間が異なる。図6のタイミングチャートでは、遷移する時間を数百μsec程度とし、他の信号よりもなだらかに遷移している。

【0054】

次に、T6において、省電力制御回路213がCPU201からシステムバス220を介して省電力制御復帰信号を受信すると、T7において、省電力制御回路213はDRAMクロック生成回路214に対するDLLスタンバイ制御信号223を解除する。DLLスタンバイ制御信号223の解除により、DLL制御回路214はスタンバイ状態が解除される。つづいてT8において、省電力制御回路213はVT電源106に対するVT電源遮断信号117を解除し、VT電源106からDRAMバス115への基準電圧の供給を開始させる。

ここで、DLL制御回路114のスタンバイ状態が解除されてクロックの位相制御が完了するまで、所定の時間（例えば、500μsec）を要する。また、VT電源106がVT電源遮断信号117の解除を受信して、VT電源106がDRAM101の終端電圧として十分な出力電圧を出力するまでにも、所定の時間（例えば、300μsec）を要する。

【0055】

図6のタイミングチャートでは、T7でDLLスタンバイ制御信号223が解除されてから200μsec後に、T8のVT電源遮断信号117を解除する。それにより、DLLスタンバイ制御信号223のクロック位相制御完了前に、VT電源106による基準電圧の出力を開始できる。DLLスタンバイ制御信号223のクロック位相制御完了後に、VT電源106による基準電圧の出力を開始した場合、両方の復帰制御を完了させるのに800μsecを要するため、復帰時間を300μsec短縮することができる。そのために、CPU201は予め、省電力制御回路213内部のVT電源遮断解除の開始タイミング用のカウンタ設定レジスタ（カウンタ1用設定レジスタ）に200μsec分のカウント値を設定しておくものとする。また、DRAMバスセレクト解除の開始タイミング用のカウンタ設定レジスタ（カウンタ2用設定レジスタ）に300μsec分のカウント値を設定しておく。

【0056】

T8から300μsec後のT9において、省電力制御回路213は、セレクタ回路211が出力するDRAMバスセレクト信号を解除し、CKE信号319以外のDRAMバス115への出力信号を、アクセス制御回路210からの出力信号に切り替える。

DRAMバスセレクト信号の解除を受けたセレクタ回路211は、DRAMバス115の出力信号線312～319への出力信号を、LOWレベルに固定された信号から、アクセス制御回路210からの出力信号に切り替える（信号状態解除）。また、クロックの位相制御完了により、CK310、/CK311にも発振した信号が出力される。

【0057】

次に、T10において、省電力制御回路213は、セルフリフレッシュ移行要求信号を解除することにより、アクセス制御回路210にセルフリフレッシュ状態からの復帰制御を要求する。

セルフリフレッシュ移行要求信号の解除を受けたアクセス制御回路210は、DRAM

10

20

30

40

50

バス 115 に対し、CKE 信号 319 を LOW から HIGH に信号レベルを設定することにより、DRAM101 のセルフリフレッシュ状態への移行が実行される。

そして、アクセス制御回路 210 は、省電力制御回路 213 に、セルフリフレッシュ状態からの復帰完了をセルフリフレッシュ移行完了信号で通知する。

【0058】

T11において、省電力制御回路 213 は、アクセス制御回路 210 からセルフリフレッシュ状態からの復帰の完了が通知されると、省電力制御を完了し、CPU201 に通知する。

なお、図 6 では、CPU201 が省電力制御要求信号を出す際に、DRAM101 の全バンクがアイドル状態となっているが、DRAM101 はセルフリフレッシュ状態以外の状態なら良いものとする。 10

また、T1 後も DRAM101 にアクセス中である等、DRAM101 がアイドル状態以外である場合には、アクセス制御回路 210 は、DRAM101 がアイドル状態になった後に、セルフリフレッシュコマンド（セルフリフレッシュ移行要求信号）を出力するものとする。

【0059】

次に、図 7 のフローチャートを用いて、省電力制御回路 213 が実行する動作について説明する。

ステップ S701において、省電力制御回路 213 が CPU201 から省電力制御要求信号を受けると（S701 で Yes）、省電力制御回路 213 はアクセス制御回路 210 に DRAM101 のセルフリフレッシュ状態への移行要求を行う（S702）。 20

ステップ S703において、省電力制御回路 213 はアクセス制御回路 210 から DRAM101 のセルフリフレッシュ状態への移行完了を検知すると（S703 で Yes）、セレクタ回路 211 に DRAM バスセレクト信号 222 を出力する（S704）。

省電力制御回路 213 は、ステップ S705において DRAM クロック生成回路 214 に対し、DLL スタンバイ要求信号 223 を出力する。

ステップ S706において、省電力制御回路 213 は、VT 電源 106 に対して VT 電源遮断信号 117 を出力する。

【0060】

ステップ S707において省電力制御回路 213 は、CPU201 から省電力制御復帰要求を受信するまで待機し（S707 で No）、CPU201 から省電力制御復帰要求を受信すると（S707 で Yes）、DLL スタンバイ制御信号 223 を出力する（S708）。 30

ステップ S709において、省電力制御回路 213 は、VT 電源遮断解除の開始タイミング用カウンタ（カウンタ 1）のカウントを開始する。省電力制御回路 213 は、カウント値がカウンタ 1 設定用レジスタの設定値になる（S710 で Yes）とカウンタ 1 のカウントを完了し、VT 電源遮断信号 117 の出力を解除する（S711）。

【0061】

ステップ S712において省電力制御回路 213 は、DRAM バスセレクト解除の開始タイミング用カウンタ（カウンタ 2）のカウントを開始する。省電力制御回路 213 は、カウント値がカウンタ 2 設定用レジスタの設定値になる（S713 で Yes）とカウンタ 2 のカウントを完了し、DRAM バスセレクト 222 を解除する（S714）。 40

次に、ステップ S715において、省電力制御回路 213 は、アクセス制御回路 210 から DRAM101 のセルフリフレッシュ状態からの解除要求を行う。

ステップ S716において、アクセス制御回路 210 から DRAM101 のセルフリフレッシュ状態からの解除完了を検知すると（S716 で Yes）、省電力制御回路 213 は省電力制御を終了する。

【0062】

次に、本発明の効果を示すため、図 4 の抵抗器 301, 302 における消費電力の変化を、図 6 のタイミングチャートを用いて説明する。 50

なお、消費電力の数値は、DRAMバス115の信号数やバス幅、抵抗器301, 302の抵抗値に応じて変化する。また、消費電力は、VT電源106がオン、オフのそれぞれの状態で、DRAMバス115を構成する各信号レベルの状態（HIGHレベルとLOWレベルのそれぞれの信号本数）に応じて変化する。

【0063】

図6において、DRAM101がアイドル状態からセルフリフレッシュ状態となるまで（T1の後のCKE信号319がLOWレベルに切り替わるまで）、抵抗器301, 302（終端部）において約430mWの電力が消費される。

DRAM101がセルフリフレッシュ状態で、本発明にあるDRAMバス115の出力信号を全てLOWレベルにした後、VT電源106をオフにすることで、抵抗器301, 302における消費電力（終端部消費電力）は0mWとなる。

【0064】

ここで、本発明を適用せず、従来のように、DRAM101がアイドル状態のままVT電源106をオフにした場合、抵抗器301, 302（終端部）において約230mWを消費してしまう。

そのため、本発明を適用せず、VT電源106をオフのみでは十分な消費電力の低減は期待できない。

また、VT電源106自体も電力を消費する。VT電源106がオフ時は0mWとなるが、オン時はDRAMバス115を構成する各信号レベルの状態に応じて消費する電力は変化する。

【0065】

図4に示す回路構成では、VT電源106のレギュレータの消費する電力がアイドル状態で約100mWとなる。なお、VT電源106を遮断するために、VT電源106のレギュレータの構成を増やすと、VT電源106がオン時に消費する電力も増大する。

画像処理装置1の消費電力の低減は、VT電源106を本発明における回路構成のような小規模な構成にすることにより可能となる。

なお、本実施例では、省電力制御を、省電力制御回路213のハードウェアで行う構成について示したが、省電力制御回路213の動作をCPU201によるソフトウェアで制御させても良いものとする。

【0066】

以上、説明したように、DRAM101をセルフリフレッシュ状態に移行する際、更なる省電力を実現するために、VT電源のオフ制御を行うにあたり、DRAMコントローラ208は、DRAMバス115の出力信号をLOWレベルへと切り替え固定する。そして、DRAMコントローラ208は、DRAMバス115の出力信号をLOWレベルへと固定した後に、VT電源をオフとする。これにより、DRAM101のセルフリフレッシュ状態の移行に関係するCKE信号に対し、電流が回り込むことを防ぎ、CKE信号のLOWレベル状態を保持できる。即ち、DRAM101がセルフリフレッシュ状態（省電力状態）に移行した際に、終端回路を通じてHIGHからLOWのレベルの信号へと電流が流れ（回り込む）ことにより、終端部において不要な電力消費が発生してしまうことを防止することができる。

【0067】

また、VT電源の遮断手段（VT電源106）を一つのレギュレータ及び半導体スイッチで構成でき、小規模の回路構成で省電力の低下を実現できる。即ち、省電力状態に移行しない通常の動作時においてVT電源の遮断手段での電力消費を低減することもでき、さらなる省電力を実現することができる。

なお、上述した各種信号線の構成等はこれに限定されるものではなく、用途や目的に応じて、様々な構成や内容で構成されることは言うまでもない。

【0068】

以上、一実施形態について示したが、本発明は、例えば、システム、装置、方法、プログラム若しくは記憶媒体等としての実施態様をとることが可能である。具体的には、複数

10

20

30

40

50

の機器から構成されるシステムに適用しても良いし、また、一つの機器からなる装置に適用しても良い。

なお、上記実施形態では、本発明のデータ記憶装置の一例として画像処理装置を示したが、DRAMのように省電力機能により省電力状態に移行可能なデータ記憶手段を有する装置であればどのような装置でも、本発明は適用可能である。例えば、パソコンコンピュータにも本発明のデータ記憶装置は適用可能である。

【0069】

以上示したように、本実施形態では、省電力状態への移行時に、インターフェースの信号レベルを遷移したのち、終端電源を遮断する構成を特徴とする。これにより、データ記憶装置において、通常の動作への影響も少ない、より簡単な回路構成で、省電力状態への移行時における電力の消費を抑制することができる。10

なお、本実施形態における図5、図6に示す機能が外部からインストールされるプログラムによって、ホストコンピュータにより遂行されていてもよい。そして、その場合、CD-ROMやフラッシュメモリやFD等の記憶媒体により、あるいはネットワークを介して外部の記憶媒体から、プログラムを含む情報群を出力装置に供給される場合でも本発明は適用されるものである。

【0070】

以上のように、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（コンピュータ読み取り可能な記録媒体）を、システムあるいは装置に供給する。そして、そのシステムあるいは装置のコンピュータ（又はCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、本発明の目的が達成されることは言うまでもない。20

【0071】

また、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。また、本発明は、システムあるいは装置にプログラムを供給することによって達成される場合にも適応できることは言うまでもない。この場合、本発明を達成するためのソフトウェアによって表されるプログラムを格納した記憶媒体を該システムあるいは装置に読み出すことによって、そのシステムあるいは装置が、本発明の効果を享受することが可能となる。

【0072】

本発明は上記実施形態に限定されるものではなく、本発明の趣旨に基づき種々の変形（各実施形態の有機的な組合せを含む）が可能であり、それらを本発明の範囲から除外するものではない。

本発明の様々な例と実施形態を示して説明したが、当業者であれば、本発明の趣旨と範囲は、本明細書内の特定の説明に限定されるのではない。

なお、上述した各実施形態及びその変形例を組み合わせた構成も全て本発明に含まれるものである。

【符号の説明】

【0073】

1 画像処理装置

101 DRAM (DDR SDRAM)

106 VT電源

115 DRAMバス

213 省電力制御回路

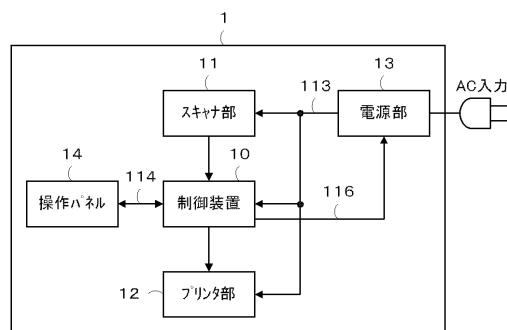
10

20

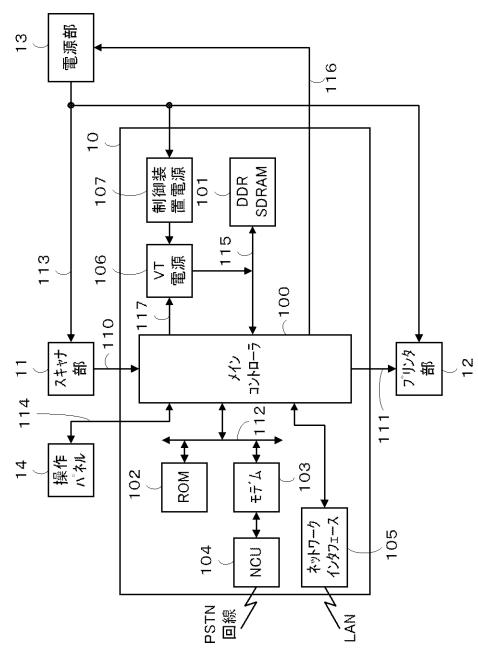
30

40

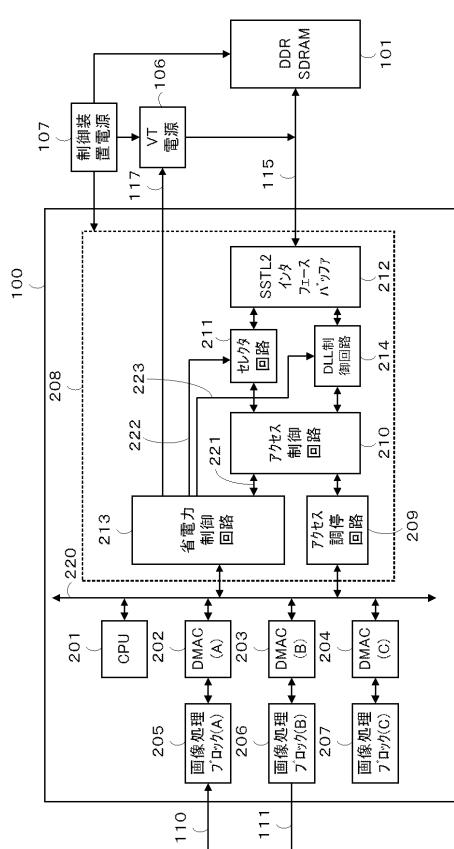
【図1】



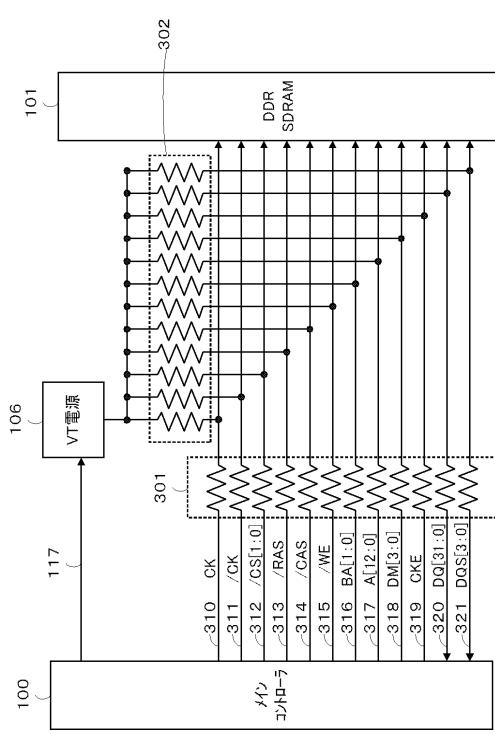
【 叁 2 】



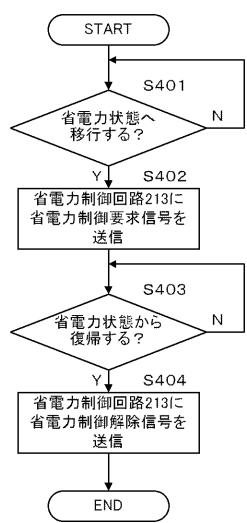
【 図 3 】



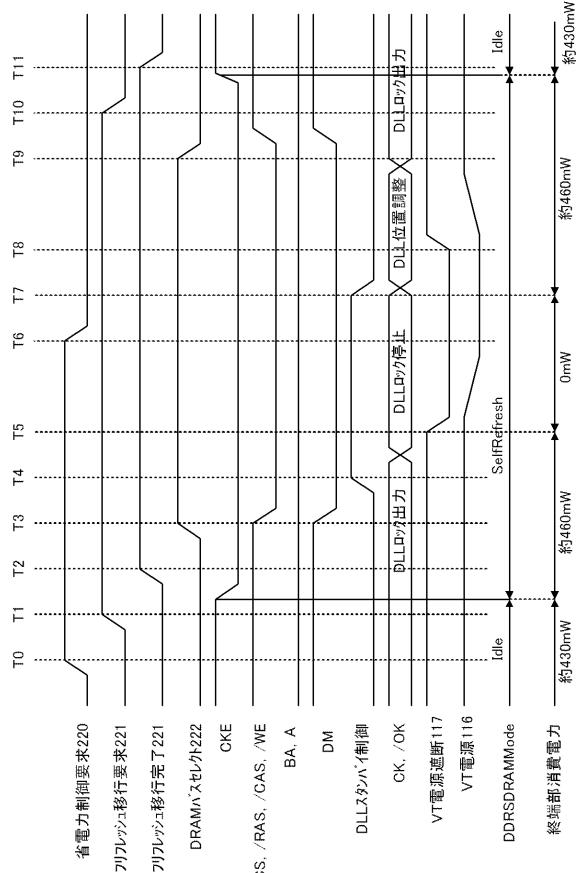
【 义 4 】



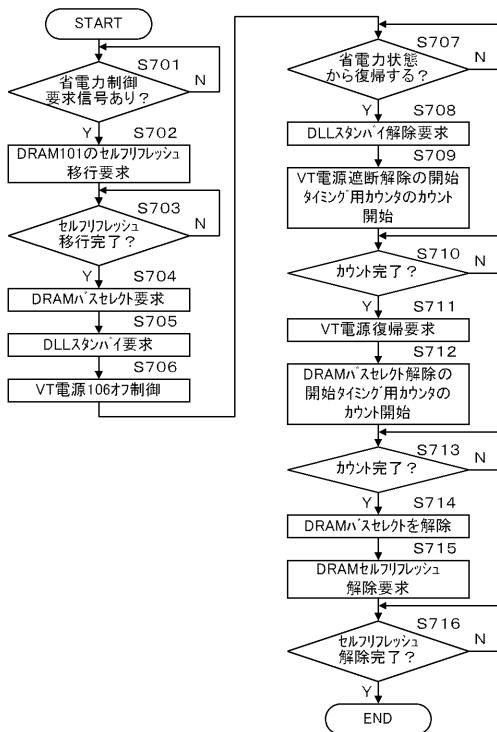
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開2006-331305(JP,A)
特開2007-109156(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06

G06F 13/16 - 13/18