

申請日期	89.5.21
案 號	8930313
類 別	G11C 16/02, G11C 16/06

公告本

A4
C4

526494

(以上各欄由本局填註)

發明專利說明書

一、發明 新型	中文	快閃記憶體元件及其查驗方法
	英文	
二、發明 創作人	姓名	1 崔奇煥 2 朴鍾旻
	國籍	大韓民國
	住、居所	1 大韓民國漢城市冠岳區峰川 6 洞 1690-109 , 1 層 202 2 大韓民國京畿道水原市勸善區勸善洞 1240 番地現代社區 210-608
三、申請人	姓名 (名稱)	三星電子股份有限公司
	國籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代表人 姓名	尹鍾龍

承辦人代碼：	
大類：	
I P C 分類：	

(由本局填寫)

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

大韓民國

1998/10/30

98-46482

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明(一)

技術領域

本發明是有關於一種非揮發半導體記憶元件，且特別是有關於一種 NOR 型快閃記憶體元件及其查驗方法。

發明背景

如熟知此技藝者所知，NOR 結構之快閃記憶體元件為一種可電性抹除(erasable)及編程之非揮發性半導體記憶體元件。由於快閃記憶體元件之操作速度非常迅速，所以其倍受需要快速操作速度之使用者的喜愛。第 1 圖是繪示一種傳統之快閃記憶體元件之區塊圖，且第 2 圖是繪示一種結合記憶胞之列選擇器及字元線電壓供應電路之電路圖。

參照第 1 圖，快閃記憶體元件包括記憶胞陣列 10(未顯示)，具有複數條字元線、複數條位元線、以及排列在字元線與位元線交錯區域之複數個記憶胞。每一個記憶胞具有連接至相對於字元線之控制閘極、浮置閘極、接地源極、以及連接至相對位元線之汲極，如第 2 圖所示，且第 3 圖是關於記憶胞之剖面圖。

在陣列 10 之左側，列選擇器 20 依照從位址暫存器 30 之列位址，選擇字元線連接。如第 2 圖所示，列選擇器 20 由接收解碼列位址訊號 DRA_i 之反及(NAND)閘 G1、反轉器 INV1、以及水平移位器 LS1 構成，如第 2 圖之連接。列選擇器 20 選擇對應於解碼列位址訊號 DRA_i 之字元線，然後從字元線電壓供應電路 50，以字元線電壓驅動選定之字元線。

位元線電壓供應電路 50 由高電壓產生器 52、電壓調

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

整器 54、以及切換電路 56 所構成。高電壓產生器對應於提供查驗操作之查驗操作訊號 VE_EN，產生高電壓 VPI(例如 10V)。高壓產生器 52 可藉由使用熟知此技藝之充電幫浦電路(charge pumping circuit)而了解。電壓調整器 54 藉由控制高電壓 VPI 水平，輸出需要在各種操作查驗模式之電壓 VPP(其可藉由使用熟知之電阻分離類型或電容分離類型而了解)。

切換電路 56 由二個水平移位器 LS2 與 LS3，以及二個 PMOS 電晶體 MP1 與 MP2 所構成，如第 2 圖之連接。切換電路 56 轉移電力供應電壓 VCC，或是對應於訊號 VE_EN 來自電壓調整器 54 之電壓 VPP，到列選擇器 20。例如，當訊號 VE_EN 在邏輯低水平(logic low level)，PMOS 電晶體 MP1 關閉，且 PMOS 電晶體 MP2 開啓，使得電力供應電壓 VCC 轉移至列選擇器 20，作為字元線電壓。當訊號 VE_EN 在邏輯高水平，PMOS 電晶體 MP1 開啓，且 PMOS 電晶體 MP2 關閉，使得電壓 VPP 轉移至列選擇器 20，作為字元線電壓。

仍然參照第 1 圖，快閃記憶體更包括感測放大電路 60、輸入/輸出暫存電路 70、以及控制邏輯與命令記錄器 80。藉由控制邏輯與命令記錄器 80 控制位址暫存電路 30、行選擇器 40、感測放大電路 60、以及輸出/輸入暫存電路 70。

藉由施加高電壓例如 10V 至控制閘極，源極與本體(bulk)至如接地電壓，且汲極至電壓例如 5V 至 6V，編程每個記憶胞。此編程記憶胞參照為"OFF 記憶胞"，且分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

具有 6V 至 7V 之啓始電壓分佈。藉由施加負高電壓例如 -10V 至控制電壓，以及電壓例如 5V 至本體，並且藉由使汲極與源極浮置，同時抹除陣列 10 之記憶胞。抹除記憶胞參照為 "ON 記憶胞"，且分別具有 1V 至 3V 之啓始電壓分佈。關於 OFF 記憶胞與 ON 記憶胞之啓始電壓分佈顯示於第 4 圖。

為了辨別記憶胞是否正常編程或抹除，可在抹除及編程操作之後執行查驗操作。查驗操作可分為過度查驗操作、抹除操作、以及編程查驗操作。查驗操作相同於讀取操作，除了用於讀取操作之字元線電壓不同於查驗操作。例如，在過度操作期間施加電壓約 2.8V 至選定之字元線，在抹除查驗操作期間施加電壓約 3.5V 至選定之字元線，以及在編程查驗操作期間施加電壓約 6.5V 至選定之字元線。

第 5 圖是繪示依照傳統之快閃記憶體元件，用於描述查驗操作之時間圖。參照第 5 圖，當訊號 VE_EN 從邏輯低水平轉換至邏輯高水平，開始查驗操作。特別是，高電壓產生器 52 對應於低至高轉換訊號 VE_EN，產生高電壓 VPI。在此時，開啓切換電路 56 之 PMOS 電晶體 MP1，並且關閉其 PMOS 電晶體 MP2。當高電壓 VPI 增加，藉由電壓調整器 54 調節之電壓 VPP(此後參照為查驗電壓)，經由列選擇器 20 轉移至連接選定記憶胞之字元線 WL。之後，當感測致能訊號 SA_EN 啓動，感測放大器 40 藉由使用自參考記憶胞之參考電壓，偵測選定記憶胞之啓始電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

壓。依照偵測結果，決定選定記憶胞是否已編程(抹除或過度抹除)。

如上所述，用於個別查驗操作之查驗電壓 2.8V、3.5V 與 6.5V，係使用從高電壓產生器 52 產生之高電壓 VPI。

當高電壓產生器 52 產生高電壓 VPI，在如第 5 圖所示之電力/接地線上，不可避免地引起電力雜訊(power noise)(例如 10mV 至 50mV)。此造成查驗感測操作的失常，其中在連接至記憶胞之資料線 DL 與連接至參考記憶胞之參考資料線 RDL 之間，偵測到良好的電位差(例如-30mV)。結果，記憶胞之啓始電壓從目標啓始電壓分佈偏離，且在上述之查驗操作之後，啓始電壓偏移可影響讀取/編程/抹除操作。

發明之概述

因此本發明的目的在提供一種快閃記憶體元件及其查驗方法，可以執行穩定的查驗感測操作，沒有電力雜訊。

為達成上述之目的，依照本發明之觀點，提供一種快閃記憶體元件，其包括一記憶胞陣列，具有複數條字元線、複數條位元線，以及複數個記憶胞分別排列於字元線與位元線之交錯區域；一列選擇器，用於對應於一列位址，選定一字元線；一行選擇器，用於對應於一行位址，選定一位元線；一感測放大器，用於對應於一感測致能訊號，由選定之字元線與位元線決定，感測在記憶胞中的資料；一高電壓產生器，用於對應於控制訊號，產生高電壓；一電壓調整器，用於接收高電壓，以調整接收之高電壓至一查驗電壓，施加於選定之字元線；一切換電路，用於對應於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

查驗致能訊號，轉移查驗電壓至列選擇器；以及一控制器，用於對應於一查驗及一感測致能訊號，產生控制訊號，其中在啓動表示查驗感測操作之感測致能訊號期間，控制器不啓動控制訊號，因此不啓動高電壓產生器。

在本發明之記憶體元件中，控制器由反轉器及 NOR 閘所構成，反轉器具有接收查驗致能訊號之輸入端，NOR 閘具有一輸入端連接至反轉器之輸出端，且另一輸入端接收感測致能訊號。

圖式之簡單說明

本發明藉由下文示範之實施例作詳細說明，然並非用以限定本發明，關於附加圖示中，相同之參照符號表示相似構件，其中：

第 1 圖是繪示一種傳統之快閃記憶體元件之區塊圖；

第 2 圖是繪示結合記憶胞之一種傳統列選擇器及一種傳統字元線電壓供應電路之電路圖；

第 3 圖是繪示一種記憶胞之剖面圖；

第 4 圖是繪示 OFF 記憶胞與 ON 記憶胞之啓始電壓分佈之關係圖；

第 5 圖是繪示用以敘述一種傳統之快閃記憶體元件之查驗操作之時間圖；

第 6 圖是繪示依照本發明一較佳實施例之字元線電壓供應電路；以及

第 7 圖是繪示依照本發明一較佳實施例之快閃記憶體元件之查驗操作之時間圖。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (6)

圖式標號之簡單說明

- 10：記憶胞陣列
- 20：列選擇器
- 30：位址暫存器
- 40：行選擇器
- 50：字元線電壓供應電路
- 52：高電壓產生器
- 54：電壓調整器
- 56：水平移位器
- 58：控制器
- 60：感測放大電路
- 70：輸入輸出暫存器
- 80：控制邏輯與命令記錄器
- DRAi：解碼列位址訊號
- VE_EN：查驗操作訊號
- SA_EN：感測致能訊號
- VPI：高電壓
- VPP：查驗電壓
- MP1、MP2：PMOS 電晶體
- G1：NAND 閘
- DL：資料線
- RDL：參考資料線

較佳實施例之詳細說明

本發明之較佳實施例將參照相關圖式作說明。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (8)

壓產生器啓動，高電壓 VPI 之電壓水平如第 7 圖所示增加。當高電壓 VPI 增加至個別的查驗操作需要之電壓時，藉由電壓調整器 54 壓制高電壓 VPI 至查驗電壓水平。如此壓制之查驗電壓 VPP 經由 PMOS 電晶體與列選擇器 20 轉移至選定之字元線 WL0。

如第 7 圖所示，當訊號 SA_EN 啓動至高電位，感測放大電路 60 藉用自參考記憶胞之參考電壓，偵測選定記憶胞之啓始電壓。不同於傳統之快閃記憶體元件，在查驗感測操作期間，藉由控制器 58，不啓動高電壓產生器 52。就是，由於訊號 SA_EN 轉高，控制器 58 之輸出從邏輯高水平轉換至邏輯低水平，因而不啓動高電壓產生器 52。此使得在訊號 SA_EN 啓動期間，高電壓產生器 52 之注入操作(pumping operation)未執行。結果，在關於第 7 圖中之查驗操作期間，不會導致電力雜訊。當訊號 SA_EN 再次不啓動，高電壓產生器 52 執行注入操作，使得高電壓 VPI 增加至其目標水平。然後，藉由訊號 VE_EN 結束查驗操作。

如上所述，在查驗感應操作期間，高電壓產生器 52 不啓動，因此沒有發生導因於產生器 52 注入操作之電力雜訊。因此，穩定查驗操作是可靠的，因此可防止在傳統之快閃記憶體元件中造成之問題(查驗感測操作之失常及啓始電壓偏離)。

本發明已經以示範之較佳實施例描述。然而，當可了解本發明之範圍不限定於揭露之實施例。相反地，其意欲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

涵蓋各種修正與相似排列。因此，申請項之範圍應給予最寬的解釋，因而包含所有修正與相似排列。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

快閃記憶體元件及其查驗方法)

揭露一種非揮發性半導體記憶體元件，其包括高電壓產生器、電壓調整器、以及控制器，組成字元線電壓供應電路。高電壓產生器對應於來自控制器之控制訊號提供高電壓，且電壓調整器接收高電壓以調整接收之高電壓至施加於選定之記憶胞的查驗電壓。而且，在查驗感應操作期間，控制器不啓動控制訊號，因而不啓動高電壓產生器。依照此電路結構，在查驗感測操作期間，未發生導因於產生器 52 注入操作之電力雜訊。因此，可確保穩定的查驗感測操作。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

1.一種非揮發性半導體記憶體元件，包括：
 一記憶胞陣列，具有複數個排列在列與行中之記憶胞；
 一高電壓產生器，用於對應於控制訊號產生高電壓；
 一電壓調整器，用於接收高電壓，藉以調整接收之高電壓至一施加於一選定列之查驗電壓；以及
 一控制器，用於對應於一查驗及一感測致能訊號，產生控制訊號，其中在該感測放大訊號啟動期間，該控制器不啟動控制訊號，顯示一查驗感測操作，因而不啟動高電壓產生器。

2.如申請專利範圍第 1 項所述之非揮發性半導體記憶體元件，其中該控制器由一反轉器與一 NOR 閘構成，該控制器具有接收查驗致能訊號之輸入端，且該 NOR 閘具有一輸入端以連接至該反轉器之一輸出端，以及另一輸入端，係接收感測致能訊號。

3.如申請專利範圍第 1 項所述之非揮發性半導體記憶體元件，其中更包括：

一列選擇器，用於選定該些列之一；以及
 一切換電路，用於對應於該查驗致能訊號以移轉該查驗電壓至該列選擇器。

4.如申請專利範圍第 3 項所述之非揮發性半導體記憶體元件，其中每一該記憶胞由一具有浮置閘極之電晶體所組成。

5.一種非揮發性半導體記憶元件，包括：

一記憶胞陣列，具有複數個字元線、複數個位元線以

六、申請專利範圍

及複數個記憶胞，該些記憶胞分別排列在該些字元線與該些位元線之交錯區域；

一列選擇器，用於對應於一列位址，選擇該些字元線之一；

一行選擇器，用於對應於一行位址，選擇該些位元線之一；

一感測放大器，用於對應於一感測致能訊號，藉由該選定字元線與位元線決定，感測在一記憶胞中的資料；

一高電壓產生器，用於對應於一控制訊號，產生高電壓；

一電壓調整器，用於接收高電壓，藉以調整接收之高電壓至一查驗電壓，施加於一選定字元線；

一切換電路，用於轉移該查驗電壓至該列選擇器，對應於該查驗致能訊號；以及

一控制器，用於對應於一查驗及一感測致能訊號，產生控制訊號，其中在該感測放大訊號啟動期間，該控制器不啟動控制訊號，表示一查驗感測操作，因而不啟動高電壓產生器。

6.如申請專利範圍第 5 項所述之非揮發性半導體記憶體元件，其中該控制器由一反轉器與一 NOR 閘構成，該控制器具有接收查驗致能訊號之輸入端，且該 NOR 閘具有一輸入端，連接至該反轉器之一輸出端，以及另一輸入端，接收感測致能訊號。

7.如申請專利範圍第 5 項所述之非揮發性半導體記憶

(請先閱讀背面之注意事項再填寫本頁)

訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

體元件，其中每一該記憶胞由一具有浮置閘極之電晶體所組成。

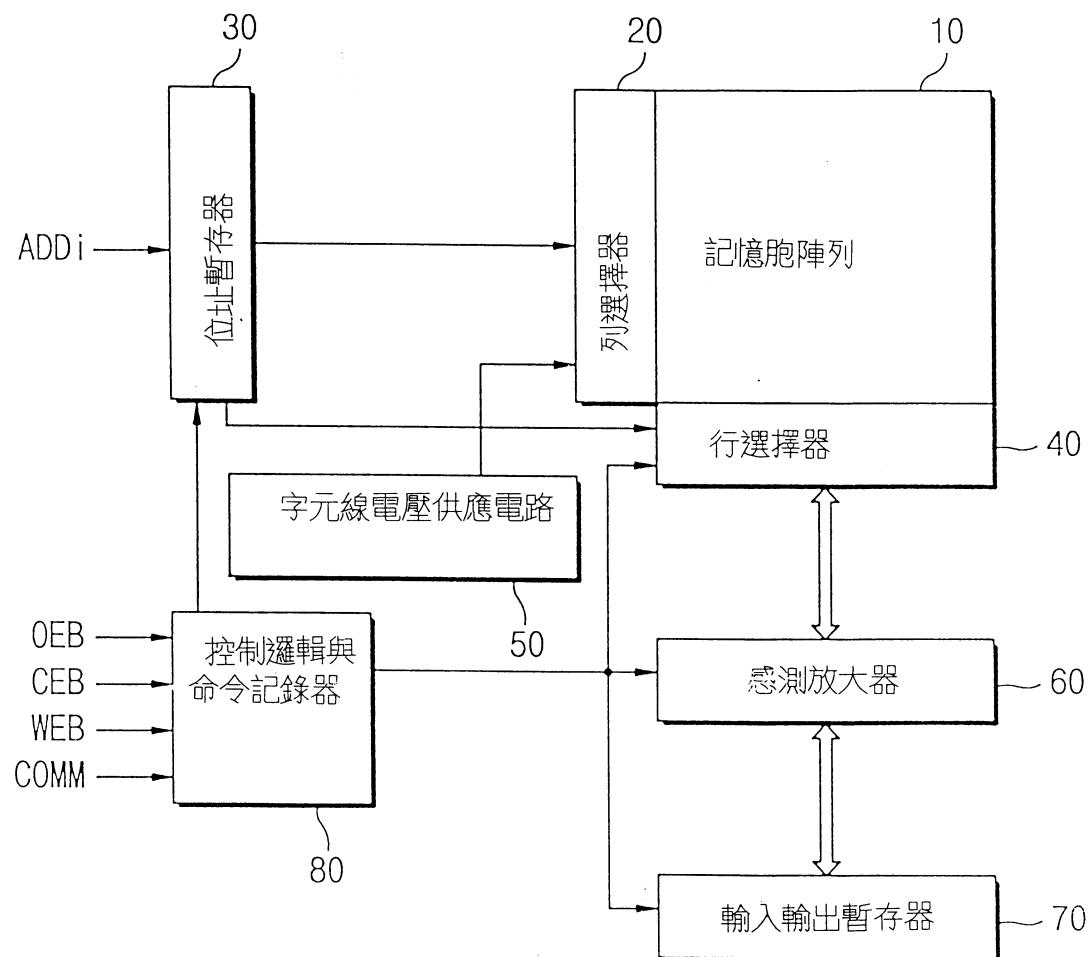
8.一種查驗方法，適用於一非揮發性半導體記憶體元件，具有一記憶胞陣列，每一記憶胞可儲存資料，以及一高電壓產生器，用於產生一高電壓，該查驗方法包括下列步驟：

對應於表示一查驗操作之一查驗致能訊號，啓動該高電壓產生器；

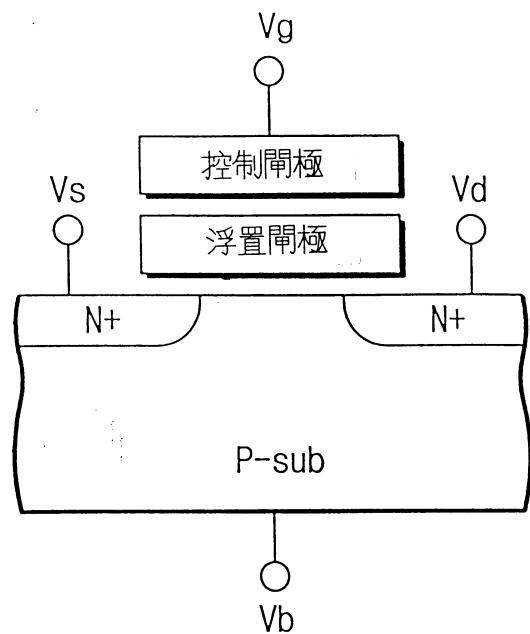
調整該高電壓至一查驗電壓，藉以施加於一位址記憶胞；以及

在該位址記憶胞之查驗感測操作期間，不啓動該高電壓產生器。

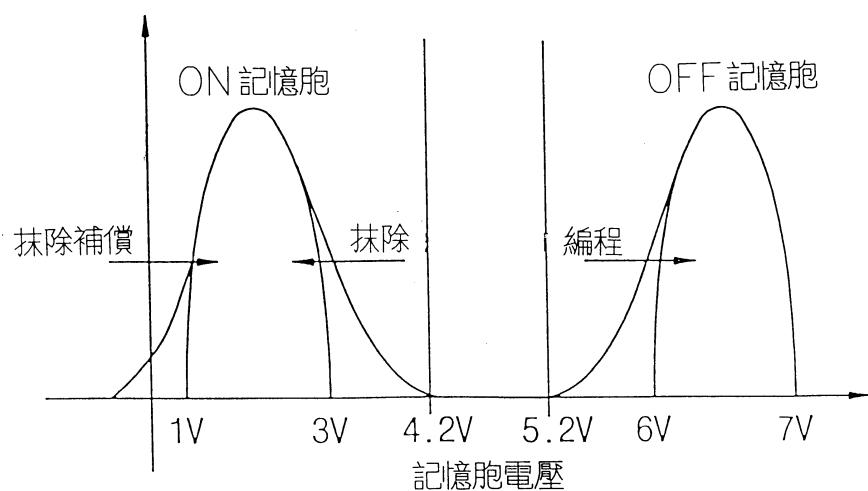
9.如申請專利範圍第 8 項所述之查驗方法，更包括在該查驗感測操作之後，啓動該高壓產生器。



第 1 圖

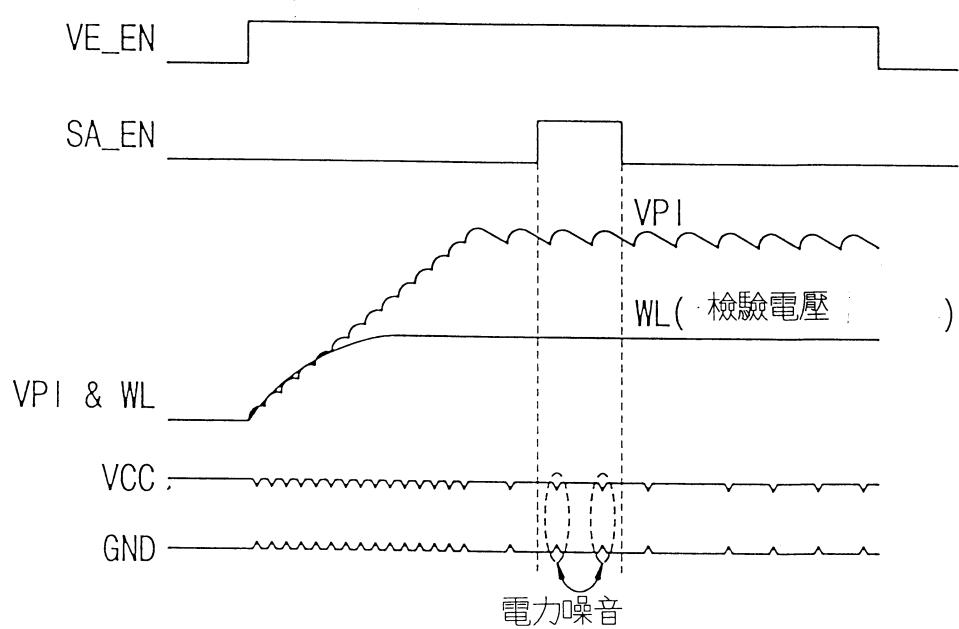


第 3 圖



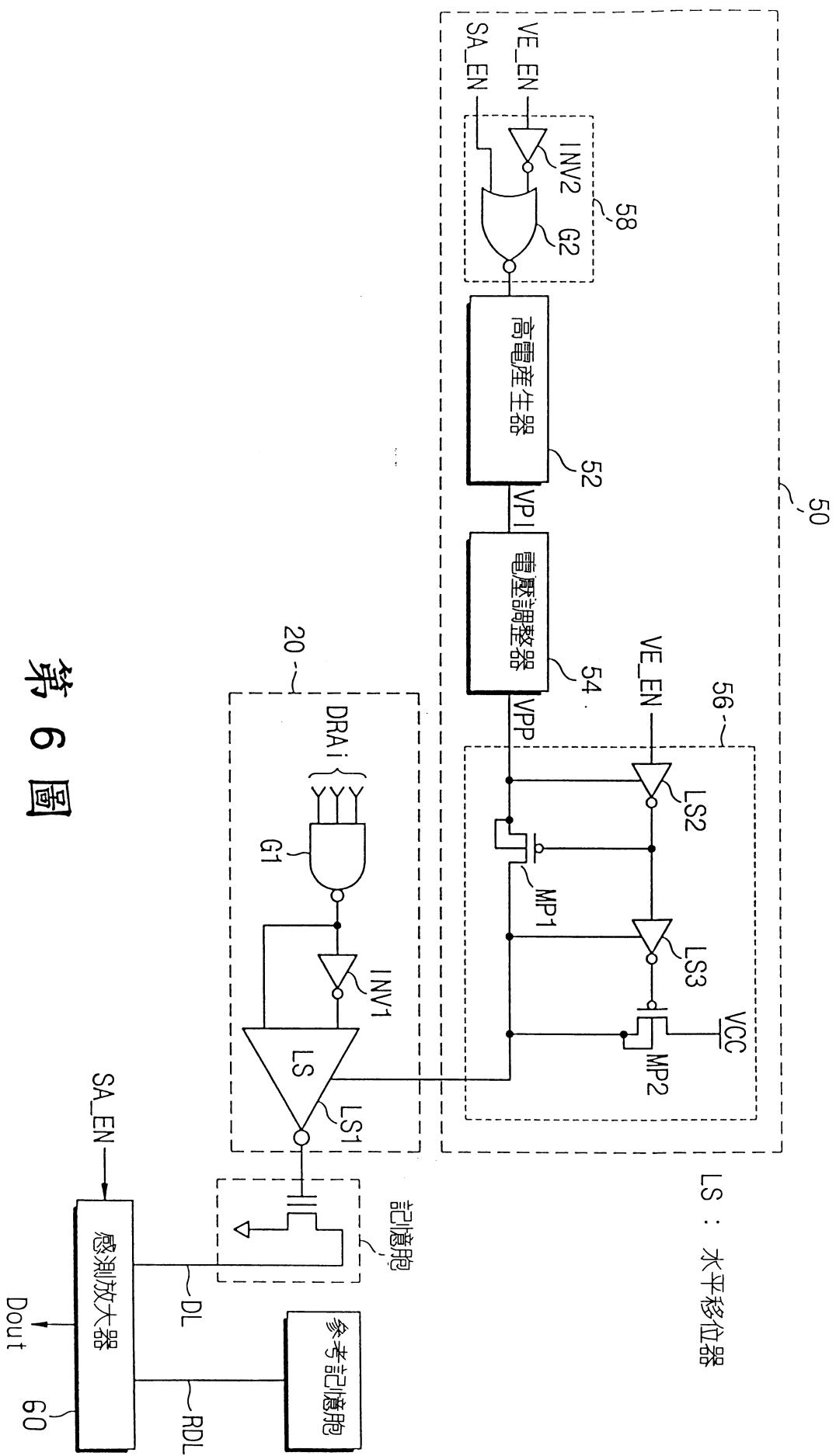
第 4 圖

526494

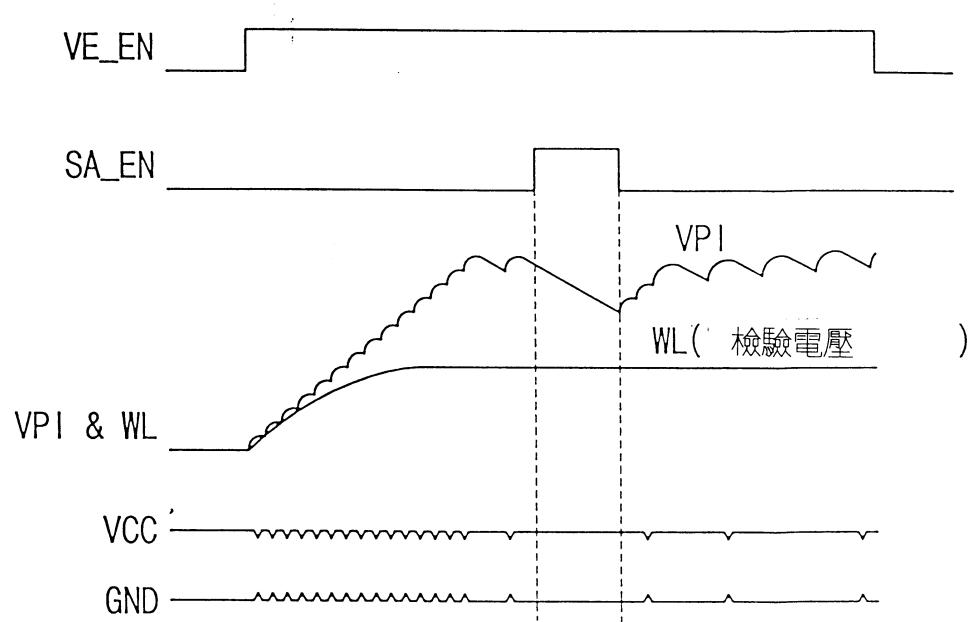


第 5 圖

第 6 圖



526494



第 7 圖

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(一)

第 6 圖是繪示依照本發明之快閃記憶體元件之區塊圖。在第 6 圖中，係關於結合記憶胞之列選擇器、字元線電壓供應電路、以及感測放大電路，然而本發明之快閃記憶體元件中亦提供第 1 圖之其他組成構件。在第 6 圖中，相同於第 1 圖之組成構件標示為相同之參考數字。

本發明之字元線供應電路 50 不同於傳統之快閃記憶元件之部分，在於加入控制器 58，其回應於訊號 VE_EN 與 SA_EN，控制高壓產生器 52 之啓動與不啓動。控制器 58 包括一個 NOR 閘 G2 與一個反轉器 INV2，如第 6 圖之連接。訊號 SA_EN 表示感測操作，且訊號 VE_EN 表示查驗操作。依照本發明之電路結構，在訊號 VE_EN 啓動期間，當訊號 SA_EN 啓動，高電壓產生器 52 不啓動。在訊號 VE_EN 啓動期間，當訊號 SA_EN 不啓動，高電壓產生器 52 啓動。因此，在查驗感測操作期間，由於沒有電力雜訊發生，可避免查驗感測操作的失常。

本發明之查驗操作將參照第 7 圖在下文做更詳細之敘述，第 7 圖是繪示依照本發明用於描述查驗操作之時間圖。

參照第 7 圖，當訊號 VE_EN 從邏輯低水平轉換至邏輯高水平時，查驗操作開始。當訊號 VE_EN 走高，切換電路 56 連接電壓調整器 54 至列選擇器 20，而轉移查驗電壓 VPP 至選定字元線 WL 上。特別是，切換電路 56 之 PMOS 電晶體 MP1 開啓，其 PMOS 電晶體 MP2 關閉。

控制器 58 對應於邏輯高水平之訊號 VE_EN 與邏輯低水平之訊號 SA_EN，使得高電壓產生器 52 啓動。當高電

526494

為易 881083>9 號文圖式修正單

修正日期: 2001.3.7.

90-3-7

煩請委員明示，本案修正後是否變更原實質內容

第 2 圖

