(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3774088号
(P3774088)
(45)発行日　平成18年5月10日(2006.5.10)　(24)登録日　平成18年2月24日(2006.2.24)

(51)Int.Cl.　　F I
H01L 21/285 (2006.01)　　H01L 21/285 301
H01L 21/28 (2006.01)　　H01L 21/28 301S
H01L 29/78 (2006.01)　　H01L 29/78 301G

請求項の数 5　(全 7 頁)

(21)出願番号　特願平11-260600
(22)出願日　平成11年9月14日(1999.9.14)
(65)公開番号　特開2000-91579(P2000-91579A)
(43)公開日　平成12年3月31日(2000.3.31)
審査請求日　平成12年12月27日(2000.12.27)
審判番号　不服2003-15030(P2003-15030/J1)
審判請求日　平成15年8月5日(2003.8.5)
(31)優先権主張番号　09/153522
(32)優先日　平成10年9月15日(1998.9.15)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】ＭＯＳデバイスの作製

(57)【特許請求の範囲】
【請求項１】
ａ．選択されたデバイス領域中のシリコン基板上に、誘電体層を形成する工程、
ｂ．前記選択されたデバイス領域中の前記シリコン基板上の前記誘電体層の上に、多層ゲート電極層を堆積させる工程、
ｃ．前記デバイス領域中の前記誘電体層のゲート部分上に、多層ゲート電極が生成され、前記基板中のソース及びドレイン領域を被覆する前記誘電体層の部分が露出されて残るように、前記多層ゲート電極層をエッチングする工程、
ｄ．前記多層ゲート電極をマスクとして用いて、前記ソース及びドレイン領域中に不純物を注入する工程、及び
ｅ．前記ソース及びドレイン領域に電気的接触を形成する工程
を含むタングステンシリサイドゲート電界効果トランジスタの作製方法において、前記多層ゲート電極はタングステンシリサイドから成る第１層、タングステンシリサイド窒化物から成る第２層及びタングステンシリサイドから成る第３層の合成層で、
ｉ．タングステンシリサイドのスパッタリングターゲットから、前記誘電体層上に、１００－４００℃の範囲の温度で前記第１層をスパッタリングし、前記スパッタリングターゲットはタングステンに対するシリコンの比が２．５－２．９であり、前記スパッタリングは４０－６０sccmの範囲の流量で実質的に不活性ガスを有する第１の雰囲気中で行われ、前記誘電体層は１００－４００℃の範囲の温度を有する工程、
ii．５－５５sccmの範囲の流量の窒素を含む第２の雰囲気中で、前記スパッタリングタ

ーゲットから前記第１層上に前記第２層をスパッタリングする工程、
iii．前記第１の雰囲気中で前記スパッタリングターゲットから前記第２層上に、前記第３層をスパッタリングし、それによって前記多層ゲート電極層が生成される工程、及び
iv．前記第１層、第２層及び第３層をエッチングし、前記多層ゲート電極を生成させる工程
を含む一連の工程によって前記多層ゲート電極が生成されることを特徴とする方法。
【請求項２】
前記多層ゲート電極の厚さは、５００－２０００オングストロームの範囲である請求項１記載の方法。
【請求項３】
前記第２層は５－３０％Ｎ、４０－６０％Ｓｉ、残りの部分のＷを含む請求項１記載の方法。
【請求項４】
前記第１及び第３層のタングステンシリサイド中のタングステンに対するシリコンの比は２．５より大きい請求項２記載の方法。
【請求項５】
前記第１層の厚さは１００－４００オングストロームの範囲で、前記第２層の厚さは５０－３００オングストロームの範囲で、前記第３層の厚さは３００－１６００オングストロームの範囲である請求項１記載の方法。
【発明の詳細な説明】
【０００１】
【本発明の分野】
本発明は電界効果デバイスの作製方法、より具体的にはシリコンＭＯＳトランジスタ用のゲート電極の形成方法に係る。
【０００２】
【本発明の背景】
１９７０年代初期の電界効果トランジスタの商業的な開始以来、これらのデバイスのゲート電極はポリシリコンであった。このように選択されたのは、初期の技術で自己整合したソース及びドレインを拡散させるのに必要な熱に耐えるよう（後にはイオン注入されたソース及びドレインのためのドライブ工程に耐えるよう）、シリコンの耐熱特性と、ポリシリコンゲート及びシリコン基板間の両立する仕事関数の両方のためである。多くの別の材料が当業者によって試みられたが、ＭＯＳゲート材料としてポリシリコンを選択するという慣習が、現在の技術まで続いている。しかし、ポリシリコンゲート電極に対する非常に小さな寸法、すなわちゲート誘電体厚及び低ドーピングレベル、たとえば10^{20}／cm^3のため、ポリシリコンゲート電極に生じる問題が指摘されている。これらの特性が組合わさり、ポリシリコン電極中の空乏効果が誘発され、それによってゲート容量の変化による駆動電流の許容できない変化が生じる。また、これらの微細な寸法の問題として、p^+ポリシリコンからn^+ポリシリコンへのホウ素の横方向拡散が、より重大になる。ホウ素はポリシリコン中で急速に拡散し、それによってＣＭＯＳデバイス中の問題が生じる。従って、高密度シリコンＭＯＳトランジスタ技術における改善されたゲート電極材料の必要性がある。
【０００３】
【解決すべき課題】
シリコンＭＯＳトランジスタＩＣデバイス用の改善されたＭＯＳゲート構造を作製する方法を発明した。その構造はＷＳｉ及びＷＳｉＮの三層構造である。タングステンシリサイド層はゲート誘電体への固着性が良く、タングステンシリコン窒化物層は、ホウ素拡散に対する効果的な障壁である。このゲート構造は10^{20}／cm^3よりはるかに高いキャリヤ濃度をもち、ドープポリシリコンの空乏の問題がない。改善された構造の特徴は、それが合成のすべての層をその場プロセスするのに便利な単一の堆積装置中で作製できることである。

【０００４】
【詳細な記述】
図１には、参考例としての、従来の方式で形成されたフィールド酸化物１２及びゲート誘電体１３を有するシリコン基板１１が示されている。合成ゲート電極は、一般に１６に示されている。本発明の参考例の適用において、ゲート誘電体層は１００オングストロームより小さく、６０オングストロームより小さいことが好ましい。これはポリシリコンゲート電極で空乏問題が起こる寸法の領域である。プロセス工程の次は、合成ゲート電極１６の形成である。本発明の参考例としての好ましい層構造において、材料は一方からもう一方へ明らかな破損なく遷移すること及び合成ゲート電極が本質的に単一のプロセス操作で作られるという事実を伝えるために、ゲート電極は単一の実線で示されている。合成ゲート電極は、ゲート誘電体１３上に形成されたタングステンシリサイド層１７及びタングステンシリサイド層１７上に堆積されたタングステンシリサイド窒化物、WSi_xN_y、層１８から成る。合成ゲート電極層の形成において、すべての層は後に詳細に述べるように、１つの操作工程で堆積させる。
【０００５】
次に合成ゲート電極は、たとえば従来のＲＩＥにより規定される。誘電体１３はソース、ドレイン領域から（合成ゲート電極１６をマスクとして用いて）エッチングされているのが、図１に示されている。次に、ソース及びドレイン２１及び２２が、従来のイオン注入により形成される。あるいは、誘電体層はその位置に保持したまま、合成ゲート電極を注入マスクとして用いて、誘電体層を通して、ソース及びドレイン注入が行われる。ｐ－チャネルデバイスの場合、ドーパントはホウ素で、ｎ－チャネルデバイスの場合、ドーパントは典型的な場合ヒ素である。ある種の従来技術のプロセスにおいて、ゲート電極は注入工程中露出され、不純物はゲートの導電率を増すために、露出されたゲート電極中に注入される。しかし、本発明の参考例の合成材料を用いると、ゲートのドーピングは必要ではなく、省いてもよい。
【０００６】
ソース／ドレインの形成後、中間層誘電体を堆積させ、第２層金属を堆積かつパターン形成し、別の中間層誘電体を堆積させる。必要に応じて、第３の相互接続層を形成できる。次に、ソース／ドレイン接触窓を従来のリソグラフィにより空け、ソース及びドレイン接触メタライゼーションを堆積かつパターン形成し、ソース及びドレインに対する接触を形成する。ソース及びドレイン接触は、図１中で概略的に２４及び２５と示されている。工程のこの最後の段階は、ＩＣ技術では標準的でここでは示さない。
【０００７】
本発明に従う合成ゲート電極の実施例が、図２に示されている。この場合、図１のデバイスとともに、ゲート電極２６はWSi_xの第１の層２７及びWSi_xN_yの第２層２８が形成されるが、このゲート構造はWSi_x２９の追加された層をもつ。
【０００８】
本発明に関連したプロセスの重要な点は、多層ゲート構造の形成である。これについては図３－図７に関連して、より詳細に述べる。
【０００９】
多層ゲート電極を形成するための層の好ましい堆積プロセスは、物理的気相堆積（ＰＶＤ）すなわちスパッタリングである。タングステンシリサイド層は減圧において、不活性ガス雰囲気中で、タングステンシリサイドターゲットからスパッタされる。多層堆積工程はＰＶＤ装置中で真空を破ることなく、同じ堆積装置中で順次行うのが好ましい。ここでの説明のため、このようにして形成された層は、“その場”形成されたと定義する。
【００１０】
ＰＶＤプロセスそれ自身は従来のもので、任意の適当なＰＶＤ装置で行ってよい。ＰＶＤ装置の概略が、図３に示されている。真空チャンバ３１はスパッタリングターゲット３２、コリメータ３３及びウエハ３５を支持する基板ヒータ３４を含む。ガス流は図中に示されており、金属層をスパッタするためのアルゴン及び窒化物層を反応性スパッタリングす

るためのアルゴンプラス窒素を含む。

【００１１】

図４を参照すると、シリコン基板４１はゲート誘電体層４２が成長したように示されている。この図はＭＯＳデバイスのゲート／チャネル領域を示しており、従ってフィールド酸化物は見えない。ゲート誘電体は典型的な場合SiO_2であるが、SiO_2及びSi_3N_4の合成層でもよい。次に、ゲート電極層を堆積させる。

【００１２】

図４－図７に関連して以下で述べるプロセスは、図２に示された実施例すなわち３層ゲート電極の生成についてである。図１の構造の生成は、図２の構造のプロセスを直接的に修正したもの、すなわち第１のタングステン層を省いたものである。他の詳細は本質的に同じである。

【００１３】

図５中で（４３）と示された第１のタングステンシリサイド層は、Ｗに対するＳｉの比が＞２であるWSi_xターゲットを用いて、ＰＶＤ反応容器中で堆積させる。Ｓｉ／Ｗ比は＞２．５が好ましく、最も効果的なのは２．５－２．９である。この層は上述のように、必要に応じて設ければよいが、ゲート誘電体と次に堆積させるWSi_xN_y障壁層間の固着性を改善する。層４３は２－６ｍＴｏｒｒの範囲の圧力で、アルゴン雰囲気中、１００－４００℃の範囲の温度で堆積させる。層４３の厚さは、１００ないし４００オングストロームの範囲が好ましい。

【００１４】

図６を参照すると、障壁層４４を層４３上にＰＶＤ反応容器に窒素を加えることにより、ＰＶＤ反応容器中でその場スパッタ堆積させることが好ましい。障壁層はWSi_xN_yで、先に概略をみたように、ソース／ドレイン領域から、ホウ素が上に拡散するのを防止するための多層ゲート電極堆積中の鍵となる要素である。好ましい窒素流量は５ないし５５ｓｃｃｍで、アルゴン・キャリヤガスは４０－６０ｓｃｃｍである。層４４のシリサイド／窒化物材料は、典型的な場合、高抵抗材料である。この材料のシート抵抗は、窒素流量と層の得られる組成を制御することにより、制御できる。WSi_xN_y障壁層の好ましい組成範囲は、５ないし３０％Ｎ、４０－６０％Ｓｉ、残りがＷである。層４４の好ましい厚さは、５０－３００オングストロームの範囲である。

【００１５】

図７中の最上部タングステンシリサイド層４５は、反応容器への窒素流を止め、層４３を形成するのに用いた方式で、タングステンシリサイド・ターゲットから非反応的にスパッタリングすることにより、形成される。層４５の厚さは、３００－１６００オングストロームの範囲である。

【００１６】

窒化物は窒素流量に依存して、窒化モード又は非窒化モードのいずれかで堆積してよい。これらの堆積モードは、当業者にはよく知られている。層４３－４５はまた、ＣＶＤのような他の技術によっても堆積できる。たとえば、シリサイドはジクロルシラン又は同様のプリカーサを用いて形成でき、シリサイド窒化物層は窒素源となる気体を加えることによって、形成できる。次に、最上部シリサイド層を形成するために、窒素源を切ることにより、堆積が完了する。

【００１７】

当業者は本発明の多層ゲート電極を用いる利点を、認識するであろう。シリサイドーシリサイド・窒化物－窒化物、又はシリサイド・窒化物－シリサイドの多層構造は、応力を調整できる組成的に傾斜した積層を構成する。そのような構造を作製することが容易であることは、ゲート構造全体が従来技術のように、別々の装置内でポリ－Ｓｉ及びシリサイド／ポリサイドを堆積させるということなく、単一の容器内で堆積できるという事実から、明らかである。更に、WSi_xN_yはデバイスが作製されている間、熱的プロセスを経た時、接合からドーパントが拡散するのに対する優れた障壁として働く。

【００１８】

本発明の様々な修正が、当業者にはできるであろう。基本的に原理に基づき、それを通して技術が進展した本明細書の具体的な指針からのすべての変更は、ここで述べ、特許請求の範囲の視野内にあると考えるのが、適切である。

【図面の簡単な説明】

【図１】　本発明の参考例に従って作製された合成ゲート電極を示す典型的な電界効果トランジスタのゲート領域の概略図である。

【図２】　本発明に従って作製された合成ゲート電極を示す図１と同様の概略図である。

【図３】本発明を行うのに有用なＰＶＤ装置の概略ダイヤグラム図である。

【図４】図１の合成ゲート電極を形成するプロセス工程を示す概略図である。

【図５】図１の合成ゲート電極を形成するプロセス工程を示す概略図である。

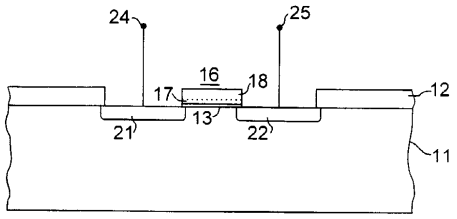
【図６】図１の合成ゲート電極を形成するプロセス工程を示す概略図である。

【図７】図１の合成ゲート電極を形成するプロセス工程を示す概略図である。

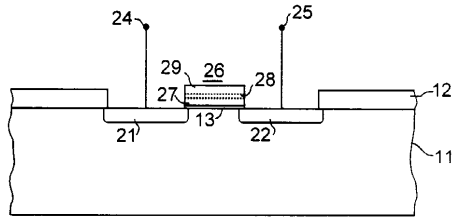
【符号の説明】

１１　シリコン基板
１２　フィールド酸化物
１３　ゲート誘電体、誘電体
１６　合成ゲート電極、電極
１７　タングステンシリサイド層
１８　タングステンシリサイド窒化物層
２１　ソース
２２　ドレイン
２４　ソース接触
２５　ドレイン接触
２６　ゲート電極
２７　第１の層
２８　第２の層
２９　ゲート構造
３１　真空チャンバ
３２　スパッタリングターゲット
３３　コリメータ
３４　基板ヒータ
３５　ウエハ
４１　シリコン基板
４２　ゲート誘電体
４３　層
４４　障壁層、層
４５　層、タングステンシリサイド層

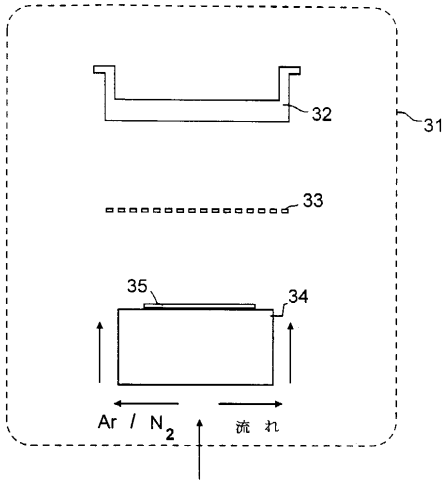
【図１】



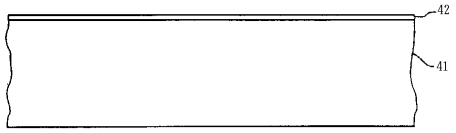
【図２】



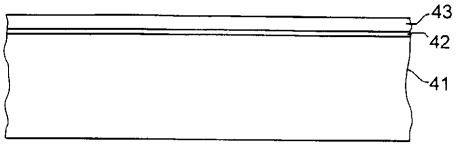
【図３】



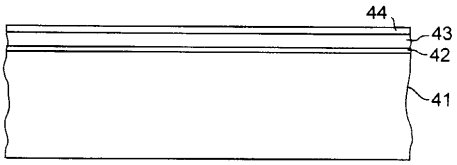
【図４】



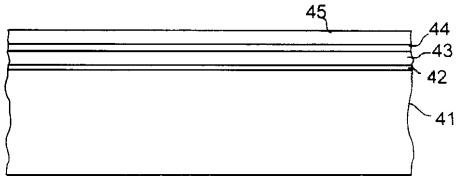
【図５】



【図６】



【図７】



フロントページの続き

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 アイシック シー. キズルヤリ
アメリカ合衆国 ３２８１９ フロリダ, オーランド, ダブルトレース レーン ６５３５
(72)発明者 サイレッシュ マンシン マーチャント
アメリカ合衆国 ３２８３５ フロリダ, オーランド, ヴァインランド オークス ブウルヴァード ８２１４
(72)発明者 プラディプ クマー ロイ
アメリカ合衆国 ３２８１９ フロリダ, オーランド, ヒデン アイヴェイ コート ７７０６

合議体
審判長 河合 章
審判官 長谷山 健
審判官 瀧内 健夫

(56)参考文献 特開昭６１－２６３２４３（ＪＰ，Ａ）
特開平０７－０３０１０８（ＪＰ，Ａ）