

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

(10) 国際公開番号
WO 2005/088596 A1

(51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14

(21) 国際出願番号: PCT/JP2005/004113

(22) 国際出願日: 2005 年 3 月 9 日 (09.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願2004-066820 2004 年 3 月 10 日 (10.03.2004) JP

特願2004-208744 2004 年 7 月 15 日 (15.07.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 前出 淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 阿部 真一 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京

区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤沢 雅憲 (FUJISAWA, Masanori) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).

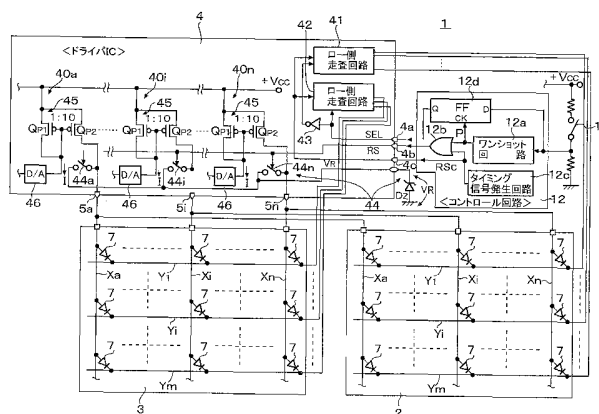
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

[続葉有]

(54) Title: ORGANIC EL DISPLAY DEVICE

(54) 発明の名称: 有機 EL 表示装置



4... DRIVER IC
41... LOW SIDE SCANNING CIRCUIT
42... LOW SIDE SCANNING CIRCUIT
12a... ONE SHOT CIRCUIT
12c... TIMING SIGNAL GENERATING CIRCUIT
12... CONTROL CIRCUIT

(57) Abstract: A driver IC (4) and a current driving circuit (40) are shared by a first organic EL panel (2) and a second organic EL panel (3). Therefore, not like conventional cases, a current driving circuit (40) on a side not selected is not necessarily in a standby state, and power consumption can be reduced. In a case where the first and the second organic EL panels are passive matrix type, a first diode is provided between each column line of the first and the second organic EL panels and corresponding each terminal pin so as to prevent a reverse flow.

[続葉有]



BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

第1の有機ELパネル(2)と第2の有機ELパネル(3)とに対してドライバIC(4)及び電流駆動回路(40)を共用するので、従来のように選択されていない側の電流駆動回路(40)を待機状態にする必要がなく、その分消費電力の低減を図ることができる。また、第1及び第2の有機ELパネルがパッシブマトリクス型である場合において、第1及び第2の有機ELパネルの各カラムラインと対応する各端子ピンとの間に、逆流防止のための第1のダイオードをそれぞれ設ける。

明 細 書

有機EL表示装置

技術分野

- [0001] この発明は、有機EL表示装置に関し、詳しくは、メインディスプレイとサブディスプレイとを有する有機EL表示装置において、一方のディスプレイから他方のディスプレイへの表示切換時の消費電力を低減し、小型薄型化に適した有機EL表示装置に関する。

背景技術

- [0002] 有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される次世代表示装置として現在注目されている。

携帯電話機などでは、メインディスプレイとサブディスプレイとが背中合わせに配置される。サブディスプレイが装置の蓋の表側とされ、蓋を閉めた状態でサブディスプレイに必要な情報を表示し、蓋を開けた状態で蓋の裏面に設けられたメインディスプレイにメニュー等の操作情報を表示する切換表示が行われている。

この場合、メインディスプレイは、高解像度のカラーディスプレイであり、サブディスプレイは、メインディスプレイより画面サイズが小さい白黒のものが使用されている。特に、携帯電話機のサブディスプレイは、時刻の表示や受信があったときにコールのための映像などを表示する。

メインディスプレイとサブディスプレイのドライバは、それぞれに仕様が相違し、ディスプレイ基板にONチップされることから通常それぞれが個別に設けられている。

- [0003] 有機EL表示パネルの電流駆動回路は、アクティブマトリックス型でもパッシブマトリックス型のものでも端子ピン(カラムピン)対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。

アクティブマトリックス型では、表示セル(画素)対応にピクセル回路が設けられていて、各ピクセル回路は、コンデンサに記憶した電圧に応じてトランジスタを駆動し、このトランジスタを介して有機EL素子(以下OEL素子)を電流駆動する。

一方、パッシブマトリックス型では、マトリックス状に配置されたOEL素子の陽極が直接電流源の駆動回路の出力ピンにカラムピンを介して接続され、各電流源の駆動回路によりそれぞれのOEL素子が駆動される。

なお、有機EL表示パネルの駆動回路としては、カラムピン対応にD/A変換回路(以下D/A)を設けたこの出願人の特開2003-234655号の出願が公知である(特許文献1)。これは、カラムピン対応のD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応に駆動電流あるいはこの駆動電流の基となる電流を生成する回路である。

特許文献1:特開2003-234655号公報

発明の開示

発明が解決しようとする課題

[0004] メインディスプレイとサブディスプレイにはデータ線対応にあるいはカラムピン対応にそれぞれ電流源の駆動回路を有するドライバICがそれぞれ設けられている。そのため、携帯電話機等の小型の電子機器にあつては、その分、メインディスプレイとサブディスプレイを搭載するエリアが大きくなって、それが、例えば、装置の蓋側ケースの薄型化の障害になっている。

また、メインディスプレイとサブディスプレイの一方を使用するときには、通常、他方のディスプレイの駆動電流源は、完全にOFFされるのではなく、待機状態に設定されている。そのために、その分、電力消費が増加し、表示ディスプレイの切換時には一方の駆動回路の待機設定と他方の駆動回路の待機状態からの復帰とが行われ、これによる過渡電流が消費電力を増加させる要因となっている。

そこで、メインディスプレイとサブディスプレイとについてドライバICを共用することが考えられるが、カラムピンに接続する出力ピン数を倍にしてドライバICの内部で切換えることは、出力ピン数が増加する関係で非常に難しい。しかも、出力ピンに対応して切換スイッチを設けると、回路規模が非常に大きくなる問題がある。

[0005] 特に、出力電流値の大きいパッシブ型の有機EL表示パネルをメインディスプレイとサブディスプレイとに用いた場合には、メインディスプレイとサブディスプレイのOEL素子が同じ出力ピンに容量性負荷としてそれぞれのカラムピンを介してパラレルに接

続されるので、切換え前後の過渡現象により表示が停止される側のディスプレイのOEL素子が誤発光する問題がある。

この発明の目的は、このような従来技術の問題点を解決するものであって、一方のディスプレイから他方のディスプレイへの表示切換え時のディスプレイの誤発光を防止し、表示切換え時の消費電力を低減し、小型薄型化に適した有機EL表示装置を提供することにある。

[0006] ところで、メインディスプレイとサブディスプレイとがパッシブマトリックス型であって、これらを共通のドライバで駆動するとすると、表示駆動側(点灯側)のディスプレイのカラムラインは、ドライバの出力ピンを介して表示停止側(非点灯側)のディスプレイのカラムラインにも接続されている。

OEL素子は容量性の素子であり、非点灯側のディスプレイのカラムラインには多くのOEL素子が接続されている。そこで、共通のドライバで駆動するとすると、非点灯側のOEL素子の寄生容量を介して点灯側のディスプレイのカラムラインが点灯側の他のカラムラインと接続されることになる。しかも、多数のOEL素子がカラムラインに接続されるパッシブマトリックス型有機ELパネルでは、あるカラムラインからみた寄生容量が大きくなり、この寄生容量を介して駆動中の他のカラムラインからの駆動電流が特定のカラムラインに回り込む問題がある。

特に、高解像度になり、QVGAのフルカラーではR, G, B各120ピンの360ピンとなり、現在ところ3ドライバは必要とされている。そのためカラムドライバIC1個が接続されるOEL素子の数は、カラムピン数×ローピン数となって、メインディスプレイでは、10,000個か、それ以上になる。サブディスプレイ側では5,000個以上のOEL素子が接続される。OEL素子1個は数pFであるが、このようにOEL素子が多くなると、その分、他のカラムラインからあるカラムラインへ回り込む駆動電流が多くなる。

この駆動電流の回り込みにより、点灯側のディスプレイのあるカラムラインが黒表示(駆動電流“0”)になったときに、非点灯側のディスプレイを介して回り込む駆動電流によって、本来の黒レベルの表示がグレイレベルに押し上げてしまう誤発光を起こす問題があることが分かった。

そこで、この発明の他の目的は、パッシブマトリックス型のメインディスプレイとサブ

ディスプレイとを共通のドライバで駆動したときに、点灯側のディスプレイにおいて黒レベルの表示をするカラムラインの表示輝度をグレイレベルにしてしまう誤発光を防止することができる有機EL表示装置を提供することにある。

課題を解決するための手段

[0007] このような目的を達成するための第1の発明の有機EL表示装置の構成は、第1および第2の有機ELパネルを有し、選択信号に応じていずれか一方の有機ELパネルを選択的に駆動して所定の表示をする有機EL表示装置において、

第1および第2の有機EL表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンからこれに接続されているデータ線あるいはカラムピンにOEL素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、出力ピンに接続され、リセット期間においてOEL素子の端子電圧を出力ピンを介して所定の電圧にリセットするリセット回路と、第1および第2の有機ELパネルに対応して第1および第2の有機ELパネルのロー方向あるいは垂直方向の走査対象となる走査線を走査する第1および第2の走査回路とを備えていて、

リセット期間に選択信号を発生して駆動すべき第1および第2の有機ELパネルのいずれか一方に対する第1および第2の走査回路のいずれか一方を動作させ、残りのいずれか他方の走査回路の走査動作の停止あるいは動作そのものの停止させることで一方の有機ELパネルを駆動し他方の有機ELパネルの表示を停止させるものである。

また、第2の発明の有機EL表示装置の構成は、第1および第2の有機ELパネルがパッシブマトリックス型のものであり、第1および第2の有機ELパネルの各カラムラインとこれらが接続される有機ELパネルの各端子ピンとの間にそれぞれ逆流防止の第1のダイオードが設けられているものである。

発明の効果

[0008] 前記構成のように、第1の発明にあつては、第1の有機ELパネルと第2の有機ELパネルとに対してドライバの出力ピンを共用する電流駆動回路を設けているので、第1の有機ELパネルと第2の有機ELパネルとに対応してそれぞれに電流駆動回路を設ける必要はない。そのため、選択されていない側の電流駆動回路を待機状態にする

必要がなく、その分、消費電力の低減を図ることができる。

しかも、ロー方向あるいは垂直方向の走査線を走査する走査回路の選択により表示切換えを行うので、出力ピンに対応して切換スイッチを設けることが不要になり、回路規模の増加が抑えられる。さらに、表示切換をリセットコントロールパルスに応じて、現在表示中の一方の有機ELパネルのリセット期間において他方の有機ELパネルへ表示切換が行われるので表示を停止する側(非点灯側)の有機ELパネルの誤発光が防止される。さらに、表示が停止される側の走査回路のロー側走査線(垂直方向の走査の水平1ライン)が接続されている出力端子をすべてハイインピーダンス($Hi-Z$)とすることで現在表示中の有機ELパネルの駆動を終了するようにすれば、点灯側有機ELパネルに対して並列負荷となる非点灯側有機ELパネルの負荷容量の増加を抑えることができ、結果として消費電力の増加が抑えられる。

また、第2の発明にあつては、有機ELパネルの各カラムラインと各端子ピンとの間にそれぞれ逆流防止の第1のダイオードを設けているので、非点灯側の有機ELパネルのそれぞれのカラムラインには直列に第1のダイオードによる寄生容量が入る。そこで、点灯側の有機ELパネルの他のカラムラインからあるカラムピンへ介して回り込む駆動電流は、前記第1のダイオードによる寄生容量を経て回り込むことになる。このとき、第1のダイオードの寄生容量が数pFと非常に小さいので、駆動電流の回り込み量を小さく抑えることができる。しかも、第1のダイオードにより駆動電流の逆流も防止される。これにより、点灯側のディスプレイにおいて黒レベルの表示をするカラムラインがグレイレベルに押し上げられることがほとんどなくなり、押し上げられてもそのレベルは小さいので、目で確認できる程度での黒レベルの誤発光を防止することができる。

その結果、少なくともメインディスプレイとサブディスプレイとの表示切換時の誤発光が防止され、表示切換時の消費電力を低減でき、小型薄型化に適した有機EL表示装置を実現できる。

発明を実施するための最良の形態

[0009] 図1は、2枚のパッシブマトリックス型の有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の一実施例のブロック図、図2は、表示切

換時のタイミングチャート、図3は、そのロー側走査回路における表示切換時の表示が停止される有機ELパネルの説明図、図4は、点灯側のディスプレイにおいて黒レベルの表示をするカラムラインの表示輝度がグレイレベルにされる誤発光を防止する実施例の説明図、そして図5は、図4の実施例における非点灯側カラムラインの負荷インピーダンスの説明図である。

図1において、1は、有機ELの表示装置であって、パッシブマトリックス型の有機ELパネル2, 3を有している。

4は、これら有機ELパネル2, 3とに共通に設けられたドライバIC(以下ドライバ)であり、カラム側の出力段電流源40a, …40i, …40nと、ロー側の走査回路41、42、インバータ43、そしてリセット回路44とを有している。

リセット回路44は、各出力ピン出力ピン5a, …5i, …5nにそれぞれが接続されたアナログスイッチ(トランスマッションゲート)44a, …44i, …44nと定電圧ダイオードDzとからなる。

[0010] ドライバ4は、コントロール回路12から入力端子4aを介して表示ディスプレイ選択信号(以下選択信号SEL)“H”(HIGHレベル)あるいは“L”(LOWレベル)を受けて、有機ELパネル2、有機ELパネル3のいずれかを駆動をする。これにより有機ELパネル2と有機ELパネル3のいずれか一方を表示状態とし、他方を非表示にする。

コントロール回路12は、例えば、表示切換スイッチ11がONにされたときに選択信号SEL“H”を発生する。表示切換スイッチ11がOFFしているときあるいはOFFにされたときにはこれに応じて選択信号SELを“L”(LOWレベル)に設定して出力する。

なお、この表示切換スイッチ11は、例えば、この表示装置1を内蔵した携帯電話等において、装置の蓋が閉められたときに装置の蓋により押されて作動し、ONになるスイッチである。

コントロール回路12は、ワンショット回路12a、オア回路12b、タイミング信号発生回路12c、そして選択信号発生回路12dとを有していて、表示切換スイッチ11のON/OFFに応じて、装置の蓋が閉じられたときに選択信号SEL“H”を発生し、装置の蓋が開かれたときに選択信号SEL“L”を発生する。

[0011] 有機ELパネル2は、メインディスプレイとしてこの表示装置1を内蔵した携帯電話等

の装置の蓋の裏面側に設けられ、有機ELパネル3は、サブディスプレイとして装置の蓋の表側に設けられている。これら2枚の有機ELパネルは背中合わせに装置の蓋側のケースに内蔵され、ドライバ4は、背中合わせの状態でそれぞれの有機ELパネル2, 3のそれぞれのカラム線(カラムピン)に出力ピンが共通に接続される。

なお、2枚の有機ELパネルを背中合わせにした場合には、有機ELパネル2と有機ELパネル3とは、それぞれが駆動されるときに一方が他方に対して水平走査方向が逆になる。そのため、水平走査方向1ライン分の表示データは、一方に対して他方が逆方向からセットされる必要がある。このような場合には双方向シフトレジスタ等が用いられるが、これについては発明に直接関係ないのでここでは割愛する。

有機ELパネル2(メインディスプレイ)と有機ELパネル3(サブディスプレイ)とは、通常、表示画素数が相違していて、有機ELパネル2は、例えば、カラムライン数×ローライン数として、 160×128 画素であり、有機ELパネル3は、例えば、 96×96 画素である。

以下では、メインディスプレイの有機ELパネル2の出力ピンとサブディスプレイの有機ELパネル3の出力ピンとが共通になっている96ピン部分について説明する。なお、出力ピンが共通にならないメインディスプレイの有機ELパネル2の出力ピン97〜160は、表示切換によって表示が停止する(非点灯とする)ときに、これら出力ピンに対応するD/A変換回路(D/A)46(図1参照)に設定する表示データを“0”とすれば、それらの出力ピンには出力電流が発生しないので、問題は生じない。そこで、図では出力ピン97〜160の接続については割愛してある。

[0012] 水平方向1ラインに相当する有機ELパネル2の各カラムライン $X_a, \dots, X_i, \dots, X_n$ と有機ELパネル3の各カラムライン $X_a, \dots, X_i, \dots, X_n$ は、それぞれのカラムピンを介して出力段電流源40(各出力段電流源 $40_a, \dots, 40_i, \dots, 40_n$ の代表として)のそれぞれの出力ピン5(出力ピン $5_a, \dots, 5_i, \dots, 5_n$ を代表して)に接続されている。

ロー側の走査回路41, 42は、シフトレジスタとCMOS出力回路6(図2参照)等で構成されている。なお、図2では、CMOS出力回路6をスイッチ回路として表している。電源ライン+VccとOEL素子7の陰極接続ラインY($Y_1, Y_2, Y_3, \dots, Y_i, \dots$)との間に接続されているスイッチ回路がPチャネルMOSTランジスタで構成されるスイッチ回

路であり、陰極接続ラインY (Y1, Y2, Y3, …Yi…)とグランドGNDとの間に接続されているスイッチ回路がNチャネルMOSトランジスタで構成されるスイッチ回路である。

[0013] 図1に示すように、出力段電流源40は、カレントミラー回路45とD/A46とからなる。カレントミラー回路45は、PチャネルMOSトランジスタQP1, QP2とからなり、入力側トランジスタQP1と出力側トランジスタQP2のチャネル幅(ゲート幅)比が1:10になっている。

トランジスタQP1, QP2のソース側が+15V程度の電源ライン+Vccに接続されている。入力側トランジスタQP1のドレインは共通のゲートに接続されるとともにD/A46の出力に接続されている。

D/A46は、カレントミラー回路で構成され、基準駆動電流をカレントミラー回路の入力側トランジスタに受けて入力された表示データに応じた変換アナログ電流を出力側トランジスタに発生する。

各アナログスイッチ44X(アナログスイッチ44a, …44i, …44nの代表として)は、入力端子4bを介してコントロール回路12からリセット信号RSを受けてリセット期間RTの間ONになる。図2(c), (g)に示すように、リセット信号RSは、リセット期間RTの間、“H”になる信号であり、通常は、リセットコントロール信号(あるいはタイミングコントロール信号)に応じて発生する。これにより、各出力ピン5は、リセット期間に定電圧ダイオードDzの電圧VRに設定され、定電圧リセット(プリセット)される。

[0014] ここで、ロー側の走査回路41, 42は、それぞれ“H”のエネーブル信号とリセットコントロール信号RScとを受けて走査動作をする。リセットコントロール信号RScは、入力端子4cを介してコントロール回路12のタイミング信号発生回路12cから供給される。

ロー側の走査回路41は、入力端子4a、インバータ43を介して選択信号SELをエネーブル信号として受ける。ロー側の走査回路42は、直接選択信号SELをエネーブル信号として直接受ける。

なお、ロー側の走査回路41, 42の走査動作は、リセットコントロール信号RScを受けてリセット期間RTから走査動作を開始する。

そこで、ロー側の走査回路41は、表示切換スイッチ11がONからOFFにされたときには、選択信号SEL“L”をインバータ43を介して“H”のエネーブル信号として受け

て有機ELパネル2に対する垂直方向(ロー側)の走査動作をリセットコントロール信号RScのリセット期間RTから開始する。一方、有機ELパネル3のロー側の走査回路42は、表示切換スイッチ11がOFFにされたときには、選択信号SEL“L”を直接受けるので垂直方向の走査動作が停止する。

一方、ロー側の走査回路41, 42は、“L”のエネーブル信号を受けたときには、図3に示すように、すべてのCMOS出力回路6のPチャネルとNチャネルのMOSTランジスタで構成される2つのスイッチ回路をともにOFFにしてハイインピーダンス(Hi-Z)の出力に設定する。

- [0015] 逆に、有機ELパネル2のロー側の走査回路41は、表示切換スイッチ11がOFFからONにされたときには、選択信号SEL“H”をインバータ43を介して“L”のエネーブル信号として受けるので垂直方向の走査動作が停止する。一方、有機ELパネル3のロー側の走査回路42は、表示切換スイッチ11がONにされたときには、選択信号SEL“H”を直接エネーブル信号として受けるので垂直方向の走査動作をリセットコントロール信号RScのリセット期間RTから開始する。

このように、この表示装置1を内蔵した携帯電話等の装置は、その蓋が閉められたときには選択信号SELが“H”となって、有機ELパネル3のロー走査回路42が動作し、装置の蓋が開けられたときには選択信号SELが“L”となって、有機ELパネル2のロー走査回路41が動作する。

さらに、ここでは、装置の蓋の開閉に応じて、表示が停止される側の有機ELパネルは、入力端子4bから入力されるリセット信号RSにより強制的にリセット期間に入り、その後、選択信号SELが発生して、その“H”と“L”に応じて表示切換えが行われる。

- [0016] 以上の選択信号SELによる表示切換は、表示切換スイッチ11のON/OFFに応じて発生するリセット信号RSのタイミングに従って行われる。

ここでは、リセット信号RSは、リセットコントロール信号RScのタイミングに合わせて発生するほかに、表示切換スイッチ11のON/OFFに応じて発生する。

図1に示すように、コントロール回路12は、表示切換スイッチ11のON/OFF信号をワンショット回路12aで受ける。そしてオア回路12bがリセットコントロール信号RSCとワンショット回路12aの出力とを受けてリセット信号RSを発生する。リセットコントロー

ル信号RSCは、タイミング信号発生回路12cで発生する。

なお、ワンショット回路12aは、表示切換スイッチ11のON/OFF信号の立上がりおよび立下がりの双方向でトリガーされて、表示切換スイッチ11がONからOFFあるいは逆にOFFからONになったときに、一定期間、“H”のワンショットパルスPを発生する。この“H”の期間は、通常のリセット期間RTか、それよりも長く設定されている。

ワンショット回路12aの出力は、リセット信号RSとして出力されるとともに、選択信号発生回路12dに送出される。

選択信号発生回路12dは、フリップフロップ等で構成されるラッチ回路であり、ワンショット回路12aの出力の立下がり信号に応じて表示切換スイッチ11のON/OFF信号を“H”あるいは“1”、“L”あるいは“0”の信号としてラッチして選択信号SELを発生する。これにより、表示を停止する非表示側の有機ELパネルがリセットされた時点か、その後に表示切換が行われることになる。

[0017] 図2は、その表示切換時のタイミングチャートである。

図2(a)は、表示切換スイッチ11のON/OFF信号(表示切換信号)、(b)は、表示開始パルスDSTP、(c)はリセットコントロール信号RSc、(d)は、ピーク発生パルスPpである。そして、(e)が端子ピン駆動電流であって、実線が駆動電流、点線が駆動電圧である。

図2(a)では、まず、表示切換スイッチ11がOFFとなっていて、装置の蓋が開けられ、メインディスプレイの有機ELパネル2が表示状態になっている。

通常の表示状態では、リセットコントロール信号RScに応じてオア回路12bを経てリセット信号RSが発生して、表示が選択されている有機ELパネルは、表示開始パルスDSTPの立上がりに応じてリセット期間RTが終了する。この時点でリセット信号RSが立下がり、表示期間Dに入る。そして、ピーク発生パルスPpが発生して、表示期間Dの開始から一定期間、カウンタでカウントしてカウント終了時点でリセット信号RSが再び立上ってリセット期間RTに入る。その結果、図2(e)のようなピク駆動電流が発生する。

しかし、装置の蓋が閉められて、図2(a)に示すように、表示切換スイッチ11がOFFからONとなると、表示駆動がメインディスプレイからサブディスプレイの有機ELパネ

ル3に切換えられる。図2(a)に示すような表示期間Dにおいて表示切換スイッチ11のON/OFF信号(表示切換信号)を受けると、(f)に示すようにワンショット回路12aからワンショットパルスPが発生して、それがリセット信号RSとなり、(g)に示すようなリセット信号RSが発生する。これにより駆動され、表示状態の有機ELパネルが強制的にリセット期間RTに入る。

その結果、各アナログスイッチ44XがONとなって、各出力ピン5はリセット電圧VRに設定される。なお、このときは表示期間Dであるので、各OEL素子7の陰極側はグランドGNDに接続されているので、各アナログスイッチ44XをONすることで各OEL素子7の端子電圧がリセットがなされる。

[0018] このワンショットパルスPに対応するリセット期間RTが終了した時点で、図3(h)に示すように、選択信号発生回路12dから選択信号SELが発生する。図3(a)に示すように、表示切換スイッチ11は、表示期間Dにおいて、OFFからONになったので、このONからワンショットパルスPの期間だけ遅れて、このリセット期間終了時点で選択信号SELは、“L”から“H”になる。

さらに、選択信号SELは、“L”から“H”になったことにより、非表示となる有機ELパネル2に対応する走査回路41は、イネーブル信号として選択信号SEL“L”を受けて、図3に示すロー側の走査回路の陰極接続ラインY(Y1, Y2, …Yi…)におけるすべてのCMOS出力回路6のPチャネルとNチャネルのMOSTランジスタで構成される2つのスイッチ回路をともにOFFにしてすべてのCMOS出力回路6の出力端子をハイインピーダンス(Hi-Z)の出力に設定する。

以上は、表示期間Dに表示切換スイッチ11がOFFからONになった場合であるが、逆にONからOFFになった場合には、選択信号SELは、“H”から“L”になり、有機ELパネル2と有機ELパネル3との関係が逆に置き換わる。また、ワンショットパルスPの期間がリセット期間RTと重なったとき、あるいはリセット期間RTに表示切換スイッチ11のON/OFFの切換が発生したときには、リセットコントロール信号RScのリセット期間とワンショットパルスPの期間が重なるので、リセット期間がそのままか、ワンショットパルスPの期間が重なった分だけリセット期間が長くなるだけであって、切換表示の動作は前記した通りである。

[0019] そこで、表示切換スイッチ11がOFFになったときにはワンショットパルスPによるリセット期間終了後(終了時点でも可)に選択信号SEL“L”が発生し、表示切換スイッチ11がONになったときにはワンショットパルスPによるリセット期間終了後選択信号SEL“H”が発生する。こうして発生した選択信号SELがロー走査回路41, 42にそれぞれ送出されて、これら回路が選択的に走査動作をする。

これにより、表示が停止される側のディスプレイが表示期間にあるときに、表示切換スイッチ11のON/OFF信号(表示切換信号)を受けたときには、表示切換スイッチ11のON/OFF信号(表示切換信号)の発生に応じてワンショットパルスPによるリセット信号RSが発生してリセットされた後に一方のディスプレイから他方のディスプレイに表示の切換が行われる。そして、表示切換により表示が開始される他方のディスプレイは、図3(i)に示すように、次のリセット期間RTからスタートしてこの後表示開始パルスDSTPを受けて表示が開始される。

また、リセットコントロール信号RScのリセット期間RTに対応して表示切換スイッチ11のON/OFF信号が発生したときには、表示切換により表示が開始される側のディスプレイは、このリセット期間RTの後表示開始パルスDSTPを阻止することで、図3(i)に示す次のリセット期間RTのその次のリセット期間RTからスタートして表示を開始する。

なお、リセットコントロール信号RScのリセット期間とワンショットパルスPの期間の重なりは、リセットコントロール信号RScのリセット期間RTにおいて選択信号SELが変化したとき、すなわち、リセット期間RTに選択信号SELの立上がりあるいは立下がりがあるか否かで検出することができる。

[0020] このようにして、この表示装置1を内蔵した携帯電話等の装置は、その蓋が閉められたときには強制的にリセット期間RTに入って有機ELパネル2のロー走査回路41の走査動作を停止して、リセット期間RTから有機ELパネル3のロー走査回路42を走査動作を開始し、逆に、装置の蓋が開けられたときには強制的にリセット期間RTに入って有機ELパネル3のロー走査回路42の走査動作を停止して、リセット期間RTから有機ELパネル2のロー走査回路41を走査動作を開始することができる。

さらに、表示が停止されたディスプレイは、リセットされた後にすべての陰極接続ライ

ンYがHi-Zとなるので、通常は誤発光は発生しない。

[0021] ところで、携帯電話機などでは、電話番号等の表示を強調するために、画面の中央部分だけに表示範囲を限定して周囲を黒枠背景あるいは一色表示とすることが行われる。また、黒ラインと白ラインとが交互に発生するゼブラカラーの表示などもある。しかし、前記したように、カラムドライバ1個に対して接続されるOEL素子が5,000個か、それ以上になると、非点灯側のディスプレイのカラムラインに接続されたOEL素子による寄生容量を介して、あるカラムラインへ他のカラムラインから駆動電流が回り込み、その電流量も大きくなる。それが点灯側のディスプレイにおいて黒レベルの表示をするカラムラインの表示輝度をグレイレベルにまで押し上げてしまう。

[0022] 図4は、このような誤発光を防止する実施例の説明図である。

図4においては、非点灯側の有機ELパネル3の各OEL素子7をコンデンサCpとして示す。コンデンサCpはOEL素子7の寄生容量である。

各有機ELパネル2, 3を共通ドライバ4で駆動する場合には、例えば、点灯側のディスプレイ2とすると、これのカラムラインXiに対して非点灯側のディスプレイ3のOEL素子7の寄生容量Cpがパラレルに多数接続されることになる。

そこで、図示するように、各有機ELパネル2, 3の各カラムラインXa, …Xi, …Xnとこれらカラムピンが接続される各有機ELパネル2, 3の端子ピンとの間にそれぞれダイオードDa, Db, Dc, …Dnを駆動電流に対して順方向で挿入する。

さらに、各ダイオードDa〜Dnの陰極同士を接続する接続ラインをローラインYoとして設け、このローラインYoと各ダイオードDa〜Dnの陰極側との間に順方向にそれぞれ各ダイオードDsa, Dsb, Dsc, …Dsnを設けて、これらダイオードを介してローラインYoと各ダイオードDa〜Dnの陰極とを接続する。そして、ロー側の走査回路41, 42には、CMOS出力回路6aとバッファアンプ(ボルテージフォロア)6bとをそれぞれ設け、バッファアンプ6bの出力を各有機ELパネル2, 3のそれぞれのローラインYoに接続する。バッファアンプ6bの入力は、CMOS出力回路6aの出力に接続され、CMOS出力回路6aの出力電圧を受ける。

CMOS出力回路6aは、電源ライン+Vccに接続されたスイッチSW1(PチャネルMOSトランジスタ)と電圧Vsの定電圧源6cに接続されたスイッチSW2(NチャネルMO

ストランジスタ)とを有している。

[0023] ここで、各カラムラインに挿入された各ダイオードDa, Db, Dc, …Dnは、回り込み駆動電流の回り込みを阻止するとともに回り込みパスにおける寄生容量を低下させる回り込み防止回路になっている。さらに、追加した各ダイオードDsa, Dsb, Dsc, …Dsnと、ローラインYo、CMOS出力回路6a、そしてバッファアンプ6bとは、それぞれ各カラムラインXa, …Xi, …Xnの回り込み駆動電流の逆流を阻止する放電回路を形成している。

なお、各ダイオードDa〜Dnと各ダイオードDsa〜Dsnは、OEL素子の形成過程で発光材料を充填しない状態で直接PN接合を形成したダイオード素子である。これらは、輝度表示に使用されるOEL素子とともに形成される。したがって、これらダイオードは、駆動電流が流れても点灯しない。これらダイオードは、ダイオード接続トランジスタ、あるいは順方向降下電圧が低い、ショットキーダイオード等が使用されてもよい。

点灯側のディスプレイである有機ELパネル2は、選択信号発生回路12dから選択信号SEL“L”(蓋が開いた状態)をインバータ43を介して“H”として受け、CMOS出力回路6aは、それを内部のインバータ(図示せず)で反転して“L”にしてスイッチSW1をONし、スイッチSW2をOFFする。

これにより、ローラインYoは、電源ライン+Vccにプルアップされて“H”に設定される。その結果、点灯側のディスプレイの有機ELパネル2の各ダイオードDsa〜Dsnは、逆バイアスされてOFFとなる。これにより、逆流を阻止する放電回路が各カラムラインから切り離され、各ダイオードDa〜Dnは、有機ELパネル2に対するロー側の水平1ラインの走査に応じてONとなり、点灯側の表示動作には無関係となる。

一方、非点灯側のディスプレイである有機ELパネル3は、コントロール回路12から選択信号SEL“L”を受け、CMOS出力回路6aは、それを内部のインバータ(図示せず)で反転して“H”にしてスイッチSW1をOFFし、スイッチSW2をONにする。そこで、ローラインYoがバッファアンプ6bを介して定電圧源6cの電圧Vsに設定される。この電圧Vsは、各ダイオードDa〜Dnと各ダイオードDsa〜DsnがONするように各カラムピンに出力する駆動電流により発生する各カラムピンの電圧のうち最低電圧に対して

1. $4V (=0.7V \times 2)$, $0.7V$ はダイオードの順方向降下電圧)以上低い電圧であり、かつ、このとき流れる電流が微少な電流になるような電圧に選択されている。なお、必要に応じて電圧 V_s の電源に直列に高い抵抗値の抵抗を挿入するとよい。

[0024] その結果、非点灯側のディスプレイの有機ELパネル3の各ダイオード $D_a \sim D_n$ と各ダイオード $D_{sa} \sim D_{sn}$ は、順方向にバイアスされてONとなる。このとき、各CMOS出力回路6は、選択信号SEL“L”を受けて出力端子に接続された各スイッチ回路をOFFして前記したようにハイインピーダンス(Hi-Z)に設定する。その結果、走査回路42のローライン Y_o を除く、非点灯側の陰極接続ライン $Y(Y_1, Y_2, \dots Y_i \dots)$ は、すべてHi-Zになる。

この実施例では、ドライバIC4が各ディスプレイに共通のドライバとなっているので、点灯側のディスプレイである有機ELパネル2の駆動電流が非点灯側のディスプレイである有機ELパネル3のカラムラインに加えられることになる。しかし、その電流は、各ダイオード $D_a \sim D_n$ と、各ダイオード $D_{sa} \sim D_{sn}$ 、定電圧源6cとを介してグランドGNDへと流れ、他のカラムラインに戻ることはない。また、それは、微少なものである。その結果、点灯側の有機ELパネル2において黒レベルに設定され、駆動電流が出力されないカラムラインは、駆動電流が出力されている他のカラムラインから駆動電流の一部が回り込むことがなくなる。

[0025] ここで、非点灯側のカラムライン X_i について考えてみると、図5に示すように、ダイオード D_i の寄生容量 C_i がダイオード D_{si} の寄生容量 C_{si} とOEL素子7の寄生容量 $C_p \times n$ の並列回路に直列に接続されている。なお、 n は、カラムライン X_i に接続されるOEL素子7の個数である。

各ダイオード $D_a \sim D_n$ の寄生容量 C_i は、数pFのオーダーであり、各カラムラインに直列接続となっている。そこで、カラムライン X_i に接続されるOEL素子7の個数が n 個あっても、総合容量は、数pF以下のオーダーに抑えられる。

そこで、駆動電流が回り込んで点灯側のカラムライン、例えば、カラムライン X_i に他のカラムラインの駆動電流が戻る場合には、図5のカラムライン X_i のダイオード D_i の寄生容量 C_i が直列に入った回路に対してこれのOEL素子を介して結合された他のカラムラインのダイオード D_i の寄生容量 C_i がさらに直列に入るコンデンサの直列回路と

なる。その結果、戻りの駆動電流は、カラムラインに直列に挿入されたダイオードDiの寄生容量Ciにより阻止されてほとんど生じない。

その上、ここでは、点灯側のカラムラインの駆動電流の一部は、定電圧源6cを経てグラウンドGNDへとシンクされる。このときの電流量は、定電圧源6cの電圧により決定され、微少な電流が流れるので、点灯側の駆動電流に対する影響はほとんど生じない。なお、定電圧源6cに直列にさらに高抵抗の回路を挿入してもよい。

[0026] なお、この実施例の各ダイオードDsa〜Dsnと、ローラインYo、CMOS出力回路6a、そしてバッファアンプ6bとからなる逆流阻止の放電回路は、必ずしも設ける必要はない。ダイオードDa〜Dnだけでも駆動電流の回り込みが減少し、黒レベルがグレイに押し上げられてもそのレベルはかなり小さくなるので、目で確認できる程度の誤発光を防止することができるからである。そこで、必要に応じて、逆流阻止の放電回路を追加すればよい。

[0027] ところで、タイミングコントロール信号を水平1ラインの走査期間に相当する表示期間と帰線期間に相当するリセット期間(垂直方向の走査切換期間)とを切り分ける信号であるとする、パッシブマトリックス型の有機ELパネルの駆動では、通常、タイミングコントロール信号とリセットコントロール信号とは同じ信号になり、リセットコントロール信号が使用される。そして、リセット信号RSは、通常、帰線期間に相当するリセット期間RTの全部ではなく、その中の一部の期間が割り当てられる。

したがって、有機ELパネル2と有機ELパネル3との切換えとその動作開始は、リセットコントロール信号によることなく、タイミングコントロール信号に応じて行われてもよい。また、リセット信号RSに応じて行われてもよい。後者の場合には、帰線期間に相当するリセット期間の開始からそれぞれに動作を開始させることができる。

ところで、実施例においては、表示を停止させる表示パネルに対応する垂直走査回路の動作の停止を走査動作を停止させることが行っているが、これは、垂直走査回路の動作そのものを停止させてもよいことはもちろんである。

また、実施例では、表示装置1を内蔵した携帯電話等において、表示切換スイッチについて、装置の蓋が閉められたときに装置の蓋により押されて作動し、ONになるスイッチであると説明している。しかし、これは逆に装置の蓋が閉められたときにOFFに

なるスイッチであってもよい。この場合には、実施例で示す選択信号の“H”、“L”の発生は逆になる。

なお、選択信号SELの“H”と“L”は一例であり、インバータ等により容易に論理を逆にすることができるので、これらが逆の論理信号であっても何ら問題なく実施例と同様な選択動作をさせることが可能である。また、表示切換スイッチは、押しボタンのようなスイッチに限定されるものではなく、例えば、装置の蓋を開けたときに光りを受けて検出信号を発生する光学的なセンサを用いたスイッチであってもよい。表示切換を検出する他のセンサであってもよいことはもちろんである。したがって、ここでのスイッチあるいはスイッチ回路にはセンサが含まれる。

さらに、実施例では、メインディスプレイ(有機ELパネル2)とサブディスプレイ(有機ELパネル3)とは、ドライバIC4の各出力ピンに各カラムピンが接続されている例を挙げているが、メインディスプレイについてはさらに他のドライバIC4が設けられていてもよい。

また、実施例において、選択信号に応じて、駆動される(あるいは表示される)第1および第2の有機ELパネルのいずれか一方の垂直走査回路の動作の開始は、駆動が停止される(あるいは表示が停止される)いずれか他方が垂直走査回路の動作を停止した以降のタイミングであることが好ましい。この場合の動作停止は、走査動作の一時的な停止あるいは待機状態に限定されるものではなく、この回路の動作そのものの停止であってもよい。

産業上の利用可能性

- [0028] 以上説明してきたが、実施例では、表示期間に駆動された水平1ラインの出力ピンに対してプリセット電圧 V_z になるように、定電圧リセットを行っているが、このリセット電圧は、グランド電位あるいはそのほかの基準電位であってもよいことはもちろんである。さらに、実施例では、2枚のパッシブマトリックス型の有機ELパネルについて説明しているが、出力ピンでリセットが可能なアクティブマトリックス型有機ELパネルについては、同様にこの発明が適用可能である。この場合には、カラムピンはデータ線に換わり、OEL素子7に換えてピクセル回路が配置され、こピクセル回路に設けられた駆動電流値記憶用のコンデンサを介してピクセル回路のOEL素子を駆動することに

なる。さらに、実施例では、MOSFETトランジスタを主体として構成しているが、バイポーラトランジスタを主体としても構成してもよいことはもちろんである。さらに、実施例のNチャンネル型トランジスタ(あるいはnpn型)は、Pチャンネル型(あるいはpnp型)トランジスタに、Pチャンネル型トランジスタは、Nチャンネル(あるいはnpn型)トランジスタに置き換えることができる。この場合には、電源電圧は、通常は負となり、上流に設けたトランジスタは下流に設けることになる。

図面の簡単な説明

[0029] [図1]図1は、2枚のパッシブマトリックス型の有機ELパネルに対して電流駆動回路を共用した場合のこの発明の有機EL表示装置の一実施例のブロック図である。

[図2]図2は、表示切換時のタイミングチャートである。

[図3]図2は、そのロー側走査回路における表示切換時の表示が停止される有機ELパネルの説明図である。

[図4]図4は、点灯側のディスプレイにおいて黒レベルの表示をするカラムラインの表示輝度がグレイレベルにされる誤発光を防止する実施例の説明図である。

[図5]図5は、図4の実施例における非点灯側カラムラインの負荷インピーダンスの説明図である。

符号の説明

- [0030] 1…有機ELの表示装置、
2, 3…パッシブマトリックス型の有機ELパネル、
4…ドライバIC、
6…CMOS出力回路、5…出力ピン、
5, 5a, 5i, 5n…出力ピン、
6, 6a…CMOS出力回路、
6b…バッファアンプ、6c…定電圧源、
7…OEL素子(OEL素子)、
40, 40a〜40n…出力段電流源、
11…表示切換スイッチ、12…コントロール回路、
12a…ワンショット回路、12b…オア回路、

12c…タイミング信号発生回路、12d…選択信号発生回路、
41, 42…ロー側の走査回路、
43…インバータ、44…リセット回路、
46…D/A変換回路(D/A)、
44a, 44i, 44n, 44x…アナログスイッチ、
45…カレントミラー回路、
Da, Di, Dn…ダイオード、
Y0, Y1, Y2, Yi…陰極接続ライン。

請求の範囲

- [1] 第1および第2の有機ELパネルを有し、選択信号に応じていずれか一方の前記有機ELパネルを選択的に駆動して所定の表示をする有機EL表示装置において、
前記第1および第2の有機EL表示パネルのデータ線あるいはカラムピンに対して共通に接続される出力ピンを有しこの出力ピンからこれに接続されている前記データ線あるいは前記カラムピンに有機EL素子を駆動するための駆動電流をそれぞれ出力する多数の電流駆動回路と、
前記出力ピンに接続され、リセット期間において前記有機EL素子の端子電圧を前記出力ピンを介して所定の電圧にリセットするリセット回路と、
前記第1および第2の有機ELパネルに対応して前記第1および第2の有機ELパネルのロー方向あるいは垂直方向の走査対象となる走査線を走査する第1および第2の走査回路とを備え、
前記リセット期間に前記選択信号に応じて駆動すべき前記第1および第2の有機ELパネルのいずれか一方に対する前記第1および第2の走査回路のいずれか一方を動作させ、残りのいずれか他方の走査回路の走査動作の停止あるいは動作そのものの停止させることで前記一方の有機ELパネルを駆動し前記他方の有機ELパネルの表示を停止させる有機EL表示装置。
- [2] 前記リセット期間は、水平1ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するとを切り分けるタイミングコントロール信号あるいはリセットコントロール信号に応じて決定され、前記リセット回路は、前記リセット期間において前記タイミングコントロール信号に応じた信号、リセットコントロール信号およびリセット信号のいずれかに応じてリセット動作をする請求項1記載の有機EL表示装置。
- [3] 前記第1および第2の有機ELパネルはパッシブマトリックス型であって、各前記出力ピンは前記第1および第2の有機ELパネルの各カラムピンにそれぞれ接続され、前記第1および第2の有機ELパネルのいずれか一方に対する前記走査回路の走査動作の開始は、前記いずれか他方の前記走査回路の走査動作の停止時点以降あるいは動作そのものを停止させた以降である請求項2記載の有機EL表示装置。
- [4] 前記いずれか他方の走査回路の走査動作の停止あるいは動作そのものの停止は

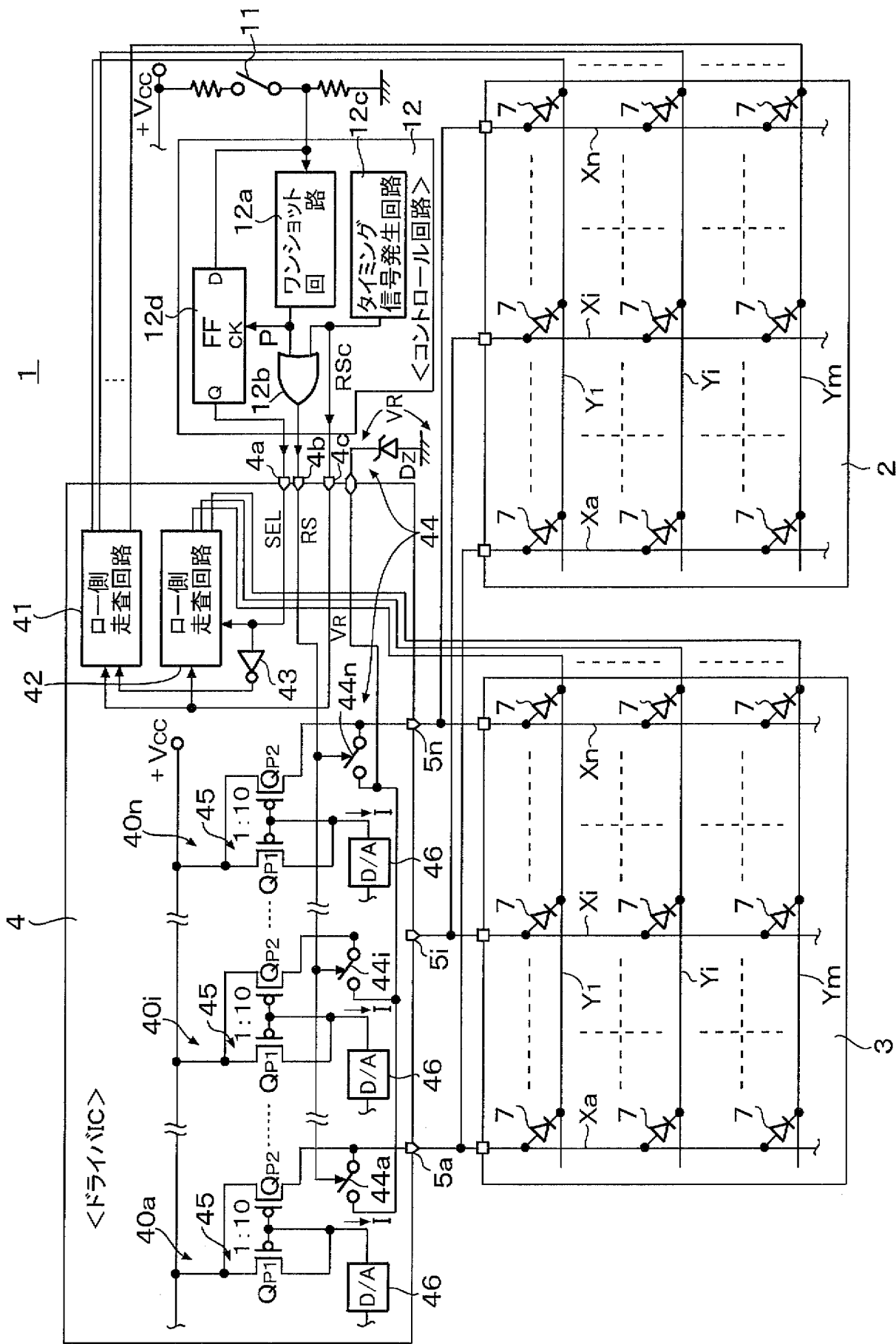
、前記リセット回路による前記有機EL素子の端子電圧のリセット後に行われ、前記他方の有機ELパネルの前記走査線が接続されている前記他方の走査回路のすべての出力端子がハイインピーダンスに設定される請求項3記載の有機EL表示装置。

- [5] この有機EL表示装置を備えた装置の蓋の開閉に応じてON/OFFする作動スイッチを有し、前記第1および第2の有機EL表示パネルの一方がメインディスプレイとされ、いずれか他方がサブディスプレイとされ、前記作動スイッチのON/OFFに応じてON/OFFに応じた前記選択信号が発生する請求項4記載の有機EL表示装置。
- [6] 前記走査線は水平1ラインに対応するものであり、前記作動スイッチは、光学センサからの信号に応じてON/OFFするスイッチであり、前記光学センサが前記ある装置に設けられている請求項5記載の有機EL表示装置。
- [7] 前記第1および第2の有機ELパネルはパッシブマトリックス型のものであり、各前記出力ピンは前記第1および第2の有機ELパネルの各カラムピンにそれぞれ接続され、前記第1および第2の有機ELパネルの各前記カラムピンに接続されるカラムラインと各前記カラムピンとの間にそれぞれ逆流防止の第1のダイオードが設けられている請求項1記載の有機EL表示装置。
- [8] さらに、前記第1および第2の有機ELパネルは、各前記第1のダイオードの陰極側を接続するロー方向の接続ラインをそれぞれ有し、各第1のダイオードの陰極側と前記接続ラインとの間に順方向にそれぞれ挿入された第2のダイオードを各前記第1のダイオードに対応して有し、前記第1および第2の有機ELパネルの各前記接続ラインは、それぞれ第1の電位のラインあるいは第2の電位のラインに選択的に接続され、前記第1の電位は前記第2のダイオードを逆バイアスするものであり、前記第2の電位は前記第2のダイオードを順バイアスするものである請求項7記載の有機EL表示装置。
- [9] 前記第1および第2の有機ELパネルの各前記接続ラインは、それぞれバッファアンプを介して前記第1の電位のラインあるいは前記第2の電位のラインに接続され、前記一方の有機ELパネルの各前記第2のダイオードが前記一方の有機ELパネルの前記第1の電位のラインに接続され、前記いずれかの他方の有機ELパネルの各前記第2のダイオードが前記他方の有機ELパネルの前記第2の電位のラインに接続さ

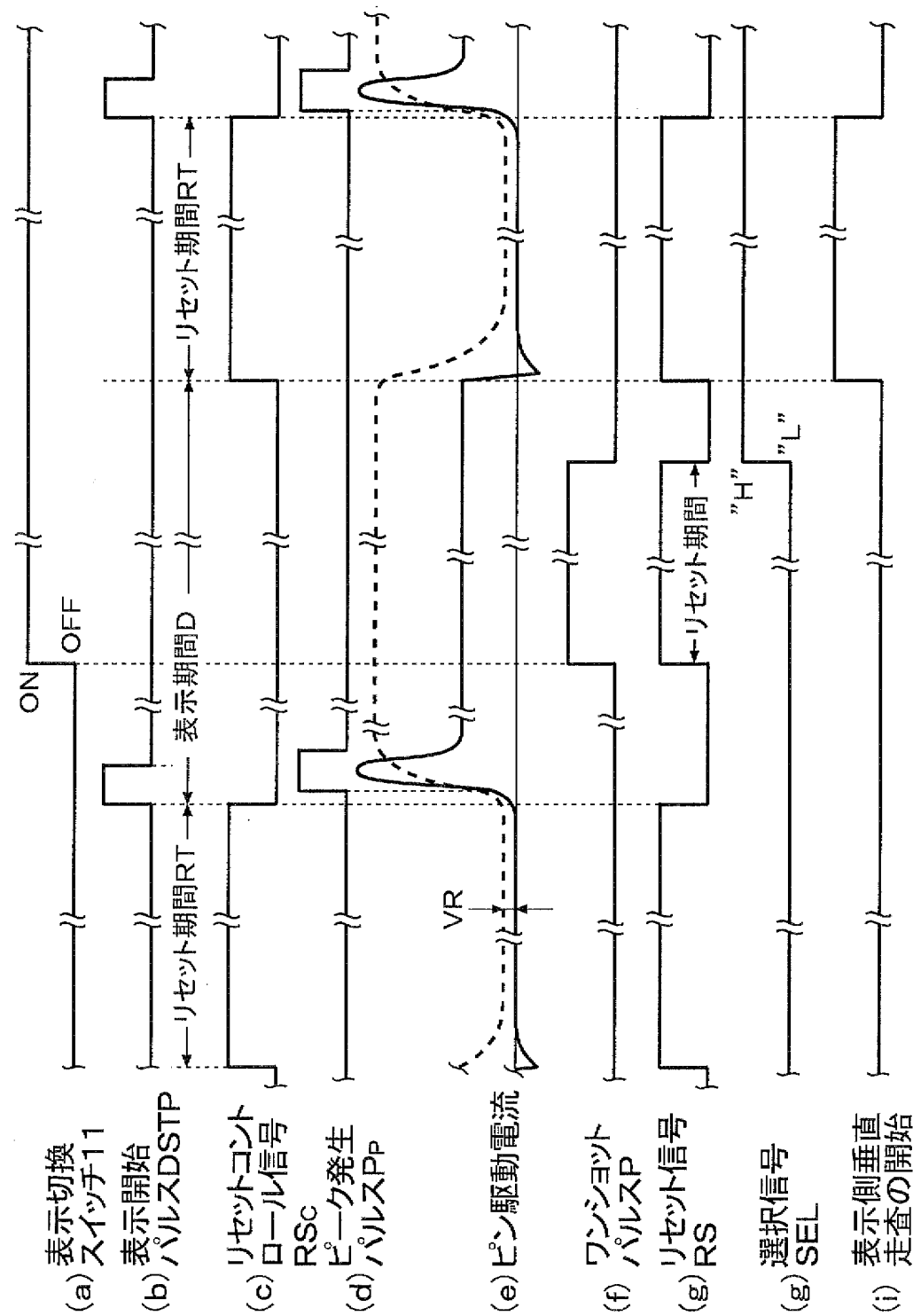
れ、前記他方の有機ELパネルの前記走査線が接続されている前記他方の走査回路のすべての出力端子がハイインピーダンスに設定される請求項8記載の有機EL表示装置。

- [10] 前記第1および第2の電位のラインは、それぞれ各カラムピンに出力する駆動電流により発生する各カラムピンの電圧のうち最低電圧に対して前記第1のダイオードの順方向降下電圧と前記第2のダイオードの順方向降下電圧を加えた分を減算した電圧より低い電圧である請求項9記載の有機EL表示装置。
- [11] 前記第1および第2の有機ELパネルのいずれか一方に対する前記走査回路の走査動作の開始は、前記いずれか他方の前記走査回路の走査動作の停止時点以降あるいは動作そのものを停止させた以降である請求項9記載の有機EL表示装置。
- [12] 前記いずれか他方の走査回路の走査動作の停止あるいは動作そのものの停止は、前記リセット回路による前記有機EL素子の端子電圧のリセット後に行われ、前記他方の有機ELパネルの前記走査線が接続されている前記他方の走査回路のすべての出力端子がハイインピーダンスに設定される請求項11記載の有機EL表示装置。

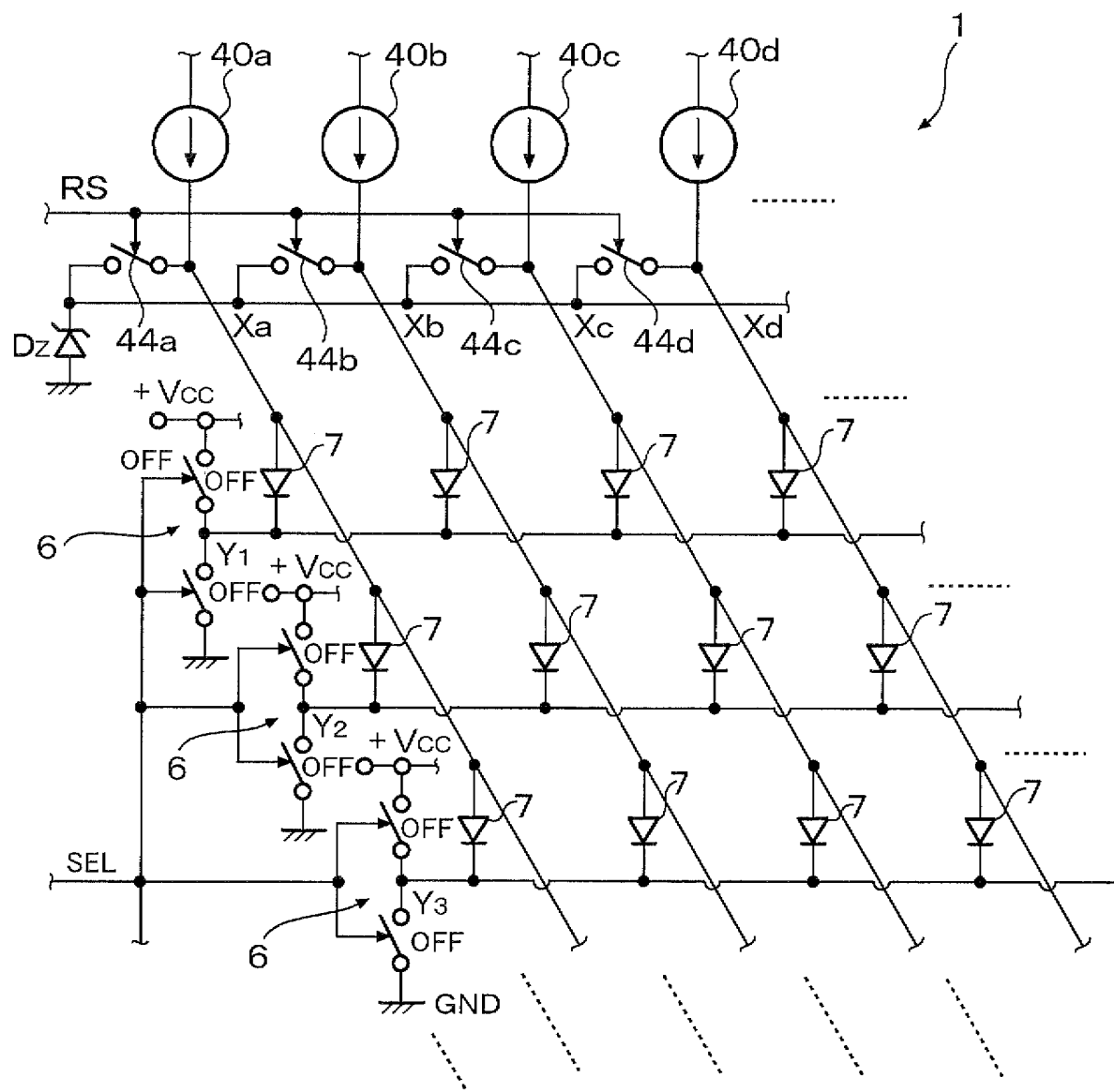
[図1]



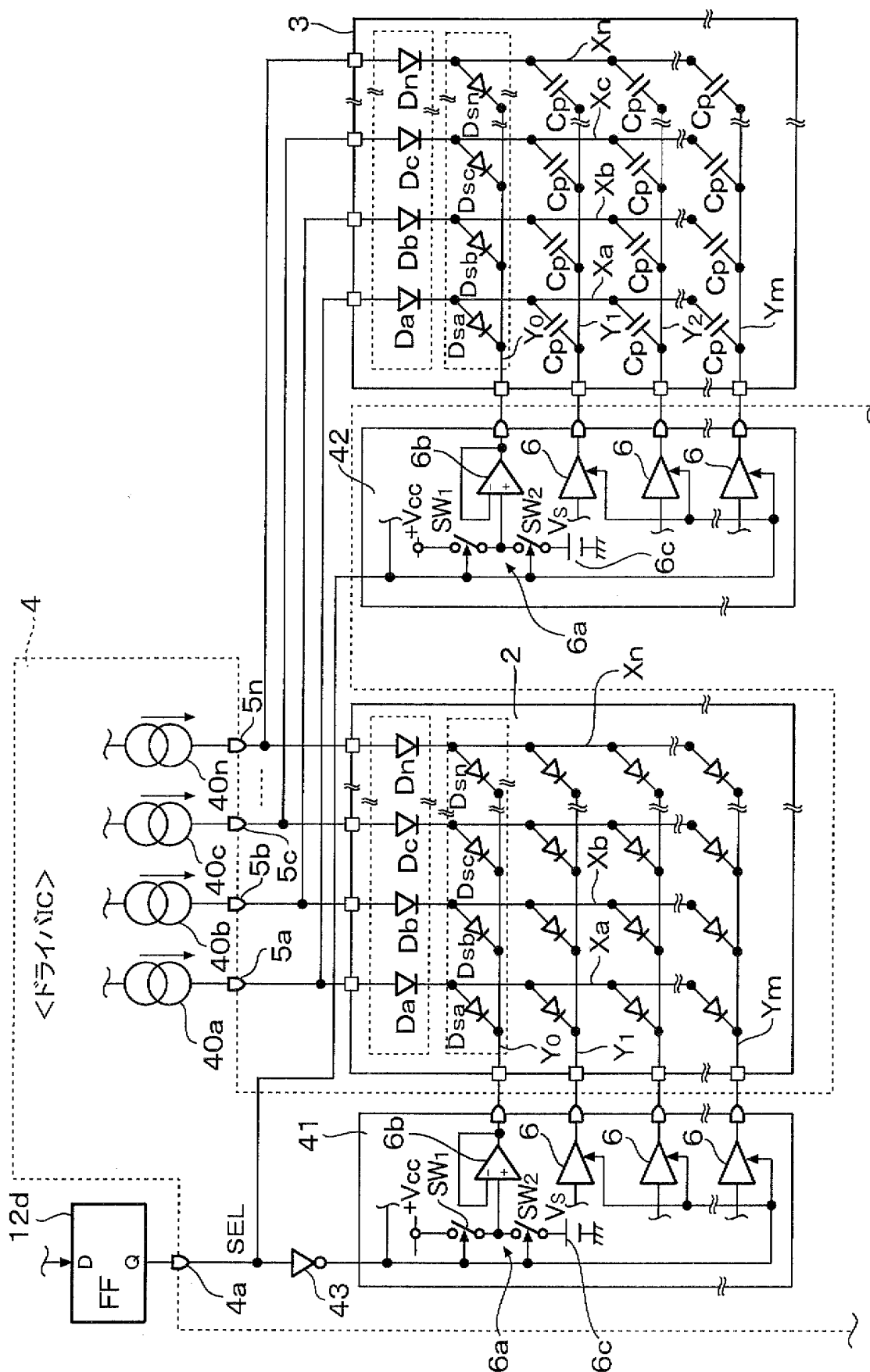
[図2]



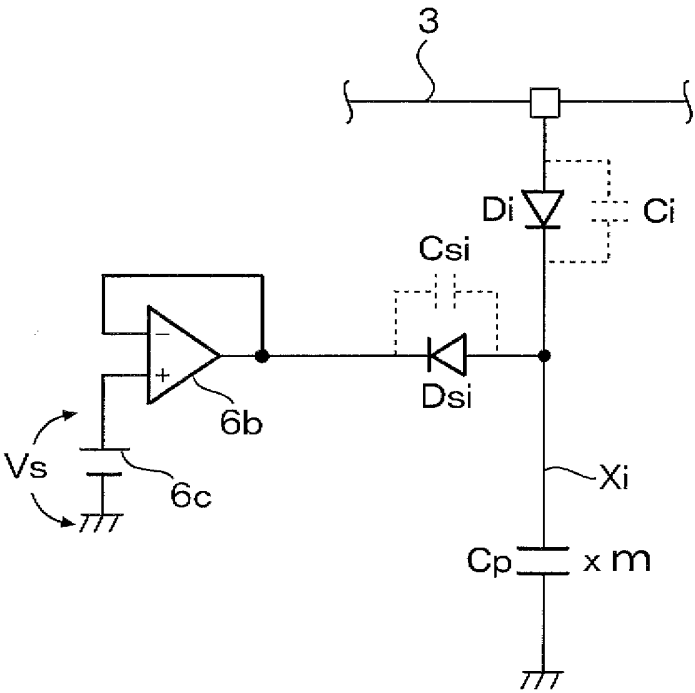
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004113

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/30, 3/20, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-320006 A (NEC Saitama, Ltd.), 31 October, 2002 (31.10.02), Full text; all drawings (Family: none)	1-5 6 7-12
Y	JP 2003-348212 A (NEC Access Technica Kabushiki Kaisha), 05 December, 2003 (05.12.03), Par. No. [0015] (Family: none)	6
P,X P,A	JP 2004-126257 A (NEC Electronics Corp.), 22 April, 2004 (22.04.04), Full text; all drawings & EP 1406240 A2 & US 2004/0169618 A1	1-5 6-12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2005 (06.06.05)Date of mailing of the international search report
21 June, 2005 (21.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004113

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X P, A	JP 2004-109595 A (Meruko Display Technology Kabushiki Kaisha), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-5 6-12
A	JP 2001-326710 A (NEC Corp.), 22 November, 2001 (22.11.01), Full text; all drawings & EP 1156640 A2 & US 2001/0044319 A1	1-12
A	JP 2001-136248 A (Matsushita Electric Industrial Co., Ltd.), 18 May, 2001 (18.05.01), Full text; all drawings & US 6807275 B1	1-12
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 167148/1980 (Laid-open No. 89986/1982) (Ricoh Watch Co., Ltd.), 03 June, 1982 (03.06.82), Full text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/30, 3/20, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/30, 3/20, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2002-320006 A (埼玉日本電気株式会社), 2002.10.31, 全文全図 (ファミリーなし)	1-5 6 7-12
Y	JP 2003-348212 A (NECアクセステクニカ株式会社), 2003.12.05, 段落【0015】 (ファミリーなし)	6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.06.2005

国際調査報告の発送日

21.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

滋本 楨広

2G

9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X P, A	JP 2004-126257 A (NECエレクトロニクス株式会社), 2004. 04. 22, 全文全図 & EP 1406240 A2 & US 2004/0169618 A1	1-5 6-12
P, X P, A	JP 2004-109595 A (メルコ・ディスプレイ・テクノロジー株式会社), 2004. 04. 08, 全文全図 (ファミリーなし)	1-5 6-12
A	JP 2001-326710 A (日本電気株式会社), 2001. 11. 22, 全文全図 & EP 1156640 A2 & US 2001/0044319 A1	1-12
A	JP 2001-136248 A (松下電器産業株式会社), 2001. 05. 18, 全文全図 & US 6807275 B1	1-12
A	日本国実用新案登録出願55-167148号 (日本国実用新案登録出願公開57-89986号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (リコー時計株式会社), 1982. 06. 03, 全文全図 (ファミリーなし)	1-12