



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월29일
(11) 등록번호 10-0860894
(24) 등록일자 2008년09월23일

(51) Int. Cl.

H01J 1/30 (2006.01)

(21) 출원번호 10-2006-0069443

(22) 출원일자 2006년07월25일

심사청구일자 2006년07월25일

(65) 공개번호 10-2007-0013232

(43) 공개일자 2007년01월30일

(30) 우선권주장

JP-P-2005-00214528 2005년07월25일 일본(JP)

(56) 선행기술조사문헌

JP07130280 A

JP09293448 A

JP10055753 A

JP2000251619 A

전체 청구항 수 : 총 19 항

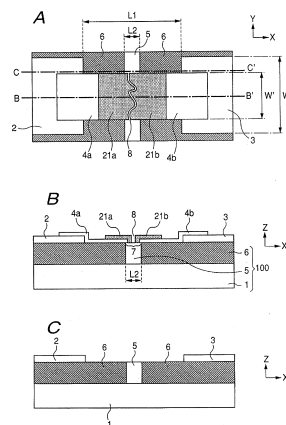
심사관 : 오준철

(54) 전자방출소자, 그것을 이용한 전자원, 화상표시장치 및 정보표시장치, 및 이들의 제조방법

(57) 요약

본 발명은 전자방출소자의 전자방출특성의 불균일이 적고, 전자방출량의 변동이 억제된 전자방출소자를 제공한다. 전자방출소자는 산화 실리콘을 함유한 제 1부분과 제 1부분과 나란히 배치되고 높은 열전도율을 가지는 제 2부분을 구비한 기체(基體)와, 기체 상에 배치되고 그 내부에 갭을 포함한 도전성막을 포함하고, 제 1 및 제 2부분이 도전성막 보다 고저항이고, 갭을 제 1부분 위에 배치하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

기체(基體)와, 상기 기체상에 배치되고 갭(gap)을 구비한 도전성막을 포함한 전자방출소자로서,
 상기 기체는, 산화 실리콘을 포함한 제 1부분과 상기 제 1부분과 병행하여 배치되고 상기 제 1부분보다 높은 열전도율을 가지는 제 2부분을 적어도 포함하고,
 상기 제 1 및 제 2부분은, 상기 도전성막보다 높은 저항을 가지며,
 상기 도전성막은, 상기 제 1 및 제 2부분 위에 배치되고,
 상기 갭은, 상기 제 1부분 위에 형성되어 있는 것을 특징으로 하는 전자방출소자.

청구항 2

제 1항에 있어서,
 상기 제 2부분은, 상기 제 1부분을 사이에 끼워두도록, 상기 제 1부분의 양쪽에 병행하여 배치되어 있는 것을 특징으로 하는 전자방출소자.

청구항 3

제 1항에 있어서,
 상기 제 2부분의 열전도율이, 상기 제 1부분의 열전도율의 적어도 4배 이상인 것을 특징으로 하는 전자방출소자.

청구항 4

삭제

청구항 5

제 1항에 있어서,
 상기 도전성막의 시트저항이 $10^2 \Omega / \square$ 내지 $10^7 \Omega / \square$ 인 것을 특징으로 하는 전자방출소자.

청구항 6

제 1항에 있어서,
 상기 제 1부분은 산화 실리콘을 80wt% 내지 100wt% 함유하는 것을 특징으로 하는 전자방출소자.

청구항 7

기체상에 배치된 한 쌍의 전극과, 상기 한 쌍의 전극에 접속되고 일부에 갭을 포함한 도전성막을 구비하는 전자방출소자로서,
 상기 도전성막보다 높은 저항을 가지는 층이 상기 도전성막상에 배치되고, 상기 층은 상기 갭을 노출하는 개구를 포함하고,
 상기 개구아래 위치에서의 상기 기체의 열전도율이, 상기 층의 열전도율보다 낮은 것을 특징으로 하는 전자방출소자.

청구항 8

복수의 전자방출소자를 포함한 전자원으로서,
 각각의 상기 전자방출소자가 제 1항에 기재된 전자방출소자인 것을 특징으로 하는 전자원.

청구항 9

제 8항에 기재된 전자원과, 상기 전자원으로부터 방출된 전자의 조사에 의해 발광하는 발광부재를 포함하는 것을 특징으로 하는 화상표시장치.

청구항 10

수신된 방송 신호에 포함되는 영상정보, 문자정보 및 음성정보 중의 적어도 하나를 출력하는 수신기, 및 상기 수신기에 접속된 화상표시장치를 적어도 포함하는 정보표시장치로서,

상기 화상표시장치가 제 9항에 기재된 화상표시장치인 것을 특징으로 하는 정보표시장치.

청구항 11

일부에 갭을 포함한 도전성막을 구비한 전자방출소자의 제조방법으로서,

제 1부분과 상기 제 1부분과 병행하여 설치되고 상기 제 1부분보다 높은 열전도율을 가지는 제 2부분을 적어도 포함하고, 상기 제 1 및 제 2부분보다 낮은 저항을 가지는 도전성막 아래에 상기 제 1 및 제 2부분이 배치된 기체를 준비하는 제 1 공정과,

상기 도전성막에 전류를 흐르게 함으로써, 도전성막의 일부에서 상기 제 1부분 위에 갭을 형성하는 제 2 공정을 포함하는 전자방출소자의 제조방법.

청구항 12

제 11항에 있어서,

상기 제 2부분은, 상기 제 1부분을 사이에 두도록, 상기 제 1부분의 양쪽에 병행하여 배치되어 있는 것을 특징으로 하는 전자방출소자의 제조방법.

청구항 13

제 11항에 있어서,

상기 제 2부분의 열전도율이, 상기 제 1부분의 열전도율의 4배 이상인 것을 특징으로 하는 전자방출소자의 제조방법.

청구항 14

삭제

청구항 15

제 11항에 있어서,

상기 제 1 공정에 있어서, 상기 도전성막의 시트저항이 $10^2 \Omega / \square$ 내지 $10^7 \Omega / \square$ 의 범위내인 것을 특징으로 하는 전자방출소자의 제조방법.

청구항 16

제 11항에 있어서,

상기 제 1부분은 산화 실리콘을 80wt% 내지 100wt% 함유하는 것을 특징으로 하는 전자방출소자의 제조방법.

청구항 17

기체상에 배치된 한 쌍의 전극과, 상기 한 쌍의 전극에 접속되고 일부에 갭을 포함한 도전성막을 포함하는 전자방출소자의 제조방법으로서,

(A) 한 쌍의 전극과, (B) 상기 한 쌍의 전극 간을 접속하는 도전성막과, (C) 상기 한 쌍의 전극 간에 위치되어 상기 도전성막의 일부를 노출하는 개구를 포함하고, 상기 도전성막상에 배치되어 상기 도전성막보다 높은 저항을 가지는 층을 구비한 기체를 준비하는 공정과;

상기 도전성막에 상기 한 쌍의 전극을 통해서 전류를 흐르게 함으로써, 상기 도전성막의 일부에 있어서 상기 개

구 아래에 갭을 형성하는 공정

을 포함하고,

상기 기체의 상기 개구 아래에 위치하는 부분의 열전도율이 상기 층의 열전도율보다 낮은 것을 특징으로 하는 전자방출소자의 제조방법.

청구항 18

복수의 전자방출소자를 포함하는 전자원의 제조방법으로서,

상기 복수의 전자방출소자의 각각이 제 11항에 기재된 제조방법에 의해 제조되는 것을 특징으로 하는 전자원의 제조방법.

청구항 19

전자원과, 상기 전자원으로부터 방출되는 전자의 조사에 의해 발광하는 발광 부재를 구비한 화상표시장치의 제조방법으로서,

상기 전자원이 제 18항에 기재된 제조방법에 의해 제조되는 것을 특징으로 하는 화상표시장치의 제조방법.

청구항 20

절연기체와; 기체상에 공간을 두고 서로 대향하여 배치된 제 1 및 제 2전극과; 기체 상에 제 1전극과 제 2전극 사이에 걸쳐있고, 한쪽 단부가 제 1전극에 접속되고, 다른쪽 단부가 제 2전극에 접속되고, 제 1전극과 제 2전극 사이의 위치에 있어서 갭을 포함하고 있는 도전성막과; 갭 위에 배치되고, 제 1전극과 제 2전극 사이에 전압을 인가할 때에 방출된 전자가 향하게 되는 애노드를 포함하는 전자방출소자로서,

상기 절연기체는, 도전막의 갭 하부에 제 1절연재의 제 1부분과, 제 1전극과 제 2전극 사이 및 제 1부분에 인접한 제 2절연재의 제 2부분을 포함하고,

제 1절연재의 열팽창률은 제 2절연재의 열팽창률보다 작고, 제 2절연재의 열전도율은 제 1절연재의 열전도율보다 큰 것을 특징으로 하는 전자방출소자.

청구항 21

제 20항에 있어서,

제 2절연재의 열전도율은 제 1절연재의 열전도율의 적어도 4배 이상인 것을 특징으로 하는 전자방출소자.

청구항 22

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<34> 본 발명은 전자방출소자 및 그것을 이용한 전자원 및 화상표시장치에 관한 것이다. 또한, 본 발명은, 텔레비전 방송 등의 방송 신호를 수신하고, 방송신호에 포함되는 영상정보, 문자정보, 음성정보를 표시 및 재생하는 텔레비전 등의 정보표시 재생장치에 관한 것이다.

<35> 도 24A 내지 도 24D를 이용하여 종래의 표면 전도형 전자방출소자의 제조공정을 모식적으로 나타낸다. 우선, 실 질적으로 절연성의 기판(1) 상에 한 쌍의 보조전극(2, 3)을 형성한다(도 24A). 다음에, 한 쌍의 보조전극(2, 3)을 도전성막(4)으로 접속한다(도 24B). 다음에, 한 쌍의 보조전극(2, 3) 간에 전압을 인가함으로써, 도전성막(4)의 일부에 제 1갭(7)을 형성하는 "통전포밍"이라고 불리는 처리를 행한다(도 24C). "통전포밍"처리는, 도전성막(4)에 전류를 흘려서, 그 전류에 의해 발생된 주울열에 의해 도전성막(4)의 일부에 제 1갭(7)을 형성하는

공정이다. 이 "통전포밍"처리에 의해, 제 1갭(7)을 사이에 두어 서로 대향하는 한 쌍의 전극(4a, 4b)이 형성된다. 그리고, 바람직하게는, "활성화"라고 불리는 처리를 행한다. "활성화"처리는, 전형적으로는, 탄소함유가스 분위기 중에서, 한 쌍의 보조전극(2, 3) 간에 전압을 인가하는 공정을 포함한다. 이 처리에 의해, 제 1갭(7) 내의 기관(1) 상 및 제 1갭(7) 근방의 전극(4a, 4b) 상에 도전성막인 카본막(21a, 21b)을 형성한다(도 24D). 이상의 공정에 의해 전자방출소자가 형성된다.

<36> 도 8A는, 상기 "활성화"처리를 실시한 후의 전자방출소자를 모식적으로 나타낸 평면도이다. 도 8B는 도 8A의 B-B' 선을 따른 단면 모식도이며, 도 24D와 기본적으로 동일하다. 도 24A 내지 도 24D에서, 도 8A 및 도 8B에서 이용한 번호와 같은 번호를 부여한 부재는 동일한 부재를 나타낸다. 상기 전자방출소자로부터 전자를 방출시키는 경우, 보조전극(2 및 3)의 한 쪽에 인가하는 전위를 다른 쪽에 인가하는 전위보다 높게 한다. 이와 같이 보조전극(2)과 보조전극(3)에 전압을 인가함으로써, 제 2갭(8)에 강한 전계가 발생된다. 그 결과, 저전위측의 보조전극(2 또는 3)에 접속되는 카본막(21a 또는 21b)의 가장자리 단부인, 제 2갭의 외부 가장자리를 구성하는 부분의 다수의 개소(복수의 전자 방출부)로부터 전자가 방출된다고 생각되고 있다.

<37> 일본국 특개평 7-201274호 공보, 동 특개평 4-132138호 공보, 동 특개평 1-279557호 공보, 동 특개평 2-247940호 공보 및 동 특개평 8-96699호 공보에는, 보조전극(2, 3)의 형상이나 도전성막(4)의 형상을 제어하는 것 등에 의해, 갭의 위치를 제어하는 기술이 개시되어 있다.

<38> 이러한 복수개의 전자방출소자가 내부에 배치되는 것으로 구성된 전자원을 구비한 기관과 형광체 등으로부터 형성되는 발광체막을 구비한 기관을 대향시키고, 기관 사이의 공간을 진공으로 유지함으로써 화상표시장치를 구성할 수 있다.

발명이 이루고자 하는 기술적 과제

<39> <발명의 요약>

<40> 최근의 화상표시장치에 대해서는, 보다 밝은 표시 화상을 균일성 높고, 장기에 걸쳐 안정적으로 표시할 수 있는 것이 요구된다. 따라서, 전자방출소자가 복수개 배치된 전자원을 구비한 화상표시장치에서는, 각각의 전자방출소자가 우수한 전자방출특성을 장기간 안정적으로 유지하는 것이 요구된다. 게다가, 동시에, 각 전자방출소자로부터의 전자방출량(Ie)의 불균일이 적은 것도 요구된다.

<41> 상기 "통전포밍"처리에서, 제 1갭(7)이 형성되는 위치는, 작은 요인에서도 변동해 버리는 경향이 강하다. 즉, "통전포밍"처리 중에 발생하는 주열이 도전성막(4) 어느 부분에 집중하는가에 의해 제 1갭(7)의 위치 및 그 형상이 정해진다.

<42> 도전성막(4)이 질적 및 형상적으로 균일하고, 보조전극(2)과 보조전극(3)이 서로 대칭이면, 도전성막(4)에 발생하는 주열은 균일하게 될 것이다. 따라서, 주위(예를 들면, 보조전극(2, 3))에의 열전도를 고려하면, 주열이 가장 집중하는 위치는, 정확하게 보조전극(2)과 보조전극(3)의 중간이 된다고 생각할 수 있다.

<43> 그러나, 실제로는, 도전성막(4)의 막두께 분포나 보조전극(2, 3)의 형상오차 등이 생긴다. 따라서, 대부분의 경우에, 도 8A에 도시된 바와 같이, 갭(제 1 갭(7) 및 제 2갭(8))은, 보조전극(2)과 보조전극(3) 사이의 영역 내를 크게 사행(蛇行)한다.

<44> 또, 도 8A은, "활성화"처리를 실시한 후의 모식도이기 때문에, 제 1갭(7)의 형상이 그려져 있지 않지만, 거의, 제 2갭(8)과 같은 사행형상이다. 단, 제 1갭(7)의 폭은, 제 2갭(8)의 폭보다 넓다.

<45> 따라서, 갭(제 1갭(7), 제 2갭(8))의 형상이 각각의 전자방출소자가 서로 다르게 된다. 그 결과, 전자방출특성의 불균일(변동)을 초래한다.

<46> 또, 상술한 바와 같이, 한쪽의 카본막(21a) 또는 (21b)의 가장자리 단부의 일부로서, 갭(8)의 외부 가장자리를 구성하는 다수의 개소에서 전계방출이 발생하는(전자가 터널링하는(방출하는)) 것으로 널리 고려되고 있다. 예를 들면, 제 1보조전극(2)의 전위를 제 2보조전극(3)의 전위보다 높게하여 전자방출소자를 구동시켰을 때에는, 제 2보조전극(3)에 제 2전극(4b)을 개재하여 접속되는 제 2카본막(21b)이 이미터로서 간주될 수 있다. 그 결과, 제 2카본막(21b)의 가장자리 단부인, 제 2갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재하게 된다. 즉, 제 2갭(8)에 따라서, 저전위가 인가되는 보조전극(3) 또는 (2)에 접속되는 카본막(21a) 또는 (21b)의 가장자리 단부에, 전자 방출부가 다수 나란하게 있다고 생각되고 있다.

<47> 따라서, 도 8A 등에 도시된 바와 같이, 갭(제 2갭(8), 제 1갭(7))이 사행했을 경우, 보조전극으로부터 각 전자

방출부까지의 실효적인 저항값에 불균일이 생기게 된다. 그 결과, 이와 같은 전자방출소자에서는, 대부분의 경우에, 전자방출량의 "변동"(단시간에 전자방출전류의 변동이 일어나는 현상)이 발생한다.

- <48> 또, 갭(제 2갭(8), 제 1갭(7))의 사행을, 종래 기술로 나타낸 바와 같이 일본국 특개평 7-201274호 공보, 동 특개평 4-132138호 공보, 동 특개평 1-279557호 공보, 동 특개평 2-247940호 공보 및 동 특개평 8-96699호 공보에 개시되는 기술을 이용하여, 저감시킬 수 있다. 그러나, 주된 요인으로서 갭의 사행에 의한 "변동"은 감소시킬 수 있지만, 사행의 원인을 제거하는 것만으로는, 전자방출량의 "변동"을 감소시키기에는 충분하지 않다는 것을 알았다.
- <49> 따라서, 상기 전자방출소자를 다수 배열한 전자원에서는, 상기 갭(7, 8)의 사행 및 전자방출량의 "변동"에 기인한다고 예측되는, 전자방출특성의 불균일이나 전자방출량의 변동이 발생되었다. 또, 상기 전자방출소자를 이용한 화상표시장치에서는, 상기 갭의 사행 및 전자방출량의 "변동"에 기인한다고 예측되는, 휘도 불균일이나 휘도 변동이 생기는 경우가 있었다. 그 때문에, 고정밀도로 양호한 표시화상을 얻는 것이 어려웠다.
- <50> 따라서, 본 발명의 목적은, 상기 문제점을 감안하여, 전자방출특성의 불균일이 적고, 전자방출량의 "변동"이 억제된 전자방출소자를 제공하는 데 있다.
- <51> 또, 동시에, 본 발명의 다른 목적은, 전자방출특성의 불균일이 적고, 전자방출량의 "변동"이 적은 전자방출소자의 간단하고 제어성이 뛰어난 제조방법을 제공하는 데 있다.
- <52> 게다가, 본 발명의 목적은, 또, 전자방출특성의 불균일이 적고, 안정적인 전자방출특성을 가지는 전자원 및 그 제조방법을 제공하는 데 있다. 그리고, 동시에, 휘도의 불균일 및 변화가 적은 화상표시장치 및 그 제조방법을 제공하는 것도 목적으로 한다.

발명의 구성 및 작용

- <53> 따라서, 본 발명은, 상기 과제를 해결하는 것이며, 기체(基體)와, 상기 기체상에 배치되고 갭(gap)을 포함한 도전성막을 포함한 전자방출소자로서, 상기 기체는, 산화 실리콘을 포함한 제 1부분과 상기 제 1부분과 병행하여 배치되고 상기 제 1부분보다 높은 열전도율을 개별적으로 가지는 제 2부분을 적어도 포함하고, 상기 제 1 및 제 2부분은, 개별적으로 상기 도전성막보다 높은 저항을 가지며, 상기 도전성막은, 상기 제 1 및 제 2부분 위에 배치되고, 상기 갭은, 상기 제 1부분 위에 형성되어 있는 것을 특징으로 한다.
- <54> 게다가 본 발명은, "상기 제 2부분은, 상기 제 1부분을 사이에 끼워두도록, 상기 제 1부분의 양쪽에 병행하여 배치되어 있고"; "상기 제 2부분의 열전도율이, 상기 제 1부분의 열전도율의 적어도 4배 이상이며"; "상기 제 1 및 제 2부분을 구성하는 재료의 저항율이, $10^8 \Omega \text{m}$ 이상이고"; "상기 도전성막의 시트저항이 $10^2 \Omega / \square$ 내지 $10^7 \Omega / \square$ 이며"; "상기 제 1부분은 산화 실리콘을 주성분으로 하는 것"을 특징으로 한다.
- <55> 또, 본 발명은, 기체상에 배치된 한 쌍의 전극과, 상기 한 쌍의 전극에 접속되고 갭을 포함한 도전성막을 구비하는 전자방출소자로서, 상기 도전성막보다 높은 저항을 가지는 층이 상기 도전성막상에 배치되고 상기 층은 상기 갭을 노출하는 개구를 포함하고, 상기 개구아래 위치에서의 상기 기체의 열전도율이, 상기 층의 열전도율보다 낮은 것을 특징으로 한다.
- <56> 본 발명은, 또, 복수의 상기 본 발명의 전자방출소자를 구비한 전자원 및 상기 전자원과 발광부재를 포함하는 화상표시장치도 특징으로 하는 것이다.
- <57> 본 발명은, 또, 수신한 방송 신호에 포함되는 영상정보, 문자정보 및 음성정보의 적어도 1개를 출력하는 수신기와 상기 수신기에 접속된 상기 화상표시장치를 적어도 구비한 정보표시 재생장치도 특징으로 하는 것이다.
- <58> 또, 본 발명은, 도전성막의 일부에 갭을 포함한 전자방출소자의 제조방법으로서, 제 1부분과 상기 제 1부분과 병행하여 설치되고 상기 제 1부분보다 높은 열전도율을 가지는 제 2부분을 적어도 포함하고, 상기 제 1 및 제 2부분보다 낮은 저항을 가지는 도전성막 아래에 상기 제 1 및 제 2부분이 배치된 기체를 준비하는 제 1공정과, 상기 도전성막에 전류를 흐르게 함으로써, 도전성막의 일부에서 상기 제 1부분 위에 갭을 형성하는 제 2공정을 포함하는 전자방출소자의 제조방법을 특징으로 한다.
- <59> 또, 상기 발명은, "상기 제 2부분의 열전도율이, 상기 제 1부분의 열전도율의 4배 이상인 것"; "상기 제 1 및 제 2부분을 구성하는 재료의 저항율이 $10^8 \Omega \text{m}$ 이상인 것"; "상기 제 1 공정에 있어서, 상기 도전성막의 시트저항이 $10^2 \Omega / \square$ 내지 $10^7 \Omega / \square$ 의 범위내인 것"; 상기 제 1부분은 산화 실리콘을 주성분으로 하는 것도 특징으로

한다.

- <60> 또한, 본 발명은, 기체상에 배치된 한 쌍의 전극과, 상기 한 쌍의 전극에 접속되고 갭을 포함한 도전성막을 포함하는 전자방출소자의 제조방법으로서, (A) 한 쌍의 전극과, (B) 상기 한 쌍의 전극 간을 접속하는 도전성막과, (C) 상기 한 쌍의 전극 간에 위치되어 상기 도전성막의 일부를 노출하는 개구를 포함하고 상기 도전성막상에 배치되어 상기 도전성막보다 높은 저항을 가지는 층을 구비한 기체를 준비하는 공정과; 상기 도전성막에 상기 한 쌍의 전극을 통해서 전류를 흐르게 함으로써, 상기 도전성막의 일부에 있어서 상기 개구 아래에 갭을 형성하는 공정
- <61> 을 포함하고, 상기 기체의 상기 개구 아래에 위치하는 부분의 열전도율이 상기 층의 열전도율보다 낮은 것을 특징으로 하는 전자방출소자의 제조방법인 것을 특징으로 한다.
- <62> 본 발명은, 또, 복수의 상기 본 발명의 전자방출소자의 제조방법을 이용하여 제조하는 전자원의 제조방법 및 상기 전자원의 제조방법을 이용하여 제조하는, 발광부재를 포함하는 화상표시장치의 제조방법도, 특징으로 하는 것이다.
- <63> 또 다른 측면에 의하면, 본 발명에 의한 전자방출소자는, 절연기체와; 기체상에 공간을 두고 서로 대향하여 배치된 제 1 및 제 2전극과; 기체 상에 제 1전극과 제 2전극 사이에 걸쳐있고, 한쪽 단부가 제 1전극에 접속되고, 다른쪽 단부가 제 2전극에 접속되고, 제 1전극과 제 2전극 사이의 위치에 있어서 갭을 포함하고 있는 도전성막(4)과; 갭 위에 배치되고, 제 1전극과 제 2 전극 사이에 전압을 인가할 때에 방출된 전자가 향하게 되는 애노드(86)를 포함하는 전자방출소자로서,
- <64> 상기 절연기체는, 도전막의 갭 하부에 제 1절연재의 제 1부분과, 제 1전극과 제 2전극 사이 및 제 1부분에 인접한 제 2절연재의 제 2부분을 포함하고,
- <65> 제 1절연재의 열팽창률은 제 2절연재의 열팽창률보다 작고, 제 2절연재의 열전도율은 제 1절연재의 열전도율보다 큰 것을 특징으로 한다.
- <66> 본 실시형태에서는, 제 2절연재의 열전도율은 제 1절연재의 열전도율의 적어도 4배 이상인 것을 특징으로 한다.
- <67> 본 실시형태에서는, 도전성막의 갭의 공간방향 내의 제 1부분의 폭은 제 1전극과 제 2전극 사이의 공간의 반보다 작고, 바람직하게는 제 1전극과 제 2전극 사이의 공간의 1/10보다 작은 것을 특징으로 한다.
- <68> 본 발명에 의하면, "변동"이 적고, 불균일이 적은 양호한 전자방출특성을 장시간 유지할 수 있는 전자방출소자를 실현할 수 있다. 또, 도전성막에 형성되는 동안 갭(제 1갭(7) 및/ 또는 제 2갭(8))의 위치, 형상을 제어할 수 있으므로, 전자방출특성의 불균일이 적은 전자방출소자 및 전자원을 제공할 수 있다. 그 결과, 균일성이 우수하고 휘도변화가 적은 고품위인 표시화상을 표시할 수 있는 화상표시장치 및 정보표시 재생장치를 제공할 수 있다.
- <69> <발명을 실시하기 위한 최선의 형태>
- <70> 이하에, 본 발명에 의한 전자방출소자 및 그 제조방법에 대해 설명하지만, 이하에 나타내는 재료나 값은 일례일 뿐이다. 본 발명의 목적, 효과를 달성할 수 있는 범위내이면, 상기 재료나 수치 등은, 그 응용에 적절하도록, 각종의 재료나 값의 변형예를 채택할 수 있다.
- <71> [제 1실시형태]
- <72> 우선, 본 발명의 전자방출소자의 가장 전형적인 형태예인 제 1실시형태의 기본적인 구성에 대해 도 26A 내지 도 26C를 이용하여 설명한다.
- <73> 도 26A는, 본 실시형태에 있어서의 전형적인 구성을 나타내는 모식적인 평면도이다. 도 26B 및 도 26C는, 각각, 도 26A의 선(B-B'), 선(C-C')을 따라서 취한 단면 모식도이다.
- <74> 도 26A 내지 도 26C에 나타내는 형태의 예에서는, 기체(100)를, 실질적으로 절연성의 기관(1), 제 1부분(5) 및 제 2부분(6)으로 구성한 예를 나타냈다. 제 2부분(6)은, 제 1부분(5)보다 높은 열전도성을 가진다. 이 형태의 예에서는 제 2부분(6)이 2개의 영역으로 나누어 배치하고 있고, 또한, 제 2부분(6)이 제 1부분(5)을 사이에 두도록 배치되어 있다. 제 1 및 제 2부분은 서로 나란히 배치되어 있다.
- <75> 기체(100) 상에는 제 1 보조전극(2)과 제 2보조전극(3)이 간격 L1 만큼 떨어져 배치되어 있다. 제 1 보조전극

(2) 및 제 2보조전극(3)에는 각각 제 1도전성막(30a) 및 제 2도전성막(30b)이 접속되어 있다. 제 1도전성막(30a)과 제 2도전성막(30b)이 갭(8)을 사이에 두어 대향하고 있다. 즉, 갭(8)은 제 1보조전극(2)과 제 2보조전극(3)의 사이에 배치되어 있다. 그리고, 갭(8)이 제 1부분(5)의 바로 윗쪽의 영역내에 배치되어 있다. 제 2갭(8)의 폭(L3)은, 드라이버의 코스트 등을 고려하여 구동전압을 30V이하로 하기 위해서, 또한, 구동시의 예기치 못한 전압변동에 의한 방전을 억제하기 위해서, 전형적으로는 1nm이상 10nm이하의 범위 내로 설정된다.

<76> 또, 도 26A 내지 도 26C에서는, 제 1도전성막(30a)과 제 2도전성막(30b)을 완전하게 분리된 2개의 막으로서 도시한다. 그러나, 갭(8)은 상술한 바와 같이 매우 좁은폭이므로, 갭(8)과 제 1도전성막(30a)과 제 2도전성막(30b)을 총괄하여, "갭을 구비한 도전성막"으로 표현할 수 있다.

<77> 또, 제 1도전성막(30a)과 제 2도전성막(30b)은 지극히 미소한 영역에서 연결되어 있는 경우도 있다. 지극히 미소한 영역은 고저항이므로, 전자방출특성에 대한 그 영역의 영향은 한정적이기 때문에, 그러한 미세영역을 허용할 수 있다. 이와 같은, 제 1도전성막(30a)과 제 2도전성막(30b)이 일부에서 서로 연결된 형태이어도, "갭을 포함한 도전성막"으로 표현할 수 있다.

<78> 또, 도 26A에서는 갭(8)이 특별한 주기성을 가지지 않고 사행하고 있는 예를 도시한다. 그러나, 갭(8)은, 반드시 사행하고 있을 필요는 없다. 직선, 주기성을 가지고 굽어진 선, 원호, 원호와 직선을 조합한 형태 등의 소망한 형태여도 된다.

<79> 여기서, 갭(8)은, 제 1도전성막(30a)의 가장자리 단부와 제 2도전성막(30b)의 가장자리 단부(외부 가장자리)가 서로 대향하도록 구성된다.

<80> 그리고, 한쪽의 도전성막(30a) 또는 (30b)의 가장자리 단부의 일부분인, 갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재한다고 생각된다. 예를 들면, 제 1보조전극(2)의 전위를 제 2보조전극(3)의 전위보다 높도록 제 1보조전극(2) 및 제 2보조전극(3)에 상이한 전위를 인가하여 구동시켰을 때에는, 제 2보조전극(3)에 접속되는 제 2도전성막(30b)이 이미터에 상당한다. 즉, 제 2도전성막(30b)의 가장자리 단부의 일부에 있어서, 갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재하게 된다. 반대로, 제 2보조전극(3)의 전위를 제 1보조전극(2)의 전위보다 높도록 제 1보조전극(2) 및 제 2보조전극(3)에 상이한 전위를 인가하여 구동시켰을 때에는, 제 1보조전극(2)에 접속되는 제 1도전성막(30a)이 전자방출막(이미터)에 상당한다. 즉, 제 1도전성막(30a)의 가장자리 단부의 일부분에 있어서, 갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재하게 된다.

<81> 갭(8)은, FIB(집속 이온빔) 등을 이용하여 나노스케일의 각종 고정밀 가공 방법을 도전성막에 행함으로써 형성될 수도 있다. 그 때문에, 본 발명의 전자방출소자의 갭(8)은, 후술하는 "활성화"처리로 형성하는 것으로 한정되는 것은 아니다.

<82> 또, 도 26A 내지 도 26C에서는, 기관(1)과 그 표면에 분리하여 형성된 제 1부분(5) 및 제 2부분(6)으로, 기체(100)를 구성한 예를 도시한다. 그러나, 제 1부분(5)은, 기관(1)의 일부에서 형성되어도 된다. 또, 도 1에 도시된 바와 같이, 기관(1) 표면에 적층한 다른 부재로 형성되어도 된다. 마찬가지로, 제 2부분(6)은, 기관(1)의 일부로 구성되거나, 또는 기관(1) 표면에 적층한 별도의 부재여도 된다.

<83> 단, 상술한 바와 같이, 제 2부분(6)은 제 1부분(5)보다 열전도성이 높을 필요가 있다. 또, 기관(1) 상에서, 보조전극(2, 3)이나 도전성막(30a, 30b)이 배치되어 있지 않은 영역에는, 제 1부분(5) 및 제 2부분(6)과는 다른 열전도성을 가진 부분이 배치되어 있어도 된다. 그와 같은 영역으로서는, 예를 들면, 제 1보조전극(2)과 제 2보조전극(3) 아래의 영역이나, 제 1보조전극(2)과 제 2보조전극(3)의 사이의 영역을 제외한 영역 등을 들 수 있다.

<84> 이와 같은 구성을 채택함으로써, 전자방출량의 "변동"을 저감할 수 있다. 이 이유는 확실하지 않지만, 아마, 갭(8)의 양쪽에 열전도율이 높은 제 2부분(6)이 존재에 의해, 구동시의 도전성막(30a, 30b)의 온도상승을 억제할 수 있기 때문인 것으로 본 발명자는 생각하고 있다. 이 구성에 의해, 구동중에 있어서의, 도전성막(30a, 30b)의 재료의 확산이나 변형, 또는, 기체(100) 중에 존재하는 불순물 이온 등의 확산이 억제되기 때문인 것으로 본 발명자는 생각하고 있다. 즉, 보조전극(2) 또는 (3)으로부터 각 전자 방출부로 흐르는 전류나 보조전극(2) 또는 (3)으로부터 각 전자 방출부까지의 실효적인 저항값의 불균일이 억제되기 때문인 것으로 본 발명자는 생각하고 있다. 또, 구동시의 갭(8) 부근의 온도상승도 억제되므로, 갭(8) 부근의 기체(100) 표면의 열변형이 억제되고, 그 결과, 갭(8)의 형상 변화도 억제할 수 있다고 생각된다. 그 때문에, 구동시에 갭(8)에 실효적으로 인가되는 전압이 안정하게 되어, 방출전류 I_e (또는 휘도)의 "변동"이 억제되는 것이라고 본 발명자는 생각하고 있다.

- <85> 또한, 여기에서는, 적어도 제 2부분(6)이 도전성막(30a, 30b)에 직접 접촉한 형태를 도시한다. 그러나, 본 발명의 이점을 달성할 수 있는 범위 내이면, 제 2부분(6)과 도전성막(30a, 30b)의 사이에 다른 층이 배치되어 있어도 된다. 또, 본 발명의 이점을 달성할 수 있는 범위 내이면, 제 2부분(6)이 제 2부분(6)의 전체에 걸쳐서 균질일 필요도 없다. 마찬가지로, 본 발명의 이점을 달성할 수 있는 범위 내이면, 제 1부분(5) 위에 다른 층이 배치되어 있거나, 제 1부분(5)이 제 1부분(5)의 전체에 걸쳐서 균질일 필요도 없다.
- <86> 또, 여기서 도시된 도전성막(30a, 30b)은 후술하는 제 2실시형태와 마찬가지로, 카본막(21a, 21b)과 전극(4a, 4b)으로 구성할 수도 있다.
- <87> 도전성막(30a, 30b)의 재료로서는, 금속이나 반도체 등의 도전성재료를 이용할 수 있다. 예를 들면 Pd, Ni, Cr, Au, Ag, Mo, W, Pt, Ti, Al, Cu 등의 금속 또는 그들의 합금, 또는 카본 등을 이용할 수 있다. 특히, 후술하는 "활성화"처리에 의해 형성할 수 있으므로, 도전성막(30a, 30b)은 카본막인 것이 바람직하다. 본 실시 형태에 있어서의 카본막은, 후술하는 제 2실시형태에 설명하는 카본막과 같은 재료와 조성으로 구성된다.
- <88> 도전성막(30a, 30b)은, R_s (시트저항)가 $10^2 \Omega / \square$ 이상 $10^7 \Omega / \square$ 이하의 저항값의 범위 내에서 형성되는 것이 바람직하다. 상기 저항값을 나타내는 막두께로서는, 구체적으로는, 5nm 이상 100nm 이하의 범위 내에 있는 것이 바람직하다. 또한 R_s 는, 두께 t , 폭 w , 길이 l 인 막의 길이 방향으로 측정된 저항 R 을, $R = R_s(l/w)$ 로 설정하였을 때에 나타나는 값이다. 저항율을 ρ 로 놓으면, $R_s = \rho / t$ 이다. 또, 도전성막(30a, 30b)의 폭 W' 는, 바람직하게는 보조전극(2, 3)의 폭 W 보다 작게 설정된다(도 26A 참조). W 를 W' 보다 넓게 설정함으로써, 보조전극(2, 3)으로부터 각 전자 방출부의 거리의 디스퍼션(dispersion)을 저감할 수 있다. W' 의 값에 특히 제한은 없지만, 실용적인 범위로서 10 μ m 이상 500 μ m 이하의 범위 내인 것이 바람직하다.
- <89> 또한, 제 1보조전극(2)과 제 2보조전극(3)의 주요 역할은, 도전성막(30a, 30b)에 전압을 인가하기 위한 단자의 역할이다. 따라서, 갭(8)에 전압을 인가하는 다른 수단이 있으면, 보조전극(2, 3)은 생략할 수도 있다.
- <90> 기판(1)으로서, 석영 유리, 소다라임 유리, 유리 기판에 산화 실리콘(전형적으로는 SiO_2)을 적층한 유리기판, 또는, 알칼리 성분을 줄인 유리기판을 이용할 수 있다.
- <91> 제 1부분(5) 및 제 2부분(6)은, 절연체로 구성되는 것이 바람직하다. 그 이유는, 제 1부분(5)이 실질적인 도전체이면, 갭(8)에 강한 전계를 일으키게 할 수 없게 되어, 최악의 경우, 전자가 방출되지 않기 때문이다. 또, 제 2부분(6)이 높은 도전성을 가지면, "활성화"처리나 구동시에 방전이 일어났을 경우에, 전류가 전자방출부가 파괴될 수 있는 충분한 크기를 가질 가능성이 있다.
- <92> 그 때문에, 제 1부분(5)은 실질적으로 절연체인 것이 중요하다. 그리고, 제 2부분(6)은 도전성막(30a, 30b)보다 도전성이 낮은(전형적으로는 높은 시트 저항값 또는 높은 저항값을 가지는) 것이 중요하다. 제 1부분(5)을 구성하는 재료의 저항율은, 실용적으로는, 제 2부분(6)을 구성하는 재료의 저항율($10^8 \Omega m$ 이상)과 동등하거나 그 이상인 것이 바람직하다. 환언하면, 제 1부분(5)의 저항값(또는 시트저항값)은, 제 2부분(6)의 저항값(또는 시트저항값)과 동등하거나 그 이상인 것이 바람직하다.
- <93> 따라서, 후술하는 두께를 고려하면, 제 1부분(5) 및 제 2부분(6)의 시트저항값은, 구체적으로는, $10^{13} \Omega / \square$ 이상인 것이 바람직하다. 이러한 시트저항값을 실현하기 위해서는, 제 1부분(5) 및 제 2부분(6)은, 실용적으로는 $10^8 \Omega m$ 이상의 비저항을 가지는 재료를 이용하는 것이 바람직하다.
- <94> 제 2부분(6)의 재료로서는, 기판(1) 및 제 1부분(5)보다 열전도율이 높은 재료가 선택된다. 구체적으로는, 질화 실리콘, 알루미늄, 질화 알루미늄, 오산화 탄 탈, 산화 티탄을 이용할 수 있다.
- <95> 또, 제 2부분(6)의 두께(도 26A 내지 도 26C에 있어서의 Z방향의 두께)는, 재료에도 의존하지만, 본 발명의 이점을 위하여, 실효적으로는 10nm 이상이 바람직하고, 100nm 이상인 것이 보다 바람직하다. 또, 이점의 견지에서는 두께의 상한값은 없지만, 프로세스의 안정성이나 기판(1)와의 열응력의 관점에서, 실효적으로는, 10 μ m 이하로 하는 것이 바람직하다.
- <96> 제 1부분(5)은, 후술하는 "활성화"처리로 높은 전자방출특성(특히 높은 전자방출량)을 실현하기 위해서도, 또 구동시의 안정성을 위해서도 산화 실리콘(전형적으로는 SiO_2)을 함유하는 것이 바람직하다. 그리고, 특히, 제 1부분(5)은, 산화 실리콘을 주성분으로 하는 것이 바람직하다. 산화 실리콘을 주성분으로 하는 경우에는, 실용적으로는, 제 1부분(5) 안에 함유되는 산화 실리콘은, 80wt% 이상이고, 바람직하게는 90wt% 이상이다.

- <97> 갭(8)의 폭의 실용적인 범위는, 후술하는 바와 같이, 1nm 내지 10nm이다. 따라서, 구동시에 제 1부분(5)의 변형(열팽창)이 생기면, 갭(8)의 형상에 영향을 받아서 방출전류(Ie)나 소자전류(If)에 있어서의 변동을 유발한다. 산화 실리콘(전형적으로는 SiO_2)은 선열팽창 계수가 매우 작다. 그 때문에, 구동시에 갭(8) 부근이 고온이 되어도, "불규칙한 변동(fluctuation)" 등의, 방출전류(Ie)나 소자전류(If)에 있어서의 변동을 특히 효과적으로 억제할 수 있다. 게다가, 이러한 효과를 재현성 양호하게 발현하기 위해서는, 제 2부분(6)의 열전도율이, 제 1부분(5)의 열전도율의 4배 이상인 것이 바람직하다.
- <98> 제 1보조전극(2)과 제 2보조전극(3)이 대향하는 방향(X방향)에 있어서의 간격 L1 및 각각의 막두께는, 전자방출 소자의 응용 형태등에 의해 적절하게 설계된다. 예를 들면, 후술하는 텔레비전 등의 화상표시장치에 이용하는 경우에는, 해상도에 대응해서 설계된다. 특히, 고품위(HD) TV에서는 고정밀성이 요구되기 때문에, 화소 사이를 작게 할 필요가 있다. 그 때문에, 전자방출소자의 사이즈가 한정되지만, 충분한 휘도를 얻기 위해서는, 충분한 방출전류(Ie)를 얻을 수 있도록 설계된다.
- <99> 제 1보조전극(2)과 제 2보조전극(3)의 X방향(대향될 방향)에 있어서의 간격 L1는, 실용적으로는, $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 설정된다. 간격 L1이 $5\mu\text{m}$ 이상인 이유로서는, $5\mu\text{m}$ 미만인 때에는, 후술하는 "활성화"처리나 구동시에 바람직하지 않거나 또는 예기치 않은 방전이 생겼을 경우에 전자방출소자가 크게 손상되는 경우가 있기 때문이다. 또, 간격 L1이 $100\mu\text{m}$ 이하인 이유로서는, $100\mu\text{m}$ 이상인 때에는 고정밀 고품위(HD) TV에 이용하는 경우에 이러한 보조전극(2, 3)을 설계하기가 어려워지기 때문이다. 보조전극(2, 3)의 막두께는, 실용적으로는 100nm 이상 $10\mu\text{m}$ 이하이다.
- <100> 보조전극(2, 3)의 재료로서는, 금속이나 반도체 등의 도전성재료를 이용할 수 있다. 예를 들면 Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 등의 금속 또는 합금 및 Pd, Ag, Au, RuO_2 , Pd-Ag 등의 금속 또는 금속 산화물 등을 이용할 수 있다.
- <101> 도전성막(30a, 30b)은 보조전극(2, 3)에 비해 얇기 때문에, 보조전극(2, 3)은 개별적으로 도전성막(30a, 30b)보다 충분히 높은 열전도성을 가진다.
- <102> 제 1부분(5)의 X방향에 있어서의 폭 L2는, 간격 L1보다 충분히 작게 설정된다. 전자방출량의 "변동"을 효과적으로 저감 하는데 있어서, L2는 $L1/2$ 이하, 바람직하지는 $L1/10$ 이하인 것이 보다 바람직하다.
- <103> 제 1부분(5)은 갭(8)의 직하에 위치하고, L2의 값은 가능한 한 갭(8)의 폭(도 26A 내지 도 26C의 X방향에 있어서의 폭 L3)에 가까운 것이 바람직하다. 이것은, 도전성막(30a, 30b)과 그 직하에 위치하는 제 2부분(6)과의 접촉면적을 가능한 한 크게 하는 것이 상기한 본 발명의 이점을 달성하기 위해서 바람직하기 때문이다. 그러나, 이러한 상태는 갭(8)의 제작 방법에도 의존하지만, 후술하는 "활성화" 처리를 실시하는 경우와 같이, 갭의 폭(L3)이나 사형형상을 균일하게 형성할 수 없는 경우도 많다.
- <104> 따라서, 실용적으로는, 간격 L2의 값은, 갭(8)의 폭(L3)보다 크게 설정된다. 그리고, 실용적으로는, 패터닝 정밀도 등을 고려해서 간격 L2는 10nm 이상 바람직하게는 20nm 이상으로 설정되는 것이 바람직하다.
- <105> 어쨌든, 상술한 이점을 달성하기 위해서, 갭(8)이 적어도 일부가, 제 1부분(5)의 바로 윗쪽의 영역 내에 위치하고 있을 필요가 있다. 즉, Y방향으로 연장 하는 Z-X단면의 적어도 일부의 Z-X단면에 존재하는 갭(8) 전체가, 제 1부분(5)의 바로 윗쪽의 영역내에 존재할 필요가 있다. 물론, 도 26A 내지 도 26C에 도시된 바와 같이, X-Y평면에 있어서의 갭(8)이 모두 제 1부분(5)의 바로 윗쪽의 영역 내에 위치되는 것이 바람직하다. 그러나, 본 발명의 이점을 달성하기 위한 범위 내이면, 예를 들면, 도 27에 도시된 바와 같이, X-Y평면에 있어서의 갭(8)의 일부가 제 1부분(5)의 바로 윗쪽의 영역 내로부터 그 외부까지 돌출하는 형태를 제외하는 것은 아니다.
- <106> 그 때문에, 실용적으로는, X-Y평면에 있어서의 갭(8)의 80% 이상이 제 1부분(5)의 바로 윗쪽에 위치되는 것이 바람직하다. 또한, 상기 80%의 비율은, X-Y평면에 있어서의 갭(8)의 면적의 80%로 대체할 수 있다. 또, 환언하면, 실용적으로는, 한 쌍의 도전성막(30a 및 30b)의 가장자리 단부의 각각의, X-Y평면에 있어서의 갭(8)을 구성하는 부분의 길이의 80% 이상이, 제 1부분(5)의 바로 윗쪽에 위치되어 있을 필요가 있다.
- <107> 또, 갭(8) 내에 위치하는 기체(100)의 표면(제 1부분(5)의 표면)은, 후술하는 "활성화"처리에 관하여, 오목한 상태인 것이 바람직하다. 이러한 형태의 경우에, 제 1도전성막(30a)과 제 2도전성막(30b)의 연면거리를 길게 유지할 수 있으므로, 연면내압을 향상할 수 있으므로 바람직하다.
- <108> 또한, 제 1부분(5)은, 갭(8)의 직하에 배치되어 있으면, 보조전극(2)과 보조전극(3)의 사이의 중앙에 위치하지

않아도 된다. 또, 제 1부분(5)은, 도 26A에 나타난 예에 대해서는, Y방향으로 직선형상으로 형성한 예를 나타냈지만, 직선형상이 아니어도 된다.

- <109> 도 26C에서는, 제 1보조전극(2)과 제 2보조전극(3)의 사이에 놓이며, 도전성막(30a, 30b)이 제 1보조전극(2)과 제 2보조전극(3)의 사이에 배치되어 있지 않은 영역에서도, 제 2부분(6) 사이에 제 1부분(5)이 놓여있는 경우를 도시하고 있다. 그러나, 본 발명에서는, 이 형태로 한정되는 것은 아니고, 도전성막(30a, 30b)이 제 1보조전극(2)과 제 2보조전극(3)의 사이에 배치되어 있지 않은 영역에는 제 1부분이 없어도 된다. 즉, 제 1보조전극(2)과 제 2보조전극(3) 간에 있어서 기체(100)의 표면으로서, 도전성막(30a, 30b)이 배치되어 있지 않은 영역은 모두, 제 2부분에 의해 차지되는 형태여도 된다.
- <110> 단, 어느 형태에 대해서도, 제 2갭(8)의 직하에는, 제 1부분(5)이 배치되고 있다. 따라서, 제 1갭(7)도 제 1부분(5) 위에 배치되고 있다.
- <111> 또, 본 발명의 전자방출소자는, 각종 변형예를 이용할 수 있다.
- <112> [제 2실시형태]
- <113> 본 발명의 전자방출소자의 변형예인 제 2실시형태의 기본적인 구성에 대해 도 1A 내지 도 1C를 이용해서 설명한다.
- <114> 도 1A는, 본 실시 형태예에 있어서의 전형적인 구성을 나타내는 모식적인 평면도이다. 도 1B 및 도 1C는, 각각, 도 1A의 선(B-B'), 선(C-C')을 따라서 취한 단면 모식도이다. 도 1A 내지 도 1C에서는, 제 1실시형태예로 설명한 부재와 같은 부재에는 같은 번호를 부여한다. 본 실시형태의 예에 있어서의, 간격 L1, 폭 L2, 폭 L3 등의 크기나, 각 부재의 재료 및 크기 등은, 제 1실시 형태에 관하여 이미 설명한 것과 마찬가지로이다.
- <115> 본 실시형태에서는, 제 1실시형태에서의 도전성막(30a, 30b)을 카본막(21a, 21b)과 전극(4a, 4b)으로 대체한 것 이외에는, 제 1실시형태와 마찬가지로이다. 또, 카본막(21a, 21b)은 도전성을 갖추고 있다.
- <116> 본 실시형태에서는, 기체(100) 상에는, 제 1보조전극(2)과 제 2보조전극(3)이 배치되고 있다. 그리고, 제 1보조전극(2)에 제 1전극(4a)이 접속되고 제 2보조전극(3)에 제 2전극(4b)이 접속되어 있다. 또한, 제 1전극(4a)에 제 1카본막(21a)이 접속되고 제 2전극(4b)에 제 2카본막(21b)이 접속되어 있다.
- <117> 또, 제 1전극(4a)과 제 2전극(4b)은, 제 1갭(7)을 사이에 두어 대향하고 있다. 그리고 제 1갭(7)은, 적어도 그 일부(바람직하게는 전체)가 제 1부분(5)의 바로 윗쪽에 배치되어 있다.
- <118> 또, 제 1카본막(21a)과 제 2카본막(21b)은, 제 2갭(8)을 사이에 두어 대향하고 있다. 그리고 제 2갭(8)은, 제 1갭(7)의 안쪽에 배치된다. 즉, 제 1갭(7)의 폭(전극(4a)과 전극(4b)의 간격)은, 제 2갭(8)의 폭(제 1카본막(21a)과 제 2카본막(21b)의 간격)보다 크다.
- <119> 그리고, 본 실시형태에 있어서의 제 2갭(8)이, 제 1실시형태에 있어서의 갭(8)에 대응한다. 그 때문에, 이 형태의 예에서는, 제 2갭(8)이, 제 1카본막(21a)의 가장자리 단부(외부 가장자리)와 제 2카본막(21b)의 가장자리 단부(외부 가장자리)가 서로 대향하여 형성되어 있다.
- <120> 그리고, 한쪽의 카본막(21a 또는 21b)의 가장자리 단부의 일부에 있어서, 제 2갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재한다고 생각된다. 예를 들면, 제 1보조전극(2)의 전위를 제 2보조전극(3)의 전위보다 높게 설정하여 구동시켰을 때에는, 제 2보조전극(3)에 접속하는 제 2카본막(30b)이 이미터에 상당한다. 즉, 제 2카본막(30b)의 가장자리 단부에서, 제 2갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재하게 된다.
- <121> 도 1 내지 도 1C에 도시된 형태의 예에서는, 제 1실시형태에 있어서의 제 1도전성막(30a)을 제 1전극(4a)과 제 1카본막(21a)으로 구성하고 있다. 그리고, 제 2도전성막(30b)을 제 2전극(4b)과 제 2카본막(21a)으로 구성하고 있다. 이와 같은 형태를 채택함으로써, 도전성막(30a, 30b)을, 2가지 기능: 즉, 전자방출막(이미터)으로서 기능하는 카본막(21a, 21b)과 저항체로서 기능하는 전극(4a, 4b)으로 기능을 분리할 수 있다. 즉, 전극(4a, 4b)의 저항값을 제어함으로써, 보조전극(2, 3)으로부터 제 2갭(8)까지의 실효적인 저항값의 대부분을 제어할 수 있다. 그 결과, 제 1카본막(21a)과 제 2카본막(21b)의 사이의 방전을 억제할 수 있고, 또한, "변동"을 한층 더 억제할 수 있다.
- <122> 제 1갭(7)의 폭은, 전형적으로는 10nm이상 1 μ m이하의 범위 내로 설정된다. 또, 제 2갭(8)은, 드라이버의 코스트를 고려해서 구동전압을 40V이하로 하기 위해서 또한, 구동시의 예기치 못한 전압변동에 의한 방전을 억제하기

위해서, 전형적으로는 1nm이상 10nm이하의 범위내로 설정된다.

- <123> 또, 도 1에서는, 제 1카본막(21a)과 제 2카본막(21b)을 완전하게 분리된 2개의 막으로서 도시한다. 그러나, 제 2갭(8)은 상술한 것처럼 매우 좁은 폭이므로, 제 2갭(8)과 제 1카본막(21a)과 제 2카본막(21b)을 총괄하여, "갭을 구비한 도전성막"이라고 표현할 수 있다.
- <124> 또, 제 1카본막(21a)과 제 2카본막(21b)은 지극히 미소한 영역에서 연결되고 있는 경우도 있다. 지극히 미소한 영역은 고저항을 가지기 때문에, 전자방출소자의 전자방출특성에 대한 영향은 한정적이므로 허용할 수 있다. 이와 같은, 제 1카본막(21a)과 제 2카본막(21b)이 일부에서 연결된 형태도, "갭을 구비한 도전성막"이라고 표현할 수 있다.
- <125> 또한, 도 1A에서는 제 2갭(8)이 특별한 주기성을 가지지 않고 사행하고 있는 예를 나타내고 있다. 그러나, 본 실시형태에서, 갭(8)은, 반드시 사행하고 있을 필요는 없다. 직선, 주기성을 가지고 구부러진 선, 원호, 원호와 직선을 조합한 형태 등 소망한 형태이어도 된다.
- <126> 여기서, 제 2갭(8)은, 제 1카본막(21a)의 가장자리 단부(외부 가장자리)와 제 2카본막(21b)의 가장자리 단부(외부 가장자리)가 대향하는 것으로 구성되어 있다.
- <127> 한쪽의 카본막(21a 또는 21b)의 가장자리 단부의 일부에 있어서, 갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재한다고 생각된다. 예를 들면, 제 1보조전극(2)의 전위를 제 2보조전극(3)의 전위보다 높게 되도록 제 1보조전극(2) 및 제 2보조전극(3)에 대해 일부의 전위를 인가하여 전자방출소자를 구동시켰을 때에는, 제 2보조전극(3)에 접속되는 제 2카본막(21b)이 이미터에 상당한다. 즉, 제 2카본막(21b)의 가장자리 단부의 일부에, 갭(8)의 외부 가장자리를 구성하는 부분에 다수의 전자 방출부가 존재하게 된다.
- <128> 제 2갭(8)은, 제 1실시형태와 마찬가지로, 제 2갭(8)의 전체가 제 1부분(5)의 바로 윗쪽에 위치하는 것이 바람직하지만, 실용적으로는, 80%이상인 제 1부분(5)의 바로 윗쪽에 위치되고 있는 것이 바람직하다.
- <129> 제 1갭(7)은, 전자빔 리소그래피나 FIB(집속이온 빔)등의 각종 가공기술을 도전성막에 실시함으로써 형성할 수 있다. 따라서, 본 발명의 전자방출소자의 제 1갭(7)은, 후술하는 "통전포밍"처리에 의해 형성하는 것으로 한정되는 것은 아니다. 또한, 마찬가지로, 제 2갭(8)은, FIB(집속이온 빔)등의 나노스케일의 각종 고정밀 가공 방법을 카본막에 실시함으로써 형성할 수도 있다. 그 때문에, 본 발명의 전자방출소자의 제 2갭(8)은, 후술하는 "활성화"처리에 의해 형성하는 것으로 한정되는 것은 아니다.
- <130> 이와 같은 구성을 채택함으로써, 실시형태 1과 마찬가지로 전자방출량의 "변동"을 저감할 수 있다. 이 이유는 확실하지 않지만, 아마, 제 2갭(8)의 양쪽에 열전도율이 높은 제 2부분(6)의 존재에 의해, 구동시의 전극(4a, 4b)의 온도상승을 억제할 수 있기 때문인 것으로 본 발명자는 생각하고 있다. 이것에 의해, 구동중에 있어서의, 전극(4a, 4b)의 재료의 확산이나 변형, 또는, 기체(100)중에 존재하는 불순물 이온 등의 확산이 억제되기 때문인 것으로 본 발명자는 생각하고 있다.
- <131> 즉, 보조전극(2 또는 3)으로부터 각 전자 방출부에 흐르는 전류나 보조전극(2 또는 3)으로부터 각 전자방출부까지의 실효적인 저항값의 불균일이 억제되기 때문인 것으로 본 발명자는 생각하고 있다. 그 결과로서, 구동시에 제 2갭(8)에 실효적으로 인가되는 전압이 안정하게 되어, 방출전류(Ie)(또는 휘도)의 "불규칙한 변동"이 억제되는 것으로 본 발명자는 생각하고 있다.
- <132> 전극(4a, 4b)의 재료로서는, 금속이나 반도체 등의 도전성재료를 이용할 수 있다. 예를 들면 Pd, Ni, Cr, Au, Ag, Mo, W, Pt, Ti, Al, Cu 등의 금속 또는 그들의 합금 등을 이용할 수 있다. 전극(4a, 4b)의 저항값을 크게 너무 크게 하면, 소망한 전자방출량을 얻을 수 없고, 결과적으로 "불규칙한 변동"을 저감할 수 없게 되는 경우가 있다. 따라서, 전극(4a, 4b)은, 후술하는 "통전포밍"처리를 양호하게 실시하는 경우 등도 고려하여, 시트저항값(Rs)이 $10^2 \Omega / \square$ 이상 $10^7 \Omega / \square$ 이하의 범위내에서 형성되는 것이 바람직하다. 상기 저항값을 나타내는 막두께로서는, 구체적으로는 5nm이상 50nm이하의 범위내에 있는 것이 바람직하다. 또한 Rs는, 두께 t, 폭 w, 길이 l 인 막의 길이방향으로 측정한 저항 R을, $R = Rs(l/w)$ 로 설정하였을 때에 나타나는 값이다. 저항율을 ρ 로 설정하면, $R_s = \rho / t$ 이다. 또한, 전극(4a, 4b)의 폭 W'(도 1 참조)는, 바람직하게는 보조전극(2, 3)의 폭 W보다 작게 설정된다. W를 W'보다 넓게 설정함으로써, 보조전극(2, 3)으로부터 각 전자방출부까지의 거리의 디스퍼션을 저감할 수 있다. W'의 값에 특히 제한은 없지만, 실용적인 범위로서 10 μ m이상 500 μ m이하의 범위내인 것이 바람직하다. 또, 전극(4a, 4b)은 보조전극(2, 3)에 비해 얇기 때문에, 보조전극(2, 3)은 전극(4)에 비해 충분히 높은 열전도성을 가진다.

- <133> 카본막(21a, 21b)은 개별적으로 탄소를 함유한 막으로 구성된다. 그리고, 탄소를 주성분으로 함유하는 막인 것이 바람직하다. 또한, 탄소를 주성분으로 하는 막은, 실용적으로는, 70wt% 이상, 바람직하게는 80wt% 이상의 탄소가 카본막 중에 포함된다. 그리고, 카본막(21a, 21b)은 개별적으로 도전성을 가진다. 또, 카본막(21a, 21b)은, 그래파이트 형상의 탄소를 포함하는 것이 바람직하다. 그래파이트 형상의 탄소는, 완전한 그래파이트의 결정구조를 가지는 것(이른바 HOPG)을 포함한다. 또, 결정립이 20nm정도로 결정구조가 약간 흐트러진 것(PG)을 포함한다. 또, 결정립이 2nm정도가 되어 결정구조의 혼란이 한층 더 커진 것(GC)을 포함한다. 또한, 아몰퍼스 카본 및/또는 아몰퍼스 카본과 그래파이트의 미결정의 혼합물을 가리키는 비정질 카본도 포함한다.
- <134> 즉, 그래파이트 입자간의 입계 등의 층의 혼란이 존재하는 경우에도, 카본막(21a, 21b)으로서 바람직하게 이용할 수 있다.
- <135> 또한, 보조전극(2, 3)은 제 1실시형태에 관하여 설명한 바와 같이, 생략할 수도 있다.
- <136> 기체(100)에 대해서는, 제 1실시형태에서 설명한 것을 채택할 수 있다.
- <137> 제 1부분(5)은, "활성화"처리에서의 높은 전자방출특성(특히는 높은 전자방출량)을 실현하기 위해서도, 또 구동시의 안정성을 위해서도, 산화 실리콘(전형적으로는 SiO_2)을 포함하는 것이 바람직하다. 그리고, 특히, 제 1부분(5)은, 산화 실리콘을 주성분으로 하는 것이 바람직하다. 산화 실리콘을 주성분으로 하는 경우에는, 실용적으로는, 제 1부분(5) 안에 함유되는 산화 실리콘은, 80wt% 이상, 바람직하게는 90wt% 이상이다.
- <138> 제 2갭(8)의 폭은, 1nm 내지 10nm의 나노미터 오더이다. 그 때문에, 구동시에 제 1부분(5)의 변형이 발생하면, 제 2갭(8)의 형상에 영향을 끼쳐서 방출전류(Ie)나 소자전류(If)의 변동을 유발한다. 산화 실리콘(전형적으로는 SiO_2)은 선열팽창 계수가 매우 작다. 따라서, 구동시에 제 2갭(8) 부근이 고온이 되는 경우에도, "불규칙한 변동" 등의, 방출전류(Ie)나 소자전류(If)의 변동을 특히 효과적으로 억제할 수 있다. 또, 이러한 효과를 재현성 좋게 발현하기 위해서는, 제 2부분(6)의 열전도율이, 제 1부분(5)의 열전도율의 4배 이상인 것이 바람직하다.
- <139> 제 1부분(5)은 제 2갭(8)의 직하에 위치하고, L2의 값은 가능한 한 제 2갭(8)의 폭(도 1A 내지 도 1C의 X방향의 폭)에 가까운 것이 바람직하다. 이것은, 전극(4a, 4b)과 그 직하에 위치하는 제 2부분(6)과의 접촉면적을 가능한 한 크게 하는 것이 상기한 본 발명의 이점을 달성하는데 있어서 바람직하기 때문이다. 그러나, 이러한 상태는 갭(8)의 제작방법에도 의존하지만, 후술하는 "활성화"처리를 실시하는 경우 등과 마찬가지로, 그 폭(L3)이나 사행형상을 균일하게 형성할 수 없는 경우도 많다.
- <140> 따라서, 실용적으로는, 간격(L2)의 값은, 제 2갭(8)의 폭보다 크게 설정된다. 그리고, 실용적으로는, 패터닝 정밀도 등을 고려하여 간격(L2)은 10nm이상, 바람직하게는 20nm이상으로 설정되는 것이 바람직하다.
- <141> 어쨌든, 상술한 이점을 달성하기 위해서, 갭(8)의 적어도 일부가, 제 1부분(5)의 바로 윗쪽의 영역 내에 위치할 필요가 있다. 즉, Y방향으로 연장하는 Z-X단면의 적어도 일부의 Z-X단면에 존재하는 갭(8)이, 제 1부분(5)의 바로 윗쪽의 영역 내에 위치할 필요가 있다. 물론, 도 1A 내지 도 1C에 도시된 바와 같이, X-Y평면에 있어서의 갭(8)이 모두 제 1부분(5)의 바로 윗쪽의 영역 내에 위치하고 있는 것이 바람직하다. 그러나, 제 1실시형태에 관하여 설명한 바와 같이, 본 발명의 이점을 달성하는 범위이면, 예를 들면, 도 27에 도시한 바와 같이 X-Y평면에 있어서의 갭(8)의 일부가 제 1부분(5)의 바로 윗쪽의 영역 내로부터 그 외부까지 돌출하는 형태를 제외하는 것은 아니다.
- <142> 그 때문에, 실용적으로는, X-Y평면에 있어서의 갭(8)의 80%이상이 제 1부분(5)의 바로 윗쪽에 위치하고 있는 것이 바람직하다. 또한, 상기 80%는, X-Y평면에 있어서의 갭(8)의 면적의 80%로 대체할 수 있다. 또, 환언하면, 실용적으로는, 한 쌍의 도전성막(30a 및 30b)의 가장자리 단부의 각각의, X-Y평면에 있어서의 갭(8)을 구성하는 부분의 길이의 80% 이상이, 제 1부분(5)의 바로 윗쪽에 위치하고 있다.
- <143> 또한, 제 1부분(5)은, 제 2갭(8)의 직하에 배치되고 있으면, 보조전극(2)과 보조전극(3)의 사이의 중앙에 위치하지 않아도 된다. 또, Y방향으로 직선형상으로 제 1부분(5)을 형성한 예를 도 1A에 나타낸 예에 나타냈지만, 직선형상이 아니어도 된다.
- <144> 도 1C에서는, 전극(4a, 4b)이 제 1보조전극(2)과 제 2보조전극(3)의 사이에 배치되어 있지 않은 영역에서도, 제 2부분(6) 사이에 제 1부분(5)이 놓인 경우를 나타내고 있다. 그러나, 본 발명에서는, 이 형태로 한정되는 것은 아니고, 제 1보조전극(2)과 제 2보조전극(3)의 사이에서 만나며, 전극(4a, 4b)이 배치되어 있지 않은 영역에는 제 1부분이 없어도 된다. 즉, 전극(4a, 4b)이 배치되어 있지 않은 제 1보조전극(2)과 제 2보조전극(3) 사이의

기체(100)의 표면의 영역은 모두, 제 2부분에 의해 차지되는 형태를 채택할 수 있다.

- <145> 단, 어느 형태에서도, 제 2궤(8)의 직하에는, 제 1부분(5)이 배치되어 있다. 따라서, 제 1궤(7)의 적어도 일부는 제 1부분(5) 위에 배치되어 있다.
- <146> [제 3 실시형태]
- <147> 본 발명의 전자방출소자의 변형예인 제 3 실시형태의 기본적인 구성에 대해 도 3A 내지 도 3C를 이용하여 설명한다.
- <148> 도 3A는 모식적인 평면도이다. 도 3B 및 도 3C는, 도 3A의 선(B-B')과 선(C-C')를 따라서 취한 각각의 단면 모식도이다. 도 3에서는, 제 1 실시형태 및 제 2 실시형태에서 설명한 부재와 동일한 부재에는 동일한 번호를 부여한다. 이 형태예에 있어서의, 간격 L1 및 간격 L2의 크기나, 각 부재의 재료나 크기 등은, 제 1 실시형태 및 제 2 실시형태에 관하여 이미 설명한 것과 마찬가지로이다.
- <149> 도 1A 내지 도 1C에 나타난 제 2 실시형태에서는, 제 1부분(5)이 제 2부분(6)사이에 놓여지지만, 도 3A 내지 도 3C에 나타난 본 실시형태에서는, 제 1부분(5)과 제 2부분(6)이 평행하게 설치되어 있다. 그 때문에, 기체(100)의 구조와 기체(100)의 구조의 차이에서 초래하는 제 2궤(8)의 위치가 제 2 실시형태예와 다른 이외에는, 본질적으로 도 1에 나타난 제 2 실시형태와 마찬가지로이다.
- <150> 또, 상술한 "불규칙한 변동"의 억제효과와 동등의 효과가, 도 3에 나타난 형태에서도 얻을 수 있다.
- <151> 단, 도 3A 내지 도 3C에 나타난 형태에서는, 보조전극(2)이 보조전극(3)보다 제 2궤(8)의 부근에 위치하고 있다. 그 때문에, 전자방출소자가 전자를 방출시키려면(구동시), 제 2보조전극(3)의 전위를 제 1보조전극(2)보다 전위가 낮아지도록 전자방출소자를 구동하는 것이 바람직하다.
- <152> 이와 같이 전자방출소자를 구동함으로써, 전위가 낮은 쪽의 보조전극(3)에 접속되는 제 2전극(4b)이 이미터 측이 된다. 그리고, 제 2궤(8)을 구성하는 제 2카본막(21b)의 가장자리 단부에, 전자 방출부가 다수 존재하게 된다. 따라서, 이미터측의 전극(4b)의 직하에는 고저항인 제 2부분(6)을 배치함으로써, 제 1전극(4a) 측을 저전위로 설정하는 것에 비해, 바람직하지 않거나 예기치 않은 방전이 생겼을 경우에도 손상을 저감할 수 있다.
- <153> 도 3C에서는, 제 1보조전극(2)과 제 2보조전극(3)의 사이에, 전극(4a, 4b)이 배치되어 있지 않은 영역에서도, 제 2부분(6)과 제 1부분(5)이 평행하게 설치된 예를 나타내고 있다. 또, 보조전극(2, 3)이나 전극(4a, 4b)이 배치되어 있지 않은 영역에는, 제 1부분(5) 및 제 2부분(6)과는 다른 열전도성을 가진 부분이 배치되어 있어도 된다. 또, 보조전극(2)과 보조전극(3)의 사이에서, 전극(4a, 4b) 및 카본막(21a, 21b)이 배치되어 있지 않은 영역에는 제 1부분(5)이 없어도 된다. 즉, 보조전극(2)과 보조전극(3) 간에 있어서의 기체(100)의 표면에서, 전극(4a, 4b)이 배치되어 있지 않은 영역은 모두, 제 2부분(6)에 의해 차지할 수 있는 형태이기도 하다. 단, 어느 형태에서도, 제 2궤(8)의 직하에는, 제 1부분(5)이 배치되어 있다. 따라서, 제 1궤(7)도 제 1부분(5) 위에 배치되어 있다.
- <154> 또, 본 실시형태에서 도시된 기체(100)의 구조는, 제 1 실시형태의 기체(100)의 구조에도 적용할 수 있다. 즉, 그 경우에는, 도 3A 내지 도 3C에 도시된 제 1전극(4a)과 제 1카본막(21a)이 제 1도전성막(30a)으로 대체되고, 제 2전극(4b)과 제 2카본막(21b)이 제 2도전성막(30b)으로 대체된다.
- <155> [제 4 실시형태]
- <156> 본 발명의 전자방출소자의 변형예인 제 4 실시형태의 기본적인 구성에 대해 도 4A 내지 도 4C를 이용하여 설명한다.
- <157> 도 4A 내지 도 4C에서, 제 1 내지 제 3 실시형태에 관해서 설명한 부재와 같은 부재에는 동일한 번호를 부여한다. 이 형태예에서의, 간격 L1 및 간격 L2 등의 크기나, 각 부재의 재료나 크기 등은, 제 1 내지 제 3 실시형태에서 이미 설명한 것과 마찬가지로이다.
- <158> 도 4A는 모식적인 평면도이며, 도 4B 및 도 4C는 도 4A의 선(B-B')과 선(C-C')을 따라서 취한 각각의 단면 모식도이다.
- <159> 이 변형예에는, 도 4B에 도시된 바와 같이, 전극(4a, 4b) 상에, 제 2궤(8)이 노출되는 개구를 구비한 제 2부분(6)이 배치되어 있다. 도 1A 내지 도 1C 및 도 3A 내지 도 3C에 도시된 형태에서는, 제 1부분(5) 및 제 2부분(6)이 전극(4a, 4b)의 아래 쪽에 배치되어 있는 경우를 나타냈지만, 본 실시형태에서는, 전극(4a, 4b)의 위쪽에

배치되어 있다. 또한, 본 변형예에서 개구는, 상기 제 1부분(5)에 상당한다. 본 발명의 전자방출소자는 진공중에서 구동되기 때문에, 본 변형예에서는, 제 1부분(5)이 진공이 된다.

<160> 이 형태의 예에서는, 제 2실시형태예와 같이 카본막(21a, 21b)을 이용하는 경우에는, 도 4B에 도시된 바와 같이, 제 2부분(6)의 개구부의 측면을 도전성막(21a, 21b)으로 가리는 것이 바람직하다. 제 1실시 형태에 관하여 설명한 바와 같이, 제 2부분(6)은 고저항인 부재이며, 바람직하게는 절연체이다. 그 때문에, 갭(8)으로부터 방출된 전자가, 이 개구를 통과할 때에, 방출된 전자의 일부가 제 2부분(6)에 충돌하여, 제 2부분(6)의 개구내에 충전될 가능성이 있다. 따라서, 개구내의 표면(개구내의 측면)을 도전성을 가지는 도전성막(21a, 21b)으로 피복되는 것이 바람직하다. 이와 같이 피복된 면을 형성함으로써, 개구내의 제 2부분(6)의 표면(측면)에 전자가 충돌해도, 방출된 전자의 빔 궤도에의 영향을 억제할 수 있다. 또, 갭(8)으로부터 방출된 전자의 크기(전자빔의 직경)는, 개구에 의해 규정할 수 있다. 그 때문에, 상술한 "불규칙한 변동"의 억제효과에 더하여 개구의 형상을 제어하는 것만으로, 본 실시형태의 전자방출소자는 고정밀 전자빔을 방출할 수 있다고 하는 효과를 달성한다. 그리고, 본 실시형태의 전자방출소자 이용한 화상표시장치에 대해서는, 고정밀도로 안정된 표시화상을 얻을 수 있다.

<161> [제 5실시형태]

<162> 본 발명의 전자방출소자의 변형예인 제 5실시형태의 기본적인 구성에 대해 도 6A 내지 도 6D를 이용하여 설명한다.

<163> 도 6에서, 제 1 내지 제 4실시형태에서 설명한 부재와 동일한 부재에는 동일한 번호를 부여한다. 이 형태의 예에 있어서, 간격 L1 및 간격 L2 등의 크기나, 각 부재의 재료나 크기 등은, 제 1 내지 제 4실시형태예에 관하여 이미 설명한 것과 마찬가지로이다.

<164> 도 6A 내지 도 6D에 나타난 본 실시 형태에서는, 제 1카본막(21a)과 제 2카본막(21b)이 서로 대향되는 방향을, 기관(1)의 표면에 대해서 교차하도록 배치한 예이다. 보다 구체적으로는, 제 1부분(5)과 제 2부분(6)과 제 1보조전극(2)을 기관(1) 상에 적층한 예이다. 이 형태의 예에서도, 기관(1)과 제 1부분(5)과 제 2부분(6)으로 기체(100)가 구성되어 있다.

<165> 따라서, 제 2갭(8)이, 제 1부분(5)과 제 2부분(6)과 제 1보조전극(2)으로 구성된 적층체의 측면(제 1부분(5)의 측면)에 배치되어 있다. 그 이외는, 본질적으로, 도 1A 내지 도 1C나 도 3A 내지 도 3C에 도시된 제 2 및 제 3 실시형태와 마찬가지로이다. 또, 상술한 "불규칙한 변동"의 억제효과와 동등의 효과가, 도 6A 내지 도 6D에 도시된 형태이어도 얻을 수 있다.

<166> 도 6A는 모식적인 평면도이며, 도 6B는 도 6A의 선(B-B')을 따라서 취한 단면도이다. 도 6C 및 도 6D는, 도 6A의 선(B-B')을 따라서 취한 단면도에 있어서의 다른 예이다.

<167> 본 실시형태에서도, 상술한 도 1에 도시된 바와 같이, 제 1부분(5)은, 제 2부분(6)에 끼워져 배치되고 있어도 된다(도 6B). 즉, 기관(1) 상에, 제 2부분(6), 제 1부분(5), 제 2부분(6), 제 1 보조전극(2)의 차례로 적층된 형태를 채택할 수 있다.

<168> 또, 전술한 도 3A 내지 도 3C에 도시된 형태의 예와 같이, 제 1부분(5)과 제 2부분(6)이 평행하게 형성된 형태의 예를 채택할 수 있다. 즉, 제 1부분(5)이 제 1 보조전극(2)과 제 2부분(6)의 사이에 배치되어 있어도 된다(도 6C). 즉, 기관(1) 상에, 제 2부분(6), 제 1부분(5), 제 1보조전극(2)의 차례로 적층된 형태를 채택 하여도 된다.

<169> 또, 도 6D에 도시된 바와 같이, 제 1보조전극(2)의 단부가, 제 1부분(5)의 단부로부터 떨어져 있어도 된다. 이와 같은 형태에 의해, 제 1보조전극과 제 1카본막(21a)과의 거리, 즉 제 1보조전극과 제 2갭(8)과의 거리를 길게 취할 수 있다. 그 결과, 제 1전극(4a)의 저항값을 제어함으로써, 제 3실시형태에 관하여 이미 설명한 바와 같이, 방전이 발생하는 경우에도, 전자방출부예의 손상을 억제할 수 있다.

<170> 또한, 여기서 도시된 예에서는, 제 2갭(8)이 배치되는, 적층체의 측면이, 기관(1) 표면에 대해서 실질적으로 수직으로 배치되어 있다.

<171> 제 1실시형태예에서는, 제 1도전성막(30a)과 제 2도전성막(30b)이 서로 대향될 방향이 기관(1)의 평면방향(X방향)이다. 또한, 제 2 내지 제 4실시형태에서는, 제 1카본막(21a)과 제 2카본막(21b)이 서로 대향될 방향이 기관(1)의 평면방향(X방향)이다.

- <172> 그러나, 제 1카본막(21a)과 제 2카본막(21b)이 서로 대향될 방향이 기판(1) 표면에 대해서 수직인 것이 전자방출효율(η)을 향상시키는 관점으로부터 바람직하다.
- <173> 본 발명의 전자방출소자에서는, 구동시에 있어서, 도 10을 참조하여 후술하는 바와 같이, 기판(1)의 평면에 대해서 Z방향으로 분리되어 애노드전극(44)이 배치된다.
- <174> 따라서, 본 실시형태와 마찬가지로, 제 1카본막(21a)과 제 2카본막(21b)이 서로 대향될 방향이 애노드전극(44)을 향하고 있으면, 전자방출효율(η)을 높게 할 수 있다.
- <175> 단, 본 실시형태에서, 적층체의 측면이 기판(1)의 표면에 대해 수직으로 한정되는 것은 아니다. 실효적으로는, 적층체의 측면이 기판(1)의 표면에 대해서, 30도 이상 90도 이하의 범위 내로 설정되는 것이 바람직하다.
- <176> 또한, 전자방출효율(η)이란, 전자방출량(Ie)/소자전류(If)로 나타내지는 값이다. 여기서, 전자방출량(Ie)은 애노드전극(44)으로 흐르는 전류이며, 소자전류(If)는 제 1보조전극(2)과 제 2보조전극(3)과의 사이를 흐르는 전류에 의해 규정할 수 있다.
- <177> 전자방출효율(η)을 높게 하기 위해서는, 도 6A 내지 도 6D에 도시된 형태의 예에서, 제 1보조전극(2)의 전위를 제 2보조전극(3)의 전위보다 높게 되도록 설정하여 전자방출소자를 구동하는 것이 바람직하다. 이와 같이 설정함으로써, 갭(8) 부근으로부터 방출될 전자의 방출 방향이 애노드 전극(44)을 향하고 있기 때문에, 소자전류(If)에 대해서, 애노드 전극에 도달하는 전류(전자방출량)를 크게 할 수 있다.
- <178> 이러한 방식으로, 구동시에 있어서, 제 2보조전극(3)의 전위에 비해 제 1보조전극(2)의 전위를 높게 설정하는 경우에는, 제 2부분(6)은 높은 절연성을 가지는 것이 바람직하다. 이와 같은 구동을 실시했을 때에는, 제 3실시형태에 관해서 설명한 바와 같이, 제 2보조전극(3) 측에 접속되는 제 2카본막(21b)이 전자방출체(이미터)가 된다. 그 때문에, 제 2전극(4b)의 직하에 위치하는 제 2부분(6)이 높은 절연성을 가지면, 방전이 발생된 경우에도 전자방출부위의 손상을 억제할 수 있다.
- <179> 게다가, 본 실시형태에 관하여 도시된 기체(100)의 구조는, 제 1실시형태의 기체(100)의 구조에도 적용할 수 있다. 즉, 그 경우는, 도 6A 내지 도 6D에 도시된 제 1전극(4a)과 제 1카본막(21a)이 제 1도전성막(30a)으로 대체되고, 제 2전극(4b)과 제 2카본막(21b)이 제 2도전성막(30b)으로 대체된다.
- <180> 다음에, 본 발명의 전자방출소자의 제조방법에 대해서 설명한다. 이하에 설명하는 본 발명의 제조방법에 의하면, 상술한 제 1 내지 제 5실시형태의 전자방출소자를 형성할 수 있다.
- <181> 또한, 상술한 본 발명의 전자방출소자를 형성하기 위한 제조방법은, 상술한 바와 같이, 이하에 나타내는 "통전포밍"처리 및 "활성화"처리를 이용한 제조방법으로 한정되는 것은 아니다.
- <182> 이하에서는, 제 1갭(7)을 "통전포밍"처리에 의해 형성하는 수법을 나타낸다. 이하의 제조방법에 의하면, "통전포밍"처리에 대해, 제 1갭(7)의 위치 및 형상을 간단하고 쉽게 제어할 수 있다. 그 결과, "활성화"처리를 또 실시함으로써, 제 2갭(8)을 상술한 제 1부분(5)의 바로 윗쪽에 배치할 수 있기 때문에, 전자 방출부의 위치를 제어할 수 있다.
- <183> 이하에서는, 도 1A 내지 도 1C에 도시된 제 2실시형태의 전자방출소자를 "통전포밍"처리 및 "활성화"처리를 이용하여 형성하는 경우의 예에 대해서 설명한다.
- <184> 우선, 종래기술에 관해서 설명한 보조전극(2)과 보조전극(3)을 접속한 도전성에 "통전포밍"처리를 실시할 때의, 제 1갭(7)의 생성과정에 대해서 설명한다.
- <185> 제 1갭(7)이 형성되는 과정의 지극히 초기의 단계에서는, 우선, 전극(4)의 지극히 미소한 일부가, 주울열에 의해, 고저항화(균열이 생성됨)되는 것이라고 생각된다. 또한, 이 단계에서는, 최종적으로 형성되는 제 1갭(7)의 일부가 형성되는 것만이다. 즉, 보조전극(2)과 보조전극(3)이 서로 대향될 방향(X방향)에 대해서 대체로 수직인 방향(Y방향)에 대해, 전극(4a, 4b)의 단부에서 단부까지 갭(7)이 형성되는 것은 아니다. 그리고, 상술한 고저항화(균열의 발생됨)되는 변화에 의해, "통전포밍"에서 인가하는 전압에 기인하는 전극(4a, 4b)을 통하여 흐르는 전류분포가 변화한다. 그 때문에, 이번에는, 전극(4a, 4b)중의 다른 부분에 전류의 집중이 일어나, 그 부분의 고저항화(균열의 발생)가 일어난다고 생각된다. 이러한 고저항화가 연속하여 연쇄적으로 생기는 것에 의해, 고저항화한 부분(균열)이 서로 서서히 연결되어 최종적으로, Y방향으로 존재하는 제 1갭(7)이 형성된다고 생각되고 있다.
- <186> 상기 설명된 것에 의거하여, 제 2실시형태의 전자방출소자를 예로 들어서, 본 발명의 제조방법의 일례를 도 2를

참조하면서 이하에 구체적으로 설명한다. 본 발명의 제조방법은, 예를 들면 이하의 공정(1) 내지 공정(5)에 의해 실시할 수 있다.

- <187> (공정 1)
- <188> 기관(1)을 충분히 세정하고, 포토리소그래피 기술(레지스트 도포, 노광, 현상, 에칭)을 이용하여, 제 1부분(5)을 형성한다. 그 후, 제 2부분을 형성하기 위한 재료를, 진공 증착법, 스퍼터링법, CVD법 등에 의해 퇴적한다. 그 후, 박리제를 이용하여 리프트 오프를 실시하고, 제 2부분(6)이 제 1부분(5)을 사이에 두도록 제 1부분(5)과 제 2부분(6)을 배치한다(도 2A). 따라서, 제 1부분(5)과 제 2부분(6)이 서로 인접된다(제 1부분(5)과 제 2부분(6)이 나란히 배치된다).
- <189> 이때, 제 2부분(6)과 제 1부분(5)의 표면(즉, 기체(100)의 표면)이 실질적으로 평탄하게 되도록 형성하는 것이 바람직하다. 그러나, 후술하는 공정 3에서 형성하는 도전성막(4)의 막두께에 특별한 변화가 없으면, 제 2부분(6)의 표면에 대해서 제 1부분(5)의 표면이 다소 요철형상이 되어도 된다.
- <190> 또, 여기에서는, 제 1부분(5) 및 제 2부분(6)을 기관(1) 상에 형성하는 예를 나타낸다. 그렇지만, 제 1부분(5)과 제 2부분(6)의 한쪽 또는 양쪽 모두가, 기관(1)의 일부에서 형성되어도 된다.
- <191> 기관(1)으로서는, 석영유리, 소다라임 글래스, 유리기관에 스퍼터링 법등 공지의 막형성 방법에 의해 형성한 산화 실리콘(전형적으로는 SiO_2)을 적층한 유리기관, 또는, 알칼리 성분을 줄인 유리기관을 이용할 수 있다. 본 발명에서는, 기관(1)으로서 산화 실리콘(전형적으로는 SiO_2)을 함유한 재료가 바람직하다.
- <192> 제 1부분(5)은, 제 2갭(8)의 직하에 위치한다. 그 때문에, 갭(8)에 있어서, 전자의 양자 역학적인 터널 현상을 효율 좋게 실시하기 위해서, 제 1부분(5)은, 상기 갭 내에서 충분히 높은 절연성을 가지는 것이 필요하다.
- <193> 따라서, 제 1부분(5)은 절연성 재료로 구성되어 있는 것이 바람직하다. 구체적으로는, 제 1부분(5)을 구성하는 재료의 저항율은, 실용적으로는, 제 2부분(6)을 구성하는 재료의 저항율($10^8 \Omega\text{m}$ 이상)과 동등하거나 그 이상인 것이 바람직하다. 또, 시트저항값에 의해 다른 방식으로 표현하면, 제 1부분(5)의 시트저항값은, 제 2부분(6)의 시트저항값($10^{13} \Omega / \square$ 이상)과 동등하거나 그 이상인 것이 바람직하다.
- <194> 그리고, 후술하는 "활성화"처리에 의해 양호한 전자방출특성을 얻는데 있어서, 산화 실리콘(전형적으로는 SiO_2)을 함유한 절연체인 것이 바람직하다. 특히, 제 1부분(5)은, 산화 실리콘을 주성분으로 하는 것이 바람직하다. 산화 실리콘을 주성분으로 하는 경우에는, 실용적으로는, 제 1부분(5) 안에 함유되는 산화 실리콘은, 80wt% 이상, 바람직하게는 90wt% 이상이다.
- <195> 제 2부분(6)에는, 제 1부분(5)보다 높은 열전도성을 나타내는 부재를 이용한다. 구체적으로는, 이러한 열전도율에서 제 1갭(7)의 위치를 제 1부분(5) 상에 높은 확률로 배치할 수 있으므로, 제 2부분(6)의 부재는 제 1부분(5)의 열전도율의 4배 이상인 것이 바람직하다. 또, 제 2부분(6)에는, 후술하는 공정 3에서 형성하는 도전성막(4)보다 고저항인 재료를 이용한다. 공정 3에서 형성되는 도전성막(4)보다 제 2부분(6)이 고저항인 경우에는, 도전성막(4)에 의해 연결될 수 있는 보조전극(2, 3) 간의 저항값이 도전성막(4)의 저항 이하로 떨어지지 않는다. 그 결과, 후술하는 "활성화"처리 시에 방전이 생길 가능성을 낮게 할 수 있다. 또, 방전이 생겼을 경우에도, 제 2부분(6)에 존재하는 전자의 양이 적기 때문에, 방전의 영향을 저감할 수 있다. 또, 구동시의 방출전류(Ie)를 안정시킬 수 있으므로, 화상표시장치에 이용되는 경우, 양호한 화상을 유지할 수 있다.
- <196> 따라서, 제 2부분(6)은 전극(4)보다 고저항이며, 그 재료로서는, 저항율이 $10^8 \Omega\text{m}$ 이상의 재료가 바람직하다. 또, 시트저항값으로 환언하면, 제 2부분(6)의 시트저항은, $10^{13} \Omega / \square$ 이상 이상인 것이 바람직하다.
- <197> 제 2부분(6)을 형성하기 위한 재료로서는, 상술한 바와 같이, 제 1부분(5)의 재료보다 열전도율이 높은 재료가 선택된다. 구체적으로는, 질화 실리콘, 알루미늄, 질화 알루미늄, 오산화 탄탈, 산화 티탄을 이용할 수 있다. 또, 제 2부분(6)을 상술한 재료로 형성하고, 제 1부분(5)을 산화 실리콘을 주성분으로 하는 절연체로 형성하면, 후술하는 "활성화"처리에 의해, 실효적인 전자방출부(제 2갭(8))을 제 1부분(5)의 바로 윗쪽에 배치할 수 있다. 이것은, 후술하는 "활성화"처리가, 산화 실리콘을 포함한 부재상에서 효과적으로 행해지기 때문이다. 본 발명자는 그 이유를 다음과 같이 생각하고 있다. 상기 설명된 제 2부분(6)에 이용되는 재료에 의해서, "활성화" 처리를 실시하는 경우에도, 전자방출특성이 향상되지 않고, 양호한 전자방출특성을 생성하는 제 2갭(8)이 형성되지 않는다. 따라서, 제 1갭(7)의 일부가 제 1부분(5)의 바로 윗쪽으로부터 어긋나는 경우에도, "활성화"처리를 행

함으로써, 전자방출부를 실효적으로 제 1부분(5) 상에 형성할 수 있다.

- <198> 또, 제 2부분(6)의 두께는, 상기 재료의 선택에도 의존하지만, 본 발명의 이점을 위하여, 10nm이상이 바람직하고, 보다 바람직하게는, 100nm이상이다. 또, 두께에 상한은 없지만, 프로세스의 안정성이나 기관(1)과의 열응력의 관계상 10 μ m이하가 바람직하다.
- <199> 제 1궤(7)의 형상의 제어를 실시하는 경우에, 제 1부분(5)의 X방향에 있어서의 폭 L2는, 간격 L1보다 충분히 작게 설정된다. 전자방출량의 "불규칙한 변동"을 효과적으로 저감하기 위하여, 실용적으로는, L2는 L1/2 이하, 바람직하게는 L1/10 이하로 설정된다. 또, 제 1궤(7)의 사행의 범위를 억제하는 효과를 실용적으로 발현하기 위해서는, 제 2부분(6)의 열전도율이, 제 1부분(5)의 열전도율의 4배 이상인 것이 바람직하다.
- <200> (공정 2)
- <201> 다음에, 보조전극(2, 3)을 형성하기 위한 재료를, 진공증착법, 스퍼터링법 등에 의해 퇴적한다. 포토리소그래피 기술 등을 이용하여 패터닝함으로써, 제 1보조전극(2) 및 제 2보조전극(3)을 형성한다(도 2B).
- <202> 이때, 제 1부분(5)과 제 2부분(6)의 경계가 제 1보조전극(2)과 제 2보조전극(3)의 사이에 위치하도록 형성된다. 여기에서는, 제 1부분(5)을 제 2부분(6) 사이에 둔 형태가 이용되므로, 제 1부분(5)과 제 2부분(6)의 2개의 경계가, 제 1보조전극(2)과 제 2보조전극(3)의 사이에 위치하도록 형성된다. 도 3A 내지 도 3C에 도시된 실시형태에서는, 제 1부분(5)과 제 2부분(6)과의 1개의 경계가, 제 1보조전극(2)과 제 2보조전극(3)과의 사이에 위치하도록 형성된다.
- <203> 보조전극(2, 3)의 재료로서는, 금속이나 반도체 등의 도전성재료를 이용할 수 있다. 예를 들면 Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 등의 금속 또는 합금 및 Pd, Ag, Au, RuO₂, Pd-Ag 등의 금속 또는 금속 산화물, 반도체 등을 이용할 수 있다. 보조전극(2, 3)의 막두께나, 간격(L1), 폭(W) 등은, 상술한 제 1 및 제 2실시형태에 관하여 설명된 값을 적절하게 적용할 수 있다.
- <204> (공정 3)
- <205> 이어서, 기관(1)상에 설치된 제 1보조전극(2)과 제 2보조전극(3)의 사이를 접속하는 도전성막(4)을 형성한다(도 2C).
- <206> 도전성막(4)의 제조방법으로서, 예를 들면, 이하의 방법이 채택된다. 즉, 우선, 유기금속용액을 도포하고 건조함으로써, 유기금속막을 형성한다. 그리고, 유기금속막을 가열 소성처리에 의해, 금속막 또는 금속 산화물막 등의 금속 화합물막으로 형성한다. 그 후, 리프트 오프, 에칭 등에 의해 패터닝함으로써 도전성막(4)을 얻는다.
- <207> 도전성막(4)의 재료로서는, 금속이나 반도체 등의 도전성재료를 이용할 수 있다. 예를 들면, Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd 등의 금속 또는 금속화합물(합금이나 금속 산화물 등)을 이용할 수 있다.
- <208> 또한, 여기에서는, 유기금속용액의 도포법에 의거하여 설명했지만, 도전성막(4)의 형성법은 이것에 한정되는 것은 아니다. 예를 들면, 진공 증착법, 스퍼터링법, CVD법, 분산 도포법, 디핑법, 스퍼너법, 잉크젯법 등의 공지의 기술에 의해서 형성할 수도 있다.
- <209> 다음의 공정에서 "통전포밍"처리를 양호하게 실시하기 위해서, 도전성막(4)은, 시트저항(Rs)이 10² Ω / □이상 10⁷ Ω / □이하의 저항값의 범위내에서 형성된다.
- <210> 또한, Rs는, 두께 t, 폭 w 길이 l인 막의 길이 방향으로 측정한 저항 R를, R = Rs(l/w)로 설정한 경우에 나타나는 값이다. 저항율을 ρ 로 설정하면, Rs = ρ / t이다.
- <211> 상기 저항값을 나타내는 막두께로서는, 실용적으로는, 5 nm이상 50nm이하의 범위내에 있다. 또, 도전성막(4)의 폭 W' (도 1 참조)는 보조전극(2, 3)의 폭 W보다 작게 설정된다.
- <212> 또한, 공정 3과 공정 2는 그 순서를 바꿀 수도 있다.
- <213> (공정 4)
- <214> 이어서, "통전포밍"처리를 실시한다. 구체적으로는, 도전성막(4)에 전류를 흐르게 함으로써 실시한다. 도전성막(4)에 전류를 흐르게 하기 위해서는, 구체적으로는, 제 1보조전극(2)과 제 2보조전극(3)의 사이에 전압을 인가함으로써 실시할 수 있다.

- <215> 도전성막(4)에 전류를 흐르게 함으로써, 도전성막(4)의 일부(제 1부분(5) 상)에 제 1갭(7)이 형성된다. 그 결과로서, 제 1갭(7)을 사이에 두어, X방향으로, 제 1전극(4a)과 제 2전극(4b)이 서로 대향되도록 배치된다(도 2D). 또한, 제 1전극(4a)과 제 2전극(4b)은 미소한 부분에서 서로 연결되고 있는 경우도 있다.
- <216> "통전포밍"처리 이후의 처리는, 예를 들면, 도 10에 도시된 진공장치 내에 상기 공정 1 내지 3을 완료한 기체(100)를 배치하고, 내부를 진공으로 한 후에 실시할 수 있다.
- <217> 또한, 도 10에 도시된 측정평가장치는, 도시하지 않은 배기펌프 및 진공계 등의 진공장치에 필요한 기기가 구비되어 있다. 진공장치의 내부는, 소망한 진공하에서 여러 가지의 측정평가를 실시할 수 있게 되어 있다.
- <218> 또한, 배기펌프(도시하지 않음)는, 자기부상 터보펌프, 드라이펌프 등의 오일을 사용하지 않는 고진공장치용과 이온펌프로 등의 초고진공장치계용으로 구비될 수 있다.
- <219> 또, 본 측정평가장치에는, 도시되지 않은 가스도입장치를 부설함으로써, 후술하는 "활성화"처리에 이용하는 탄소함유가스를 소망한 압력으로 진공장치 내에 도입할 수 있다. 또, 진공장치 전체 및 진공장치 내에 배치된 기체(100)는, 도시되지 않은 히터에 의해 가열할 수 있다.
- <220> "통전포밍"처리는, 펄스 파고치가 정전압(일정)인 펄스전압을 제 1보조전극(2)과 제 2보조전극(3) 사이의 틈에 반복적으로 인가함으로써 실시할 수 있다. 또, 펄스 파고치를 서서히 증가시키면서, 펄스전압을 인가함으로써 실시할 수도 있다. 펄스 파고치가 일정한 경우의 펄스파형의 예를 도 11A에 도시한다. 도 11A에서, T1 및 T2는 전압파형의 펄스폭과 펄스간격(휴지시간)이며, T1는 1 μ sec 내지 10msec, T2는 10 μ sec 내지 100msec로 설정할 수 있다. 인가하는 펄스파형 자체는, 삼각파나 구형파(矩形波)를 이용할 수 있다.
- <221> 다음에, 펄스 파고치를 증가시키면서, 펄스전압을 인가하는 경우의 펄스파형의 예를 도 11B에 도시한다. 도 11B에서, T1 및 T2는 전압파형의 펄스폭과 펄스간격(휴지시간)이며, T1는 1 μ sec 내지 10msec, T2는 10 μ sec 내지 100msec로 설정할 수 있다. 인가하는 펄스파형 자체는, 삼각파나 구형파를 이용할 수 있다. 인가하는 펄스전압의 파고치는, 예를 들면 0.1 V스텝씩, 증가시킨다.
- <222> 이상 설명한 예에서는, 제 1보조전극(2)과 제 2보조전극(3)의 사이에 삼각파 펄스를 인가하고 있다. 그러나, 보조전극(2)과 보조전극(3) 사이에 인가하는 파형은 삼각파로 한정되는 것은 아니고, 구형파 등 소망한 파형을 이용해도 된다. 또, 그 파고치 및 펄스폭, 펄스간격 등에 대해서도 상술의 값에 한정되는 것은 아니다. 제 1갭(7)이 양호하게 형성되도록, 전자방출소자의 저항값 등에 따라서, 적절한 값을 선택할 수 있다.
- <223> 다음에, 도 9A 및 도 9B를 이용하여, "통전포밍"처리에서의, 본 발명의 제조방법에 의해, 제 1갭(7)의 형상이 제어되는 이유에 대해 설명한다.
- <224> 종래의 "통전포밍"처리를 실시한 경우의 통전중의 온도분포를 도 9B에 도시한다. 이 경우에는, 주열에 의한 온도분포가 보조전극(2)과 보조전극(3)간에 넓게 된다. 그 결과, 상술한 바와 같이 다양한 불균일성에 의해, 도 8A에 도시된 바와 같이 제 1갭(7)이 크게 사행하는 경우가 있다. 한편, 본 발명의 제조방법에 의해, "통전포밍"처리를 실시한 경우의 통전중의 온도분포는 도 9A와 같이 경사가 가파르게 될 수 있다.
- <225> 본 발명에서는, 제 1부분(5)보다 열전도율이 높은 제 2부분(6)에 열이 확산하기 때문에, 주열에 의한 온도분포는, 종래의 "통전포밍"보다 경사가 가파르게 된다. 상술한 각층의 불균일성이 다소 있어도, 제 1부분(5)의 폭 L2의 바로 윗쪽에 제 1갭(7)을 배치할 수 있다. L2의 폭을 상술한 범위를 너무 크게 어긋나면, 도 25의 제 1갭(7)의 일부가, 제 1부분(5)의 바로 윗쪽에 맞춰지지 않게 되는 경우도 있다. 그러나, 그 경우에서도, 상술한 바와 같이, 제 1부분(5)과 제 2부분(6)의 재료를 선택함으로써, 후술하는 "활성화"처리에 의해, 실효적으로, 제 1부분(5) 상에만 전자방출부를 배치할 수 있다.
- <226> (공정 5)
- <227> 다음에, 바람직하게는, "활성화"처리를 실시한다(도 2(e)).
- <228> "활성화"처리는, 예를 들면, 도 10에 도시된 진공장치 내에 탄소함유가스를 도입하여, 탄소함유가스를 포함한 분위기하에서, 보조전극(2)과 보조전극(3)간에 양극성의 전압을 인가함으로써 실시할 수 있다.
- <229> 이 처리에 의해, 분위기중에 존재하는 탄소함유가스로부터, 카본막(21a, 21b)을 형성할 수 있다. 구체적으로는, 제 1전극(4a)과 제 2전극(4b)의 사이의 기체(100) 상(제 1부분(5) 상) 및 그 부근의 전극(4a, 4b) 상에 카본막(21a, 21b)을 퇴적시킬 수 있다.

- <230> 상기 탄소함유가스로서는 예를 들면 유기물질가스를 이용할 수 있다. 유기물질로서는, 알칸, 알켄, 알킨 등의 지방족탄화수소류; 방향족 탄화수소류; 알코올류; 알데히드류; 케톤류; 아민류; 페놀, 카르본, 설펜산 등의 유기산류 등을 들 수 있다. 구체적으로는, 메탄, 에탄, 프로판 등 C_nH_{2n+2} 의 조성식에 의해 나타내지는 포화탄화수소; 에틸렌, 프로필렌 등 C_nH_{2n} 의 조성식에 의해 나타내지는 불포화탄화수소; 벤젠; 톨루엔; 메타놀; 에탄올; 포름알데히드; 아세트알데히드; 아세톤; 메틸에틸케톤; 메틸아민; 에틸아민; 페놀; 포름산; 아세트산; 프로피온산 등을 사용할 수 있다.
- <231> 또, 진공장치 내의 바람직한 탄소함유가스의 분압은, 전자방출소자의 형태, 진공용기의 형상이나, 이용하는 탄소함유가스의 종류 등에 의해 다르기 때문에, 적절하게 설정된다.
- <232> 상기 "활성화"처리 중에 보조전극(2)과 보조전극(3)간에 인가하는 전압파형으로서, 예를 들면, 도 12A 또는 도 12B에 도시된 펄스파형을 이용할 수도 있다. 인가하는 최대 전압치(절대치)는, 10~25 V의 범위에서 적절하게 선택하는 것이 바람직하다.
- <233> 도 12A에서, T1는, 인가하는 펄스전압의 펄스폭, T2는 펄스간격이다. 이 예에서는, 전압값은 정부의 절대치가 동일한 경우를 나타내고 있지만, 전압값은 양과 음의 절대값이 다른 경우도 있다. 또, 도 12B에서, T1는 양의 전압값의 펄스전압의 펄스폭이며, T1'는 음의 전압값의 펄스전압의 펄스폭이다. T2는 펄스간격이다. 또한, 이 예에서는, $T1 > T1'$ 로 설정하고, 전압값은 양음의 절대값이 동일하게 설정되어 있는 경우를 나타내고 있지만, 전압값은 양음의 절대값이 다른 경우도 있다. "활성화"처리는, 소자전류(I_f)의 상승이 완만하게 된 후에 종료하는 것이 바람직하다.
- <234> 또, 도 12에 도시된 어느 쪽의 파형을 이용하는 경우에도, 소자전류(I_f)의 상승이 완만하게 될 때까지 "활성화"처리를 실시함으로써, 도 2E에 도시된 바와 같이, 기체 표면에 변질부(오목부)(22)를 형성할 수 있다. 본 발명자는 이 변질부(오목부)(22)에 대해서는, 다음과 같이 생각하고 있다.
- <235> 탄소의 부근에 SiO_2 (기체의 재료)가 존재하는 조건하에서 기체의 온도가 상승하면, Si가 소비된다.
- <236> $SiO_2 + C \rightarrow SiO \uparrow + CO \uparrow$
- <237> 이와 같은 반응이 일어나는 것에 의해 기체중의 Si가 소비되어 기체 표면(제 1부분(5)의 표면)이 깎여져서 깎여진 표면을 가지는 형상(오목부)을 형성한다.
- <238> 변질부(오목부)(22)를 가지면, 제 1카본막(21a)과 제 2카본막(21b)의 연면거리를 증가시킬 수 있다. 그 때문에, 제 1카본막(21a)과 제 2카본막(21b)의 사이에 구동시에 인가되는 강한 전류계에 기인한다고 생각되는 방전현상이나, 과잉인 소자전류(I_f)의 발생을 억제할 수 있다.
- <239> "활성화"처리로 형성되는 카본막(21a 및 21b)은, 제 2실시 형태에 관하여 설명한 그래파이트형상의 탄소를 포함한 카본막으로 형성할 수 있다.
- <240> 이상의 공정 1 내지 공정 5에 의해 제작된 전자방출소자는, 구동을 실시하기 전(화상표시장치에 적용하는 경우에는 발광체에 전자선을 조사하기 전)에, 바람직하게는, 진공중에서 가열하는 처리인 "안정화"처리를 실시한다.
- <241> "안정화"처리를 실시함으로써, 상술한 "활성화"처리 등에 의해 기체(100)의 표면이나, 그 외의 개소에 부착한 여분의 탄소나 유기물을 제거하는 것이 바람직하다.
- <242> 구체적으로는, 진공장치 내에서, 여분의 탄소나 유기물질을 배기한다. 진공장치내의 유기물질은 극력 배제하는 것이 바람직하지만, 유기물질의 분압으로서 1×10^{-8} Pa이하까지 제거하는 것이 바람직하다. 또, 유기물질 이외의 다른 가스도 포함한 진공용기 내의 전압력은, 3×10^{-6} Pa이하가 바람직하다.
- <243> "안정화"처리를 실시한 후에, 전자방출소자의 구동시에 분위기는, 상기 "안정화"처리 종료시의 분위기를 유지하는 것이 바람직하지만, 이것에 한정하는 것은 아니다. 유기물질이 충분히 제거되고 있으면, 압력 자체는 다소 상승해도 충분히 안정적인 특성을 유지할 수 있다.
- <244> 이상의 공정에 의해, 본 발명의 전자방출소자를 형성할 수 있다.
- <245> 또한, 도 4A 내지 도 4C에 도시된 실시형태의 전자방출소자는, 예를 들면, 이하와 같이 형성할 수 있다. 일례를 도 5A 내지 도 5E를 이용하여 설명한다.

- <246> 즉, 상기 공정 1에서 설명한 기관(1)으로서 상기한 제 1부분(5)에 해당하는 재료의 기관을 이용하여 그 위에, 상기한 공정 2 및 공정 3에서 마찬가지로의 공정을 실시한다(도 5A 및 도 5B). 다음에, 상기한 제 2부분(6)에 해당하는 재료로부터 형성되는 층(6)을, 도전성막(4)상에 막을 형성한다. 이때, 상기 층의 제 1궤(7)이 제 2부분(6)에 해당하는 재료로부터 이루어지는 개소에, 포토리소그래피 기술 등을 이용하여, 개구를 미리 형성한다(도 5C). 그리고, 상기한 공정 4에서 동일한 공정을 행함으로써, 개구 내에 제 1궤(7)을 형성할 수 있다(도 5D). 계속하여, 공정 5에서 같은 공정을 행함으로써(도 5E), 도 4A 내지 도 4C에 도시된 구성의 전자방출소자를 얻을 수 있다.
- <247> 또, 도 6B에 도시된 실시형태의 전자방출소자는, 예를 들면, 이하와 같이 형성할 수 있다. 일례를 도 7을 이용하여 설명한다.
- <248> 우선, 상기 공정 1에서 설명한 기관(1) 상에, 제 2부분(6)을 구성하는 재료층, 제 1부분(5)을 구성하는 재료층, 제 2부분(6)을 구성하는 재료층을, 이 순서로 적층한다. 이들 층의 각각은, 진공증착법, 스퍼터링법, CVD법 등에 의해 기관(1) 상에 퇴적시킬 수 있다. 다음에, 제 1보조전극(2)을 구성하는 재료층을 제 2부분(6)을 구성하는 재료층 상에 진공증착법, 스퍼터링법, CVD법 등에 의해 퇴적시킨다(도 7A 참조).
- <249> 그 후, 포토리소그래피 기술 등 공지의 패터닝 방법에 의해, 단차 형상을 구비한 적층체를 형성한다(도 7B).
- <250> 다음에, 제 2보조전극(3)을 기관(1) 상에 형성한다(도 7C).
- <251> 계속하여, 적층체의 측면상을 피복하도록, 또한, 제 1보조전극(2)과 제 2보조전극(3)의 사이를 접속하도록, 상술한 공정 3과 마찬가지로, 도전성막(4)을 형성한다(도 7D).
- <252> 그리고, 전술한 공정 4 및 공정 5와 마찬가지로, "통전포밍" 및 "활성화"처리를 실시한다(도 7 E, 도 F).
- <253> 이와 같이, 도 6B에 도시된 실시형태의 전자방출소자를 형성할 수 있다. 또한, 도 6C에 도시된 형태의 예는, 상기 공정에서의 제 2부분(6)을 구성하는 재료로부터 구성되는 층의 한쪽을 생략함으로써, 형성할 수 있다. 또, 도 6D에 도시된 형태의 예는, 도 6C에 나타난 형태의 예의 제작 방법에 제 1보조전극(2)의 단부의 위치를 이동시키는 것을 더 부가하는 것만으로 얻을 수 있으므로, 패터닝 공정을 부가함으로써 문제없이 형성할 수 있다.
- <254> 또한, 여기서 상술한 실시형태의 전자방출소자의 제조방법은 일례일 뿐이며, 이러한 제조방법에 의해 제조된 전자방출소자에 상술한 제 1 내지 제 5실시형태의 전자방출소자는 한정되는 것은 아니다.
- <255> 다음에, 상술한 제 1 내지 제 5실시형태에서 도시된 본 발명의 전자방출소자의 기본특성에 대해서, 도 13을 이용하여 설명한다. 도 10에 도시된 측정평가장치에 의해 측정되는 전류인 본 발명의 전자방출소자의 방출전류(I_e) 및 소자전류(I_f)와 보조전극(2, 3)에 인가되는 소자전압(V_f) 간의 관계의 전형적인 예를 도 13에 도시한다.
- <256> 또한, 도 13은, 방출전류(I_e)는 소자전류(I_f)에 비해 현저하게 작기 때문에, 임의 단위로 도시하고 있다. 도 13으로부터도 명백한 바와 같이, 본 발명의 전자방출소자는 방출전류(I_e)에 대한 3개의 성질을 가진다.
- <257> 제 1은, 본 발명의 전자방출소자는, 특정한 전압(한계전압이라고 칭함; 도 13의 V_{th}) 이상의 소자전압을 인가하면, 급격하게 방출전류(I_e)가 증가한다. 한편, 한계전압 V_{th} 이하에서는 방출전류(I_e)가 거의 검출되지 않는다. 즉, 방출전류(I_e)에 대해 명확한 한계전압 V_{th} 을 가진 비선형소자이다.
- <258> 제 2는, 방출전류(I_e)가 소자전압(V_f)에 의존하기 때문에, 방출전류(I_e)는 소자전압(V_f)로 제어할 수 있다.
- <259> 제 3은, 애노드전극(44)에 포착된 방출전하는, 소자전압(V_f)를 인가하는 시간에 의존한다. 즉, 애노드전극(44)에 포착되는 전하량은, 소자전압(V_f)를 인가하는 시간에 의해 제어할 수 있다.
- <260> 이상의 전자방출소자의 특성을 이용함으로써, 입력신호에 따라 전자방출특성을 용이하게 제어할 수 있게 된다.
- <261> 도 14A 내지 도 14C에, 전자방출소자를 장시간 구동했을 경우의 방출전류(I_e)(또는 휘도)를 도시한다. 도 14A 내지 도 14C에서의 종축 및 횡축은 동일한 스케일로 나타내고 있다.
- <262> 도 8A 및 도 8B에 도시된 종래 예와 같이 제 2궤(8)의 사행이 큰(즉 제 1궤(7)의 사행이 큰) 경우, 도 14A에 도시된 바와 같이, 방출전류(I_e)(또는 휘도)의 변동이 크다.
- <263> 또, 도 14B는, 제 2궤(8)의 사행을 작게 억제하고는 있지만, 기체(100)의 표면 전체를 산화실리콘으로 구성한

전자방출소자에 있어서의 방출전류(Ie)(또는 휘도)의 변화의 상태를 도시하고 있다. 도 14B는, 전형적으로는, 도 1A 내지 도 1C에 도시된 구성에서의 제 1부분(5)과 제 2부분(6)을 단일의 산화실리콘층으로 대체한 형태와 동등한 구성의 경우이다. 이 경우에, 도 14B에 도시된 바와 같이, 방출전류(Ie)(또는 휘도)의 변동은 도 14A의 변동에 비해 다소 개선되지만 충분하지 않다.

<264> 도 14C는, 도 1에 도시된 제 2실시형태의 전자방출소자에 있어서의 방출전류(Ie)(또는 휘도)의 변동의 모습을 도시하고 있다. 또한, 이 특성은, 본 발명의 다른 실시형태의 전자방출소자에 대해서도 마찬가지이다. 제 1부분(5) 상에 있는 제 2의 갭(8) 부근에 있어서 구동시에 생기는 열이, 고열전도 재료를 이용한 제 2부분(6)에 즉시 확산한다고 생각된다. 그 결과로서, 제 1실시형태에서 이미 설명한 바와 같이, 구동시의 제 2갭(8)에 있어서의 국소적인 온도상승 및 도전성막(4a, 4b, 21a, 21b) 자체의 온도상승이 억제된다. 그 때문에 본 발명의 전자방출소자에서는, 방출전류(또는 휘도)의 변동이 가장 억제되는 것으로 본 발명자는 생각하고 있다.

<265> 다음에, 상술한 제 1 내지 제 5실시형태에서 도시된 본 발명의 전자방출소자의 응용예에 대해서 이하에 설명한다.

<266> 본 발명의 전자방출소자를 복수개 기체상에 배열함으로써, 예를 들면, 전자원 및 플랫 패널형 텔레비전 등의 화상표시장치를 구성할 수 있다.

<267> 기체상의 전자방출소자의 배열형태로서는, 예를 들면, 매트릭스형 배열을 들 수 있다. 이 배열형태에서는, 상술의 제 1보조전극(2)이 기체상에 배치된 m개의 X방향배선 중에 1개에 접속된다. 그리고, 상술의 제 2보조전극(3)이 기체상에 배치된 n개의 Y방향배선 중에 1개에 전기적으로 접속된다. 또, m, n은, 모두 양의 정수이다.

<268> 다음에, 이 매트릭스형 배열의 전자원 기체의 구성에 대해서, 도 15를 이용하여 설명한다.

<269> 상술한 m개의 X방향 배선(72)은, Dx1, Dx2, ..., Dxm의 m개의 배선으로 구성되어, 절연성 기체(71) 상에, 진공 증착법, 인쇄법, 스퍼터링법 등으로 형성된다. X방향 배선(72)은, 금속 등의 도전성재료로 형성된다. n개의 Y방향 배선(73)은, Dy1, Dy2, ..., Dyn의 n개의 배선으로 구성되어, X방향 배선(72)과 동일한 기술, 동일한 재료에 의해 형성할 수 있다. 이것들 m개의 X방향 배선(72)과 n개의 Y방향 배선(73)의 사이(교차부)에는, 도시하지 않은 절연층이 배치된다. 절연층은, 진공증착법, 인쇄법, 스퍼터링법 등으로 형성할 수 있다.

<270> 또, 상기 X방향 배선(72)에는, 주사신호를 인가하는 도시하지 않은 주사신호 인가수단이 전기적으로 접속된다. 한편, Y방향 배선(73)에는, 주사신호에 동기하여, 선택된 각 전자방출소자(74)로부터 방출되는 전자를 변조하기 위한 변조신호를 인가하는 도시하지 않은 변조신호 발생수단이 전기적으로 접속된다. 각 전자방출소자에 인가되는 구동전압(Vf)은, 인가되는 주사신호와 변조신호의 차이전압으로서 공급된다.

<271> 다음에, 상기와 같은 매트릭스 배열의 전자원 기체를 이용한 전자원 및 화상표시장치의 일례에 대해서, 도 16과 도 17A 및 도 17B를 이용하여 설명한다. 도 16은 화상표시장치를 구성하는 외위기(디스플레이 패널)(88)의 기본 구성도이며, 도 17A 및 도 17B는 형광체막의 구성을 나타내는 모식도이다.

<272> 도 16에서, 전자원 기체(리어플레이트)(71) 위에 본 발명의 전자방출소자(74)를 매트릭스 형상으로 복수 배열하고 있다. 페이스플레이트(86)는 유리 등의 투명기체(83)의 내면에 형광체막(84)과 도전성막(85) 등이 형성된다. 지지프레임(82)은 페이스플레이트(86)와 리어플레이트(71)의 사이에 배치된다. 리어플레이트(71), 지지프레임(82) 및 페이스플레이트(86)는, 접합부에 프릿 유리나 인듐 등의 접착제를 부여함으로써 밀봉되어 있다. 이 밀봉된 구조체로 외위기(디스플레이 패널)(88)가 구성된다. 또, 상기 도전성막(85)은, 도 10을 이용하여 설명한 애노드(44)에 상당하는 부재이다.

<273> 외위기(88)는, 페이스 플레이트(86), 지지프레임(82), 리어플레이트(71)로 구성할 수 있다. 또, 페이스플레이트(86)와 리어플레이트(71)의 사이에, 스페이서로 불리는 도시하지 않은 지지체를 설치함으로써, 대기압에 대해서 충분한 강도를 가지는 외위기(88)를 구성할 수 있다.

<274> 도 17A 및 도 17B는, 각각, 도 16에서 도시된 형광체막(84)의 구체적인 구성예이다. 형광체막(84)은, 모노크롬인 경우는 단색의 형광체(92)만으로 구성된다. 컬러 화상표시장치를 구성하는 경우에는, 형광체막(84)은, 적어도 RGB 3원색의 형광체(92)와 각 색의 사이에 배치되는 광흡수부재(91)를 포함한다. 광흡수부재(91)는 바람직하게는, 흑색의 부재를 이용할 수 있다. 도 17A는, 광흡수부재(91)를 스트라이프 형상으로 배열한 형태이다. 도 17B는, 광흡수부재(91)를 매트릭스 형상으로 배열한 형태이다. 일반적으로, 도 17A의 형태는 "블랙 스트라이프"라고 부르고 도 17B의 형태는 "블랙 매트릭스"라고 부른다. 광흡수부재(91)를 설치하는 목적은, 컬러표시의 경우 필요한 3원색 형광체의 각 형광체(92) 간의 색조 분리부에 있어서의 혼합색 등을 눈에 띄지 않게 하고, 형

광체막(84)에 있어서의 외광반사에 의한 콘트라스트의 저하를 억제하는 데에 있다. 광흡수부재(91)의 재료로서는, 통상 자주 이용되고 있는 흑연을 주성분으로 하는 재료뿐만이 아니라, 광의 투과 및 반사가 적은 재료이면 사용가능하다. 또, 도전성이어도 되고 절연성이어도 된다.

<275> 또, 형광체막(84)의 내면측(전자방출소자(74)측)에는, "메탈백" 등으로 불리는 도전성막(85)이 설치된다. 도전성막(85)의 목적은, 형광체(92)로부터의 발광 중에, 전자방출소자(74) 측으로 향하는 광을 페이스플레이트(86) 측에 경면 반사함으로써 휘도를 향상시키는 것이다. 또, 전자빔 가속전압을 인가하기 위한 애노드로서 작용시키고 또한, 외위기(88) 내에서 발생한 음이온의 충돌에 의한 형광체의 손상을 억제하는 것 등이다.

<276> 도전성막(85)은, 바람직하게는, 알루미늄막으로 형성된다. 도전성막(85)은, 형광체막(84) 제작 후, 형광체막(84)의 표면의 평활화 처리(통상, "필밍"이라고 불린다)를 실시하고, 진공증착 등에 의해 퇴적함으로써 Al를 제작할 수 있다.

<277> 페이스플레이트(86)에는, 더욱 형광체막(84)의 도전성을 높이기 위해, 형광체막(84)과 투명기체(83)의 사이에 ITO 등으로 형성되는 투명전극(도시되지 않음)을 설치해도 된다.

<278> 상기 외위기(88) 내의 각 전자방출소자(74)는 도 15를 참조하여 상전술한 X방향배선(72) 및 Y방향배선(73)에 접속되어 있다. 그 때문에, 각 전자방출소자(74)에 접속하는 단자 Dox1~Doxm, Doy1~Doyn를 통해서 전압을 인가함으로써, 소망한 전자방출소자(74)로부터 전자를 방출시킬 수 있다. 이때, 고압단자(87)를 통하여, 도전성막(85)에 5kV 이상 30kV 이하의 범위 내, 바람직하게는 10kV이상 25kV이하의 범위 내에서 전압을 인가한다. 또, 페이스플레이트(86)와 기체(71)의 간격은 1mm이상 5mm 이하의 범위 내, 더욱 바람직하게는 1mm이상 3 mm이하의 범위 내로 설정된다. 이러한 구성을 행함으로써, 선택한 전자방출소자로부터 방출된 전자는, 메탈 백(85)을 투과하여, 형광체막(84)에 충돌한다. 그리고 형광체(92)를 여기 발광시키고, 이에 의해 화상을 표시한다.

<279> 또한, 이상 설명한 구성에서는, 각 부재의 재료 등, 상세한 부분은 상기한 내용에 한정되는 것은 아니고, 목적에 따라 적절하게 변경 가능하다.

<280> 또, 도 16을 참조하여 설명한 본 발명의 외위기(디스플레이 패널)(88)를 이용하여 정보표시 재생장치를 구성할 수 있다.

<281> 구체적으로는, 수신장치와 수신한 신호를 튜닝하는 튜너와 튜닝한 신호에 포함되는 신호를, 디스플레이 패널(88)에 출력하여 스크린에 표시 또는 재생시킨다. 상기 수신장치는, 텔레비전 방송 등의 방송신호를 수신할 수 있다. 또, 상기 튜닝 한 신호에 포함되는 신호로서는, 영상정보, 문자정보 및 음성정보의 적어도 하나를 가리킨다. 또, 상기 "스크린"은, 도 16에 도시된 디스플레이 패널(88)에서, 형광체막(84)에 상당한다고 할 수 있다. 이 구성에 의해 텔레비전 등의 정보표시 재생장치를 구성할 수 있다. 물론, 방송신호가 인코드 되고 있는 경우에는, 본 발명의 정보표시 재생장치는 디코더도 포함할 수 있다. 또, 음성신호는, 별도 설치한 스피커 등의 음성재생수단으로 출력하여, 디스플레이 패널(88)에 표시되는 영상정보나 문자정보와 동기시켜 재생한다.

<282> 또, 영상정보 또는 문자정보를 디스플레이 패널(88)에 출력하고 스크린에 표시 및/또는 재생시키는 방법으로서, 예를 들면, 이하와 같이 실시할 수 있다. 우선, 수신한 영상정보나 문자정보로부터, 디스플레이 패널(88)의 각 화소에 대응한 화상 신호를 생성한다. 그리고 생성한 화상신호를, 디스플레이 패널(C11)의 구동 회로(C12)에 입력한다. 다음에, 구동회로에 입력된 화상신호에 의거하여, 구동회로로부터 디스플레이 패널(88) 내의 각 전자방출소자에 인가하는 전압을 제어하고, 화상을 표시한다.

<283> 도 23은, 본 발명에 의한 텔레비전 장치의 블록도이다. 수신회로(C20)는, 튜너나 디코더 등으로 구성되어, 위성방송이나 지상파 등의 텔레비전 신호, 네트워크를 개재한 데이터 방송 등을 수신하고, 복호화한 영상 데이터를 I/F부(인터페이스부)(C30)에 출력한다. I/F부(C30)는, 영상데이터를 표시장치(10)의 표시포맷으로 변환하여 화상표시장치(C10)(디스플레이 패널(C11))에 화상 데이터를 출력한다. 화상표시장치(C10)는, 디스플레이 패널(C11), 구동회로(C12) 및 제어회로(C13)를 포함한다. 제어회로(C13)는, 입력한 화상데이터에 표시패널에 적절한 보정 처리 등의 화상처리를 하고, 구동회로(C12)에 화상데이터 및 각종 제어신호를 출력한다. 구동회로(C12)는, 입력된 화상데이터에 의거하여 디스플레이 패널(C11)의 각 배선(도 16의 Dox1 내지 Doxm, Doy1 내지 Doyn 참조)에 구동신호를 출력하여, 텔레비전 영상이 표시된다. 수신회로(C20)와 I/F부(C30)는, 셋탑 박스(STB)로서 화상표시장치(C10)와는 다른 하우징에 수납할 수도 있고, 또 화상표시장치(C10)와 동일한 하우징에 수납할 수도 있다.

<284> 또, 인터페이스에는, 프린터, 디지털 비디오 카메라, 디지털카메라, 하드 디스크 드라이브(HDD), 디지털 비디오 디스크(DVD) 등의 화상기록장치나 화상출력장치에 접속할 수 있는 구성으로 할 수도 있다. 그리고, 이러한 구성

에 의해, 화상 기록장치에 기록된 화상을 디스플레이 패널(C11)에 표시시킬 수도 있다. 또, 디스플레이 패널(C11)에 표시시킨 화상을, 필요에 따라서 가공하여, 화상출력장치에 출력시킬 수도 있는 정보표시 재생장치(또는 텔레비전)를 구성할 수 있다.

<285> 여기서 설명한 정보표시 재생장치의 구성은, 일례이며, 본 발명의 기술사상에 의거하여 여러 가지의 변형이 가능하다. 또, 본 발명의 정보표시 재생장치는, TV 회의 시스템이나 컴퓨터 등의 시스템과 접속함으로써, 여러가지 정보표시 재생장치를 구성할 수 있다.

<286> [실시예]

<287> 이하에, 실시예를 들어서, 본 발명을 한층 더 상세하게 설명한다.

<288> [실시예 1]

<289> 본 실시예에서는, 제 2 실시형태에서 설명한 전자방출소자를 제작한 예를 나타낸다. 본 실시예의 전자방출소자의 구성은, 도 1과 마찬가지로이다. 이하, 도 1, 도 2를 참조하면서, 본 실시예의 전자방출소자의 기본적인 구성 및 제조방법을 설명한다.

<290> (공정-a)

<291> 최초로, 청정화한 석영기관(1) 상에, 제 2부분(6)의 패턴에 대응한 개구를 포함한 포토레지스트층을 형성한다. 그 후, 드라이 에칭 법을 이용하여 제 2부분(6)에 대응하는 패턴의 오목부를 기관(1)의 표면에 형성한다. 이와 같이, 동일한 기관(1)을 5개 준비하였다.

<292> 그 후, 각각의 기관(1)의 제 2부분(6)에 상응하는 오목부에, 기관마다 이용하는 재료가 달라지도록, Si_3N_4 , AlN , Al_2O_3 , TiO_2 , ZrO_2 를 오목부에 퇴적시켰다. Si_3N_4 는 플라즈마 CVD법에 의해 형성하고, AlN , Al_2O_3 , TiO_2 , ZrO_2 는 스퍼터링 법에 의해 형성하였다. 이 실시예에서는, 제 1부분(5)이 석영으로 형성된 것이다.

<293> 동시에, 저항율, 열전도율 측정용의 석영기관을 준비하고, 이 기체(석영기관)에도 각 재료를 상기의 방법과 마찬가지로 퇴적시켜, 각각의 저항율, 열전도율을 측정하여, 다음과 같이 얻었다.

<294> 실온에 있어서의 저항율은, AlN 는 $5 \times 10^{13} \Omega\text{m}$, Si_3N_4 는 $1 \times 10^{13} \Omega\text{m}$, Al_2O_3 는 $2 \times 10^{13} \Omega\text{m}$, TiO_2 는 $4 \times 10^8 \Omega\text{m}$, ZrO_2 는 $1 \times 10^8 \Omega\text{m}$ 였다. 또, 실온에 있어서의 열전도율은 AlN 는 $200\text{W/m} \cdot \text{K}$, Si_3N_4 는 $25\text{W/m} \cdot \text{K}$, Al_2O_3 는 $18\text{W/m} \cdot \text{K}$, TiO_2 는 $6\text{W/m} \cdot \text{K}$, ZrO_2 는 $4\text{W/m} \cdot \text{K}$ (실온)였다. 또, 석영기관(1)의 저항율은 $1 \times 10^{14} \Omega\text{m}$ 이상이며, 열전도율은 $1.4\text{W/m} \cdot \text{K}$ 였다.

<295> 상기 각 재료는, 제 2부분(6)과 제 1부분(5)의 표면이 거의 평탄하게 되도록 퇴적시켰다.

<296> 그 다음에, 포토레지스트 패턴을 유기용제로 용해하고, 포토레지스트 상의 퇴적막을 리프트 오프하여, 제 2부분(6)이 제 1부분(5)을 사이에 위치하도록 배치된 기체(100)를 얻었다(도 2A).

<297> 또한, 제 1부분(5)의 폭 L2를 $5\mu\text{m}$, 제 2부분(6)의 두께를 $2\mu\text{m}$ 로 하였다.

<298> 또, 비교예 1로서 제 1부분(5), 제 2부분(6)을 형성하지 않는 기관(즉 석영기관(1)만)을 준비하였다. 또, 비교예 1'로서 석영기관(1)의 표면에 상기 각 재료를 패터닝 하지 않고 퇴적시킨 기관(1)(이 경우, 표면은 모두 제 2부분(6)이 됨)도 준비하였다.

<299> (공정-b)

<300> 다음에, 두께 5nm의 Ti와 두께 45nm의 Pt로 구성되는 보조전극(2, 3)을 본 실시예 및 비교예 1 및 비교예 1'의 각 기체(100) 상에 형성하였다. 간격 L1를 $20\mu\text{m}$ 로 설정하였다.

<301> 또, 제 1부분(5)의 중앙이, 보조전극(2, 3)의 거의 중앙이 되도록 형성하였다. 또, 보조전극(2, 3)의 폭 W(도 1A 내지 도 1C참조)는 $500\mu\text{m}$ 로 설정하였다(도 2B).

<302> (공정-c)

<303> 이어서, 공정-a 및 공정-b를 거친 각 기체(100) 상에, 유기 팔라듐 화합물 용액을 스핀도포한 후에, 가열 소성 처리를 했다. 이러한 방식으로, Pd를 주원소로서 함유한 도전성막(4)이 형성되었다. 이어서, 도전성막(4)을 패

터닝하여, 도전성막(4)을 제 1보조전극(2)과 제 2보조전극(3)을 서로 접속하도록 형성하였다(도 2C). 형성된 도전성막(4)의 시트저항(R_s)은 $1 \times 10^4 \Omega / \square$ 이며, 막두께는 10nm로 설정하였다.

<304> (공정-d)

<305> 다음에, 상기 공정-a 내지 공정-c를 거친 각 기체(100)를 도 10의 진공장치 내에 설치하고, 그 내부를 1×10^{-6} Pa의 진공도까지 배기했다. 그 후, 전원(41)을 이용하여 제 1보조전극(2)과 제 2보조전극(3)의 사이에 전압(Vf)을 인가하여, "통전포밍"처리를 실시하였다. 그 결과, 도전성막(4)에 제 1궤(7)을 형성하고, 전극(4a, 4b)을 형성하였다(도 2D). 또, "통전포밍"처리에 있어서의 전압파형은 도 11B에 도시된 전압파형을 이용하였다. 본 실시예에서는 T1를 1msec, T2를 16.7msec로 설정하고, 삼각파의 파고치는 0.1V스텝 만큼씩 증압시켜서, "통전포밍"을 실시하였다. 또, "통전포밍"처리의 종료는, 제 1보조전극(2)과 제 2보조전극(3) 간의 측정값이, 약 $1M\Omega$ 이상이 되었을 때로 하였다.

<306> (공정-e)

<307> 이어서, "활성화"처리를 실시하였다. 구체적으로는, 토르니트릴을 진공장치 내에 도입하였다. 그 후, 도 12A에 도시된 파형의 펄스전압을, 최대 전압값 ± 20 V, T1이 1msec, T2가 10msec의 조건하에서, 보조전극(2, 3)간에 인가하였다. "활성화"처리를 개시한 후, 소자전류(I_f)가 완전한 상승에 들어간 것을 확인하고, 전압의 인가를 정지하고, "활성화"처리를 종료하였다. 그 결과로서, 카본막(21a, 21b)을 형성하였다(도 2E).

<308> 이상의 공정으로 각 전자방출소자를 형성하였다.

<309> 이와 같이, 제 2부분(6)을 AlN, Si_3N_4 , Al_2O_3 , TiO_2 , ZrO_2 로 형성한 기체(100)의 각각과 비교예 1 및 비교예 1'로 형성한 기체(100)의 각각에 대해, 공정-b 내지 공정-e까지 마찬가지로의 처리를 실시하였다. 또, 각각 10개의 기체(100) 상에, 같은 제조방법으로 전자방출소자를 제작했다.

<310> 또, 본 실시예에서, 제 2부분(6)에 이용한 각 재료의 저항율은 $10^8 \Omega m$ 이상이기 때문에, 상기 "활성화"처리중에 있어서 큰 손상을 주는 방전은 발생되지 않았다.

<311> (공정-f)

<312> 다음에, 각각의 전자방출소자에 대해, "안정화"처리를 실시하였다. 구체적으로는, 진공장치 및 전자방출소자를 히터에 의해 가열하여 약 $250^\circ C$ 로 유지하면서 진공장치 내의 배기를 계속하였다. 20시간 후, 히터에 의한 가열을 멈추고 실온으로 되돌아 갔다. 그리고, 진공장치 내의 압력은 1×10^{-8} Pa정도에 이르렀다.

<313> 이어서, 도 10에 도시된 측정장치에 의해, 각 전자방출소자의 방출전류(I_e)와 휘도의 측정을 실시하였다.

<314> 방출전류(I_e)와 휘도의 측정에서는, 미리 형광체를 도포한 애노드전극(44)과 전자방출소자의 사이의 거리(H)를 2mm로 설정하여, 고압전원(43)에 의해 애노드전극(44)에 5kV의 전위를 인가하였다. 이 상태에서, 전원(41)을 이용하여 각 전자방출소자의 제 1보조전극(2)과 제 2보조전극(3)의 사이에, 파고치 17V의 구형펄스전압을 인가하였다.00

<315> 또, 이 측정시에는, 전류계(42)에 의해, 본 실시예 및 비교예의 전자방출소자의 방출전류(I_e)를 측정하고, 진공장치에 설치된 투명 유리창(도시하지않음)으로부터 형광체 휘도를 측정하였다. 측정된 방출전류(I_e) 및 휘도의 "산포도"를 이하의 표 1에 나타낸다. 여기서 "산포도"란, 각 기체(100) 각각의 위에 형성된 10개의 전자방출소자의 방출전류(I_e) 및 휘도의 (표준편차/평균치 $\times 100(\%)$)에 의해 나타낸 값을 말한다.

표 1

<316>	제 2부분(6)의 재료	열전도율(W/m·K)	I_e 의 산포도(%)	휘도의 산포도(%)
비교예 1	없음(SiO_2)	1.4	8.0	8.0

비교예 1'	ZrO ₂	4	8.2	8.2
	TiO ₂	6	8.1	8.1
	Al ₂ O ₃	18	8.0	8.0
	Si ₃ ON ₄	25	7.9	7.9
	AlN	200	8.0	8.0
본 실시예	ZrO ₂	4	7.2	7.2
	TiO ₂	6	4.6	4.6
	Al ₂ O ₃	18	4.5	4.5
	Si ₃ ON ₄	25	4.4	4.4
	AlN	200	4.0	4.0

<317>

<318> 표 1에 나타난 바와 같이, 비교예 1의 전자방출소자에 대해, 본 실시예의 전자방출소자는, 방출전류(Ie)의 "산포도" 및 휘도의 "산포도"가 현저하게 작아졌다. 또, 비교예 1'의 전자방출소자와 비교예 1의 전자방출소자는, 방출전류(Ie)는 비교예 1의 전자방출소자가 현저하게 컸다. 그러나, "산포도"에 대해서는, 비교예 1'의 전자방출소자와 비교예 1의 전자방출소자는 너무 현저한 차이는 없었다.

<319> 제 2부분(6)에 ZrO₂를 이용한 본 실시예의 전자방출소자에서는, 방출전류(Ie)의 "산포도" 및 휘도의 "산포도"는, 비교예 1'의 전자방출소자와 차이가 그렇게 크지 않았다. 그러나, 방출전류(Ie)에 관해서는, 본 실시예의 전자방출소자가 비교예 1'의 전자방출소자에 비해, 자리수의 차이 정도까지의 훨씬 더 큰 방출전류(Ie)를 얻을 수 있었다. 이것은, 제작공정에 "활성화"처리를 이용하고 있고 비교예 1'의 전자방출소자에서는 제 1갹(7)의 직하(제 1부분(5))에 산화실리콘을 이용하지 않았을 것으로 생각된다. 즉, 비교예 1'의 전자방출소자의 각각은, 충분한 "활성화"처리를 할 수 없었을 것으로 추측된다.

<320> 또, 본 실시예의 전자방출소자 중에, 제 2부분(6)의 열전도율이 제 1부분(5)의 열전도율의 4배 이상의 경우는, 산포도의 억제에 현저한 효과가 있는 것을 알 수 있었다.

<321> 상기 방출전류(Ie)와 휘도의 측정을 실시한 후, 각 전자방출소자의 제 2갹(8) 부근을 전자현미경(SEM)으로 관찰하였다.

<322> 비교예 1의 전자방출소자 각각은 도 8A에 도시된 바와 같이, 전자방출부(갹 8)가 크게 사형하고 있었다. 또, 비교예 1'의 전자방출소자에, 카본막(21a, 21b)의 퇴적이 분산되어 있어, 제 2갹(8)도 크게 사형하고 있었다.

<323> 한편, 본 실시예의 각 전자방출소자에 대해서는, ZrO₂를 제 2부분에 이용한 예 이외에는, 도 1A에 도시된 바와 같이, 제 2갹(8)은 제 1부분의 폭 L2내에 실효적으로 맞춰져 있었다. 단, ZrO₂를 제 2부분에 이용한 예에서는, X-Y평면내에 있어서의 제 2갹(8)의 일부가, 도 27에 도시된 바와 같이, 제 1부분(5)의 바로 윗쪽의 영역의 내부로부터 그 외부까지 약간 돌출되어 있는 부분이 있었다. 그러나, 제 1부분의 바로 윗쪽의 영역내에서는, 도 27의 (30a, 30b)로 대체된 카본막(21a, 21b)의 퇴적량이 현저하게 산포되어 있는 것을 볼 수 없었다. 그리고, 제 1부분(5)의 바로 윗쪽의 영역의 내부로부터 그 외부까지 약간 돌출되어 있는 부분에는 카본막의 퇴적이 산포되어 있는 것을 볼 수 있었다. 이 때문에, 제 1부분(5)의 바로 윗쪽의 영역으로부터 약간 돌출되어 있는 부분에는 실효적인 전자방출부가 존재하지 않고, 실질적으로 전자방출부는 제 1부분(5)의 바로 윗쪽의 영역내에 맞춰져 있는 것으로 추측된다.

<324> [실시예 2]

<325> 본 실시예에서는, 실시예 1에 관하여 기재된 제조방법과 같은 방법으로, 도 1에 도시된 구성의 전자방출소자를 제작하였다. 이용한 재료나 크기 등도 실시예 1과 마찬가지로이다. 또, 여기에서는, 비교예 1의 전자방출소자도 실시예 1에 설명한 것과 마찬가지로의 방법에 의해 형성하였다.

<326> 단, 여기에서는, 비교예 2의 전자방출소자를 이하의 방법으로 제작하였다. 우선, 석영기판(1) 상에, 실시예 1의 (공정-b) 및 (공정-c)를 실시하였다. 실시예 1의 비교예 1과 마찬가지로, 제 1부분(5)과 제 2부분(6)을 비교예 2의 기체(100)에는 배치하지 않았다. 다음에, 제 1보조전극(2)과 제 2보조전극(3)의 거의 중앙에 도 1A 내지 도

1C 등에 도시된 바와 같이, Y방향으로 확장하는 제 1갹(7)을, FIB(집속이온빔)에 의해, 도전성막(4)에 형성하였다. 즉, 제 1전극(4a)과 제 2전극(4b)을 형성하였다. 또, 형성한 갹(7)은, 실시예 1의 제 1부분(5)의 폭(L2)의 범위와 같은 범위 내에 맞춰지도록 형성하였다. 그 후, 실시예 1의 (공정-d) 및(공정-e)과 마찬가지로의 공정을 실시하였다. 이상의 공정에서 비교예 2의 전자방출소자를 석영기관(1) 상에 10개 형성하였다.

<327> 본 실시예에서는, 이러한 방식으로 형성한 각 전자방출소자의 방출전류(Ie) 및 휘도의 "불규칙한 변동"을 측정하였다.

<328> 또, "불규칙한 변동"은 각 전자방출소자에 대해, 실용적인 구동을 실시하여, 방출전류(Ie)와 휘도를 장시간에 걸쳐 측정하였다. 실용적인 구동에서는, 실시예 1에 기재된 측정과 같이, 미리 형광체를 부여한 애노드전극(44)을 준비하였다. 그리고, 애노드전극(44)과 전자방출소자의 사이의 거리 H를 2mm로 설정하고, 고압 전원(43)에 의해 애노드전극(44)에 5kV의 전위를 인가하였다. 그리고, 각 전자방출소자의 제 1보조전극(2)과 제 2보조전극(3)의 사이에 전원(41)으로부터 파고치 15V, 펄스폭 100 μ s, 주파수 60Hz의 구형형상의 전압펄스를 반복하여 인가하였다.

<329> 전류계(42)에 의해, 본 실시예의 전자방출소자, 비교예 1 및 비교예 2의 전자방출소자의 방출전류(Ie)를 측정하여, 진공장치에 설치된 투명유리창(도시하지 않음)으로부터 형광체의 발광휘도를 측정하였다.

<330> 방출전류(Ie)와 휘도의 불규칙한 변동치는, 모든 전자방출소자에서, 동일한 측정간격으로 여러차례 실시하여, 얻은 복수의 데이터의 (표준편차/평균치 \times 100(%))을 계산함으로써 구하였다.

<331> 이하의 표 2에 각 전자방출소자의 방출전류(Ie)와 휘도의 불규칙한 변동의 값을 나타낸다.

표 2

<332>

	부분 2의 재료	열전도율(W/m \cdot K)	Ie불규칙한 변동(%)	휘도 불규칙한 변동(%)
비교예 1	없음(SiO ₂)	1.4	8.5	8.5
비교예 2	없음(SiO ₂)	1.4	6.3	6.3
본 실시예	ZrO ₂	4	6.0	6.0
	TiO ₂	6	3.7	3.7
	Al ₂ O ₃	18	3.5	3.5
	Si ₃ N ₄	25	3.3	3.3
	AlN	200	3.1	3.1

<333> 표 2에 나타난 바와 같이, 본 실시예의 제 2갹(8)의 사행과 동일한 정도로 제 2갹(8)의 사행이 작은 비교예 2의 전자방출소자에서는 방출전류(Ie)와 휘도의 변동치가 비교예 1의 전자방출소자에 비해서 작았다.

<334> 또, 본 실시예의 전자방출소자 중에, 제 2부분(6)의 열전도율이 제 1부분(5)의 4배 이상인 전자방출소자에서는, 방출전류(Ie)와 휘도의 변동의 값이 특이적으로 작아졌다. 또, 제 2부분(6)에 ZrO₂를 이용한 본 실시예의 전자방출소자의 방출전류(Ie)와 휘도의 변동의 값은, 비교예 2의 전자방출소자보다는 적지만 특이한 차이는 볼 수 없었다.

<335> 상기 방출전류(Ie)와 휘도의 측정 후, 각 전자방출소자의 제 2갹(8) 부근을 SEM으로 관찰하였다. 비교예 2 이외는, 실시예 1에서 이미 설명한 형태와 같았다. 비교예 1의 전자방출소자가 제일 크게 사행하고 있었다. 그리고, 제 2부분(6)에 ZrO₂를 이용한 전자방출소자가 다음에 크게 사행하고 있었다. 그 외의 전자방출소자는 모두, 도 1A에 도시된 바와 같이, 제 2갹(8)의 사행은 제 1부분(5)의 폭 L2내에 실효적으로 맞춰져 있었다.

<336> 이상 설명한 실시예 1 및 실시예 2로부터, 본 발명의 전자방출소자는, 방출전류의 불균일이 적고, "변동"도 적은 양호한 전자방출소자인 것을 알 수 있다.

<337> [실시예 3]

<338> 본 실시예에서는, 제 3의 실시형태로 설명한 전자방출소자를 제작한 예를 나타낸다.

<339> 본 실시예와 관계되는 기본적인 전자방출소자의 구성은, 도 4와 같다. 이하, 도 4 및 도 5를 참조하면서, 본 실

시예의 전자방출소자의 제조방법을 설명한다.

(공정-a)

최초로, 청정화한 석영기판(1) 상에, 보조전극(2, 3)의 패턴에 대응한 개구를 갖추는 포토레지스트를 형성한다. 그 다음에, 두께 5nm의 Ti와 두께 45nm의 Pt를 그 순서로 퇴적했다. 다음에, 포토레지스트를 유기용제로 용해하여, Pt/Ti 퇴적막을 리프트 오프하고, 20 μ m의 간격(L1)을 두고 대향하는 보조전극(2, 3)을 형성하였다. 또, 보조전극(2, 3)의 폭(W)은 500 μ m로 형성하였다(도 5A).

또, 본 실시예에 대해서는, 석영기판(1)이 제 1부분(5)에 상당한다.

(공정-b)

이어서, 공정-a에서 제작한 기판(1)상에, 유기 팔라듐화합물 용액을 스핀도포한 후에, 가열 소성처리를 하였다. 이런 방식으로, Pd를 주원소로서 함유한 도전성막(4)을 형성하였다. 다음에 도전성막(4)을 패터닝하여, 도전성막(4)을 보조전극(2) 및 (3)접속하도록 형성하였다(도 5B). 형성된 도전성막(4)의 시트저항(Rs)는, $1 \times 10^4 \Omega / \square$ 였다.

(공정-c)

다음에, 공정-b에 의해 제작된 기판(1)상에, 제 2부분(6)에 형성된 개구 패턴에 대응하여 포토레지스트층을 형성한다. 이런 방식으로, 동일한 기판(1)을 5개 준비하였다.

그 후, 각각의 기판(1) 상에, 기판마다 이용하는 재료가 다르도록, Si₃N₄, AlN, Al₂O₃, TiO₂, ZrO₂를 퇴적시켰다. Si₃N₄는 플라즈마 CVD법에 의해 형성해, AlN, Al₂O₃, TiO₂, ZrO₂는 스퍼터링 법에 의해 형성하였다. 동시에 저항율, 열전도율 측정용의 기판에도 각 재료를 퇴적하였다. 각 기판의 저항율, 열전도율을 측정하였는데, 각 측정치는 실시예 1과 같았다.

그 다음에, 포토레지스트 패턴을 유기용제로 용해하여, 상기 퇴적막을 패터닝하였다. 이것에 의해, 제 1보조전극(2)과 제 2보조전극(3)과의 사이의 거의 중앙에 개구를 형성한 제 2부분(6)이 배치된 기판(1)을 얻었다(도 5C).

또, 제 2부분(6)의 개구의 폭 L2를 5 μ m, 두께를 2 μ m로 형성하였다.

다음에, 실시예 1과 동일한 방법으로, 상술의(공정-d) 내지 (공정-f)를 실시하였다.

이상의 공정에서, 전자방출소자를 형성하였다. 또, 본 실시예에서도, 실시예 1과 마찬가지로, 동일 기판상에 10개씩 같은 제조방법으로 전자방출소자를 제작하였다.

또, 본 실시예에서도, 제 2부분(6)에 이용한 각 재료의 저항율이 $10^8 \Omega m$ 이상이기 때문에, 상기 "활성화"처리중에 있어 큰 방전은 생기지 않았다.

이어서, 실시예 1과 마찬가지로, 각 전자방출소자의 방출전류(Ie)와 휘도의 측정을 실시하였다. 측정된 방출전류(Ie) 및 휘도의 "산포도(변동율)"을 이하의 표 3에 나타낸다. 또, 비교예 3으로서 비교예 1과 같은 전자방출소자를 제작하였다.

표 3

	부분 2의 재료	열전도율(W/m · K)	Ie변동율(%)	휘도 변동율(%)
비교예 3	없음(SiO ₂)	1.4	8.1	8.1
본 실시예	ZrO ₂	4	7.2	7.2
	TiO ₂	6	4.6	4.6
	Al ₂ O ₃	18	4.4	4.4
	Si ₃ N ₄	25	4.5	4.5
	AlN	200	4.2	4.2

표 3에 나타낸 바와 같이, 종래의 전자방출소자(비교예 3)에 비해, 본 실시예의 전자방출소자, 즉, 제 2부분

(6)을 포함하는 전자방출소자에서는 방출전류(Ie) 및 휘도의 "산포도"가 작아졌다. 또, 특히 열전도율이 비교예 3의 4배 이상의 소자는, 방출전류(Ie) 및 휘도의 "디스퍼션"이 작아졌다.

<356> 상기 특성 평가 후, 각 전자방출소자의 갭(8)의 부근을 SEM에 의해 관찰하였다.

<357> 비교예 3의 전자방출소자의 각각은, 도 8A에 도시된 바와 같이, 제 2갭(8)이 크게 사행하고 있었다. 한편, 본 실시예의 각 전자방출소자는 모두, 도 4A에 도시된 바와 같이, 제 2갭(8)의 사행은, 제 2부분(6)에 형성된 개구의 폭 L3 내에 제한되고 있었다.

<358> 또, 본 실시예의 전자방출소자의 "변동"이, 실시예 2와 마찬가지로 측정하면, 표2에 나타난 바와 같이, "변동"이 적은 양호한 전자방출특성을 얻을 수 있었다.

<359> [실시예 4]

<360> 본 실시예에서는, 제 5실시형태예에 관하여 설명한 전자방출소자를 제작한 예를 나타낸다.

<361> 본 실시예의 기본적인 전자방출소자의 구성은, 도 6B와 같다. 이하, 도 6A 내지 도 6D 및 도 7A 내지 도 7F를 참조하면서, 본 실시예의 전자방출소자의 제조방법을 설명한다.

<362> (공정-a)

<363> 우선, 청정화한 석영기관(1)을 5개 준비하였다. 그리고, 각각의 기관(1) 상에, 기체마다 이용하는 재료가 다르도록, 제 2부분(6)을 형성하는 재료로서 Si_3N_4 , AlN , Al_2O_3 , TiO_2 , ZrO_2 를 퇴적시켰다. Si_3N_4 는 플라즈마 CVD법에 의해 형성하고, AlN , Al_2O_3 , TiO_2 , ZrO_2 는 스퍼터링법에 의해 형성하였다. 동시에 저항율, 열전도율 측정용의 다른 기체에도 상기 각 재료를 퇴적시켰다. 각 기관의 저항율, 열전도율을 측정했는데, 각 측정치는 실시예 1, 2과 같았다.

<364> 그 후, 제 1부분(5)을 형성하는 재료로서 플라즈마 CVD 법에 의해 산화 실리콘(SiO_2)을 모든 기관(1) 상에 퇴적시켰다. 동시에 저항율, 열전도율 측정용의 기체에도 SiO_2 를 퇴적시켰다. 각 기관의 저항율, 열전도율을 측정했는데, 각 측정치는 비교예 1, 2와 같았다.

<365> 다음에, 산화 실리콘(5) 위에, 재차, 제 2부분(6)을 형성하는 재료를 퇴적시켰다. 여기에서는, 각각의 기관(1)에 있어서, 최초로 형성된 제 2부분(6)을 구성하는 재료와 동일한 재료를 산화 실리콘(5) 상에 형성하였다.

<366> 또한, 제 2부분(6) 위에, 보조전극(2)을 형성하는 재료로서 두께 5nm의 Ti와 두께 45nm의 Pt를 순서대로 퇴적시켰다(도 7A).

<367> 그 후, 포토레지스트의 스핀코팅, 마스크 패턴의 노광 및 현상을 실시하였다. 다음에, 드라이 에칭에 의해 제 1부분(5)과 제 1부분(5)을 사이에 두는 제 2부분(6)으로 구성된 적층체와 상기 적층체상에 배치된 제 1보조전극(2)을 형성하였다(도 7B).

<368> 다음에, 포토레지스트를 박리한 후, 재차 포토레지스트의 스핀코팅, 마스크 패턴의 노광 및 현상을 실시하여, 제 2보조전극(3)의 패턴에 상당하는 개구를 포함한 포토레지스트를 형성하였다. 이어서, 개구 내에 두께 5nm의 Ti와 두께 45nm의 Pt를 순서대로 퇴적시켰다. 이어서, 포토레지스트의 리프트 오프를 실시하여, 제 2보조전극(3)을 형성하였다(도 7C).

<369> 보조전극(3)과 보조전극(2)의 폭(W)은 $500\mu\text{m}$ 로 설정하였다. 제 1부분(5)의 막두께는 50 nm로 했다. 제 2부분(6) 사이의 기관(1) 측의 막두께는 500nm로 설정하였다. 한편, 제 2부분(6) 사이에 기관(1)으로부터 거리를 두고 있는 쪽의 막두께를 30nm로 설정하였다.

<370> 또, 제 2부분(6)을 형성하지 않고, 기관(1) 표면과 제 1보조전극(2)의 사이에 SiO_2 층(제 1부분)만을 580nm의 두께로 형성시킨 기관(1)도 준비하였다(비교예 4). 또, 제 1부분(5)을 형성하지 않고, 기관(1) 표면과 제 1보조전극(2)의 사이에 제 2부분(6)만을 580 nm의 두께로 형성시킨 기관(1)도 준비했다(비교예 4').

<371> 이후의 공정으로서, 실시예 1의 (공정-c) 내지 (공정-f)와 마찬가지로의 공정을 실시하여 전자방출소자를 형성하였다. 실시예 1과 마찬가지로 본 실시예에서, 각 기체마다, 10 개의 전자방출소자를 제작하였다.

<372> 또, 본 실시예에서, 제 2부분(6)에 이용한 각 재료의 저항율이 $10^8\Omega\text{m}$ 이상이기 때문에, 상기 "활성화"처리중에 큰 방전은 생기지 않았다.

<373> 이어서, 실시예 1 및 2와 마찬가지로, 각 전자방출소자의 방출전류(Ie)와 휘도를 측정하였다. 측정된 방출전류(Ie) 및 휘도의 "산포도(변동율)"을 이하의 표 4에 나타낸다.

표 4

<374>

	제 2부분(6)의 재료	열전도율(W/m · K)	Ie의 산포도(%)	휘도의 산포도(%)
비교예 4	없음(SiO ₂)	1.4	8.0	8.0
비교예 4'	ZrO ₂	4	7.9	7.9
	TiO ₂	6	8.1	8.1
	Al ₂ O ₃	18	7.9	7.9
	Si ₃ ON ₄	25	8.0	8.0
	AlN	200	8.2	8.2
본 실시예	ZrO ₂	4	7.0	7.0
	TiO ₂	6	4.5	4.6
	Al ₂ O ₃	18	4.2	4.2
	Si ₃ ON ₄	25	4.3	4.3
	AlN	200	4.0	4.0

<375> 표 4에 나타난 바와 같이, 비교예 4의 전자방출소자에 대해서, 본 실시예의 전자방출소자는 방출전류(Ie) 및 휘도의 "디스퍼션"이 작아졌다. 또, 비교예 4'의 전자방출소자와 비교예 4의 전자방출소자 중에서, 방출전류(Ie)는 비교예 4의 전자방출소자 쪽이 현저하게 컸다, "산포도"에 대해서는, 비교예 4'의 전자방출소자와 비교예 4의 전자방출소자 사이에 상당히 현저한 차이는 볼 수 없었다.

<376> 제 2부분(6)에 ZrO₂를 이용한 본 실시예의 전자방출소자에서는, 방출전류(Ie)의 "산포도" 및 휘도의 "산포도"는, 비교예의 전자방출소자보다는 우수하지만 그 효과는 그만큼 크지 않다. 그러나, 방출전류(Ie)에 관해서는, 본 실시예의 전자방출소자가 비교예 4'의 전자방출소자에 비해, 자리수로 다른 만큼 훨씬 더 큰 방출전류(Ie)를 얻을 수 있었다. 이것은, 제작공정에 "활성화"처리를 이용하고 있고, 비교예 4'의 전자방출소자에서는 제 1갹(7)의 직하에 산화 실리콘이 존재하고 있지 않았기 때문에, 충분한 "활성화"처리를 실시할 수 없었기 때문이다.

<377> 또, 제 2부분(6)의 열전도율이 제 1부분(5)의 열전도율의 4배 이상의 경우에는, 디스퍼션의 억제에 현저한 효과가 있는 것을 알 수 있다.

<378> 상기 특성평가 후, 각 전자방출소자의 제 2갹(8) 부근을 SEM에 의해 관찰하였다. 비교예 4 및 비교예 4'의 소자는 모두, 도 8A에 도시된 바와 같이, 전자방출부(갹(8))가 크게 사행하고 있었다. 또, 비교예 4'의 각 전자방출소자에, 카본막(21a, 21b)의 퇴적이 산포되어 있고, 제 2갹(8)도 크게 사행하고 있었다.

<379> 한편, 본 실시예의 전자방출소자는 모두, ZrO₂를 제 2부분에 이용한 예 이외는, 모두, 도 1A에 도시한 바와 같이 제 2갹(8)은 제 1부분의 폭(L2) 내에 효과적으로 맞춰져 있었다. 단, ZrO₂를 제 2부분에 이용한 예에서는, 제 1갹(7)은, 제 1부분(5)의 폭(L)으로부터 돌출되어 있는 부분이 있었다. 그러나, 제 1부분의 바로 윗쪽의 영역내에서는, 카본막(21a, 21b)의 퇴적량에 산포도는 그렇게 크지 않았다.

<380> 또, 본 실시예의 전자방출소자의 "변동"에 대해, 실시예 2와 마찬가지로 측정한 경우에, 표 2에서 나타난 바와 같이, "변동"이 적은 양호한 전자방출특성을 얻을 수 있었다.

<381> [실시예 5]

<382> 본 실시예에서는, 상술한 실시예 1에서 제작한 전자방출소자와 마찬가지로의 제조방법에 따라 형성한 전자방출소자를 다수 기관상에 매트릭스 형상으로 배열함으로써 전자원을 형성한 예를 나타낸다. 그리고, 본 실시예는 이 전자원을 이용하여 도 16에 도시된 화상표시장치를 제작한 예이기도 하다. 이하에 본 실시예에서 제작한 화상표시장치의 제조공정을 설명한다.

- <383> <기관제작공정>
- <384> 유리기관(71)상에 산화 실리콘막을 형성하였다. 제 1부분(5)의 패턴에 대응하여 포토레지스트를 산화 실리콘막상에 형성했다. 그 후, 드라이 에칭법을 이용하여 제 2부분(6)의 패턴에 상당하는 오목부를 형성하였다. 그 후, 플라즈마 CVD법에 의해 제 2부분(6)의 재료로서 제 2부분(6)과 산화 실리콘막의 표면이 거의 평평하게 되도록 Si_3N_4 가 퇴적되었다. 이어서, 포토레지스트 패턴을 유기용제에 의해 용해하고, 상기 퇴적막을 리프트 오프하여, 제 2부분(6)이 제 1부분(5)을 사이에 두도록 배치된 기관(71)을 얻었다. 또, 제 1부분(5)의 폭(L2)을 $5\mu\text{m}$, 제 2부분(6)의 두께를 $2\mu\text{m}$ 로 설정하였다. 또, 이 실시예에서는, 산화 실리콘으로 제 1부분(5)이 형성되어 있다.
- <385> <보조전극 제작공정>
- <386> 다음에, 보조전극(2, 3)을, 기체 (71)상에 다수 형성했다(도 18). 구체적으로는, 티타늄 Ti와 백금 Pt의 적층막을 40nm 의 두께로 기관(71)상에 막을 형성한 후, 포토리소그래피법에 의해 상기 적층된 막의 패턴링을 실시하였다. 본 실시예에서는 보조전극(2)과 보조전극(3)의 사이의 중앙에 제 1부분(5)의 거의 중앙이 위치하도록 배치하였다. 또, 보조전극(2)과 보조전극(3)의 간격(L1)을 $10\mu\text{m}$ 로 설정하고, 길이(W)를 $200\mu\text{m}$ 로 설정하였다.
- <387> <Y방향 배선형성공정>
- <388> 다음에, 도 19에 도시된 바와 같이, 은을 주성분으로 하는 Y방향 배선(73)을, 보조전극(3)에 접속하도록 형성하였다. 이 Y방향 배선(73)은 변조 신호가 인가되는 배선으로서 기능한다.
- <389> <절연층 형성공정>
- <390> 다음에 도 20에 도시된 바와 같이, 다음의 공정으로 제작하는 X방향 배선(72)과 전술의 Y방향 배선(73)을 절연하기 위해서, 산화 실리콘으로 구성되는 절연층(75)을 배치한다. 후술하는 X방향 배선(72) 아래에 있도록, 또한, 먼저 형성한 Y방향 배선(73)을 덮도록, 절연층(75)을 배치한다. X방향 배선(72)과 보조전극(2)의 전기적 접속이 가능하도록, 절연층(75)의 일부에 콘택트홀을 개방하여 형성하였다.
- <391> <X방향 배선 형성 공정>
- <392> 도 21에 도시된 바와 같이, 은을 주성분으로 하는 X방향 배선(72)을, 먼저 형성한 절연층(75) 위에 형성하였다. X방향 배선(72)은, 절연층(75)을 사이에 두어 Y방향 배선(24)과 교차하고 있고, 절연층(75)의 콘택트홀 부분에서 보조전극(2)에 접속된다. 이 X방향 배선(72)은 주사신호가 인가되는 배선으로서 기능한다. 이와 같이 상기 매트릭스 배선을 가지는 기관(71)이 형성된다.
- <393> <도전성막형성 공정>
- <394> 상기 매트릭스 배선이 형성된 기관(71) 상의 보조전극(2)과 보조전극(3)의 사이에 잉크젯법에 의해, 도전성막(4)을 형성하였다(도 22). 본 실시예에서는, 잉크젯법으로 이용하는 잉크로서 유기 팔라듐 착체용액을 이용하였다. 이 유기 팔라듐 착체용액을, 보조전극(2)과 보조전극(3) 간을 접속하도록 부여했다. 그 후, 이 기관(71)을 공기중에서, 가열소성처리를 하여 산화 팔라듐(PdO)으로 이루어지는 도전성막(4)으로 하였다.
- <395> <"통전포밍"처리, "활성화"처리>
- <396> 다음에, 상술한 공정에 의해, 보조전극(2)과 보조전극(3)이, 도전성막(4)으로 접속된 유닛이 다수 형성된 기관(71)을, 진공용기 내에 배치하였다.
- <397> 그리고, 진공용기 내를 배기한 후, "통전포밍"처리와 "활성화"처리를 실시하였다. "통전포밍"처리와 "활성화"처리에서는, 각 유닛에 인가하는 전압의 파형 등은, 실시예 1의 전자방출소자의 제작방법에 의해 나타냈던 대로이다.
- <398> 또, "통전포밍"처리는, 복수의 X방향 배선(72)중에서 한 개씩 선택한 X방향 배선에 1 펄스씩 인가하는 방법에 의해 실시하였다. 즉, "복수의 X방향 배선(72)중에서 선택한 한 개의 X방향 배선에 1 펄스 인가한 후에, 다른 한 개의 X방향 배선을 선택해 1 펄스 인가하는" 공정을 반복하였다.
- <399> 이상의 공정에 의해, 본 실시예의 전자원(복수의 전자방출소자)이 배치된 기관(71)이 형성되었다.
- <400> 그 다음에, 도 16에 도시된 바와 같이, 상기 기관(71)의 2mm 상부에, 유리기관(83)의 내면에 형광체막(84)과 메탈백(85)이 적층되어 있는 페이스플레이트(86)를 그것들 사이에 놓여있는 지지프레임(82)에 의해 배치하였다.
- <401> 그리고, 페이스플레이트(86), 지지프레임(82), 기체(71)의 접합부를, 저융점 금속인 인듐(In)을 가열하여 냉각

함으로써 밀봉하였다. 또, 이 밀봉공정은, 진공 챔버중에서 실시했기 때문에, 어떠한 배기관도 이용하지 않고, 접합과 밀봉을 동시에 실시하였다.

<402> 본 실시예에서는, 화상형성부재인 형광체막(84)은, 컬러를 표시하기 위해서, 스트라이프 형상(도 17A 참조)의 형광체를 이용하였다. 그리고, 우선 블랙스트라이프(91)를 소망한 간격을 두어 배치하였다. 이어서, 블랙스트라이프(91) 간에 슬러리 법(slurry method)에 의해 각 색형광체(92)를 도포하여 형광막(84)을 제작하였다. 블랙스트라이프(91)의 재료로서는, 통상 잘 이용되고 있는 흑연을 주성분으로 하는 재료를 이용하였다.

<403> 또, 형광막(84)의 내면측(전자방출소자측)에는 알루미늄으로 형성되는 메탈 백(85)을 설치하였다. 메탈백(85)은, 형광체막(84)의 내면측에, Al를 진공증착함으로써 제작하였다.

<404> 이상과 같이 완성된 화상표시장치의 X방향 배선 및 Y방향 배선을 통해서, 소망한 전자방출소자를 선택하고, 14V의 펄스전압을 인가하였다. 그리고 동시에, 고압단자(Hv)를 통해서 메탈백(73)에 10kV의 전압을 인가한 경우에, 휘도 얼룩이 적고, 휘도의 변동도 적은 밝은 양호한 화상을 장시간에 걸쳐 표시할 수 있었다.

<405> 이상 설명한 실시형태 및 실시예는, 본 발명의 일례에 지나지 않고, 상기한 각 재료, 사이즈 등에 대한 각종의 변형예를 본 발명은 제외하는 것은 아니다.

발명의 효과

<406> 본 발명에 의하면, "변동"이 적고, 불균일이 적은 양호한 전자방출특성을 장시간 유지할 수 있는 전자방출소자를 실현할 수 있다. 또, 도전성막에 형성되는 동안 갭(제 1갭(7))의 위치, 형상을 제어할 수 있으므로, 전자방출특성의 불균일이 적은 전자방출소자 및 전자를 제공할 수 있다. 그 결과, 균일성이 뛰어나고 휘도 변화가 적은 고품위인 표시화상을 표시할 수 있는 화상표시장치나 정보표시 재생장치를 제공할 수 있다.

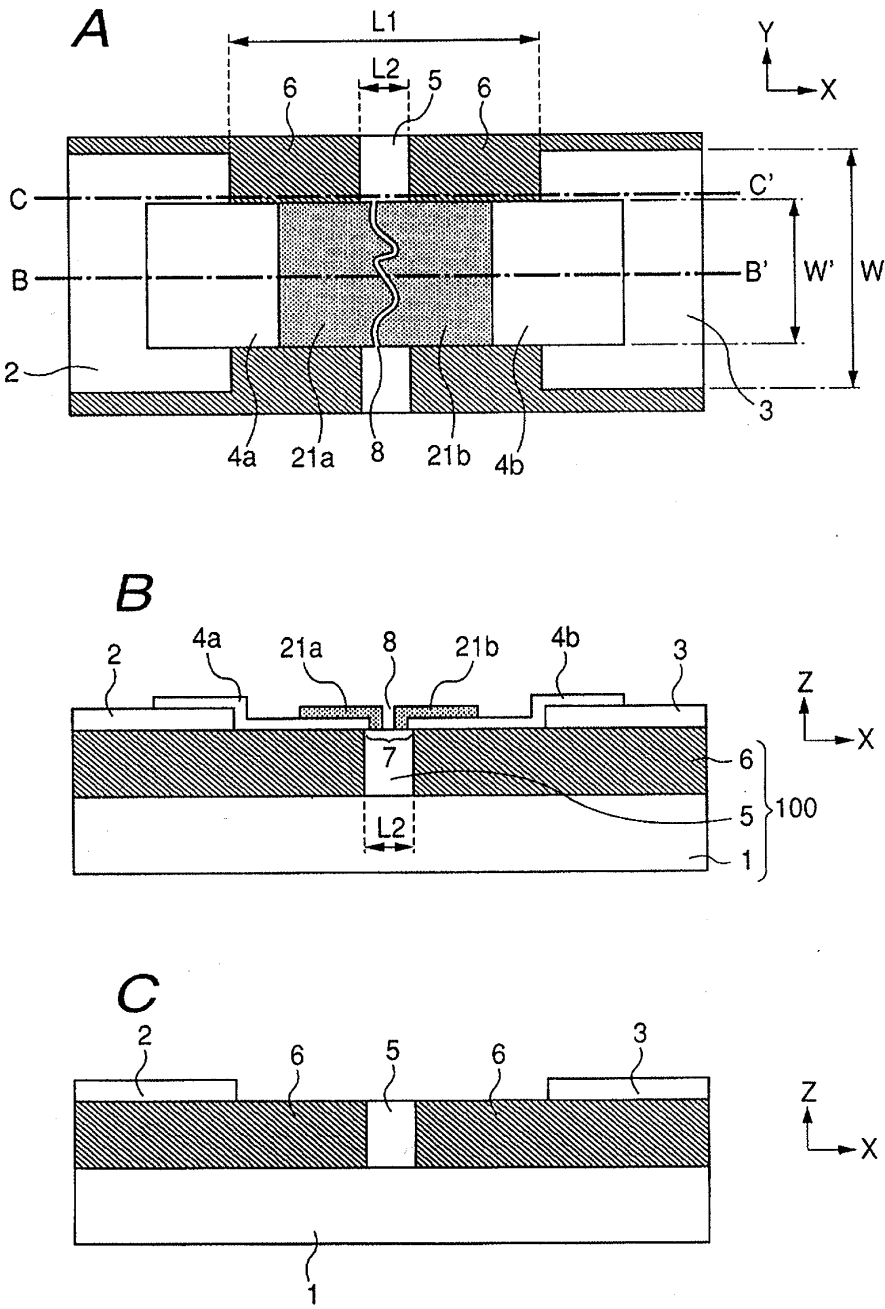
도면의 간단한 설명

- <1> 도 1A, 도 1B 및 도 1C는 본 발명의 전자방출소자의 구성예를 모식적으로 나타내는 평면도 및 단면도;
- <2> 도 2A, 도 2B, 도 2C, 도 2D 및 도 2E는 본 발명의 전자방출소자의 제조방법의 개요를 나타내는 모식도;
- <3> 도 3A, 도 3B 및 도 3C는 본 발명의 전자방출소자의 다른 구성예를 모식적으로 나타내는 평면도 및 단면도;
- <4> 도 4A, 도 4B 및 도 4C는 본 발명의 전자방출소자의 또 다른 구성예를 모식적으로 나타내는 평면도 및 단면도;
- <5> 도 5A, 도 5B, 도 5C, 도 5D 및 도 5E는 본 발명의 전자방출소자의 제조방법의 개요를 나타내는 모식도;
- <6> 도 6A, 도 6B, 도 6C 및 도 6D는 본 발명의 전자방출소자의 또 다른 구성예를 모식적으로 나타내는 평면도 및 단면도;
- <7> 도 7A, 도 7B, 도 7C, 도 7D 및 도 7E는 본 발명의 전자방출소자의 제조방법의 개요를 나타내는 모식도;
- <8> 도 8A 및 도 8B는 종래의 전자방출소자의 일례를 나타내는 단면 및 평면 모식도;
- <9> 도 9A 및 도 9B는 본 발명의 전자방출소자의 제조시에 있어서의 포밍펄스를 인가했을 때의 온도 분포를 나타내는 모식도;
- <10> 도 10은 전자방출소자의 측정평가 기능을 구비한 진공장치의 일례를 나타내는 모식도;
- <11> 도 11A 및 도 11B는 본 발명의 전자방출소자의 제조시에 있어서의 포밍펄스의 일례를 나타내는 모식도;
- <12> 도 12A 및 도 12B는 본 발명의 전자방출소자의 제조시에 있어서의 활성화 펄스의 일례를 나타내는 모식도;
- <13> 도 13은 본 발명의 전자방출소자의 전자방출특성을 나타내는 모식도;
- <14> 도 14A, 도 14B 및 도 14C는 본 발명의 전자방출소자의 구동특성을 나타내는 모식도;
- <15> 도 15는 본 발명의 전자방출소자를 이용한 전자원 기판을 설명하기 위한 모식도;
- <16> 도 16은 본 발명의 전자방출소자를 이용한 화상표시장치의 일례의 구성을 설명하기 위한 모식도;
- <17> 도 17A 및 도 17B는 형광체막을 설명하기 위한 모식도;
- <18> 도 18은 본 발명에 의한 전자원 및 화상표시장치의 제조공정의 일례를 나타내는 모식도;

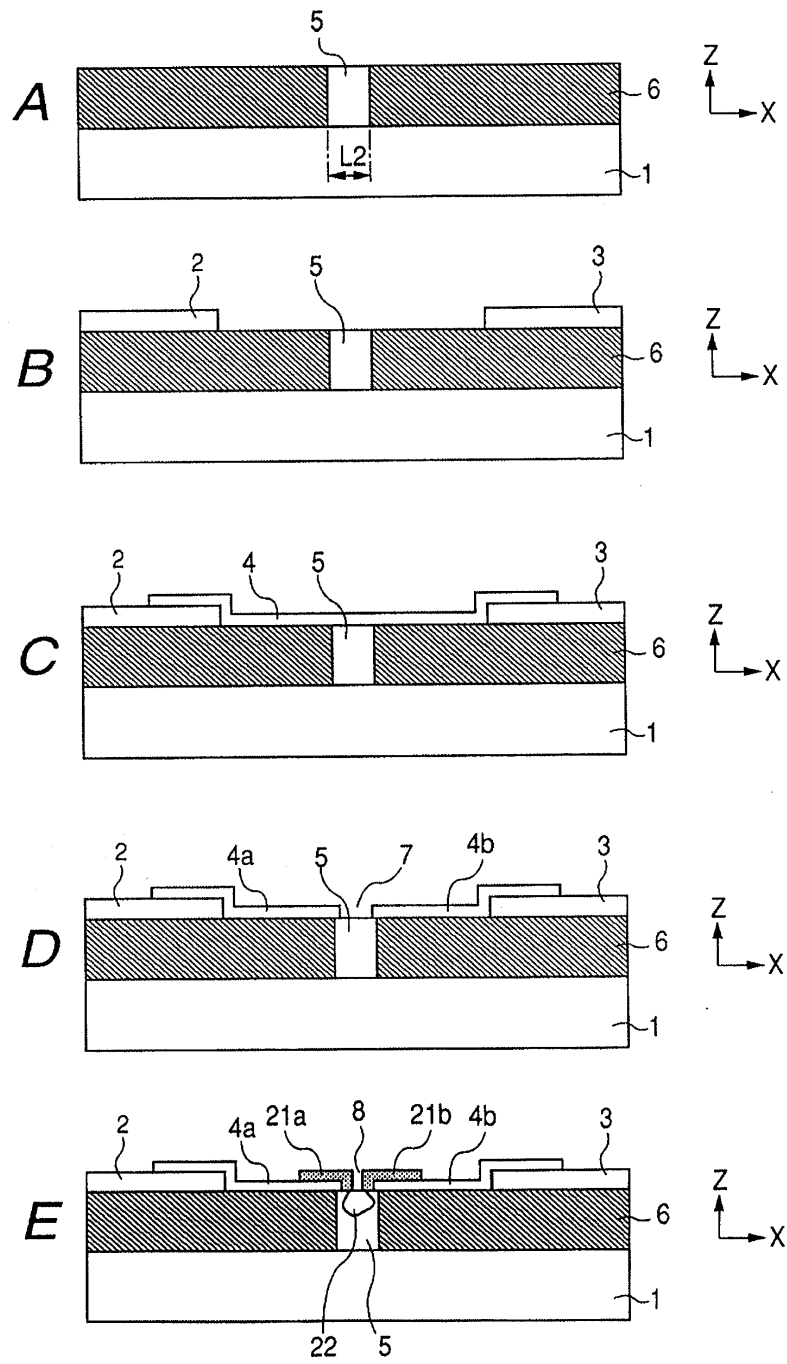
- | | |
|------|--|
| <19> | 도 19는 본 발명에 의한 전자원 및 화상표시장치의 제조공정의 일례를 나타내는 모식도; |
| <20> | 도 20은 본 발명에 의한 전자원 및 화상표시장치의 제조공정의 일례를 나타내는 모식도; |
| <21> | 도 21은 본 발명에 의한 전자원 및 화상표시장치의 제조공정의 일례를 나타내는 모식도; |
| <22> | 도 22는 본 발명에 의한 전자원 및 화상표시장치의 제조공정의 일례를 나타내는 모식도; |
| <23> | 도 23은 본 발명의 텔레비전 장치의 블록도; |
| <24> | 도 24A, 도 24B, 도 24C 및 도 24D는 종래의 전자방출소자의 제조공정의 일례를 나타내는 모식도; |
| <25> | 도 25는 본 발명에 있어서의 전자방출소자의 일부를 나타내는 모식도; |
| <26> | 도 26A, 도 26B 및 도 26C는 본 발명의 전자방출소자의 구성을 나타내는 모식도; |
| <27> | 도 27은 본 발명의 전자방출소자의 변형예를 나타내는 모식도. |
| <28> | <도면의 주요부분에 대한 부호의 설명> |
| <29> | 2: 제 1보조전극 |
| <30> | 4a: 제 1전극 |
| <31> | 5: 제 1부분 |
| <32> | 7: 제 1갭 |
| <33> | 21a: 제 1카본 |
| | 3: 제 2보조전극 |
| | 4b: 제 2전극 |
| | 6: 제 2부분 |
| | 8: 제 2갭 |
| | 21b: 제 2카본막 |

도면

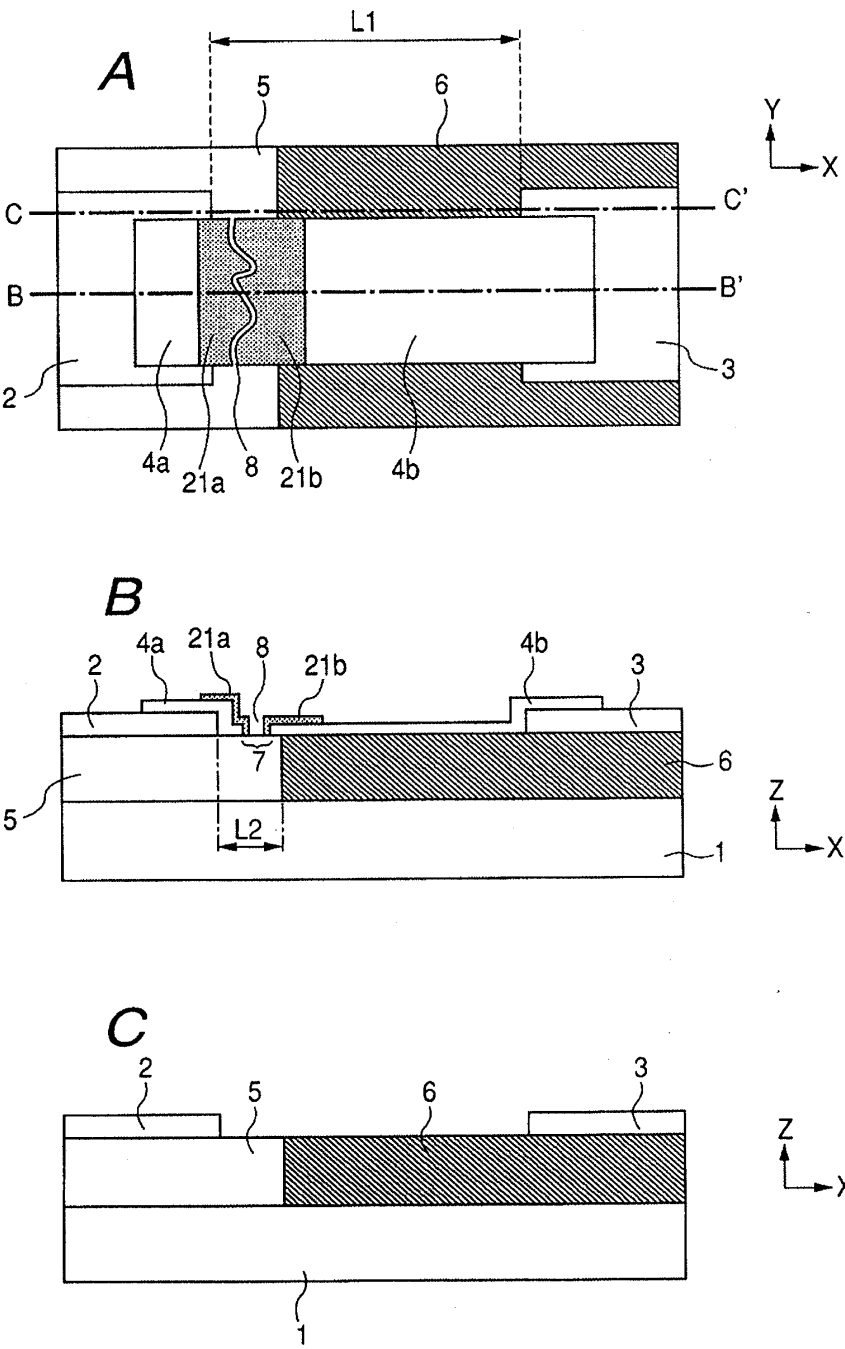
도면1



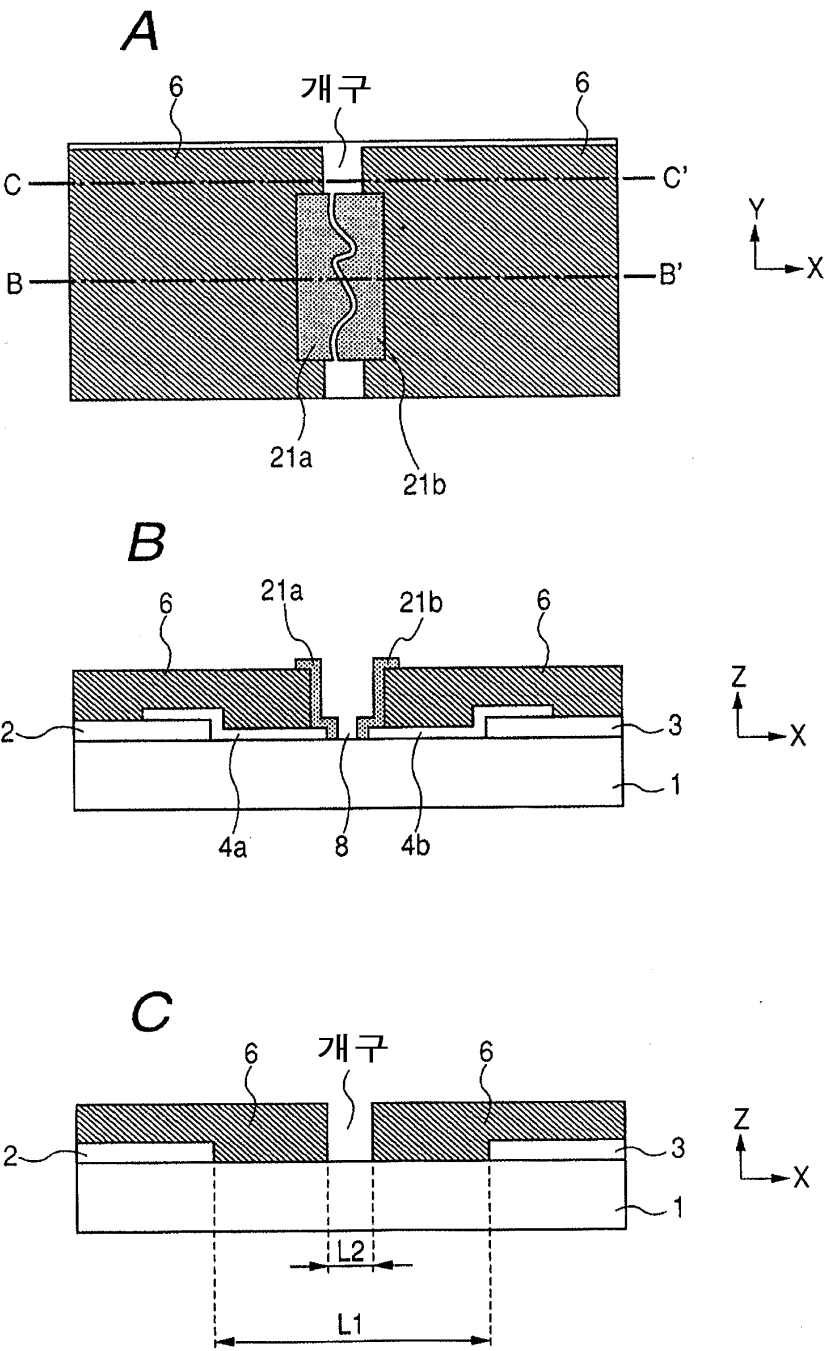
도면2



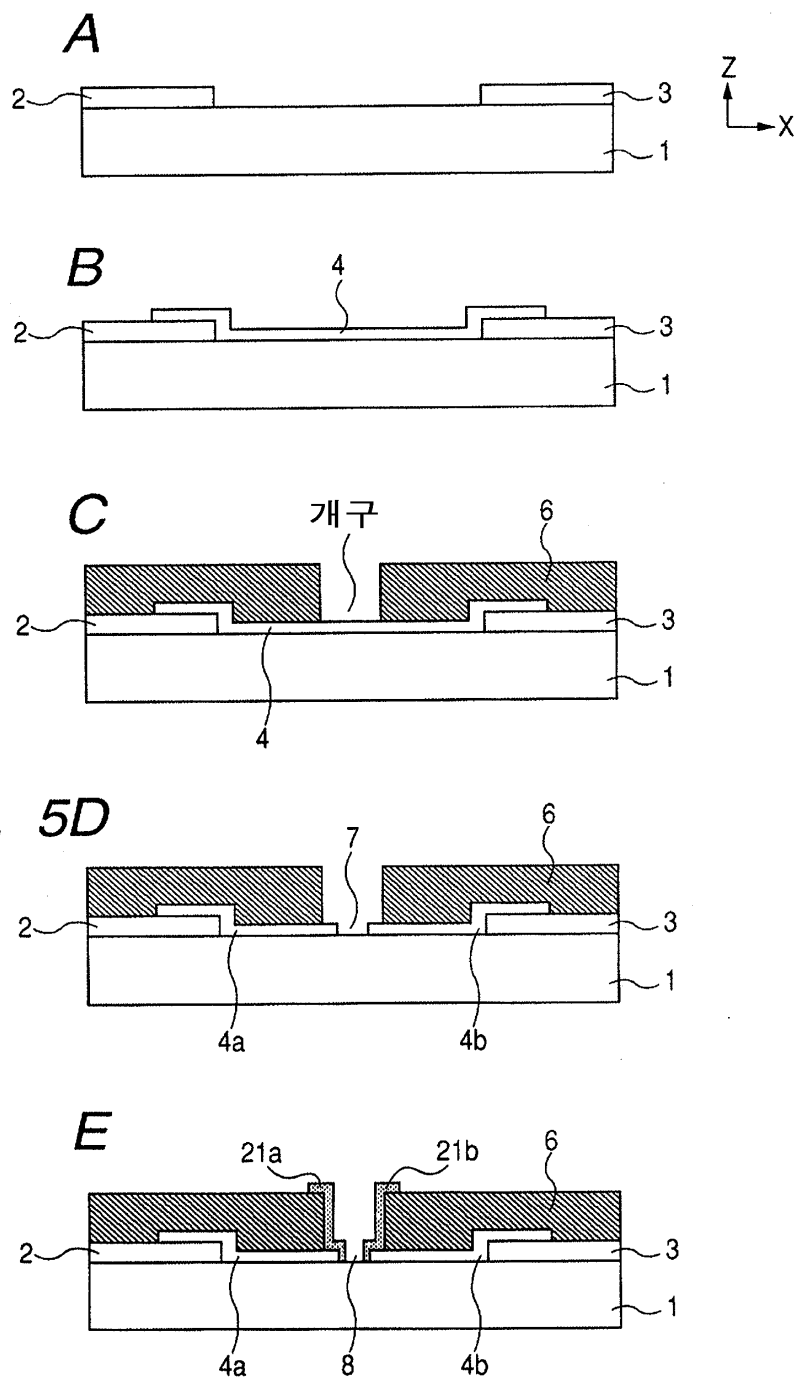
도면3



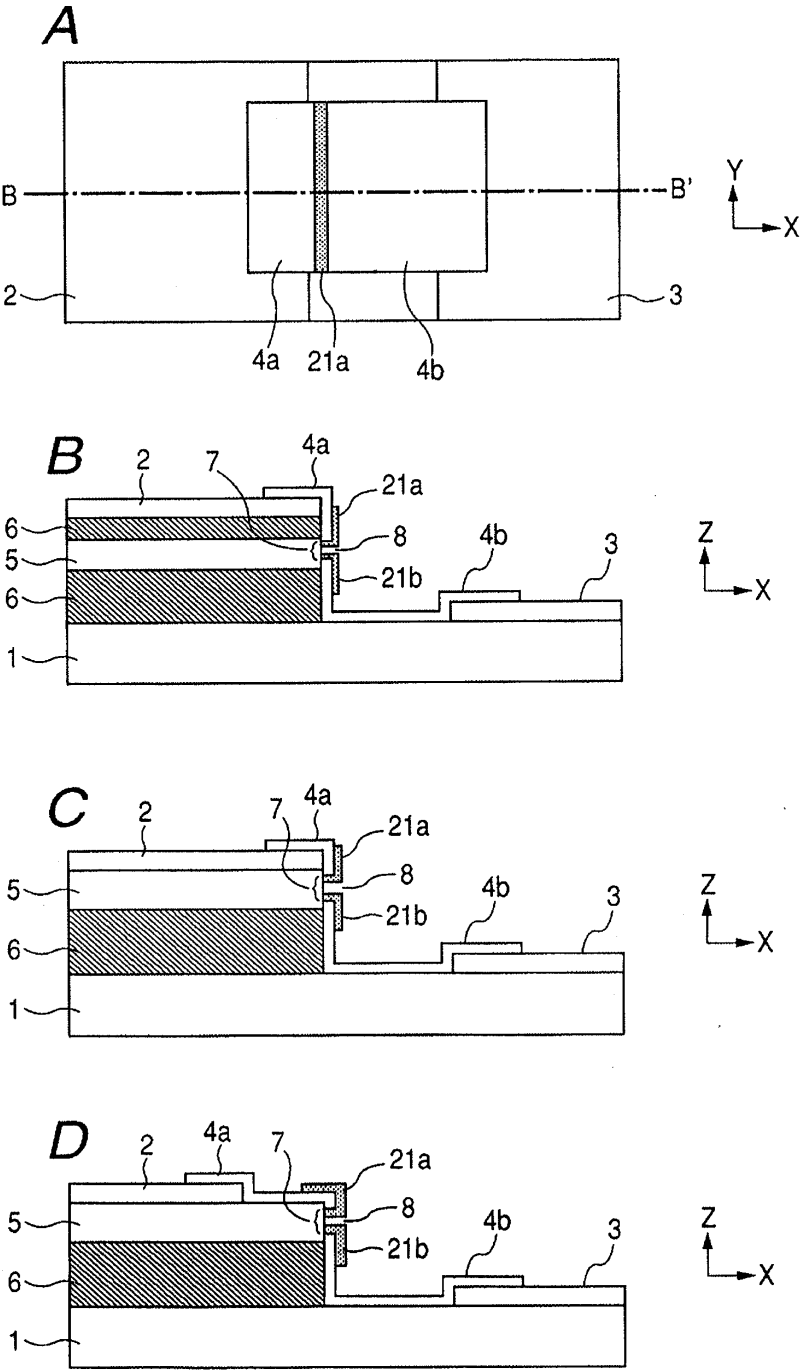
도면4



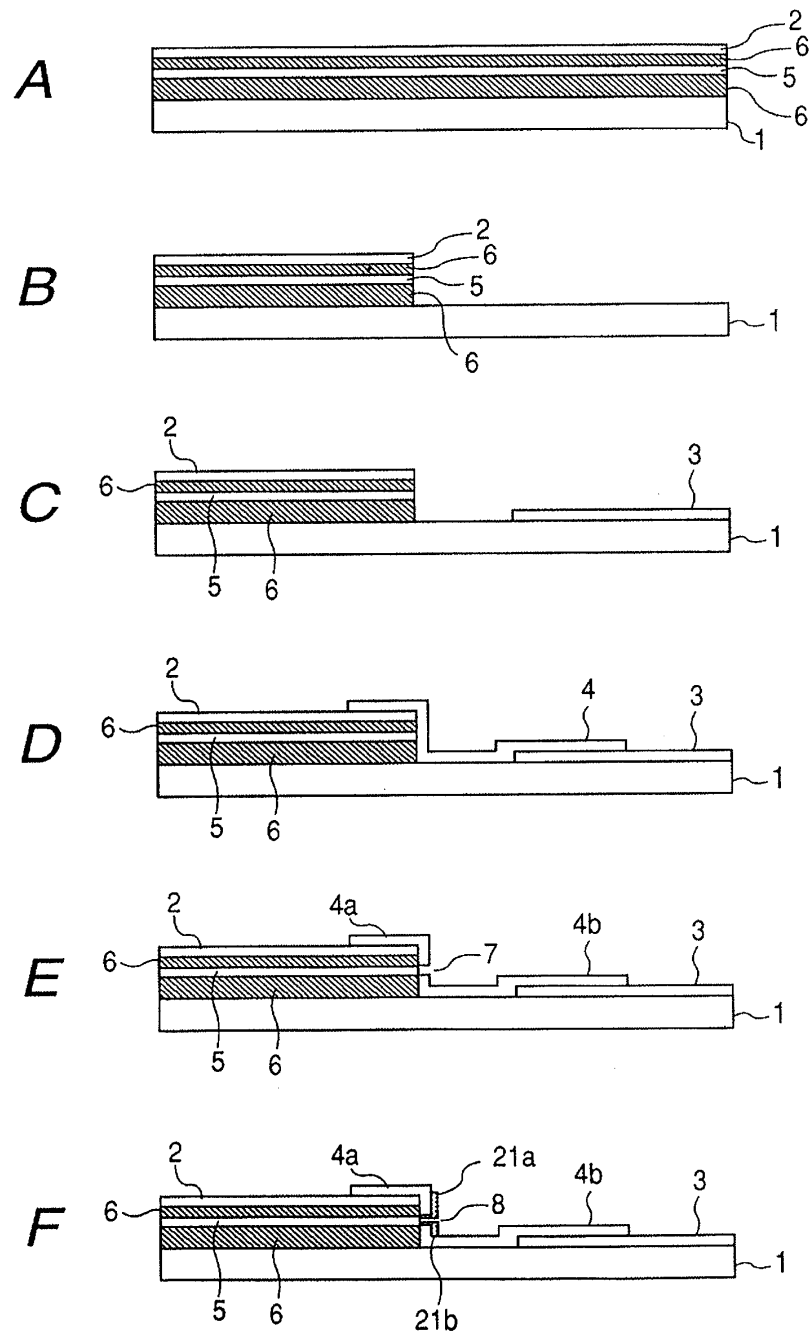
도면5



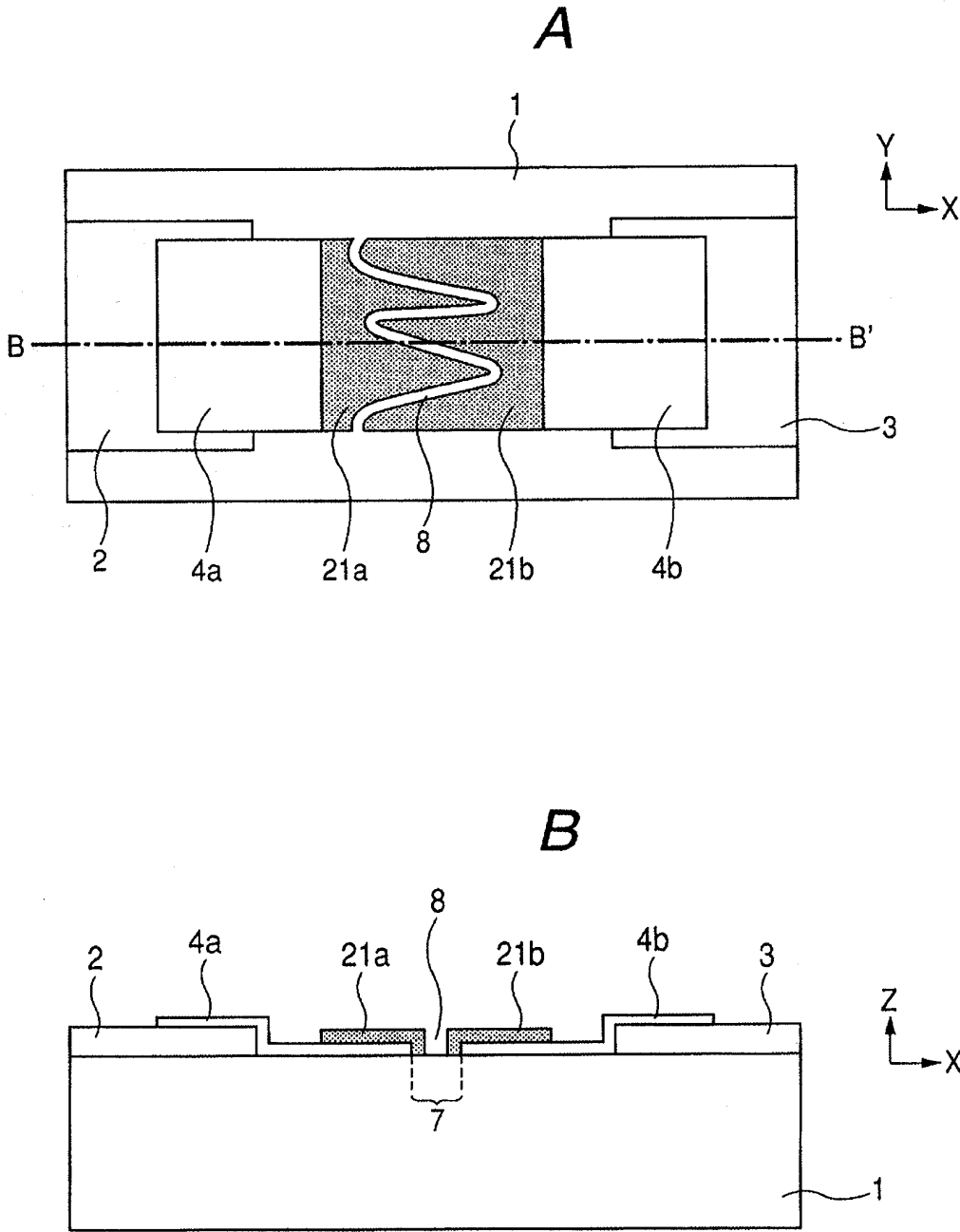
도면6



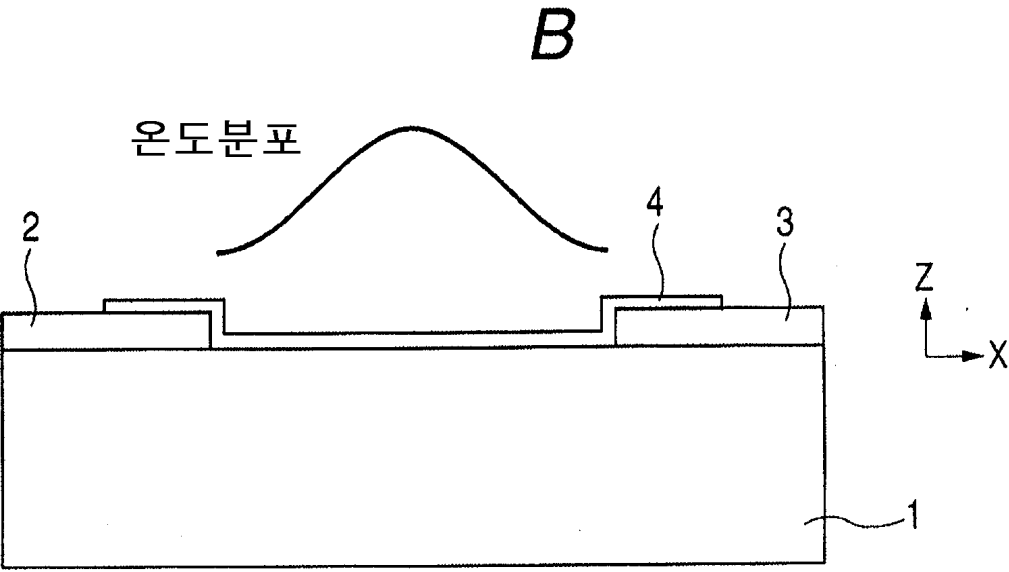
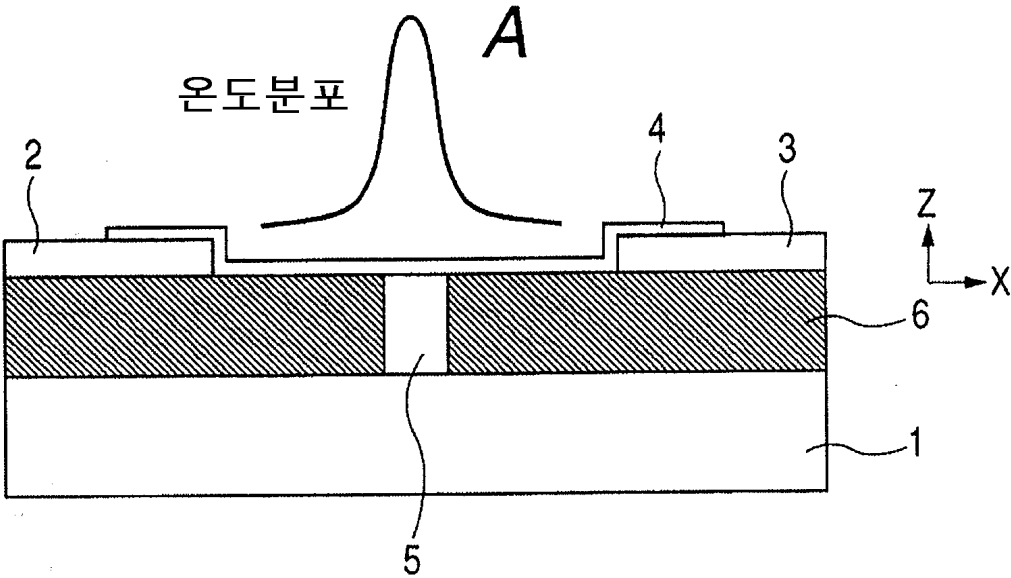
도면7



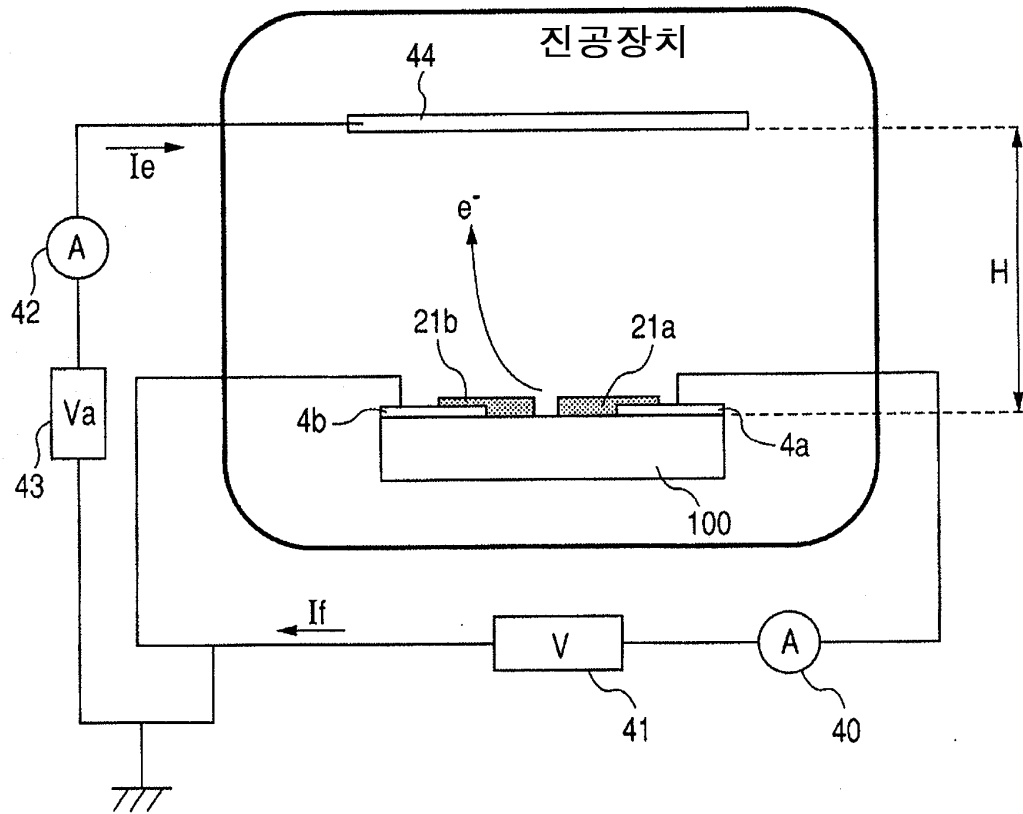
도면8



도면9

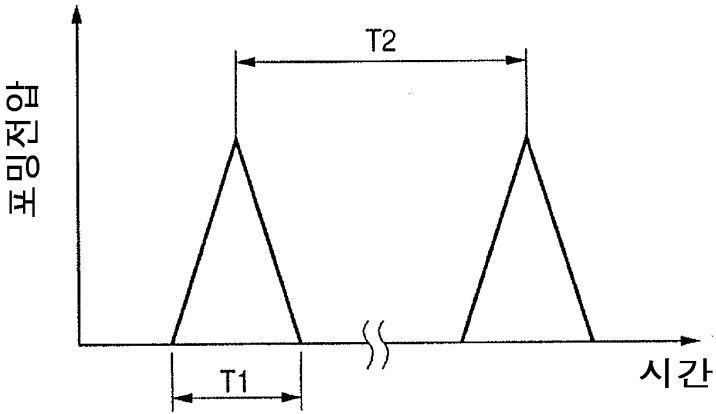


도면10

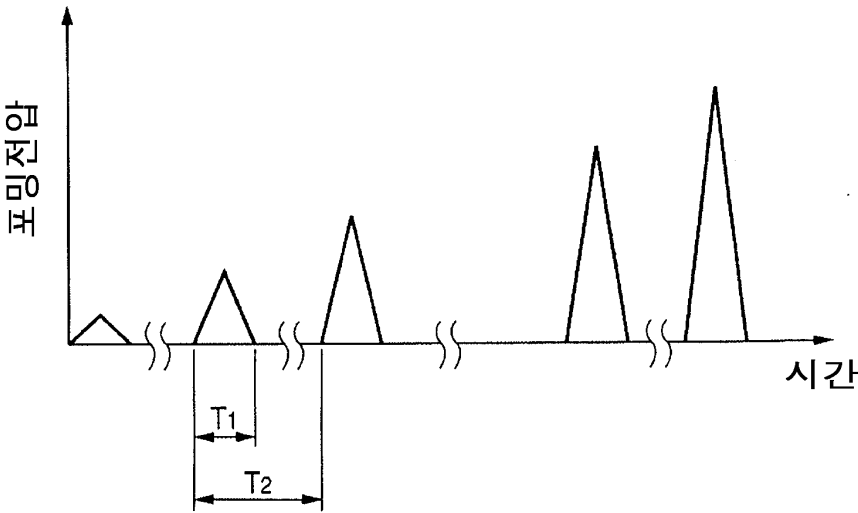


도면11

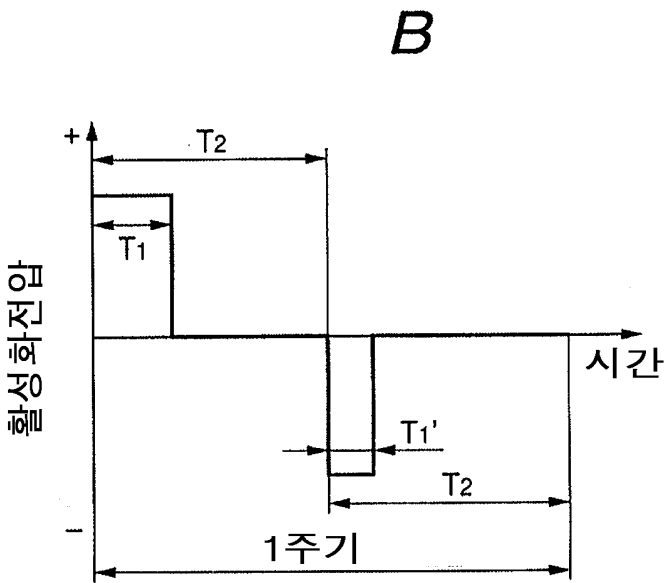
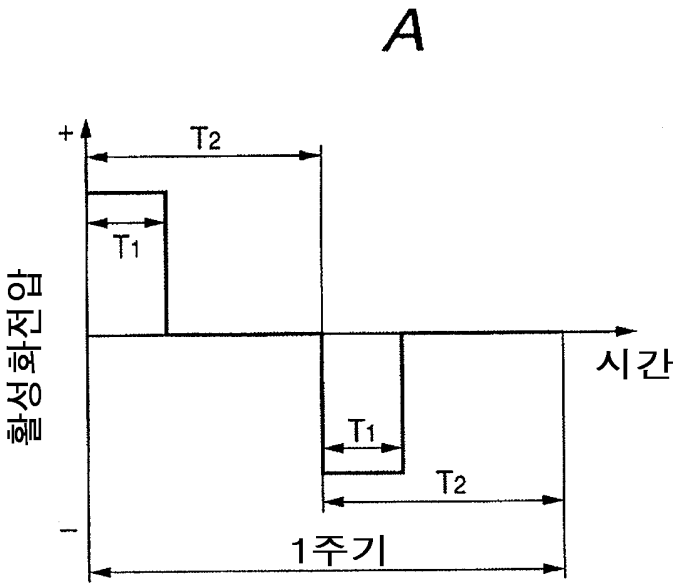
A



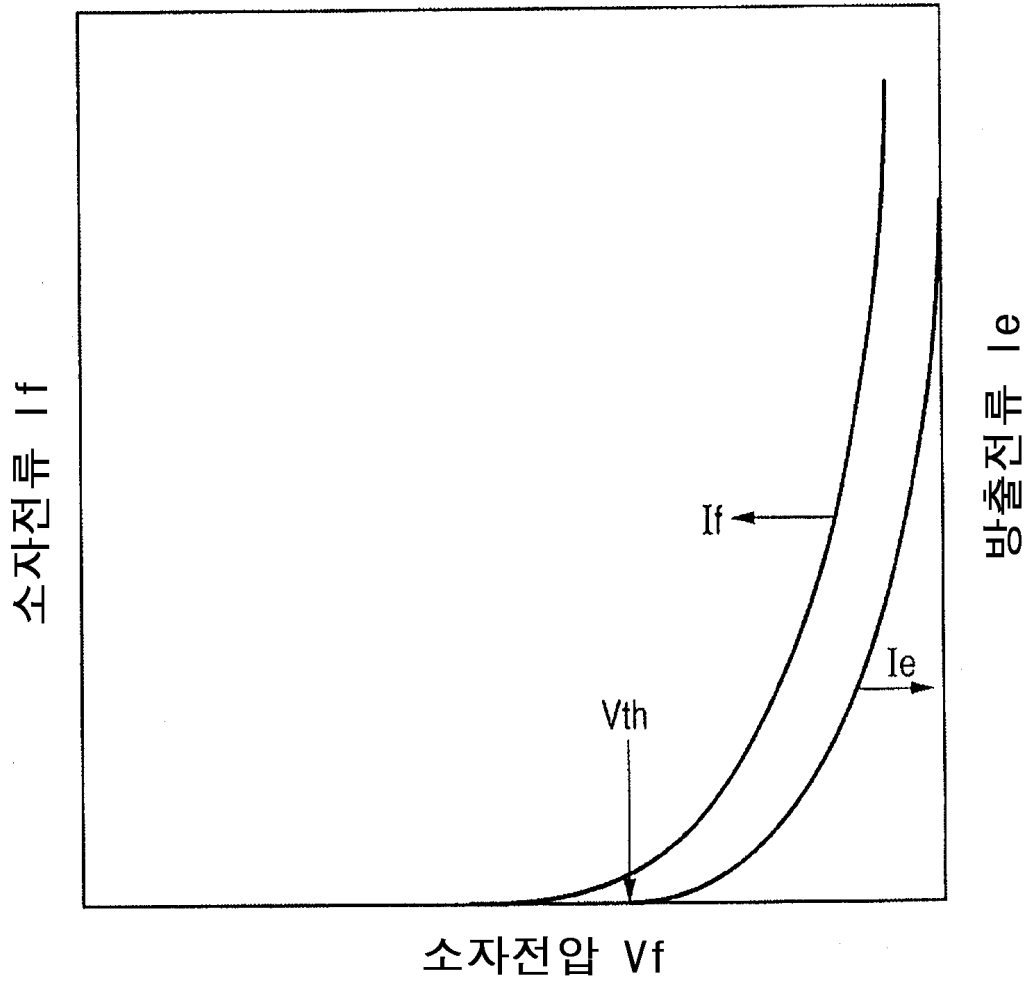
B



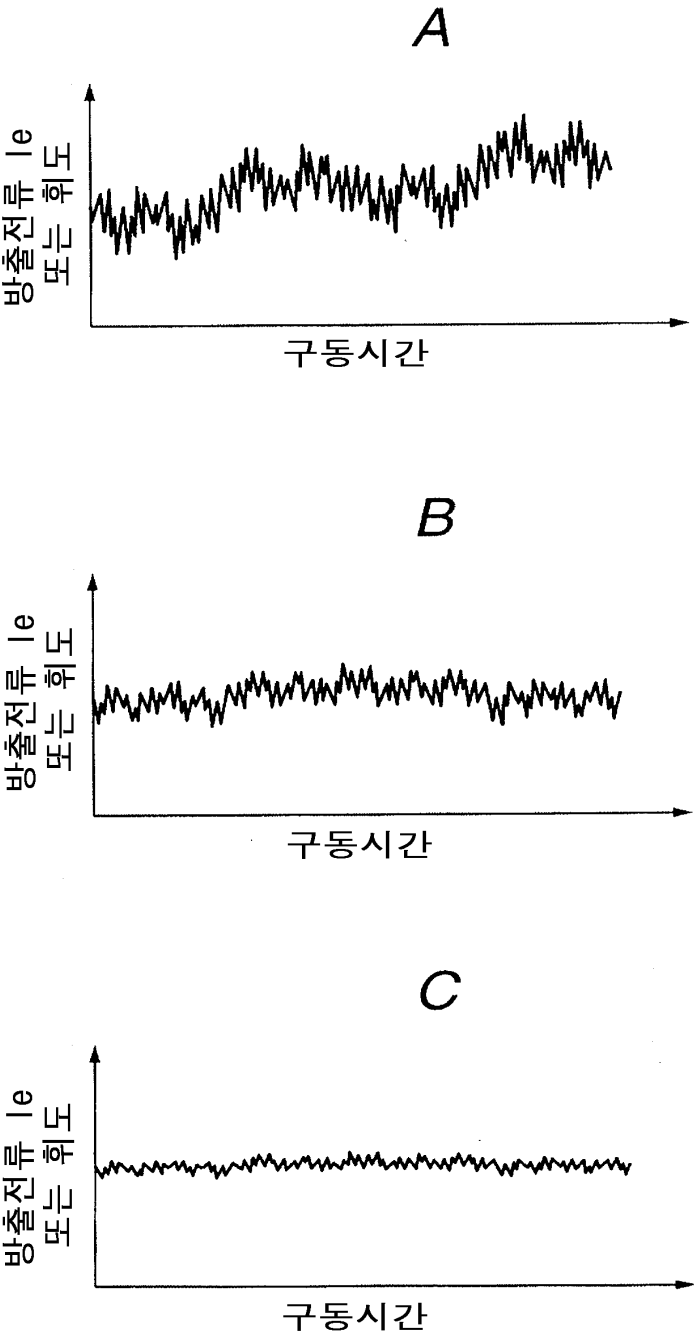
도면12



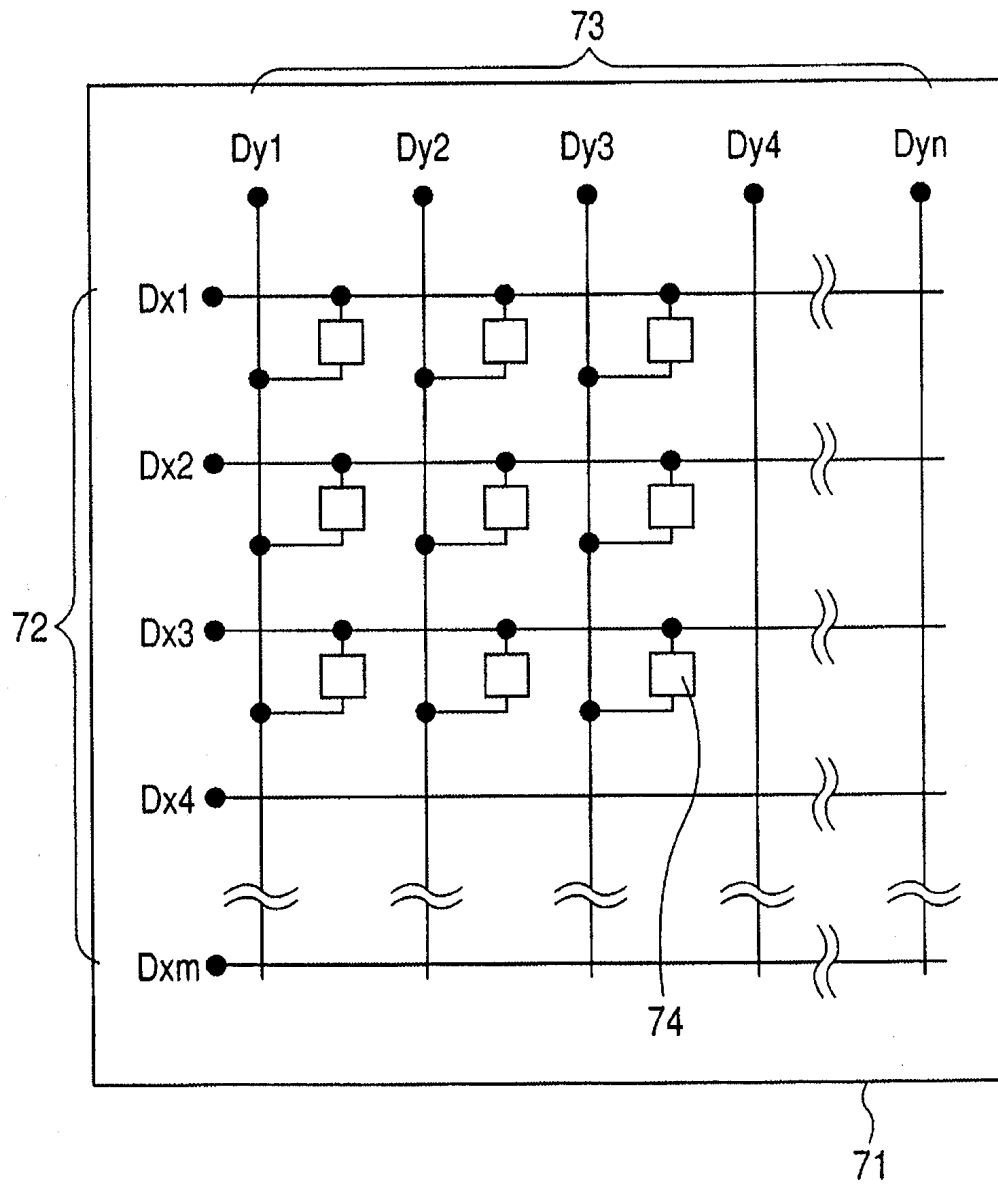
도면13



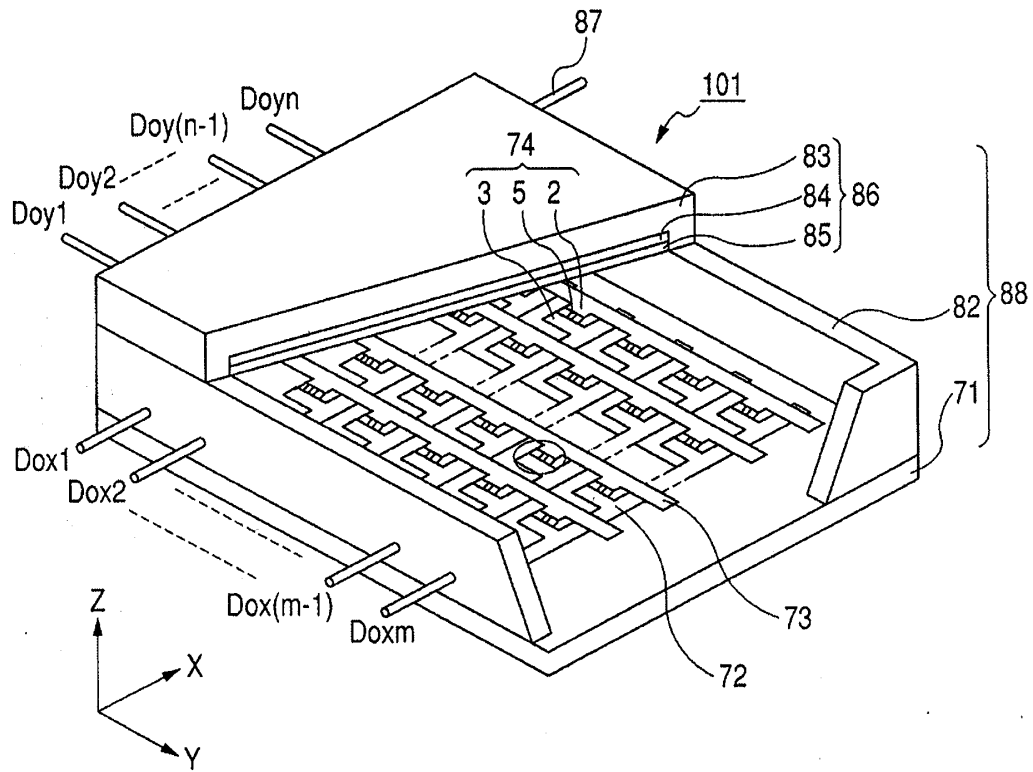
도면14



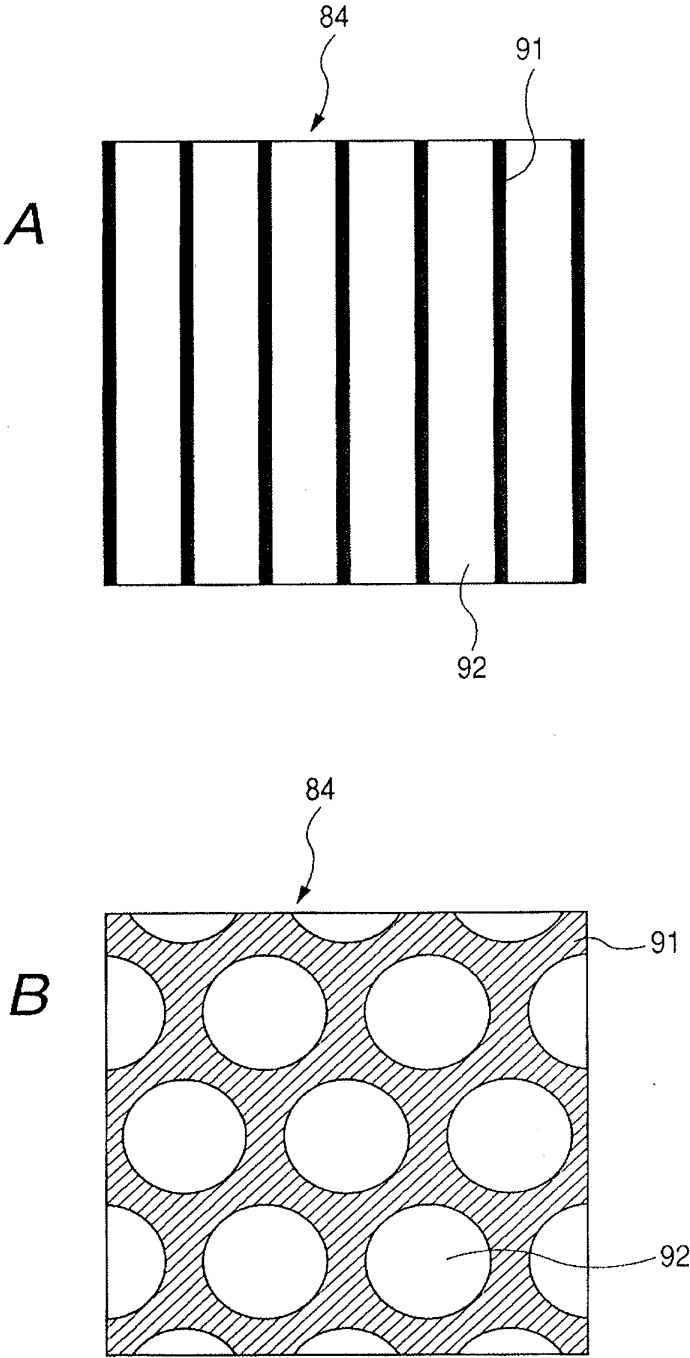
도면15



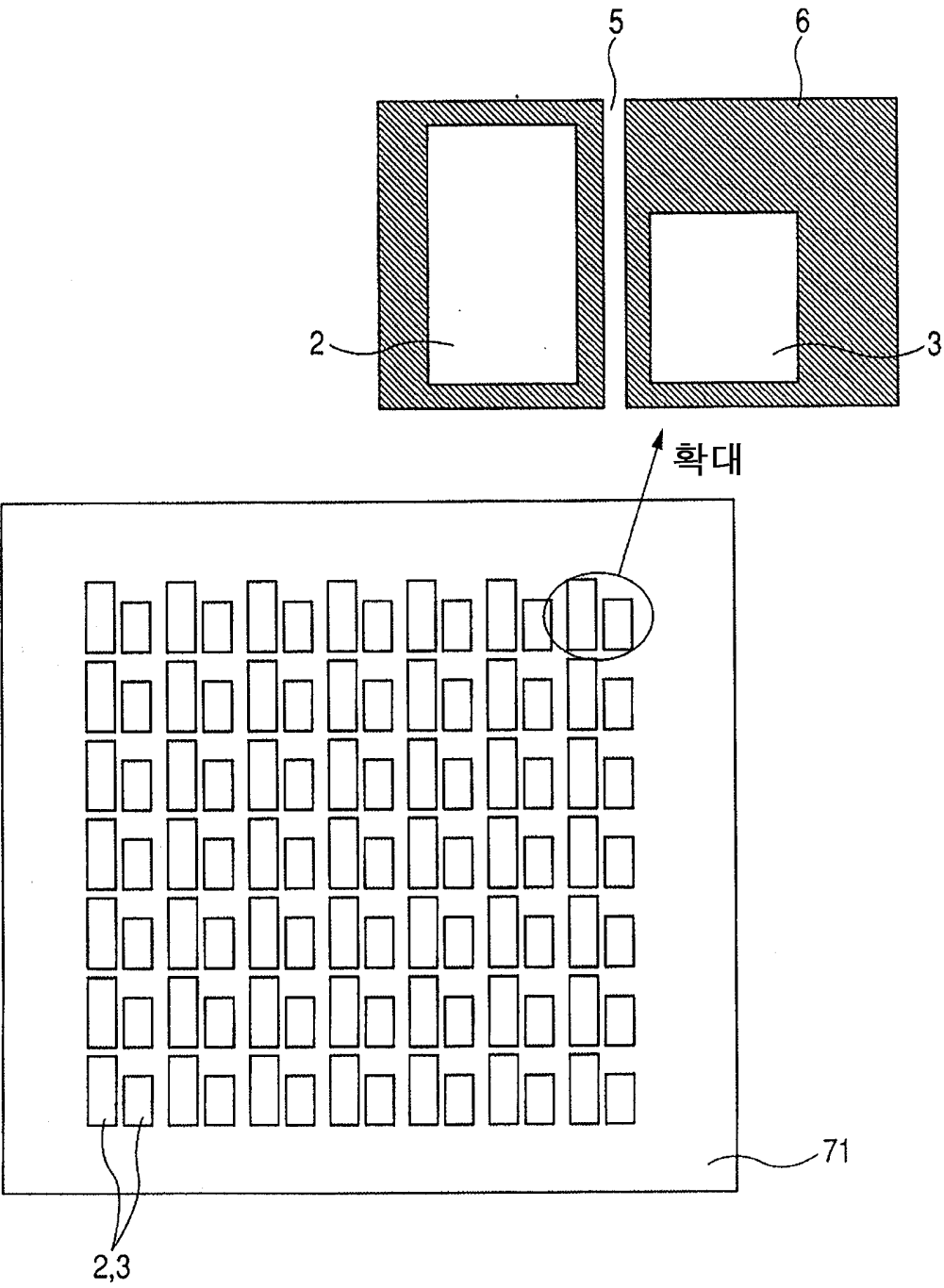
도면16



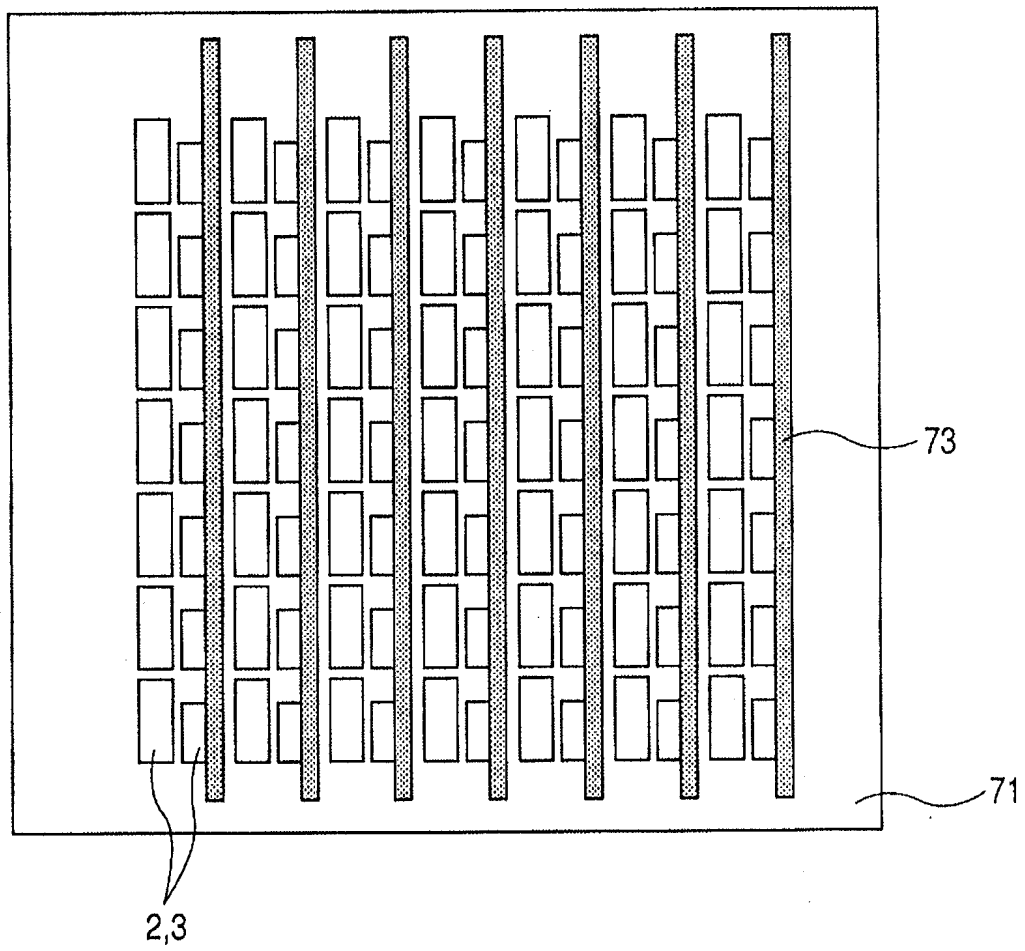
도면17



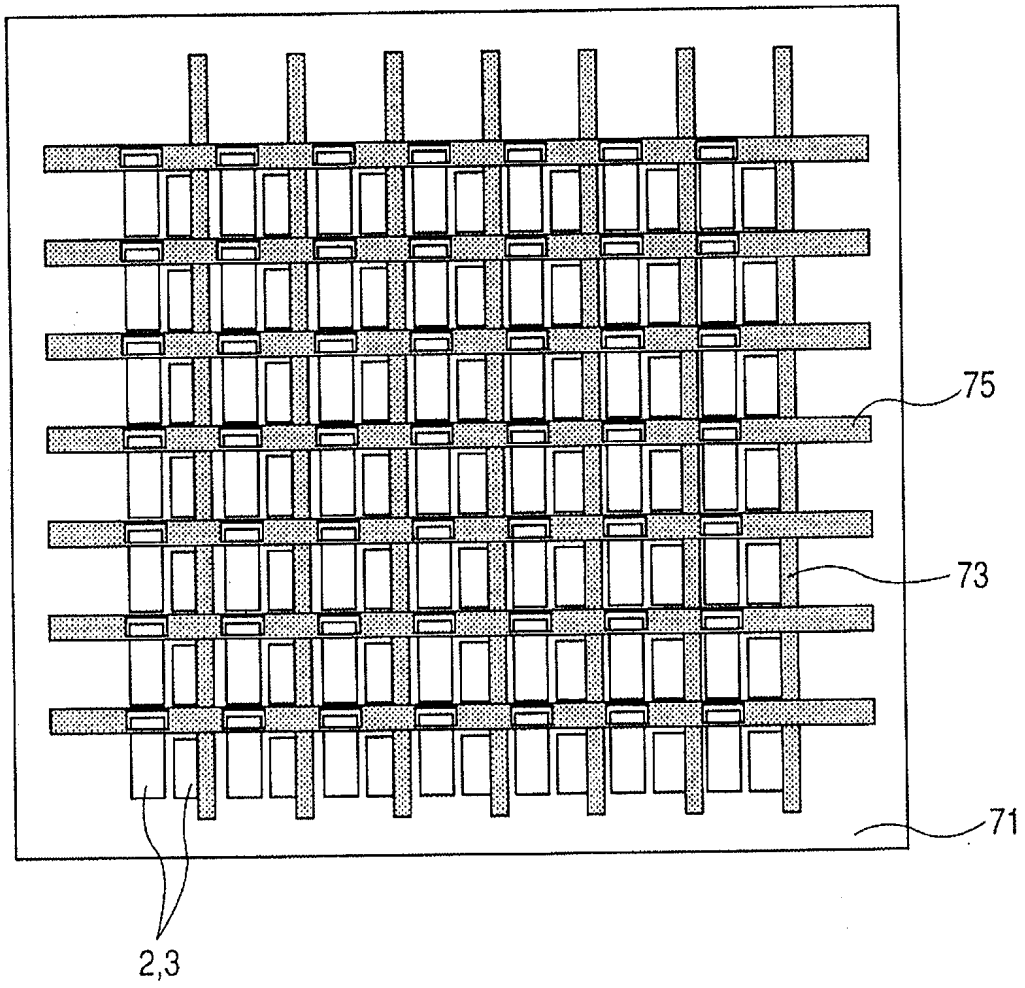
도면18



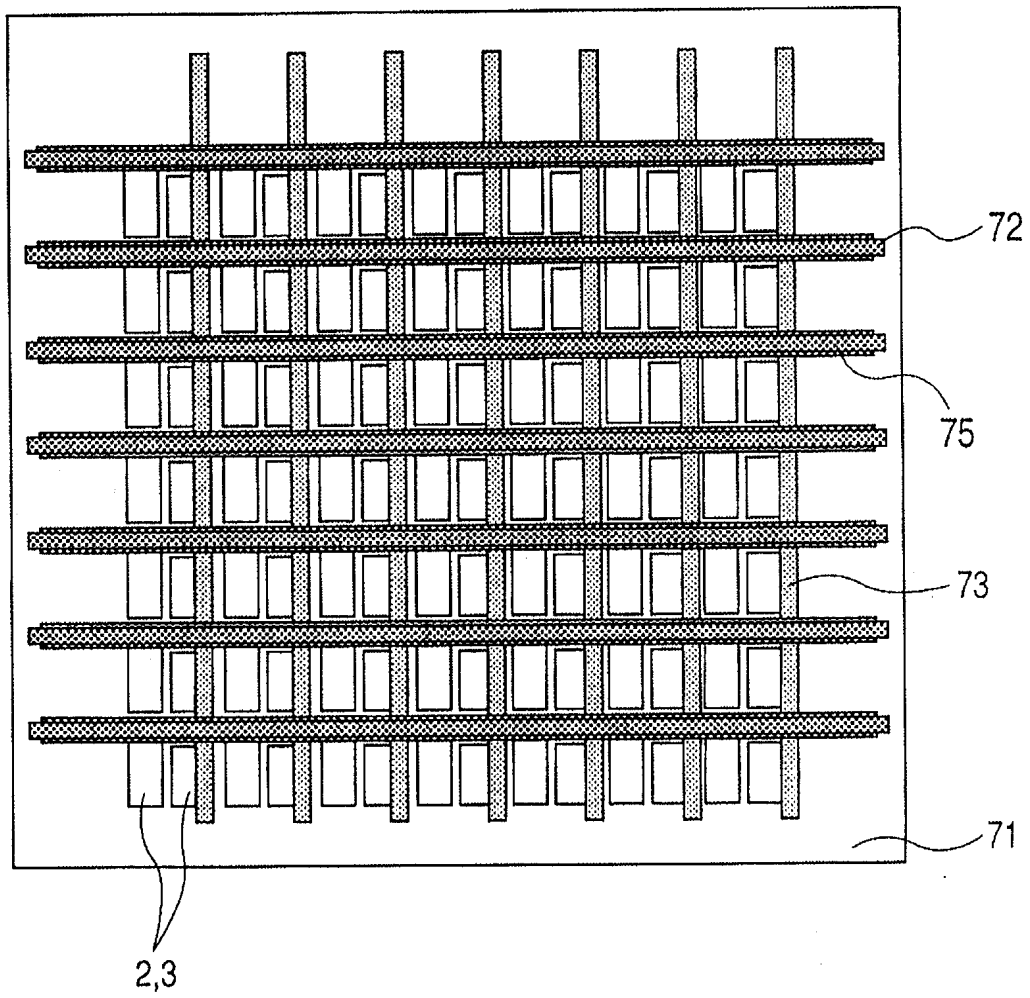
도면19



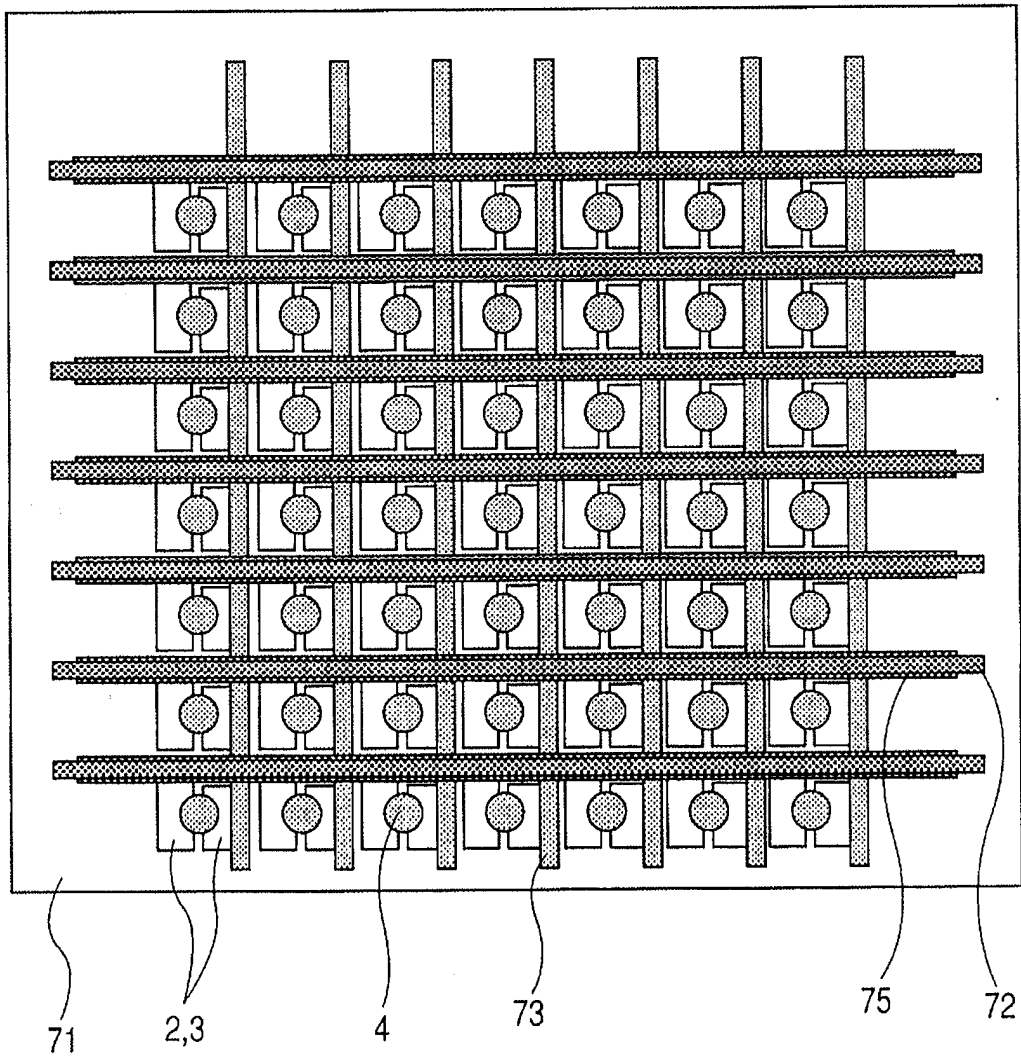
도면20



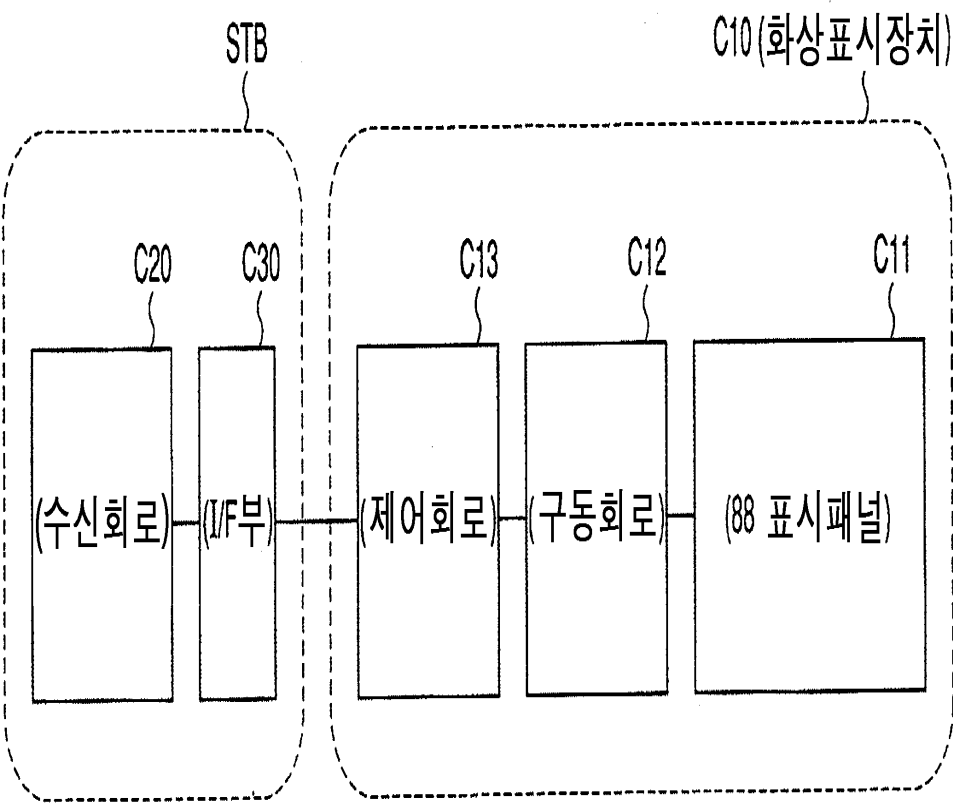
도면21



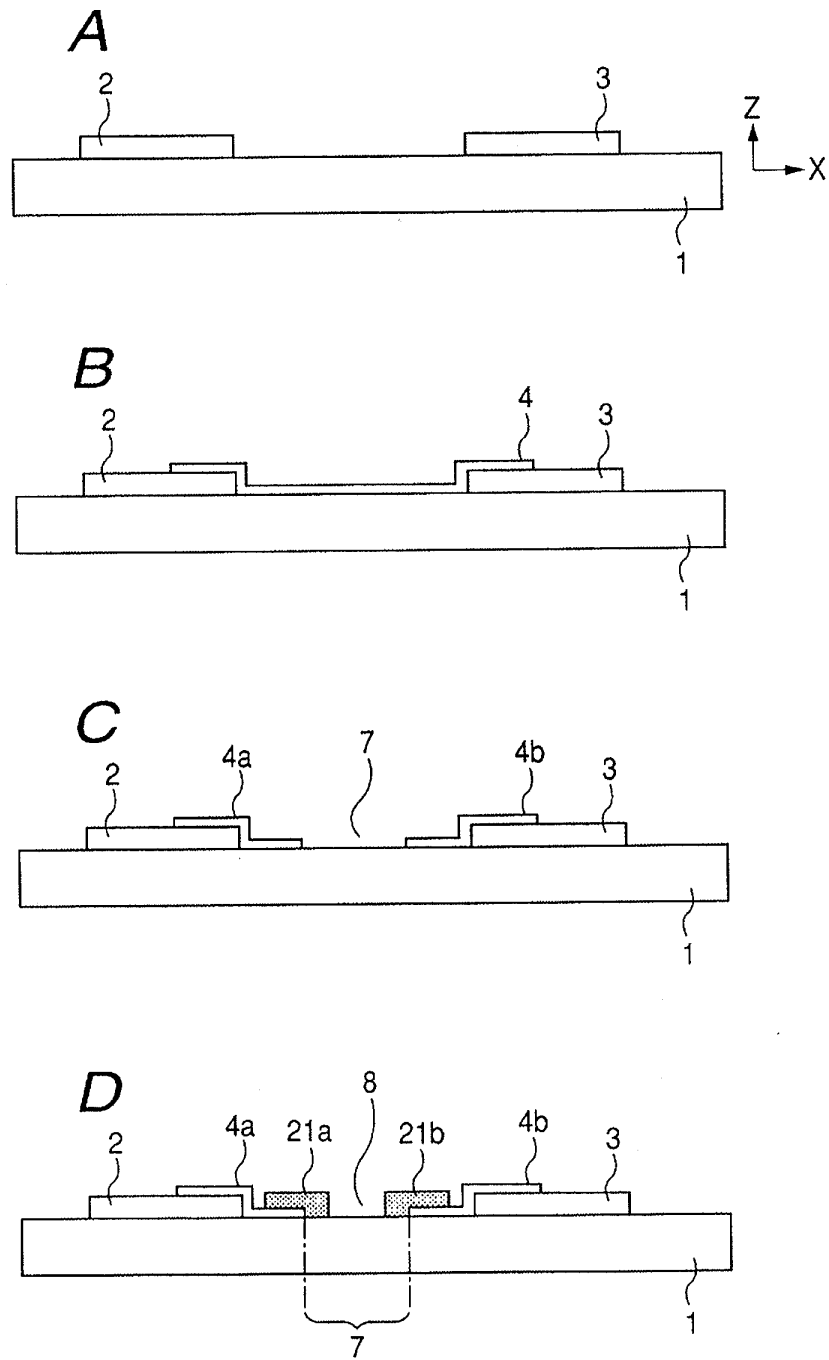
도면22



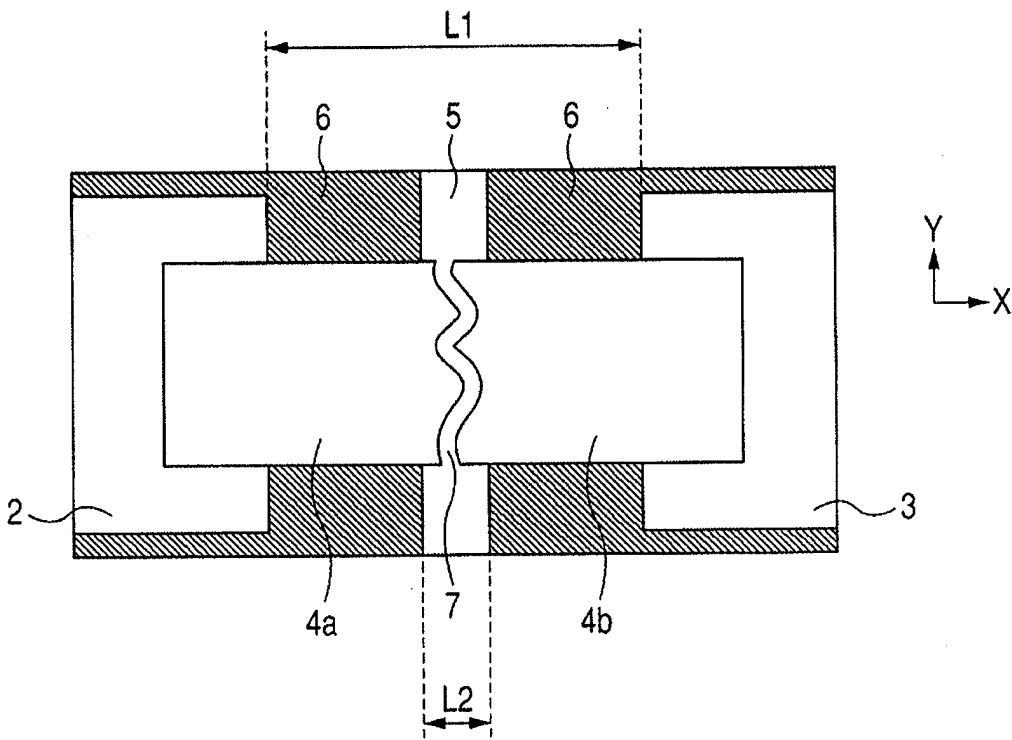
도면23



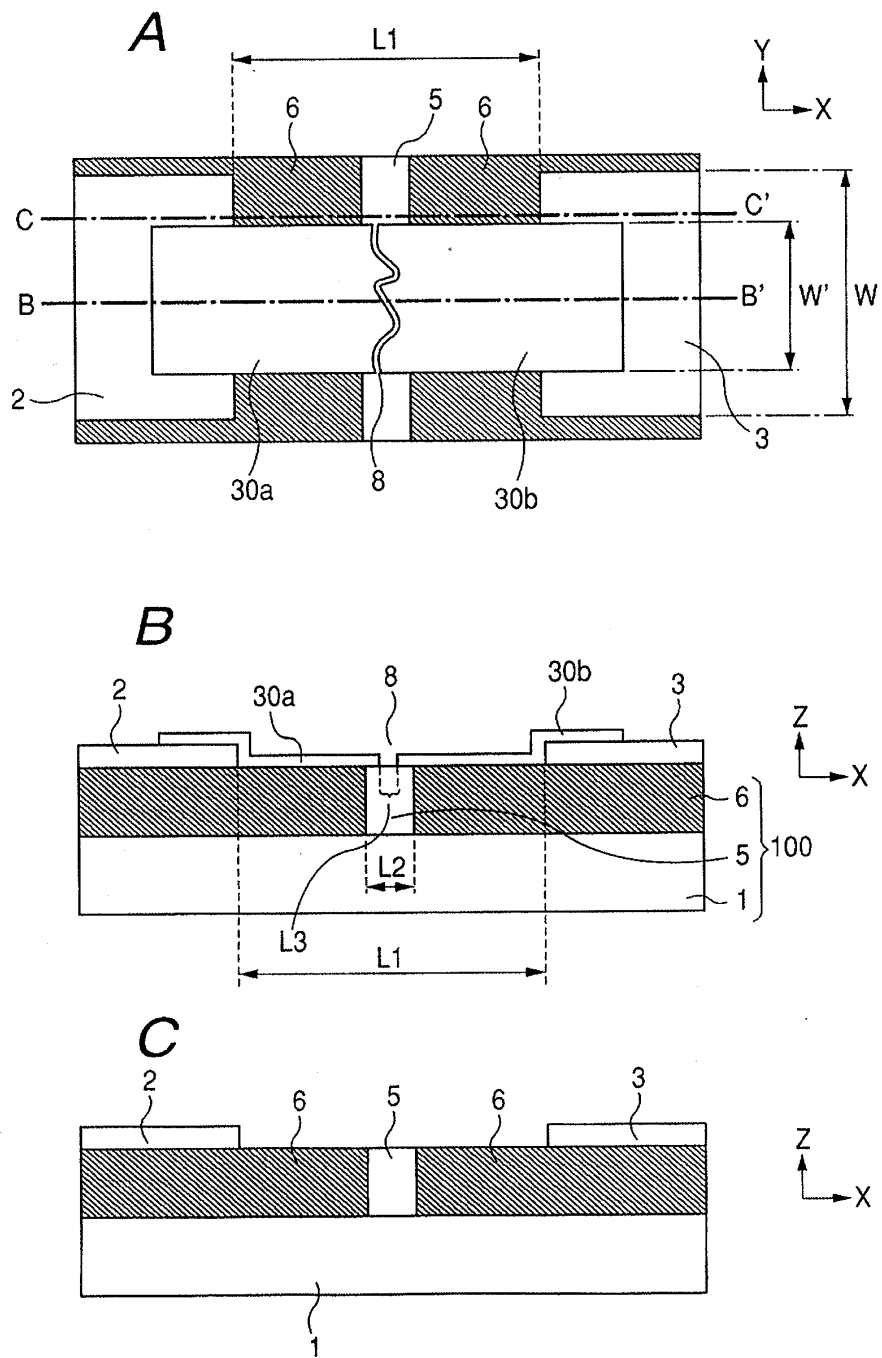
도면24



도면25



도면26



도면27

