

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03M 1/12 (2006.01)

H04L 1/00 (2006.01)

H04B 10/158 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 200510121544.4

[43] 公开日 2006年7月26日

[11] 公开号 CN 1808908A

[22] 申请日 2005.12.23

[21] 申请号 200510121544.4

[30] 优先权

[32] 2004.12.23 [33] FR [31] 0453202

[71] 申请人 阿尔卡特公司

地址 法国巴黎

[72] 发明人 A·比森 O·艾特萨布

[74] 专利代理机构 北京市中咨律师事务所

代理人 杨晓光 李 峰

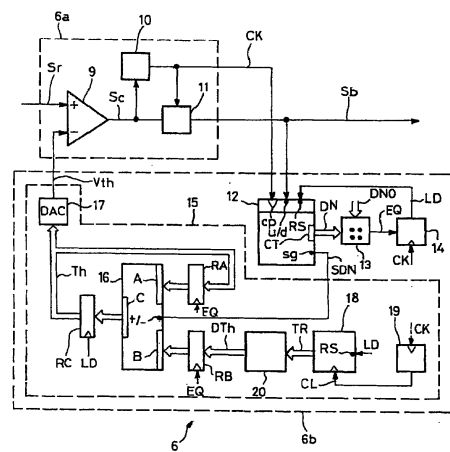
权利要求书 2 页 说明书 11 页 附图 2 页

## [54] 发明名称

具有判决电路和最佳判决阈值的模拟 - 数字转换器

## [57] 摘要

包括判决电路(6a)的装置, 通过将接收的已调制信号( $S_r$ )的振幅与判决阈值( $V_{th}$ ,  $Th$ )进行比较, 所述判决电路提供二进制信号( $S_b$ ), 该信号具有两个分别表示第一和第二二进制数值的状态, 分别对应接收信号的低值和高值。在连续的周期内激活的计数模块(12)计算表示二进制信号的两组分别具有第二二进制数值和第一二进制数值的比特数目之间代数差的差值(DN, SDN)。在每个周期的末尾, 按照差值的符号(SDN)分别是正还是负, 调整模块(15)通过增量(Dth)来增大或减小阈值( $V_{th}$ ,  $Th$ )。本发明具体应用于通过光连接以高比特率传输数字数据的系统。



1. 一种用于将接收信号 ( $S_r$ ) 转换为数字信号的装置 (6), 所述接收信号以时钟 (CK) 的定时速率调制并且包括采用在低和高振幅电平之间的调制形式的连续比特, 该装置包括:

- 判决电路 (6a), 用于提供作为所述接收信号 ( $S_r$ ) 的振幅 ( $V$ ) 与判决阈值电平的比较关系的函数的二进制信号 ( $S_b$ ), 根据所述振幅是小于或大于所述阈值, 所述二进制信号 ( $S_b$ ) 具有第一状态或第二状态, 所述第一和第二状态分别与第一和第二比特值相关联; 以及

- 控制电路 (6b), 用于调整所述判决阈值电平的阈值 ( $V_{th}$ ,  $T_h$ ); 所述装置特征在于所述控制电路 (6b) 包括:

- 第一计数模块 (12), 能够计算表示二进制信号比特的两个数目 ( $N_1$ ,  $N_0$ ) 之间代数差 (ADN) 的差值, 这两个数目分别具有所述第二二进制数值和所述第一二进制数值, 该计数模块提供所述差值的符号 (SDN) 指示;

- 第一计数模块 (12) 的控制模块 (13, 14), 用于定义计算所述差值的连续周期的持续时间 ( $T_R, tr_1 - tr_3$ ); 以及

- 调整模块 (15), 适于根据所述符号指示 (SDN) 分别表示正号还是负号, 在每个周期末尾, 通过增量值 ( $D_{Th}$ ) 来增大或减小所述阈值 ( $V_{th}$ ,  $T_h$ ).

2. 根据权利要求 1 的装置, 其特征在于: 所述控制模块 (13, 14) 接收所述差值 (ADN), 并将周期的末尾定义为从所述周期开始计算的所述差值的绝对值 (DN) 达到极限值 ( $DN_0$ ) 的时间, 该时间也定义下一个周期的开始。

3. 根据权利要求 2 的装置, 其特征在于: 所述调整模块 (15) 根据所述连续周期的所述持续时间 ( $T_R$ ) 的递减函数调整所述增量值 ( $D_{Th}$ ).

4. 根据权利要求 3 的装置, 其特征在于: 所述调整模块 (15) 包含定时电路 (18, 19), 该电路包括时钟脉冲 (CL) 源 (19) 和适于对每个所述连续周期中所述源产生的脉冲进行计数的第二计数模块 (18)。

5. 根据权利要求4的装置，其特征在于：所述源（19）产生所述时钟脉冲的频率是对接收信号（Sr）的调制进行定时的所述时钟频率（CK）的约数。

6. 一种用于传输系统的接收器（RX），其特征在于：该接收器包括根据权利要求1到5任意一项的装置（6）。

7. 一种传输系统，包括至少一个通过连接器（L）连接到接收器（RX）的发射器（TX），其特征在于所述接收器（RX）符合权利要求6。

## 具有判决电路和最佳判决阈值的模拟 - 数字转换器

### 技术领域

本发明涉及传送数字数据的电信系统。具体地涉及用于接收例如通过长距离光纤连接传输的高比特率数字信号的技术。

### 背景技术

传输系统典型地包括经由连接装置连接到接收器的一个或多个发射器，在光信号的情况下，所述连接装置可以包括单光纤和/或更复杂的连接介质，所述更复杂的连接介质例如包括光放大器和由耦合器、波导和光闸构成的转换器。

图 1 是传输系统一个例子的框图。光发射器 TX 在这里通过光放大器 4 耦合到光连接器 L 的一端，以将光信号 OSe 注入其中。耦合至光接收器 RX 的该连接器的另一端，向光接收器 RX 输出由发射信号 OSe 的传输而产生的光信号 OSr。

通常由站点（未示出）将要发送的信息提供给发射器 TX，并且通常采取形成连续比特的数字数据 De 的形式。数据提供到发射器的并行接口。从所述接口开始，发射器包括处理系统，该处理系统接连包含代码转换器模块 1、并 - 串转换器 2 和电 - 光转换器 3。这些组件对数字数据 De 进行编码，并将其转换为采取已调电信号形式的串行二进制信号 Se，然后通过通过对光载波进行调制将其转换为作为电信号 Se 的函数的光信号 Ose。

同样，为了使用波分复用，系统在转换器 3 和放大器 4 之间配备有多路复用器（未示出），用于合成源自多个发射器并以不同波长传输的多个信号。如果是这样，在连接器接收端和每个接收器之间还有必要提供分路器（未示出）。

接收器 RX 包括处理系统，该处理系统接连包含接收光信号 OSr 并提供已调电信号 Sr 的光-电转换器 5、从信号 Sr 形成串行二进制信号 Sb 的模拟-数字转换器 6、串-并转换器 7，以及提供对应于发送的数字数据 De 的接收数字数据 Dr 的译码器 8。

发射器的并-串转换器 2 以发送时钟 Ck 的定时速率产生已调电信号 Se，以便在连续周期中写入比特，所述连续周期中的每一个都具有与时钟周期相等的持续时间。发送时钟频率（也称为比特频率）确定传输的比特速率。

根据一种标准的调制格式，通常是 NRZ 或 RZ 型，通过调制电参数（典型地如电压）的振幅来获得电信号 Se。因此，信号 Se 采用在低和高振幅电平之间调制的形式传送连续的比特，低和高振幅电平分别表示第一和第二比特值，这里按照常规分别用“0”和“1”表示。

将信号 Se 转换成光信号 OSe 包括：对载波进行调制，尽管可以调制其相位或其光频或上述物理参数的组合，通常都是调制其振幅。

接收器 RX 的光-电转换器 5 适用于选择的用于发射的调制类型，以便提供能够再生发射电信号 Se 的调制电信号 Sr。与发射信号 Se 一样，接收信号 Sr 采用在低和高振幅电平之间调制的形式传送连续比特，按照常规低和高振幅电平分别代表二进制数值 0 和 1。

将接收信号 Sr 转换为数字串行信号的装置 6 必须实现两个主要功能：从接收信号 Sr 中恢复发射时钟 CK 的定时，并将接收信号 Sr 的振幅与判决阈值电平进行比较，在抽样窗口期间考虑比较结果，通过恢复的时钟定时和锁定的相位使所述窗口与信号同步。作为这一比较的结果，可以获得串行的二进制信号 Sb，即采用时钟 CK 的时间调制的信号，该信号在每个比特周期中采取第一或第二离散状态，这两个状态（典型地是第一和第二固定电压电平）分别代表接收信号 Sr 的低和高振幅电平，即按照惯例分别代表第一和第二二进制数值 0 和 1。

然后，可以利用恢复的时钟由接收器中更下游的标准数字电路对二进制信号 Sb 进行处理（具体是串-并转换器 7 和译码器 8）。

时钟定时恢复和比较功能由通常称为“判决电路”的电路来实现，其中分配给判决阈值电平的数值是用于正确识别传输后接收到的连续二进制数值的临界参数。在有利的情况下（稳定和标准的发射源、短传输距离、低比特率、低光杂波、光连接器的微弱退化），这一数值可以是固定的，并且通常使其直接等于接收信号  $S_r$  低电平和高电平的平均值。

另一方面，装置 6 必须包括控制装置，如果低电平和高电平有剧烈波动的倾向，例如根据发射信号的信源，作为信号在网络中所采取的路径的函数，或跟随由非线性效应引起的信号光杂波或失真上的变化，则控制装置可以自动补偿波动。

为此目的，在比较之前，接收信号  $S_r$  由与自动增益控制系统关联的放大器进行处理，所述自动增益控制系统调整信号的平均振幅（或 DC 部分）到恒定电平，例如，积分滤波器类型的模拟电路，在其输入端接收信号  $S_r$ ，在其输出端提供用于可变增益放大器的增益控制信号。

另一解决方案是考虑接收信号  $S_r$  的平均振幅，使用类似于上述电路的电路以将阈值电平维持在最佳值。

上述方法的缺点是难以实现具有充分的调整准确性的模拟电路。此外，其带宽和时间常数必须作为比特率的函数被优化，这不便于通过增加已安装系统的比特率来进行升级。

另一种方法是利用这一事实：数字数据传输系统通常采用前向纠错（FEC）方法来实时计算影响接收数据的误码率。误差检测器和校正器编码通常用于此，发射器将冗余数据作为选择的编码和要发送的信息数据  $D_e$  的函数来计算，然后冗余数据与信息数据一起发送。对信息数据的连续码组计算冗余数据，然后与其结合以形成连续发送的帧格式。

接收器接收的每帧数据由误差检测和纠错模块进行处理，以计算表示检测到的任意错误位置的错误伴随式并纠错。该模块还提供诸如检测的错误数量、误码率等的其它信息。例如，冗余数据在图 1 所示的代码转换模块 1 中进行计算。例如，错误伴随式在译码器 8 中进行处理。

## 发明内容

本文中，可以通过寻找将误码率最小化的最佳值来自动调节阈值电平。一个实施例采用最优化算法，并且要进行最小化的参数是对接收的连续帧测量到的误码率的连续值。然而，可以证明该方法是令人失望的，原因在于该算法可以朝向与最佳阈值并不对应的误码率的局部最小值收敛。

本发明利用了二进制传输的一般特性，从统计上来说，发送的 0 比特的数量和 1 比特的数量实际上是相等的。这种方法尤其适合许多采用传输前二进制数据加密编码 (scrambling) 和相应的接收端解码 (descrambling) 的传输系统。

在图 1 所示的代码转换模块 1 中实现的加密编码的目的是，例如，发送的二进制数据应该使得发送的以及最终从其接收的已调电信号和光信号具有利于接收器处理的特性。

所述特性之一是在由最小数量的预定义比特组成的任何数据序列中，0 比特的数量必然与 1 比特的数量保持接近。这就确保了在至少等于对应所述最小比特数量的传输时间的任何周期上，发射信号具有独立于发射信息的平均值。以便于时钟时间恢复为目的的特性的另一实例是连续的 0 比特序列和连续的 1 比特序列的持续时间是受限的。

在以上说明的观点中，本发明提出了避免上述解决方案缺陷的确定判决阈值的新方法。

为此目的，本发明包括用于将接收信号转换为数字信号的装置，该接收信号以时钟定时速率调制并且包括采用在低和高振幅电平之间的调制形式的连续比特，所述装置包括：

- 判决电路，用于提供作为所述接收信号的振幅与判决阈值电平比较关系的函数的二进制信号，根据所述振幅小于还是大于所述判决阈值电平，所述二进制信号具有第一状态或第二状态，所述第一和第二状态分别与第一和第二比特值相关联；

- 控制电路，用于调节所述判决阈值电平的阈值；

所述装置的特征在于所述控制电路包括：

· 第一计数模块，能够计算表示二进制信号的两个比特数量的代数差的差值，所述两个比特数量分别具有所述第二二进制数值和所述第一二进制数值，该计数模块提供所述差值符号的指示；

· 第一计数模块的控制模块，用于在计算所述差值期间定义连续周期的持续时间；以及

· 调整模块，适于根据所述符号指示分别是正号还是负号在每个周期末尾通过增量值来增大或减小所述阈值。

在本发明的实施例中，实现下列过程是特别简单的：所述控制模块接收所述差值，并将周期的末尾定义为从该周期开始计算的差值的绝对值达到极限值的时间，该时间还定义随后的周期的开始。

在加速调整的同时避免在最佳值临近处阈值的不稳定性的变型中，所述调整模块根据所述连续周期的持续时间的递减函数调整所述增量值。

在另一实施例中，所述调整模块包括定时电路，所述定时电路包括时钟脉冲源和适于对每个所述连续周期中由所述源产生的脉冲进行计数的第二计数模块。

所述源可以方便地产生所述时钟脉冲，其频率是对接收信号调制进行定时的时钟频率的约数。

本发明还提供了用于传输系统的包括上述类型转换器的接收器。

本发明最后提供包括上述类型接收器的传输系统。

## 附图说明

本发明的其它方面和优点将在说明书中结合附图的其它部分变得明显。

图 1 示出以上阐述的传输系统；

图 2 示出本发明的转换器的一个实施例；

图 3 包括用于说明本发明原理的接收信号例子的时序图；

图 4 的时序图示出在本发明一种变型中，阈值的增量值随时间进展的一个例子。

## 具体实施方式

图 2 概略显示并举例说明了本发明的转换器 6, 其可以构成图 1 所示的传输系统接收器 RX 的一部分。

转换器 6 包括与控制电路 6b 关联的判决电路 6a。标准类型的判决电路 6a 主要包括比较器 9, 在第一输入端接收来自光-电转换器 5 的信号  $S_r$ , 在第二输入端接收来自控制电路 6b 的阈值  $V_{th}$ 。比较器 9 的输出端连接到用于恢复时钟信号 CK 的电路 10 和抽样整形电路 11。

比较器 9 以常规的方法提供比较信号  $S_c$ , 该信号可以根据信号  $S_r$  的振幅小于还是大于阈值  $V_{th}$ , 来采取第一电平或第二电平。

由于信号  $S_c$  中存在转换, 电路 10 能够产生恢复的时钟信号 CK, 即具有与信号  $S_c$  相同比特频率和具有与该信号相位相关的相位的周期信号。电路 11 能够响应于时钟信号 CK 和比较信号  $S_c$ , 提供具有所需格式的校准的二进制信号  $S_b$ 。

本发明的控制电路 6b 用下面阐述的方式调整阈值  $V_{th}$ , 但是之前有必要通过图 3 的时序图来说明本发明的原理。

这些时序图显示了信号  $S_r$  的两个例子  $S_{r1}$  和  $S_{r2}$  的振幅  $V$  作为时间函数各自的变化,  $S_{r1}$  和  $S_{r2}$  包括相同的二进制序列 01101001。

用虚线表示的信号  $S_{r1}$  对应于理想的状态, 其中阈值  $V_{th}$  被正确调整, 即实质上等于信号振幅最低电平  $V_0$  和最高电平  $V_1$  的平均值。相反, 用实线表示的信号  $S_{r2}$  对应于不利的状态, 其中最高电平  $V_2$  较低, 同样的阈值  $V_{th}$  高于平均值。

很明显, 将信号  $S_{r1}$  的振幅和阈值  $V_{th}$  进行比较, 可以使比较器 9 很容易地提供比较信号  $S_c$ , 其连续的低或高电平对应于二进制序列。同样的对应关系也应用到最后得到的二进制信号  $S_b$ 。

另一方面, 对于给定振幅和相位噪声 (未示出) 的信号  $S_{r2}$ , 在发送时一个或多个具有值“1”的比特将有可能在接收时被识别为具有值“0”。同样的错误也会出现在二进制信号  $S_b$  中。

假设不存在错误的信号的任何“长”序列实质上应该包括与“1”比特相同数量的“0”比特，可以说在充分的给定周期（或足够的给定长度的二进制序列）上，二进制信号  $S_b$  的比特数量  $N_1$  和  $N_0$  之间的代数差  $ADN$  构成有效阈值  $V_{th}$  和最佳阈值之间差值的估算，所述比特数量  $N_1$  和  $N_0$  分别具有值“1”和“0”。这一估算忽略其它误差原因，但其作用是先验随机的，并且，其引起的误差从统计上来说对值“1”和“0”的影响相同，因此对差值  $ADN$  没有影响。

因此，差值  $ADN = N_1 - N_0$  的绝对值  $DN$  可以解释为包括  $N_1 + N_0$  比特的二进制序列中由不正确阈值引起的错误比特总数的两倍。此外，在这里采用惯例， $ADN$  的正值表示“1”比特过剩，因此阈值太低。相反地， $ADN$  的负值表示阈值太高。因此  $ADN$  的符号  $SDN$  表示其中阈值  $V_{th}$  的方向必须收敛于接近其最佳值。比值  $ER = DN / (N_1 + N_0)$ ，表示当前阈值和最佳阈值之间的差。注意该比值  $ER$  类似于相关序列的误比特率，并可以取小于或等于  $1/2$  的值。

因此可以设想将阈值  $V_{th}$  作为周期地计算的  $ER$  的函数来进行调整的控制系统。

尽管如此，本发明还是提出允许更简单的实现和更快速的控制的不同方法。更准确地说，该方法包括定义连续周期，在每个周期中，通过计数来计算表示二进制信号  $S_b$  的比特数量  $N_1$  和  $N_0$  之间的代数差  $ADN$  的差值，所述比特数量  $N_1$  和  $N_0$  分别具有第二二进制数值（“1”）和第一二进制数值（“0”）。特别地，该计算提供代数差  $ADN$  的符号  $SDN$  的指示。

然后，在每个周期的末尾，根据符号指示  $SDN$  对应于正号还是负号，通过增量值（正参数） $DV_{th}$  来分别增大或减小阈值  $V_{th}$ 。

连续周期可以用下述的简单方式来方便地确定。首先，将极限值  $DN_0$  分配给代数差  $ADN$  的绝对值  $DN$ 。然后，将正在进行计算的周期的末尾定义为从该周期开始计算的代数差  $ADN$  的绝对值  $DN$  达到预定的极限值  $DN_0$  的时间。该时间还定义了随后的周期的开始。

该方法的优点在于每个周期定义计数持续时间  $t_r$ ，其持续时间要短于快速达到设置在  $DN_0$  的若干误差的时间。

如果  $DR$  是信号  $S_b$  的数据速率， $DN$  达到  $DN_0$  的时间这样给出：

$$t_r = (N_0 + N_1) / DR \quad (1)$$

同时  $ER = DN / (N_1 + N_2)$  且  $DN = DN_0$ ：

$$t_r = DN_0 / (ER \cdot DR) \quad (2)$$

则阈值  $V_{th}$  的变化  $dV_{th}/dt$  的绝对速率是：

$$dV_{th}/dt = DV_{th}/t_r = DV_{th} \cdot ER \cdot DR / DN_0 \quad (3)$$

在最简单的情况下，可以选择恒定的增量值  $DV_{th}$ 。从等式 (3) 可以看出，阈值  $dV_{th}/dt$  的变化率与比值  $ER$  成正比，这意味着较短的控制响应时间，因为随着阈值  $V_{th}$  离其最佳值越来越远，调整会越来越快。

在寻求提高控制稳定性的变型中，当阈值  $V_{th}$  接近其最佳值时，根据时间  $t_r$  的递减函数调整增量值  $DV_{th}$ 。例如， $DV_{th}$  可以根据  $t_r$  的线性递减函数而变化，在这种情况下：

$$DV_{th} = \text{Max}(0, DV_{th0} - k_1 \cdot t_r) \quad (4)$$

其中  $DV_{th0}$  和  $k_1$  是常数，且：

$$dV_{th}/dt = DV_{th}/t_r = \text{Max}(0, DV_{th0} \cdot ER \cdot DR / DN_0 - k_1) \quad (5)$$

系数  $k_1$  的存在表示当  $ER$  达到抵消  $DV_{th}$  和  $dV_{th}/dt$  的极限值时， $V_{th}$  可以保持在稳定值。系数  $k_1$  的值由极限值的选择来确定，所述极限值对应于认为不必进一步试图减小的  $ER$  值。

在一个特殊情况下，可以用源来产生时钟脉冲，其具有与定时接收信号的调制的时钟频率  $CK$  成正比（有利地，出于成本原因作为时钟频率的约数）的频率，在这种情况下：

$$DV_{th} = \text{Max}(0, DV_{th0} - k_2 \cdot t_r \cdot DR) \quad (6)$$

其中  $k_2$  是常数，且：

$$dV_{th}/dt = DV_{th}/t_r = \text{Max}(0, DV_{th0} \cdot ER \cdot DR / DN_0 - k_2 \cdot DR) \quad (7)$$

可以看出在这种情况下，阈值  $dV_{th}/dt$  的变化率保持与数据速率  $DR$  成正比，这意味着在独立于数据速率的比值中，控制响应时间与数据速率

成反比。这导致了准确性方面的性能独立于数据速率。

图 4 的时序图说明了这两种情况。该图示出当阈值  $V_{th}$  逐渐向最佳阈值收敛时,对 DN 达到  $DN_0$  的时段  $tr_1 - tr_3$  进行计数的连续时钟脉冲的进展。最后得到的  $DV_{th}$  的值  $DV_{th1} - DV_{th3}$  绘在纵轴上。

在说明了本发明控制方法之后,接着考虑图 2 控制电路 6b 中的具体实现。

控制电路 6b 包括与到阈值调整模块 15 关联的第一计数模块 12。

第一计数模块 12 主要包括具有计数输入  $cp$  的常规的增减计数器、增或减计数选择输入  $u/d$ 、用于复位计数器归零的输入  $RS$ 、输出表示计数器状态的绝对值的二进制数的并行输出  $CT$ 、以及提供表示计数器状态符号  $SDN$  的信号输出端  $sg$ 。

输入  $cp$  和  $u/d$  分别接收恢复的时钟信号  $CK$  和二进制信号  $Sb$ 。

数字比较器 13 具有连接到模块 12 并行输出的第一输入端、接收二进制数  $DN_0$  的第二输入端,以及当其第一输入端接收的二进制数至少等于  $DN_0$  时提供激活信号  $EQ$  的输出端。然后,将信号  $EQ$  应用于由时钟信号  $SK$  控制的同步双稳态触发器 14。由双稳态触发器提供的信号  $LD$  应用于归零输入端  $RS$ 。

给出用于模块 12 输入端的信号,显然,根据信号  $Sb$  中出现的二进制数值 1 或 0,其计数状态通过每个对应时钟周期的单元来增加或减少。因此,模块 12 归零后,其接着包含等于从归零时刻起二进制信号中 1 和 0 比特数量之间的代数差的计数,即,由在并行输出端  $CT$  的其绝对值  $DN$  和在符号输出端  $sg$  的其符号  $SDN$  形成的代数差  $ADN$ 。

当  $DN$  达到  $DN_0$  时,信号  $EQ$  改变状态,信号  $LD$  在下一时钟周期变为激活,其使模块 12 归零。因而,部件 13 和 14 构成对计数模块 12 的控制模块,其定义连续周期的时间  $tr$ ,在该连续周期内计算差值  $ADN$ 。

阈值调整模块 15 包括加法器/减法器电路 16,具有两个并行输入端  $A$  和  $B$ 、并行输出端  $C$  以及加/减控制输入端  $+/-$ 。输入端  $A$  连接到由信号  $EQ$  控制的寄存器  $RA$  的输出端。输出端  $C$  连接到由信号  $LD$  控制的另一

个寄存器 RC。寄存器 RC 的输出端连接到数字 - 模拟转换器 17 的输入端和寄存器 RA 的输入端。控制输入端  $+/-$  接收指示符号的信号 SDN。控制器 17 在其输出端提供用于比较器 9 的阈值  $V_{th}$ 。

输入端 B 接收表示增量值  $DV_{th}$  的数值  $DTh$ 。该值可以是固定或变化的。这里描述的实施例符合各种选择。为此目的，输入端 B 连接到由信号 EQ 控制的第三寄存器 RB 的输出端。寄存器 RB 寄存由部件 18 至 20 提供的数值  $DTh$ ，后面将详细描述部件 18 至 20。

寄存器 RC 包含表示要使用的最新阈值  $V_{th}$  的数值  $Th$ 。寄存器 RA 包含表示之前的阈值  $V_{th}$  的数值  $Th$ 。

因此，当 DN 达到  $DN_0$  时，信号 EQ 改变状态并使表示最新阈值的  $Th$  值和表示增量值  $DV_{th}$  的数值  $DTh$  分别寄存在寄存器 RA 和 RB。

根据此时符号 SDN 是正还是负，命令电路 16 作为加法器或作为减法器进行操作，并在其输出端 C 提供由  $DTh$  分别增大或减小的先前值作为  $Th$  的新数值。然后，响应于信号 LD 在下一时钟周期中的激活，将该  $Th$  值寄存在寄存器 RC。

图 2 的装置也可使用本发明的变型，根据在计算差值  $ADN$  的时间  $t_r$  期间的正递减函数来调整增量值  $DV_{th}$ 。

为此目的，提供定时电路，该电路包括时钟脉冲 CL 的源 19 以及对源 19 产生的脉冲进行计数的第二计数模块 18。模块 18 具有接收信号 LD 的归零输入端以及连接到用作数字转换表的数字代码转换器 20 输入端的并行输出端。

因此，当响应于信号 LD 的激活将  $Th$  的新数值寄存在寄存器 RC 中时，第二计数模块 18 归零。然后其对源 19 产生的脉冲进行计数。因此，其状态从其归零开始发展而来，采取用于代码转换器 20 的输入端的计数值，该计数值与经过的时间成正比的。

DN 达到 0 的时间定义了计算差值  $AND$  的周期的结束。此时，信号 EQ 改变状态，计数模块 18 在其输出端具有与所述周期的持续时间  $t_r$  成正比的计数值  $TR$ ，并且，数字代码转换器 20 在其输出端输出表示新的增量

值 DVth 的数值 DTh。接着，信号 EQ 的状态改变使得新的增量数值 DTh 寄存到寄存器 RB。

可以对数字代码转换器 20 进行编程以将选择的数字函数应用到其在输入端接收的二进制数，即数值 TR，例如，在表达式保持正值的情况下，则该函数可以采用  $DTh = DTh0 - K1.TR$  形式的线性函数，在相反的情况下，该函数保持等于 0。

时钟脉冲 CL 由源 19 以恒定频率产生，该频率可以远低于信号的比特频率。也可以用独立于比特频率的固定比例使时钟频率 CL 等于比特频率的约数。这可以通过利用在输入端接收时钟信号 CK 的分频器作为源 19 来完成。

对于实际的执行过程，必须选择 DN0 的值。该选择并不是决定性的，而且实质上可以取决于需要的控制响应时间和比特率。例如大约为 100 的值适合大多数的普通情况。

在增量值 DVth 可变的本发明的变型中，还定义适用于增量的最小和最大变化步进。可以把其定义为阈值 Vth 允许的百分比变化范围，例如使其分别等于 1% 和 20%。

上述选择允许相应地调整控制电路 6b 各种数字元件的大小。

当然，本发明不仅限于刚才描述的实施例。特别地，数字电路可以由安排用于执行类似功能的数字处理装置代替。



图 3

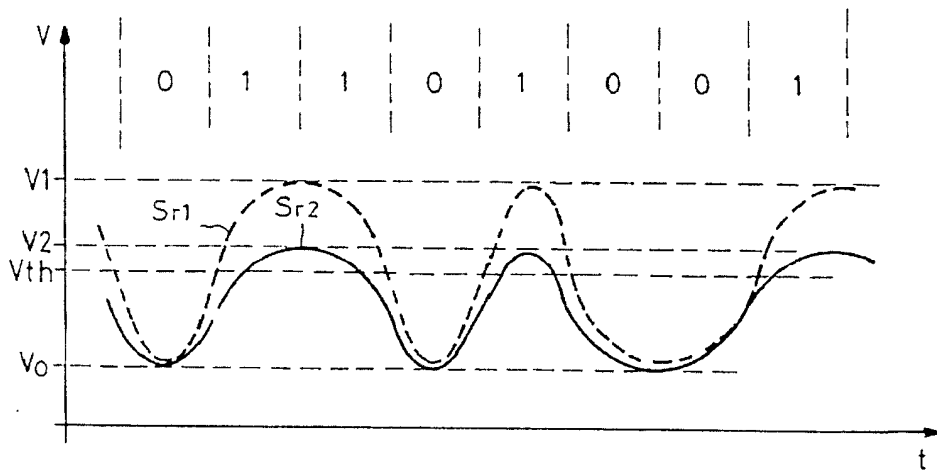


图 4

