



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월13일
(11) 등록번호 10-1865123
(24) 등록일자 2018년05월31일

(51) 국제특허분류(Int. Cl.)
H05K 3/34 (2006.01) H05K 3/06 (2006.01)
(21) 출원번호 10-2011-0111872
(22) 출원일자 2011년10월31일
심사청구일자 2016년08월18일
(65) 공개번호 10-2013-0047080
(43) 공개일자 2013년05월08일
(56) 선행기술조사문헌
KR100815361 B1*
(뒷면에 계속)

(73) 특허권자
해성디에스 주식회사
경상남도 창원시 성산구 웅남로 726(성주동)
(72) 발명자
권순철
경기도 성남시 분당구 판교로319번길 6, 삼성테크
윈 R&D 센터 (삼평동)
이상민
경기도 성남시 분당구 판교로319번길 6, 삼성테크
윈 R&D 센터 (삼평동)
(74) 대리인
특허법인명인

전체 청구항 수 : 총 21 항

심사관 : 김상걸

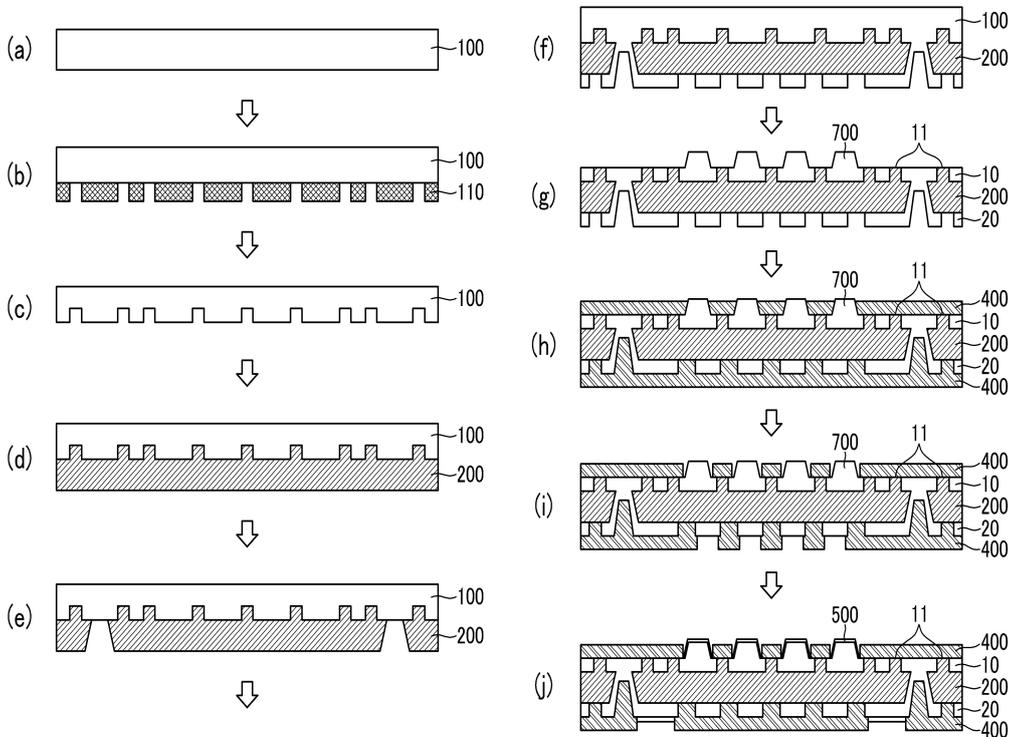
(54) 발명의 명칭 **메탈 포스트를 구비한 회로기판 제조방법 및 그 제조방법에 의해 제조된 회로기판**

(57) 요약

본 발명은 메탈 포스트가 형성되어 있는 회로기판을 제조하는 방법 및 그 제조방법에 의해 제조된 회로기판에 관한 것으로서, 별도의 메탈 포스트를 형성시키기 위한 도금 공정을 거치지 않고, 메탈 포스트를 구비한 회로기판 제조방법 및 그 제조방법에 의해 제조된 회로기판을 제공하는 데 있다.

(뒷면에 계속)

대표도 - 도3a



상기의 기술적 과제를 해결하기 위한 수단으로써, 본 발명은 (a) 전도성 소재의 기판을 준비하는 단계; (b) 상기 기판의 일 면에 제1 회로 패턴의 절연부에 상응하는 영역을 선택적으로 제1 에칭하는 단계; (c) 상기 제1 에칭된 상기 기판의 일 면에 제1 절연층을 적층하는 단계; 및 (d) 상기 기판의 타 면에 상기 메탈 포스트 및 상기 제1 회로 패턴이 외부로 노출되도록 제2 에칭하는 단계; 를 포함하는 메탈 포스트를 구비한 회로기판 제조방법을 제공한다.

또한, 본 발명은 적어도 일 면에 메탈 포스트를 구비한 회로기판에 있어서, 상기 메탈 포스트가 형성된 상기 기판의 일 면에 형성된 제1 회로 패턴; 및 상기 제1 회로 패턴이 형성된 상기 기판의 내측에 위치하고, 상기 제1 회로 패턴의 절연부에 상응하는 영역이 돌출 형성되어 상기 제1 회로 패턴의 절연부를 이루는 절연층; 을 포함하되, 상기 메탈 포스트 및 상기 제1 회로 패턴은 상기 절연층이 적층된 전도성 소재 기판의 일 면을 에칭하여 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판을 제공한다.

본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 전도성을 가진 기판에 에칭을 통해 메탈 포스트를 형성함으로써 메탈 포스트의 높이 차이에 대한 불량 또는 메탈 포스트 형상에 대한 불량이 발생하지 않는 효과가 있다.

(56) 선행기술조사문헌

JP2004140248 A*

JP2001036200 A*

KR100660027 B1*

KR1020110003093 A*

KR1020000025527 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

적어도 일 면에 플립칩 본딩용 메탈 포스트를 구비한 코어리스 회로기판 제조방법에 있어서,

- (a) 전도성 소재의 기판을 준비하는 단계;
 - (b) 상기 기판의 일 면에 제1 회로 패턴의 절연부에 상응하는 영역을 선택적으로 제1 에칭하는 단계;
 - (c) 상기 제1 에칭된 상기 기판의 일 면에 제1 절연층을 적층하는 단계; 및
 - (d) 상기 기판의 타 면에 상기 메탈 포스트 및 상기 제1 회로 패턴이 외부로 노출되도록 제2 에칭하는 단계; 및
 - (g) 상기 기판 중 적어도 일 면에 PSR(Photo Solder Resist)을 도포하는 단계;를 포함하고,
- 상기 (g) 단계는,

상기 메탈 포스트가 외부로 노출되도록, 상기 메탈 포스트에 상응하여 상기 PSR에 대해 LDI(Laser Direct Image) 방식으로 노광 및 현상을 하거나, LDA(Laser Direct Ablation) 방식에 의해 상기 PSR을 제거하되, 상기 PSR은 그 표면 높이가 상기 메탈 포스트의 표면 높이와 일치하게 형성되고 상기 제1 회로패턴을 외부로 노출되지 않도록 베리드 패턴(burried pattern)으로 형성시키는 것을 특징으로 하는, 메탈 포스트를 구비한 회로기판 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 (d) 단계는,

- (d1) 상기 기판의 타 면에 제2 감광성 레지스트층을 형성하는 단계;
- (d2) 상기 메탈 포스트에 상응하여 상기 제2 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; 및
- (d3) 상기 제2 감광성 레지스트층을 통해 외부로 노출된 상기 기판을 제거하여, 상기 메탈 포스트 및 상기 제1 회로 패턴이 형성되도록 제2 에칭하는 단계;

를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 4

제 1 항에 있어서,

상기 메탈 포스트를 구비한 회로기판은,

상기 제1 절연층이 적층된 상기 기판의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 5

제 1 항에 있어서,

상기 (c) 단계와 상기 (d) 단계 사이에,

상기 제1 절연층이 적층된 상기 기판의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 6

제 1 항에 있어서,
 상기 (d) 단계 이후에,
 상기 제1 절연층이 적층된 상기 기판의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 7

제 5 항에 있어서,
 상기 제2 회로 패턴을 형성하는 단계는,
 (ca) 상기 기판의 타 면에 제2 감광성 레지스트층을 형성하는 단계;
 (cb) 상기 기판의 일 면에 제3 감광성 레지스트층을 형성하는 단계;
 (cc) 상기 제2 회로 패턴에 상응하여 상기 제3 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; 및
 (cd) 상기 제3 감광성 레지스트층을 통해 노출된 영역에 도금을 하는 단계;
 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 8

제 7 항에 있어서,
 상기 (d) 단계는,
 (d1) 상기 메탈 포스트에 상응하여 상기 제2 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계;
 (d2) 상기 제2 감광성 레지스트층을 통해 외부로 노출된 상기 기판을 제거하여, 상기 메탈 포스트 및 상기 제1 회로 패턴이 형성되도록 제2 에칭하는 단계; 및
 (d3)상기 제2 감광성 레지스트층 및 상기 제3 감광성 레지스트층을 동시에 제거하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 9

제 8 항에 있어서,
 상기 (ca) 단계 이전에,
 상기 제1 절연층이 적층된 상기 기판의 일 면에 무전해 도금을 하는 단계;
 를 더 포함하고,
 상기 (d3) 단계 이후에,
 상기 제2 회로 패턴을 형성한 상기 기판의 일 면에 플래쉬 에칭을 하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 10

제 5 항 및 제 6 항 중 어느 한 항에 있어서,
 상기 제2 회로 패턴을 형성하기 이전에,
 상기 제1 절연층을 관통하는 비아를 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 11

제 1 항에 있어서,

상기 (c) 단계는, 상기 제1 에칭된 상기 기관의 일 면에 제1 절연층 및 제1 전도층을 형성하는 것을 특징으로 하고,

상기 메탈 포스트를 구비한 회로기관은,

상기 제1 전도층이 형성된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 12

제 11 항에 있어서,

상기 (c) 단계에서, 제1 전도층은 제1 절연층과 동시에 적층하여 형성하거나, 상기 제1 절연층이 형성된 상기 기관의 일 면에 무전해 도금을 하여 형성하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 13

제 11 항에 있어서,

상기 (c) 단계와 상기 (d) 단계 사이에,

상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 14

제 11 항에 있어서,

상기 (d) 단계 이후에,

상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하는 단계;

를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 15

제 11 항에 있어서,

상기 (d) 단계는,

상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하되,

상기 제2 에칭은 상기 기관의 양면을 에칭하여 메탈 포스트, 상기 제1 회로 패턴 및 상기 제2 회로 패턴이 형성 되도록 하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 16

제 15 항에 있어서,

상기 (d) 단계는,

(d1) 상기 기관의 일 면 및 타 면에 각각 제4 감광성 레지스트층 및 제2 감광성 레지스트층을 형성하는 단계;

(d2) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 각각 상기 메탈 포스트 및 상기 제2 회로 패턴에 상응하여 선택적으로 노광 및 현상하는 단계; 및

(d3) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 통해 외부로 노출된 상기 기관의 양면을 제거하여 상기 메탈 포스트, 상기 제1 회로 패턴 및 상기 제2 회로 패턴이 형성되도록 제3 에칭하는 단계;

를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법.

청구항 17

제 16 항에 있어서,
 상기 (d1) 단계는,
 상기 제2 감광성 레지스트층을 상기 기판의 타 면에 형성하는 단계;
 상기 기판의 일 면에 전해 방식의 도금을 하는 단계; 및
 상기 기판의 타 면에 제4 감광성 레지스트층을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 18

제 16 항에 있어서,
 상기 (d) 단계는,
 (d4) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 동시에 제거하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 19

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,
 상기 제2 회로 패턴을 형성하기 이전에,
 상기 제1 전도층 및 상기 제1 절연층을 관통하는 비아를 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 20

제 5 항, 제 6 항, 제 13 항 및 제 14 항 중 어느 한 항에 있어서,
 상기 메탈 포스트를 구비한 회로기판 제조방법은,
 (e) 상기 제2 회로 패턴이 형성된 상기 기판의 일 면에 제2 절연층을 적층하는 단계; 및
 (f) 상기 제2 절연층이 적층된 상기 기판의 일 면에 에디티브법에 의해 제3 회로 패턴을 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 21

제 5 항, 제 6 항, 제 13 항 및 제 14 항 중 어느 한 항에 있어서,
 상기 메탈 포스트를 구비한 제조방법은,
 (e) 상기 제2 회로 패턴이 형성된 상기 기판의 일 면에 제2 절연층 및 제2 전도층을 형성하는 단계; 및
 (f) 상기 제2 전도층이 적층된 상기 기판의 일 면에 서브트랙티브법에 의해 제3 회로 패턴을 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 22

삭제

청구항 23

삭제

청구항 24

제 1 항에 있어서,

상기 메탈 포스트를 구비한 회로기판 제조방법은,

(h) 외부로 노출된 상기 메탈 포스트 상면 또는 측면에 도금을 하여 솔더(Solder)를 형성하는 단계;
를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기판 제조방법.

청구항 25

삭제

청구항 26

삭제

발명의 설명

기술 분야

[0001] 본 발명은 회로기판의 제조방법 및 그 제조방법에 의해 제조된 회로기판에 관한 것으로, 보다 구체적으로는 메탈 포스트가 형성되어 있는 회로기판을 제조하는 방법 및 그 제조방법에 의해 제조된 회로기판에 관한 것이다.

배경 기술

[0002] 최근 전자 산업이 급속히 발전함에 따라서 전자소자와 회로기판 분야에서 다양한 기술들이 발전해왔다. 특히, 전자제품의 경박단소(輕薄短小)화 추세에 따라 기판(Substrate)의 미세 회로 패턴(Fine Pitch) 형성, 입출력(I/O) 단자 수의 증가 및 두 가지 이상의 다른 기능을 담당하는 형태의 패키지에 대한 요구가 증가되고 있다.

[0003] 따라서, 다른 기능을 담당하는 형태의 패키지 간의 전기적 연결은 와이어 본딩(Wire Bonding) 방식에서 미세 피치 구현 및 손실 없는 전기적 연결을 구현하기 위한 솔더볼(Solder Ball)을 이용한 플립칩(Flip Chip)방식으로 변화되고 있으며, 다양한 기능을 하는 패키지 기술로써 시스템 인 패키지(SIP; System In Package), 시스템 온 패키지(SOP; System On Package), 패키지 온 패키지(POP; Package On Package) 및 멀티칩 패키지(MCP; Multi Chip Package) 등이 제시되고 있다.

[0004] 이 중 패키지 온 패키지(POP)는 각각의 반도체 패키지를 조립, 완성한 후에 두 개의 반도체 패키지를 하나로 통합하는 패키지 기술로써, 서로 다른 기능을 하는 패키지를 하나의 통합된 패키지로 만들 수 있는 효과가 있고, 각각의 반도체 패키지에 대한 전기적 검사가 완료된 후 통합이 이루어지기 때문에 패키지 통합 후 발생하는 전기적 불량을 줄일 수 있는 효과도 있다.

[0005] 이러한 패키지 온 패키지(POP) 구조에 대응하기 위해서, 종래에는 도 1a 내지 도 1b에 도시한 바와 같이 기판(Substrate)의 패드(Pad)(2) 위에 솔더볼(1)을 안착시킨 기판의 제조방법을 제시하고 있고, 또한 도 1c에 도시한 바와 같이 종래의 플립칩용 메탈 포스트를 구비한 기판의 제조방법을 제시하고 있다.

[0006] 도 1a 내지 도 1b는 종래의 플립칩용 솔더 온 패드를 구비한 기판의 제조방법에 대해 간략하게 나타낸 도면이다.

[0007] 종래 솔더볼(1)을 안착시킨 기판의 제조방법에 대해 각각 살펴 보면, 도 1a는 메탈 마스크(Metal Mask)(3)를 이용한 제조방법을 도시한 것으로서, 메탈 마스크를 이용한 제조 방법은 패드(2)가 마련된 기판에 대해 표면처리를 하고(도 1a(a) 참조), 메탈 마스크(3)를 기판에 정렬(Alignment)을 한 후(도 1a(b) 참조), 상기 메탈 마스크(3)를 통해 패드(2)에 솔더를 인쇄(Printing)하고(도 1a(c) 참조), 상기 메탈 마스크(3)를 제거(도 1a(d) 참조)하여 리플로우(Reflow) 공정(도 1a(e) 참조)을 통해 솔더볼(1)이 형성되게 된다. 이후, 솔더볼(1)의 높이를 균일하게 하기 위해 코이닝(Coinning)과 같은 공정(도 1a(f) 참조)을 거칠 수 있다.

[0008] 다만, 이와 같이 메탈 마스크를 이용하여 솔더 온 패드를 구비한 기판을 제조하는 경우에는 하기와 같은 문제가 있다.

[0009] 도 2a는 도 1a에 나타낸 종래 플립칩용 솔더 온 패드를 구비한 기판의 제조방법을 통해 정상적으로 형성되지 않은 솔더볼을 나타내는 도면이다.

[0010] 도 2a에 도시한 바와 같이, 메탈 마스크(3)를 제거시 솔더가 상기 메탈 마스크(3)에 묻어 나와 균일한 형상이

형성되지 않을 수 있으며(도 2a(a) 참조), 도금에 의해 솔더를 채우게 됨으로써 리플로우를 거친 솔더볼(1)의 높이가 균일하지 않을 수 있고(도 2a(b) 참조), 높이를 균일하게 하기 위한 코이닝과 같은 공정이 추가될 수 있는 문제가 있다.

- [0011] 또 다른 솔더 온 패드 기판의 제조방법에 대해 살펴보면, 도 1b는 마이크로볼(Micro-Ball) 방식의 제조방법을 도시한 것으로서, 마이크로볼 방식의 제조방법은 기판의 패드(2) 부위에 플럭스(Flux)를 인쇄하고(도 1b(a) 참조), 스퀴지를 통해 솔더볼(1)을 상기 패드(2) 위에 마운트(Mount) 시키게 된다(도 1b(b) 참조).
- [0012] 다만, 이와 같이 마이크로볼 방식의 제조방법은 솔더볼(1)이 기판에 마련된 모든 패드(2)에 솔더볼(1)이 마운트되지 않는 문제가 있고, 이를 해결하기 위해 도 1b(c)에 도시한 바와 같이 솔더볼(1) 각각에 대해 마운트되었는지를 검사하여야 하는 공정 및 솔더볼(1)이 마운트되지 않는 패드(2)에 솔더볼(1)을 다시 마운트해야 하는 리워크(Rework) 공정을 수반해야 하는 문제가 있다. 이에 따라 리워크 공정에 의해 전체 공정이 완료되는 시간이 오래 걸리게 되는 문제도 아울러 수반하게 된다.
- [0013] 상기와 같은 솔더 온 패드 기판의 문제를 해결하기 위해 메탈 포스트(Metal Post)를 구비한 플립칩용 기판의 제조방법은 국내 특허 출원 제10-2009-0094119호에서 제시되고 있다.
- [0014] 도 1c는 종래의 플립칩용 메탈 포스트를 구비한 기판의 제조방법에 대해 간략하게 나타낸 도면이다.
- [0015] 도 1c에 도시한 바와 같이, 종래 플립칩용 메탈 포스트를 구비한 기판의 제조방법은 도금 방식을 통해 메탈 포스트를 형성하는 것으로서, 비전도성 기판의 전도성 패드(2)(도 1c(a) 참조)에 도금용 씨드(Seed)(도 1c(b) 참조)층(5)을 순차적으로 형성하고, 이후 상면에 감광성 필름인 DFR(Dry Film Photoresist)(4)를 라미네이션(Lamination)하여(도 1c(c) 참조), 노광 및 현상 공정(도 1c(d) 참조)을 거쳐, 노출된 전도성 패드(2) 위에 도금을 실시(도 1c(e) 참조)함으로써 메탈 포스트(700)가 형성되게 된다. 이후, DFR을 제거하기 전에 솔더(500)를 도포하고, 리플로우(Reflow) 공정을 거친(도 1c(f) 참조) 후, DFR 높이를 기준으로 평탄화(도 1c(g) 참조)하고, 감광성 필름(4) 및 씨드층(5)을 제거(도 1c(h) 내지 도 1c(i) 참조)함으로써, 이루어지게 된다.
- [0016] 상술한 바와 같이 도금을 통해 메탈 포스트(700)를 형성하는 경우, 도금을 실시하는 과정(도 1c(e) 참조)은 필수 과정이고, 이와 같은 도금 공정은 아래와 같은 문제를 야기하게 된다.
- [0017] 도 2b는 종래의 플립칩용 메탈 포스트를 구비한 기판의 제조방법을 통해 정상적으로 형성되지 않은 메탈 포스트를 나타내는 도면이다.
- [0018] 도 2b에 도시한 바와 같이, 도 2b(b)는 도금에 의해 정상적으로 형성된 메탈 포스트를 나타낸 것이나, 정상적으로 형성된 메탈 포스트와 달리 도금의 편차에 의해 도 2b(a)에서 나타낸 바와 같이 정상적인 메탈 포스트보다 낮은 높이의 메탈 포스트가 형성되거나, 균일하지 못한 도금에 의해 도 2b(c)에서 나타낸 바와 같이 정상적인 메탈 포스트 형상과 달리 찌그러진 형태의 메탈 포스트가 형성되는 문제가 있고, 이와 같은 문제에 의하여 다른 기능을 수행하는 패키지와의 전기적인 연결이 이루어지지 않게 된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 메탈 포스트를 구비한 회로기판 제조방법 및 그 제조방법에 의해 제조된 회로기판에 관한 것으로, 보다 구체적으로는 에칭에 의해 형성된 메탈 포스트를 구비한 회로기판을 제조하는 방법 및 그 제조방법에 의해 제조된 회로기판에 관한 것이다.

과제의 해결 수단

- [0020] 전술한 기술적 과제를 해결하기 위한 수단으로써, 본 발명은 적어도 일 면에 메탈 포스트를 구비한 회로기판 제조방법에 있어서, (a) 전도성 소재의 기판을 준비하는 단계; (b) 상기 기판의 일 면에 제1 회로 패턴의 절연부에 상응하는 영역을 선택적으로 제1 에칭하는 단계; (c) 상기 제1 에칭된 상기 기판의 일 면에 제1 절연층을 적층하는 단계; 및 (d) 상기 기판의 타 면에 상기 메탈 포스트 및 상기 제1 회로 패턴이 외부로 노출되도록 제2 에칭하는 단계; 를 포함하는 메탈 포스트를 구비한 회로기판 제조방법을 제공한다.

- [0021] 또한, 본 발명에서 상기 (b) 단계는, (b1) 상기 기관의 일 면에 제1 감광성 레지스트층을 형성하는 단계; (b2) 상기 제1 회로 패턴에 상응하여 상기 제1 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; (b3) 상기 제1 감광성 레지스트층을 통해 외부로 노출된 상기 기관을 제1 에칭하는 단계; 및 (b4) 상기 제1 감광성 레지스트층을 제거하는 단계; 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0022] 또한, 본 발명에서 상기 (d) 단계는, (d1) 상기 기관의 타 면에 제2 감광성 레지스트층을 형성하는 단계; (d2) 상기 메탈 포스트에 상응하여 상기 제2 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; 및 (d3) 상기 제2 감광성 레지스트층을 통해 외부로 노출된 상기 기관을 제거하여, 상기 메탈 포스트 및 상기 제1 회로 패턴이 형성되도록 제2 에칭하는 단계; 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0023] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관은, 상기 제1 절연층이 적층된 상기 기관의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0024] 또한, 본 발명은 상기 (c) 단계와 상기 (d) 단계 사이에, 상기 제1 절연층이 적층된 상기 기관의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0025] 또한, 본 발명은 상기 (d) 단계 이후에, 상기 제1 절연층이 적층된 상기 기관의 일 면에 에디티브법에 의해 제2 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0026] 또한, 본 발명에서 상기 제2 회로 패턴을 형성하는 단계는, (ca) 상기 기관의 타 면에 제2 감광성 레지스트층을 형성하는 단계; (cb) 상기 기관의 일 면에 제3 감광성 레지스트층을 형성하는 단계; (cc) 상기 제2 회로 패턴에 상응하여 상기 제3 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; 및 (cd) 상기 제3 감광성 레지스트층을 통해 노출된 영역에 도금을 하는 단계; 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0027] 또한, 본 발명에서 상기 (d) 단계는, (d1) 상기 메탈 포스트에 상응하여 상기 제2 감광성 레지스트층을 선택적으로 노광 및 현상하는 단계; (d2) 상기 제2 감광성 레지스트층을 통해 외부로 노출된 상기 기관을 제거하여, 상기 메탈 포스트 및 상기 제1 회로 패턴이 형성되도록 제2 에칭하는 단계; 및 (d3) 상기 제2 감광성 레지스트층 및 상기 제3 감광성 레지스트층을 동시에 제거하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0028] 또한, 본 발명은 상기 (ca) 단계 이전에, 상기 제1 절연층이 적층된 상기 기관의 일 면에 무전해 도금을 하는 단계; 를 더 포함하고, 상기 (d3) 단계 이후에, 상기 제2 회로 패턴을 형성한 상기 기관의 일 면에 플래쉬 에칭을 하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0029] 또한, 본 발명은 상기 제2 회로 패턴을 형성하기 이전에, 상기 제1 절연층을 관통하는 비아를 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0030] 또한, 본 발명에서 상기 (c) 단계는, 상기 제1 에칭된 상기 기관의 일 면에 제1 절연층 및 제1 전도층을 형성하는 것을 특징으로 하고, 상기 메탈 포스트를 구비한 회로기관은, 상기 제1 전도층이 형성된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0031] 또한, 본 발명은 상기 (c) 단계에서, 제1 전도층은 제1 절연층과 동시에 적층하여 형성하거나, 상기 제1 절연층이 형성된 상기 기관의 일 면에 무전해 도금을 하여 형성하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0032] 또한, 본 발명은 상기 (c) 단계와 상기 (d) 단계 사이에, 상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0033] 또한, 본 발명은 상기 (d) 단계 이후에, 상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법

을 제공한다.

- [0034] 또한, 본 발명에서 상기 (d) 단계는, 상기 제1 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제2 회로 패턴을 형성하되, 상기 제2 에칭은 상기 기관의 양면을 에칭하여 메탈 포스트, 상기 제1 회로 패턴 및 상기 제2 회로 패턴이 형성되도록 하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0035] 또한, 본 발명에서 상기 (d) 단계는, (d1) 상기 기관의 일 면 및 타 면에 각각 제4 감광성 레지스트층 및 제2 감광성 레지스트층을 형성하는 단계; (d2) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 각각 상기 메탈 포스트 및 상기 제2 회로 패턴에 상응하여 선택적으로 노광 및 현상하는 단계; 및 (d3) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 통해 외부로 노출된 상기 기관의 양면을 제거하여 상기 메탈 포스트, 상기 제1 회로 패턴 및 상기 제2 회로 패턴이 형성되도록 제3 에칭하는 단계; 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0036] 또한, 본 발명에서 상기 (d1) 단계는, 상기 제2 감광성 레지스트층을 상기 기관의 타 면에 형성하는 단계; 상기 기관의 일 면에 전해 방식의 도금을 하는 단계; 및 상기 기관의 타 면에 제4 감광성 레지스트층을 형성하는 단계; 를 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다..
- [0037] 또한, 본 발명에서 상기 (d) 단계는, (d4) 상기 제2 감광성 레지스트층 및 상기 제4 감광성 레지스트층을 동시에 제거하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0038] 또한, 본 발명은 상기 제2 회로 패턴을 형성하기 이전에, 상기 제1 전도층 및 상기 제1 절연층을 관통하는 비아를 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0039] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관 제조방법은, (e) 상기 제2 회로 패턴이 형성된 상기 기관의 일 면에 제2 절연층을 적층하는 단계; 및 (f) 상기 제2 절연층이 적층된 상기 기관의 일 면에 에디티브법에 의해 제3 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 제조방법을 제공한다.
- [0040] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관 제조방법은, (e) 상기 제2 회로 패턴이 형성된 상기 기관의 일 면에 제2 절연층 및 제2 전도층을 형성하는 단계; 및 (f) 상기 제2 전도층이 적층된 상기 기관의 일 면에 서브트랙티브법에 의해 제3 회로 패턴을 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 제조방법을 제공한다.
- [0041] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관 제조방법은, (g) 상기 기관 중 적어도 일 면에 PSR(Photo Solder Resist)을 도포하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0042] 또한, 본 발명에서 상기 (g) 단계는, 상기 메탈 포스트가 외부로 노출되도록, 상기 메탈 포스트에 상응하여 상기 PSR에 대해 LDI(Laser Direct Image) 방식으로 노광 및 현상을 하거나, LDA(Laser Direct Ablation) 방식에 의해 상기 PSR을 제거하는 것을 특징으로 하는 메탈 포스트를 구비한 제조방법을 제공한다.
- [0043] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관 제조방법은, (h) 외부로 노출된 상기 메탈 포스트 상면 또는 측면에 도금을 하여 솔더(Solder)를 형성하는 단계; 를 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관 제조방법을 제공한다.
- [0044] 또한, 본 발명은 적어도 일 면에 메탈 포스트를 구비한 회로기관에 있어서, 상기 메탈 포스트가 형성된 상기 기관의 일 면에 형성된 제1 회로 패턴; 및 상기 제1 회로 패턴이 형성된 상기 기관의 내측에 위치하고, 상기 제1 회로 패턴의 절연부에 상응하는 영역이 돌출 형성되어 상기 제1 회로 패턴의 절연부를 이루는 절연층; 을 포함하되, 상기 메탈 포스트 및 상기 제1 회로 패턴은 상기 절연층이 적층된 전도성 소재 기관의 일 면을 에칭하여 형성되는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관을 제공한다.
- [0045] 또한, 본 발명에서 상기 메탈 포스트를 구비한 회로기관은, 상기 기관의 타 면에 형성된 제2 회로 패턴; 및 상기 제2 회로 패턴으로부터 상기 절연층을 관통하도록 형성된 비아홀; 을 더 포함하는 것을 특징으로 하는 메탈 포스트를 구비한 회로기관을 제공한다.

발명의 효과

- [0046] 이상의 본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 전도성을 가진 기판에 에칭을 통해 메탈 포스트를 형성함으로써 메탈 포스트의 높이 차이에 대한 불량 또는 메탈 포스트 형상에 대한 불량이 발생하지 않는 효과가 있다.
- [0047] 또한, 본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 메탈 포스트의 높이 차이 또는 형상 차이에 대한 불량이 발생하지 않은 균일한 형태의 메탈 포스트가 형성됨으로써 다른 패키지와의 조립시 전기적 연결 불량이 발생하지 않는 효과가 있다.
- [0048] 또한, 본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 메탈 포스트가 형성되는 면에 비아(Via) 가공을 하지 않기 때문에, 메탈 포스트가 형성되는 면에 딤플(Dimple)이 발생하지 않는 효과가 있다.
- [0049] 또한, 본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 메탈 포스트가 형성되는 면에 딤플(Dimple)이 발생하지 않으므로, PSR(Photo Solder Resist) 표면 역시 요철이 발생하지 않고, PSR 표면이 편평한 효과가 있다.
- [0050] 또한, 본 발명에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법은 에칭을 통한 메탈 포스트를 형성하기 까지 기판의 일 면에 대해서만 가공이 이루어지므로, 분리 가능한 별도의 필름을 사이에 두고, 두 개의 기판을 접합시킨 Double-Substrate 형태로 공정을 진행할 수 있어, 생산성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0051] 도 1a 내지 도 1b는 종래의 플립칩용 솔더 온 패드를 구비한 기판의 제조방법에 대해 간략하게 나타낸 도면이다.
 도 1c는 종래의 플립칩용 메탈 포스트를 구비한 기판의 제조방법에 대해 간략하게 나타낸 도면이다.
 도 2a는 도 1a에 나타난 종래 플립칩용 솔더 온 패드를 구비한 기판의 제조방법을 통해 정상적으로 형성되지 않은 솔더볼을 나타내는 도면이다.
 도 2b는 도 1c에 나타난 종래의 플립칩용 메탈 포스트를 구비한 기판의 제조방법을 통해 정상적으로 형성되지 않은 메탈 포스트를 나타내는 도면이다.
 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 에디티브(Additive) 방식에 의한 메탈 포스트를 구비한 회로기판 제조방법을 간략하게 나타낸 도면이다.
 도 4a는 도 3a에 나타난 방법에 대한 흐름도이다.
 도 4b는 도 3b에 나타난 방법에 대한 흐름도이다.
 도 5는 본 발명의 일 실시예에 따른 서브트랙티브(Subtractive) 방식에 의한 메탈 포스트를 구비한 회로기판 제조방법을 간략하게 나타낸 도면이다.
 도 6a 내지 도 6b는 도 5에 나타난 방법에 대한 흐름도이다.
 도 7a 내지 도 7b는 본 발명의 일 실시예에 따른 다층의 메탈 포스트를 구비한 회로기판 제조방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0052] 아래에는 첨부한 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구성될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계 없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙여 설명하기로 한다.
- [0053] 이하, 본 발명에서 실시하고자 하는 구체적인 기술내용에 대해 첨부도면을 참조하여 상세하고도 명확하게 설명하기로 한다.

- [0054] 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판은, 도 3a(g), 도 3b(1) 및 도 5(j)에서 도시한 바와 같이, 메탈 포스트(700)가 형성된 상기 기판의 일 면에 형성된 제1 회로 패턴(10) 및 제1 회로 패턴(10)이 형성된 기판의 내측 측, 제1 회로 패턴(10)의 하면에 위치하고, 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역이 돌출 형성되어 제1 회로 패턴(10)의 절연부(11)를 이루는 프리프레그(Prepreg)와 같은 절연 소재의 절연층을 기본 구성으로 하되, 이때, 메탈 포스트(700) 및 제1 회로 패턴(10)은 절연층이 적층된 전도성 소재의 기판(100)의 일 면을 에칭함으로써 형성된다. 따라서, 상기 메탈 포스트(700)는 제1 회로 패턴의 전도부와 일체로 이루어지게 되며, 도금에 의해 메탈 포스트(700)를 형성하지 않아 메탈 포스트의 형성시 높이 차이에 의한 불량 또는 형상에 대한 불량이 발생하지 않고, 균일한 높이, 균일한 형상의 메탈 포스트를 형성시킬 수 있게 된다.
- [0055] 또한, 이때 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판은, 제1 회로 패턴(10) 및 메탈 포스트(700)가 형성된 기판의 타 면에 형성된 제2 회로 패턴(20) 및 제2 회로 패턴(20)으로부터 절연층을 관통하도록 형성된 비아홀(600)을 더 포함할 수 있고, 이때, 비아홀(600)은 내측벽은 제1 회로 패턴(10)과 제2 회로 패턴(20)을 전기적으로 연결하기 위해 전도성 물질로 도금될 수 있다.
- [0056] 이때, 비아홀(600)은 제2 회로 패턴(20)으로부터 관통되도록 형성되어, 그 반대 면인 제1 회로 패턴(10) 및 메탈 포스트(700)가 형성된 면에는 딩플(Dimple)이 형성될 우려가 없으므로, 메탈 포스트(700)가 형성된 기판의 표면 평탄도가 높아지게 된다.
- [0057] 이하에서는, 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판을 제조하는 방법에 대해 설명하기로 한다.
- [0058] 기본적으로 본 발명의 일 실시예에 따른 적어도 일 면에 메탈 포스트를 구비한 회로기판을 제조하는 방법은 전도성 소재의 기판(100)을 준비하는 단계(S100), 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역을 선택적으로 제1 에칭하는 단계(S200), 제1 에칭된 기판(100)의 일 면에 제1 절연층(200)을 적층하는 단계(S300) 및 기판(100)의 타 면에 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S500)로 이루어져, 도금 방식에 의하지 않고 회로 패턴이 일 면에 형성된 코어가 없는 코어리스(Coreless) 형태의 회로기판이 형성되게 된다.
- [0059] 이때, 제1 절연층(200)이 적층된 상기 기판(100)의 일 면에 제2 회로 패턴을 형성할 수 있으며, 제2 회로 패턴을 형성하는 방법은 에디티브법 또는 서브트랙티브법을 이용할 수 있다. 다만, 서브트랙티브법에 의하는 경우, 상기 제1 절연층(200)을 적층하는 단계(S300)는 제1 절연층(200) 이외에 제1 전도층(300)을 함께 형성할 수 있다.
- [0060] 제2 회로 패턴을 형성하는 단계는 제2 에칭하는 단계(S500) 이전 또는 이후일 수 있고, 비아홀을 형성하는 단계는, 상기 제2 회로 패턴을 형성하기 이전일 수 있다.
- [0061] 이하에서는, 각 방법에 대한 실시예를 나누어 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판의 제조방법을 자세히 설명하기로 한다.

[0062] **제1 실시예**

- [0063] 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 에디티브 방식에 의한 메탈 포스트를 구비한 회로기판 제조방법을 간략하게 나타낸 도면이고, 도 4a 및 도 4b는 각각 도 3a 및 도 3b에 나타낸 방법에 대한 흐름도이다.
- [0064] 도 4a에 도시한 바와 같이, 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 순서에 따라 전도성 소재의 기판(100)을 준비하는 단계(S100), 상기 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역에 대하여 선택적으로 제1 에칭하는 단계(S200), 제1 에칭된 상기 기판(100)의 일 면에 제1 절연층(200)을 적층하는 단계(S300) 및 기판(100)의 타 면에 메탈 포스트(700) 및 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S500)를 기본적으로 포함하되, 이때, 제1 절연층을 관통하는 비아를 형성하는 단계(S350) 및 제1 절연층(200)을 적층한 상기 기판(100)의 일 면에 에디티브법에 의해 제2 회로 패턴(20)을 형성하는 단계(S400)를 더 포함할 수 있고, 이에 더하여 상기 기판(100) 중 적어도 일 면에 PSR(Photo Solder Resist)을 도포하는 단계(S800) 내지 외부로 노출된 상기 메탈 포스트(700) 상면 또는 측면에 도금을 하여 솔더

(Solder)를 형성하는 단계(S900)를 더 포함할 수도 있다.

- [0065] 이때, 제2 회로 패턴(20)을 형성하는 단계(S400)는 제2 에칭하는 단계(S500) 이전 또는 이후의 단계가 될 수 있고, 비아를 형성하는 단계(S350)는 제2 회로 패턴(20)을 형성하기 이전에 제1 절연층(200)을 적층한 이후의 단계가 될 수 있다.
- [0066] 이하에서는, 각 단계에 대해서 도 3a를 참조하여 자세히 살펴본다.
- [0067] 도 3a(a)에 도시한 바와 같이, 본 실시예를 따른 메탈 포스트를 구비한 회로기판 제조방법은 먼저 전도성 소재의 기판을 준비하는 단계(S100)로부터 시작한다.
- [0068] 종래에는, 도 1c에 도시한 바와 같이 기판(Substrate)을 절연 소재를 이용하여 그 위에 도금을 실시하는 방법 등을 통해 메탈 포스트를 형성하나, 본 실시예에서는 도 3a(a)에 도시한 바와 같이, 절연 소재의 기판을 이용하지 않고 전도성 소재의 기판을 이용한다. 이로써, 종래 기술의 문제점을 발생시키는 도금 공정을 거치지 않고 메탈 포스트를 형성할 수 있으며, 본 발명에 따른 제조방법에 의해 코어리스(Coreless) 기판의 제조도 가능하게 된다. 이때, 기판의 전도성 소재는 금(Au), 은(Ag), 구리(Cu) 등의 물질로 이루어질 수 있으나, 전기 전도도 및 열전도도 면에서 효과적이고, 생산성 측면에서 유리한 구리로 이루어진 것이 바람직하다.
- [0069] 본 실시예에 따른 제조방법의 다음 단계는 도 3a(b) 내지 도 3a(c)에 도시한 바와 같이, 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역을 선택적으로 제1 에칭하는 단계(S200)이다.
- [0070] 보다 구체적으로 제1 에칭 단계(S200)는 기판(100)의 일 면에 제1 감광성 레지스트층(110)을 형성하고(S210), 상기 기판(100)의 타 면에 형성될 제1 회로 패턴(10)에 상응하여 제1 감광성 레지스트층(110)을 선택적으로 노광 및 현상하는 단계(S220) 및 제1 감광성 레지스트층(110)을 통해 외부로 노출된 기판(100)을 제1 에칭하는 단계(S230)를 포함할 수 있고, 이후 제1 감광성 레지스트층(110)을 제거하는 단계(S240)를 더 포함할 수 있다.
- [0071] 제1 에칭하는 단계(S200)를 순서대로 살펴보면, 우선, 기판(100)의 일 면에 제1 감광성 레지스트층(110)을 형성하는 단계(S210)는 도 3a(b)에 도시한 바와 같으며, 이때, 기판(100)의 일 면에 라미네이션(Lamination)되는 제1 감광성 레지스트층(110)은 DFR(Dry Film Resist), LPR(Liquid Photo Resist) 또는 EDPR(Electric Deposit Photo Resist) 등과 같은 감광성 레지스트에 의해서 형성될 수 있다. 레지스트 도포시 전압, 온도 및 시간을 조절함으로써 도포되는 두께를 조절할 수 있는 EDPR에 의하는 것이 바람직하나, 이하의 과정에서 나타나듯이, 기판에 형성된 비아와 같은 요홈의 측벽에 레지스트층을 형성할 필요가 없어, DFR에 의해 레지스트층을 형성하는 것도 무방하다.
- [0072] 다음으로, 기판(100)의 타 면에 형성될 제1 회로 패턴(10)에 상응하여 제1 감광성 레지스트층(110)을 선택적으로 노광 및 현상하는 단계(S220)에서, 제1 감광성 레지스트층(110)의 패턴링(Patterning)은 제1 회로 패턴(10)에 상응하는 마스크 패턴(미도시) 또는 LDI(Laser Direct Image)를 사용하여 제1 감광성 레지스트층(110)을 선택적으로 노광시키고, 이후, 부분적으로 노광된 제1 감광성 레지스트층(110)을 현상액 등을 이용하여 현상함으로써 제1 감광성 레지스트층(110)은 빛에 의해 노출된 부분이 제거되거나(Positive), 빛에 의해 노출되지 않은 부분이 제거됨으로써(Negative) 제1 감광성 레지스트층(110)에 대해서 패턴링이 이루어지게 된다(도 3a(b) 참조).
- [0073] 이때, 제1 감광성 레지스트층(110)에 대한 노광 공정은 앞서 살펴본 바와 같이 마스크 패턴에 의한 방법과 LDI에 의한 방법 모두 가능하나, LDI 방식은 컴퓨터를 통해 컴퓨터에 기 설정된 데이터에 의해 원하는 부분만 선택적으로 레이저를 조사하여 노광시키는 방식으로써, 별도의 마스크 없이 고분해능(High Resolution)을 가진 미세 회로를 고속으로 구현이 가능하고, 마스크 상의 이물질로 인한 불량 발생 우려가 없으므로, LDI 방식을 통한 노광 공정을 실시하는 것이 바람직하다.
- [0074] 마지막으로, 제1 감광성 레지스트층(110)을 통해 외부로 노출된 기판(100)을 제1 에칭함으로써(S230), 기판(100)의 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역은 도 3a(c)에 도시한 바와 같이 제거되어 기판(100)에 요홈이 형성되고, 이후 형성된 요홈에 제1 절연층(200)이 적층되어 채워지게 되며, 기판의 타면 즉, 제1 절연층(200)이 적층된 면과 반대 면에는 에칭에 의해 제1 회로 패턴(10)이 외부로 노출됨으로써 형성되게 된다.
- [0075] 제1 회로 패턴(10)이 형성된 후 제1 감광성 레지스트층(110)은 박리 과정을 거쳐 기판(100)으로부터 제거되게

된다(S240).

- [0076] 본 실시예에 따른 제조방법의 다음 단계는 도 3a(d)에 도시한 바와 같이, 제1 에칭된 기판(100)의 일 면에 제1 절연층(200)을 적층하는 단계(S300)이다.
- [0077] 앞서 본 바와 같이, 제1 에칭에 의해 기판(100)은 제1 회로 패턴(10)의 절연부(11)에 대응되는 요홈이 형성되고, 소정 두께의 제1 절연층(200)을 적층하여, 상기 요홈이 채워짐으로써, 제1 회로 패턴(10)이 형성된다. 이와 같이 전도성 기판(100)에 제1 절연층(200)을 적층 함으로써 제1 회로 패턴(10)을 갖는 기판(100)은 코어가 없는 코어리스 기판(Coreless Substrate)이 되게 된다.
- [0078] 이때, 제1 절연층(200)의 소재는 유리 섬유에 열경화성 수지를 침투시켜 반 경화 상태로 만든 프리프레그(Prepreg)를 사용하는 것이 내열성, 동박 접합력 및 고유전율화 측면에서 바람직하다.
- [0079] 본 실시예에 따른 제조방법은 다음 단계로써, 도 3a(e)에 도시한 바와 같이, 기판(100)의 일 면에 제1 절연층(200)을 관통하는 비아를 형성하는 단계(S350)를 포함할 수 있다.
- [0080] 비아는 도 3a(e)에 도시한 바와 같이, 제1 절연층(200)만을 관통하는 BVH(Blind Via Hole)로 형성될 수 있고, 이때, 비아홀(Via Hole)(600)은 CNC(Computer Numerical Control) 드릴과 같은 기계적 드릴 또는 레이저 드릴을 이용하여 형성할 수 있다.
- [0081] 비아홀(600)을 형성한 후에는 드릴링 공정시 발생하는 박막의 버(Burr) 또는 비아홀 내벽의 먼지 입자와 박막 표면의 먼지, 지문 등을 제거하는 디버링(Deburring) 공정과 비아홀 형성시 제1 절연층 수지가 녹아 비아홀 내벽에 부착된 스미어(Smear)를 제거하는 디스미어(Desmear) 공정을 포함할 수 있음은 물론이다.
- [0082] 다만, 기계적 드릴 또는 레이저 드릴 모두 적용 가능하나, 정교한 미세 구멍을 빠르게 형성하도록 하기 위해서는 레이저 드릴을 적용하는 것이 바람직하다.
- [0083] 본 실시예에 따른 제조방법의 다음 단계는 도 3a(f)에 도시한 바와 같이, 제1 절연층(200)을 적층한 기판(100)의 일 면에 제2 회로 패턴(20)을 형성하는 단계(S400)이다.
- [0084] 앞서 본 바와 같이, 제2 회로 패턴(20)을 형성하는 방식은 크게 서브트랙티브(Subtractive)법과 에디티브(Additive)법으로 나눌 수 있다. 편의상 본 실시예에서는 서브트랙티브법에 관한 설명도 함께 하기로 한다.
- [0085] 서브트랙티브(Subtractive)법은 동박 적층판 위에 회로가 형성되는 부분을 제외한 나머지 부분을 에칭하여 회로를 형성하는 방법으로써, 텐팅(Tenting)법 및 패넬/패턴(Panel/Pattern)법 등이 있다.
- [0086] 텐팅법에 대해 간략하게 설명하면, 전도층을 적층하거나 무전해 도금 및 전해 도금을 순차적으로 진행한 후, 감광성 레지스트를 도포하고, 상기 감광성 레지스트를 노광 및 현상하여 패턴을 형성하게 된다. 이후, 패턴닝 된 감광성 레지스트를 마스크로 이용하여 에칭하고 감광성 레지스트를 박리하는 과정을 거쳐 회로를 형성하게 된다.
- [0087] 그리고, 패넬/패턴법에 대해 간략하게 설명하면, 전도층을 적층하거나 무전해 도금 및 전해 도금을 순차적으로 진행한 후, 감광성 레지스트를 도포하고, 상기 감광성 레지스트를 노광 및 현상함으로써 패턴을 형성하게 된다. 이후, 전해 도금을 실시하여 패턴닝 된 도금을 얻은 후, 감광성 레지스트를 박리하고 에칭함으로써 회로를 형성하게 된다.
- [0088] 에디티브(Additive)법은 절연체층 위에 도금 등의 방법으로 회로를 형성하는 방법으로써, 일 예로 세미 에디티브(Semi-Additive)법(이하 "SAP"라고 한다), 모디파이드 세미 에디티브(Modified Semi-Additive)법(이하 "MSAP"라고 한다), 어드밴스드 모디파이드 세미 에디티브(Advanced Modified Semi-Additive)법(이하 "AMSAP"라고 한다) 및 풀 에디티브(Full-Additive)법(이하 "FAP"라고 한다) 등이 있다.
- [0089] SAP, MSAP 및 AMSAP 모두 유사한 방법으로써 간략하게 설명하면, 무전해 도금을 실시하고, 감광성 레지스트를 도포한 후에 상기 감광성 레지스트를 노광 및 현상함으로써 패턴을 형성하게 된다. 이후, 전해 도금을 실시하여 패턴닝 된 도금을 얻은 후, 감광성 레지스트를 박리하고 에칭함으로써 회로를 형성하게 된다.

- [0090] 그리고, FAP에 대해 간략하게 설명하면, 감광성 레지스트를 도포한 후에 상기 감광성 레지스트를 노광 및 현상함으로써 패턴을 형성하게 되고, 패터닝 된 감광성 레지스트에 무전해 도금을 실시함으로써 회로를 형성하게 된다.
- [0091] 제2 회로 패턴(20)은 서브트랙티브법 또는 에티티브법에 의해 형성되며, 이때, 서브트랙티브법은 텐팅법 또는 패널/패턴법 등에 의해, 에티티브법은 SAP, MSAP, AMSAP 또는 FAP에 의해 형성될 수 있다.
- [0092] 상술한 바와 같은 과정을 거치면, 도 3a(f)에 도시한 바와 같이, 기관(100)의 일 면에는 제2 회로 패턴(20)이 형성되나 자세한 과정은 이하 제2 실시예에서 자세히 살펴보기로 하고 본 실시예에서 자세한 설명은 생략하기로 한다.
- [0093] 본 실시예에 따른 제조방법의 다음 단계는 도 3a(g) 내지 도 3a(h)에 도시한 바와 같이, 기관(100)의 타 면에 메탈 포스트(Metal Post)(700)가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S500)이다.
- [0094] 메탈 포스트(700)는 앞서 본 바와 같이 전도성 소재로 이루어진 기관(100)에 의해 형성되는 것으로 구리(Cu)로 이루어진 것이 바람직하며, 이러한 메탈 포스트(700)를 형성함으로써 패키지와 연결시 전단 강도가 상승하게 되어 기계적 신뢰성을 확보할 수 있고, 미세 회로의 경우 인접한 솔더 간의 anti-bridge를 확보하여 전기적인 실장 신뢰성을 확보할 수 있게 된다.
- [0095] 이러한 메탈 포스트(700)와 제1 회로 패턴(10)이 외부로 노출되어 형성되도록 하는 제2 에칭 단계(S500)는 상기 기관(100)의 타 면에 제2 감광성 레지스트층(120)을 형성하는 단계(S510), 메탈 포스트에 상응하여 제2 감광성 레지스트층(120)을 선택적으로 노광 및 현상하는 단계(S520) 및 제2 감광성 레지스트층(120)을 통해 외부로 노출된 기관(100)을 제거하여 메탈 포스트 및 제1 회로 패턴(10)이 형성되도록 제2 에칭하는 단계(S530)를 포함할 수 있다.
- [0096] 각 단계(S510, S520 및 S530)에 대한 설명은 앞선 제1 감광성 레지스트층(110)을 이용한 제1 에칭하는 단계에 대한 설명과 같고, 이에 대한 자세한 설명은 생략하기로 한다.
- [0097] 이와 같은 과정을 거쳐 메탈 포스트(700) 및 제1 회로 패턴(10)은 상기 기관(100)의 타 면에 동시에 형성되게 된다.
- [0098] 이후, 제2 감광성 레지스트층(120)은 박리 공정을 거쳐 기관(100)으로부터 제거되는 단계(S440)를 더 포함할 수 있다. 이때, 제2 감광성 레지스트층(120)은 제2 에칭 후 바로 제거될 수도 있으나, 이후 제2 회로 패턴(20)을 형성하는 단계(S400)에서 이용되는 감광성 레지스트층과 함께 제거될 수도 있다.
- [0099] 본 실시예에 따른 제조방법은 다음 단계로써, 도 3a(i)에 도시한 바와 같이, 기관(100) 중 적어도 일 면에 PSR(Photo Solder Resist)을 도포하는 단계(S800)를 더 포함할 수 있다.
- [0100] 기관(100)의 표면 보호처리는 PSR(400)을 도포함으로써 이루어지게 되며, 이때, PSR(400)은 액상 또는 드라이 필름(Dry Film) 타입의 PSR일 수 있다.
- [0101] 이때, 드라이 필름 타입의 PSR을 형성하는 경우는 물론이고, 액상 타입의 PSR을 도포하는 경우에도, 상기 기관(100)의 일 면에 형성된 메탈 포스트(700)는 상기 기관(100)의 타 면과 달리 전부 덮여지지 않고, 메탈 포스트(700) 일부분이 노출된다. 이렇게 PSR(400)을 기관(100)의 표면에 도포하는 경우, 메탈 포스트(700)가 형성되어 있는 기관(100)의 일 면에는 비아홀(Via Hole)이 미가공되어 있고, 제1 회로 패턴(10)이 돌출되지 않은 Buried Pattern 구조로 이루어지게 되어 칩(Chip)과 본딩(Bonding)되는 기관(100)의 일 면에 대한 표면 평탄도(Surface Flatness)가 높아지는 효과가 있다. 따라서, 칩을 기관에 본딩한 후 수지를 충진할 때, 수지의 침투가 원활하게 이루어져 칩과 기관의 본딩 신뢰성이 높아질 수 있다.
- [0102] 칩과 본딩이 실시될 메탈 포스트(700)의 측벽이 외부로 노출되도록 메탈 포스트(700)에 상응하여 PSR(400)에 LDI(Laser Direct Image) 방식으로 노광을 하고 현상 공정을 거침으로써, 패터닝 된 PSR 보호층을 형성할 수 있고, 이와 달리 LDA(Laser Direct Ablation) 방식에 의하여, 노광을 하는 것이 아닌 어블레이션(Ablation)을 통해 PSR을 제거함으로써, 패터닝 된 PSR 보호층을 형성할 수도 있다. 어느 방식에 의하여도 PSR에 대한 패터닝이 가능하나, 공정을 간소화할 수 있다는 측면에서 별도의 현상 공정을 요구하지 않는 LDA방식을 적용하는 것이 바

람직하다. 아울러, 비접촉식 노광 방식에 의하여 노광을 하는 경우에는, 분할 노광 방식에 의하는 것이 노광 공차를 최소화시킬 수 있다는 점에서 바람직하다.

[0103] 본 실시예에 따른 제조방법은 다음 단계로써, 도 3a(j)에 도시한 바와 같이, 외부로 노출된 메탈 포스트 상면 또는 측면에 도금을 하여 솔더(Solder)(500)를 형성하는 단계(S900)를 포함할 수 있다.

[0104] PSR(400)이 제거된 메탈 포스트(700) 표면에 주석(Tin) 도금을 통해 상기 메탈 포스트(700) 상면 또는 측면에 솔더(500)를 형성할 수 있고, 이와 같이 솔더 볼(Solder Ball)의 소재와 유사한 소재인 주석으로 도금하는 것이 솔더 볼(미도시)과의 접합력을 강화시킬 수 있다는 점에서 바람직하다.

[0105] **제2 실시예**

[0106] 본 실시예에서는 제2 회로 패턴(20)을 에디티브 방식에 의해 형성하는 메탈 포스트를 구비한 회로기판 제조방법의 일 실시예를 제시한다.

[0107] 도 4b에 도시한 바와 같이, 본 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 순서에 따라 전도성 소재의 기판(100)을 준비하는 단계(S100), 상기 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역에 대하여 선택적으로 제1 에칭하는 단계(S200), 제1 에칭된 상기 기판(100)의 일 면에 제1 절연층(200)을 적층하는 단계(S300), 제1 절연층(200)을 적층한 상기 기판(100)의 일 면에 에디티브법에 의해 제2 회로 패턴(20)을 형성하는 단계(S400) 및 상기 기판(100)의 타 면에 메탈 포스트가 형성되고, 제1 회로 패턴(10)이 외부로 노출되어 형성되도록 제2 에칭하는 단계(S500)를 포함하고, 상기 기판(100) 중 적어도 일 면에 PSR을 도포하는 단계(S800) 및 외부로 노출된 상기 메탈 포스트 상면 또는 측면에 도금을 하여 솔더(Solder)를 형성하는 단계(S900)를 더 포함할 수 있다.

[0108] 또한, 경우에 따라 비아를 형성하기 위해 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 제1 에칭된 기판(100)의 일 면에 제1 절연층(200)을 적층한(S300) 후, 제1 절연층(200)을 관통하는 비아를 형성하는 단계(S350)를 더 포함할 수 있다.

[0109] 이하에서는, 상기 제1 실시예에서 설명한 내용과 중복된 설명은 생략하고, 이를 제외한 각 단계에 대해서 도 3b을 참조하여 자세히 살펴본다.

[0110] 본 실시예의 제1 절연층(200)이 적층된 기판(100)의 일 면에 제2 회로 패턴(20)을 형성하는 단계(S400)는 도 3b(f) 내지 도 3b(i)에 도시한 바와 같이, 제1 절연층(200)을 적층한 기판의 일 면에 무전해 도금을 하는 단계(S409), 기판(100)의 타 면에 제2 감광성 레지스트층(120)을 형성하는 단계(S410), 상기 기판(100)의 일 면에 제3 감광성 레지스트층(130)을 형성하는 단계(S420), 제2 회로 패턴(20)에 상응하여 제3 감광성 레지스트층(130)을 선택적으로 노광 및 현상하는 단계(S430) 및 제3 감광성 레지스트층(130)을 통해 노출된 영역에 도금을 하는 단계(S440)를 포함할 수 있다.

[0111] 이때, 제1 절연층(200)을 관통하는 비아홀이 형성된 기판의 일 면에 무전해 도금을 실시하고(도 3b(f) 참조), 기판(100)의 타 면 전체에 제2 감광성 레지스트층(120)을 형성하는(도 3b(g) 참조) 것은, 기판(100)의 일 면에 제2 회로 패턴(20)에 상응하여 제3 감광성 레지스트층(130)을 통해 노출된 영역에 도금을 할 때(도 3b(h) 내지 도 3b(i) 참조), 상기 기판(100)의 타 면에 도금이 되는 것을 방지하도록 하기 위함이다.

[0112] 다만, 제2 감광성 레지스트층(120)을 형성하는 단계(S510)와 제3 감광성 레지스트층(130)을 형성하는 단계(S520)에 대한 과정은 그 순서가 바뀌어도 무방하다.

[0113] 이후, 본 실시예에 따른 상기 기판(100)의 타 면에 메탈 포스트(700)가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S500)는 도 3b(j) 내지 도 3b(1)에 도시한 바와 같이, 메탈 포스트(700)에 상응하여 제2 감광성 레지스트층(120)을 선택적으로 노광 및 현상하는 단계(S511), 제2 감광성 레지스트층(120)을 통해 외부로 노출된 상기 기판(100)을 제거하여 제1 전도층(200)이 외부로 노출됨으로써, 메탈 포스트(700) 및 제1 회로 패턴(10)이 형성되도록 제2 에칭하는 단계(S512), 제2 감광성 레지스트층(120) 및 제3 감광성 레지스

트층(130)을 동시에 제거하는 단계(S513) 및 기판(100)의 양면 또는 기판의 일 면에 플래쉬 에칭(Flash Etching)하는 단계(S514)를 포함할 수 있다.

- [0114] 이때, 제2 감광성 레지스트층(120)과 제3 감광성 레지스트층(130)은 박리 공정시 동시에 모두 제거될 수 있도록 하여 공정 수를 줄일 수 있다.
- [0115] 이후, 제3 감광성 레지스트층(130)이 막고 있던 면에 형성되어 있는 얇은 도금층은 플래쉬 에칭(S514)을 통해 제거됨으로써 제2 회로 패턴(20)은 완성되게 된다.
- [0116] 본 실시예는 제2 회로 패턴(20)을 에디티브법에 의해 형성하는 일 예를 제시한 것으로서 본 발명의 범위는 반드시 이에 국한되는 것은 아니다.

[0117] **제3 실시예**

- [0118] 본 실시예에서는 제2 회로 패턴(20)을 서브트랙티브법에 의해 형성하는 메탈 포스트를 구비한 회로기판 제조방법의 일 실시예를 제시한다.
- [0119] 도 5는 본 발명의 일 실시예에 따른 서브트랙티브 방식에 의한 메탈 포스트를 구비한 회로기판 제조방법을 간략하게 나타낸 도면이고, 도 6a 내지 도 6b는 도 5에 나타낸 방법에 대한 흐름도이다.
- [0120] 도 6a에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 순서에 따라 전도성 소재의 기판(100)을 준비하는 단계(S100), 상기 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역에 대하여 선택적으로 제1 에칭하는 단계(S200), 제1 에칭된 상기 기판(100)의 일 면에 제1 절연층(200) 및 제1 전도층(300)을 순차적으로 적층하는 단계(S301), 상기 기판(100)의 타 면에 메탈 포스트(700)가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S401) 및 제1 전도층(300)을 적층한 기판(100)의 일 면에 제2 회로 패턴(20)을 형성하는 단계(S501)를 포함하고, 상기 기판(100) 중 적어도 일 면에 PSR(Photo Solder Resist)을 도포하는 단계(S800) 및 외부로 노출된 상기 메탈 포스트 상면 또는 측면에 도금을 하여 솔더(Solder)를 형성하는 단계(S900)를 더 포함할 수 있다.
- [0121] 경우에 따라 제1 회로 패턴(10)을 형성하기 위한 제2 에칭하는 단계(S401)와 제2 회로 패턴을 형성하는 단계(S501)의 순서를 바꾸어 메탈 포스트를 구비한 회로기판을 제조할 수 있고, 제2 에칭할 때(S401) 기판(100)의 양면을 에칭함으로써, 메탈 포스트(700), 제1 회로 패턴(10) 및 제2 회로 패턴(20)을 함께 형성하도록 할 수 있다.
- [0122] 또한, 본 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 비아를 형성하기 위해 제1 에칭된 기판(100)의 일 면에 제1 절연층(200) 및 제1 전도층(300)을 순차적으로 적층한(S300) 후, 제2 회로 패턴을 형성하기 전에 제1 절연층(200) 및 제1 전도층(300)을 관통하는 비아를 형성하는 단계(S351)를 더 포함할 수 있다.
- [0123] 본 실시예에 따른 서브트랙티브 방식에 의해 제2 회로 패턴을 형성하는 것에 의한 메탈 포스트를 구비한 회로기판 제조방법의 각 단계는 앞선 제1 실시예 또는 제2 실시예에서 대응되는 각 단계와 유사하여, 기판(100)의 타 면에 메탈 포스트(700)가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 제2 에칭하는 단계(S401)는 앞선 제1 실시예 또는 제2 실시예에서 제시한 바와 같이, 기판(100)의 타 면에 제2 감광성 레지스트층(120)을 형성하는 단계, 메탈 포스트(700)에 상응하여 제2 감광성 레지스트층(120)을 노광 및 현상하는 단계, 제2 감광성 레지스트층(120)을 통해 노출된 기판(100)을 제거하여, 메탈 포스트(700) 및 제1 회로 패턴(10)이 형성되도록 제2 에칭하는 단계 및 제2 감광성 레지스트층(120)을 제거하는 단계를 포함할 수 있다.
- [0124] 그러나, 서브트랙티브 방식에 의해 제2 회로 패턴(20)을 형성하는 경우에는, 제1 전도층(300)이 적층된 기판의 일 면에 제2 회로 패턴(20)을 형성하기 때문에, 제2 회로 패턴(20)을 형성하기 전에 제1 전도층(300)을 제1 절연층(200)에 형성한다는 점에서 차이가 있다.
- [0125] 이때, 제1 전도층(300)은 제1 절연층(200)과 동시에 적층하여 형성하거나, 제1 절연층(200)이 형성된 기판(100)의 일 면에 무전해 도금을 통해 형성할 수도 있고, 제1 전도층(300)을 제1 절연층(200)과 함께 적층하는 경우, 두께 조절을 위해 에칭 과정을 더 거칠 수도 있다.
- [0126] 서브트랙티브 방식에 의해 제2 회로 패턴(20)을 형성하는 방법은 텐팅법 또는 패팅/패팅법에 의해 형성될 수 있으나, 이하에서는 일 실시예으로써 그 중에 텐팅(Tenting) 방법에 의해 제2 회로 패턴(20)을 형성하는 방법에 대해 자세히 설명하기로 한다.

- [0127] 도 6b는 텐팅 방법에 의해 제2 회로 패턴을 형성하는 방법에 대한 흐름도이다.
- [0128] 도 6b에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법은 순서에 따라 전도성 소재의 기판(100)을 준비하는 단계(S100), 상기 기판(100)의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역에 대하여 선택적으로 제1 에칭하는 단계(S200), 제1 에칭된 상기 기판(100)의 일 면에 제1 절연층(200) 및 제1 전도층(300)을 순차적으로 적층하는 단계(S301) 및 상기 기판(100)의 타 면에 메탈 포스트(700)가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 하는 동시에, 제1 전도층(300)에 제2 회로 패턴의 절연부(21)가 제거되도록 제3 에칭하는 단계(S450)를 포함하고, 상기 기판(100) 중 적어도 일 면에 PSR(40)을 도포하는 단계(S800) 및 외부로 노출된 상기 메탈 포스트(700) 상면 또는 측면에 도금을 하여 솔더(Solder)를 형성하는 단계(S900)를 더 포함할 수 있다.
- [0129] 이하에서는, 각 단계에 대해서 도 5를 참조하여 자세히 살펴본다.
- [0130] 도 5에 도시한 바와 같이, 본 실시예를 따른 메탈 포스트를 구비한 회로기판 제조방법은 전도성 소재의 기판을 준비하는 단계(S100)(도 5(a) 참조) 및 상기 기판의 일 면에 제1 회로 패턴(10)의 절연부(11)에 상응하는 영역을 선택적으로 제1 에칭하는 단계(S200)(도 5(b) 내지 도 5(c) 참조)를 포함하나 이에 대한 설명은 앞선 제1 실시예에서의 각 단계와 동일하므로, 그에 대한 자세한 설명은 생략한다.
- [0131] 본 실시예에 따른 제조방법의 다음 단계는 도 5(d)에 도시한 바와 같이, 제1 에칭된 기판의 일 면에 제1 절연층(200) 및 제1 전도층(300)을 순차적으로 적층한다(S301). 제1 절연층(200) 및 제1 전도층(300)은 각각 따로 적층될 수 있으나, 동시 함께 적층되는 것이 공정 수를 줄일 수 있어 바람직하다.
- [0132] 이때, 제1 절연층(200) 및 제1 전도층(300)은 압력(Pressing)에 의해 적층이 이루어지며, 이로써 제1 에칭에 의해 발생한 요홈에 제1 절연층(200)이 채워지게 된다. 이러한 적층 방법 이외에 도금 제1 절연층(200)에 제1 전도층(300)을 무전해 도금 및 전해 도금에 의한 방법으로 형성할 수 있으나, 압력에 의한 적층을 하는 것이 제1 전도층(300)과 제1 절연층(200) 사이에 밀착력을 상승시키고, 공정을 간소화함으로써 가공비를 줄일 수 있는 효과가 있어, 적층에 의해 제1 전도층(300)을 형성하는 것이 바람직하다. 또한, 제1 전도층(300)의 두께를 조절하기 위해 에칭하는 과정이 더 포함될 수도 있다.
- [0133] 본 실시예에 따른 제조방법의 다음 단계는 제2 에칭을 통해 메탈 포스트 및 제1 회로 패턴(10)을 형성하거나, 또는 서브트랙티브 방식에 의해 제2 회로 패턴(20)을 형성하는 것이나, 도 5(g) 내지 도 5(j)에 도시한 바와 같이, 기판(100)의 타 면에 메탈 포스트가 형성되고, 제1 회로 패턴(10)이 외부로 노출되도록 하는 동시에, 제1 전도층(300)에 제2 회로 패턴(20)의 절연부(21)가 선택적으로 제거되어 제2 회로 패턴(20)이 형성되도록 제3 에칭(S450)할 수 있다.
- [0134] 보다 구체적으로 제3 에칭하는 단계(S450)는 기판(100)의 타 면에 제2 감광성 레지스트층(120)을 형성하는 단계(S451), 기판(100)의 일 면에 제4 감광성 레지스트층(140)을 형성하는 단계(S453), 메탈 포스트에 상응하여 제2 감광성 레지스트층(120)을 선택적으로 노광 및 현상하는 단계(S454), 제2 회로 패턴(20)에 상응하여 제4 감광성 레지스트층(140)을 선택적으로 노광 및 현상하는 단계(S455) 및 제2 감광성 레지스트층(120) 및 제4 감광성 레지스트층(140)을 통해 외부로 노출된 기판(100)을 제거하여, 제1 절연층(200)이 외부로 노출됨으로써 메탈 포스트, 제1 회로 패턴(10) 및 제2 회로 패턴(20)이 형성되도록 하는 제3 에칭 단계(S456)를 포함할 수 있고, 이때, 제2 감광성 레지스트층(120)을 형성한(S451) 후에는 제1 전도층(300)이 적층된 상기 기판(100)의 일 면에 전해 방식의 도금을 하는 단계(S452)를 더 포함할 수 있다.
- [0135] 감광성 레지스트층(120, 130)을 형성하고, 각 감광성 레지스트층(120, 130)에 대하여 노광 및 현상하는 과정은 앞선 제1 실시예에서 설명한 것과 동일하며, 다만, 제1 전도층(300)이 적층된 기판의 일 면에 전해 방식으로 도금하는 단계(S452)에서 상기 기판(100)의 일 면에만 도금을 하기 위해, 그 전에 상기 기판(100)의 타 면 전체에 제2 감광성 레지스트층(120)을 라미네이션(S451)하여 상기 기판(100)의 타 면을 보호하는 것이 바람직하다.
- [0136] 이때, 제3 에칭하는 단계(S450)는 제2 및 제4 감광성 레지스트층을 형성하고(S451, S453), 제2 및 제4 감광성 레지스트층에 대하여 선택적으로 노광 및 현상 공정(S454, S455)을 거칠 수 있으나, 제2 및 제4 감광성 레지스트층에 대한 노광 및 현상 공정에 대한 순서(S454, S455)는 본 발명의 일 실시예에 따른 메탈 포스트를 구비한 회로기판 제조방법에 대하여 큰 영향이 없으므로 그 순서가 바뀌어 제4 감광성 레지스트층에 대한 노광 및 현상

공정이 제2 감광성 레지스트층에 대한 노광 및 현상 공정보다 우선시 되더라도 무방하다.

- [0137] 전해 방식의 도금하는 단계(S452)는 제2 회로 패턴(20)을 에칭에 의해 형성하기 전에 전도층을 형성하기 위함이고, 또한 비아를 형성하는 경우에는, 비아홀의 전기적인 연결을 위해 내벽에 전도층을 함께 형성할 수 있다. 다만, 비아홀을 형성한 후에는 그 전에 무전해 방식의 도금(S363)이 이루어질 수 있다.
- [0138] 이후, 제2 감광성 레지스트층(120)과 제4 감광성 레지스트층(140)은 각각 박리 공정을 거쳐 기판(100)으로부터 제거될 수 있으나, 불필요한 공정 수가 늘어나는 것을 방지하기 위하여 제2 감광성 레지스트층(120) 및 제4 감광성 레지스트층(140)을 동시에 박리하여 기판(100)으로부터 제거하는 것이 바람직하다(S457).
- [0139] 이와 같은 텐팅 방식의 회로 형성 과정을 거쳐 기판(100)의 일 면에는 제2 회로 패턴(20)이 형성되게 되고, 상기 기판(100)의 타 면에는 메탈 포스트(700) 및 제1 회로 패턴(10)이 형성되게 된다.
- [0140] 본 실시예에 따른 제조방법에 있어서, 도 5(e) 내지 도 5(f)에 도시한 바와 같이, 기판(100)의 일 면에 제1 절연층(200) 및 제1 전도층(300)을 순차적으로 적층하는 단계(S301) 이후 및 제3 에칭하는 단계(S450) 이전에 기판(100)의 일 면에 제1 전도층(300) 및 제1 절연층(200)을 관통하는 비아를 형성하는 단계(S361)가 더 포함될 수 있다.
- [0141] 보다 구체적으로 비아를 형성하는 단계(S361)는 제1 전도층(300) 및 제1 절연층(200)을 관통하도록 기계적 드릴 또는 레이저 드릴을 통해 비아홀(Via Hole)을 형성하는 단계(S362) 및 상기 비아홀(Via Hole)의 내벽을 무전해 방식의 도금을 하는 단계(S363)를 포함할 수 있다.
- [0142] 기계적 드릴 또는 레이저 드릴을 통해 비아홀을 형성하는 단계(S362)는 앞선 제1 실시예에서 살펴본 바와 같으며, 이에 대한 자세한 설명은 생략한다.
- [0143] 비아홀(600)의 내벽을 무전해 방식의 도금을 하는 단계(S363)는 비아홀(600)의 내벽이 프리프레그(Prepreg)와 같은 절연 소재로 이루어져 있기 때문에, 무전해 방식에 의한 도금을 하여, 전기적 연결을 위한 전도층을 형성한다.
- [0144] 본 실시예에 따른 제조방법의 다음 단계는 도 5(k) 내지 도 5(m)에 도시한 바와 같이, 기판(100) 중 적어도 일 면에 PSR을 도포하는 단계(S800) 및 외부로 노출된 메탈 포스트 상면 또는 측면에 도금을 하여 솔더를 형성하는 단계(S900)을 더 포함할 수 있다.
- [0145] PSR을 도포하는 단계(S800) 및 솔더를 형성하는 단계(S900)에 대한 자세한 설명은 앞선 제1 실시예에서 나타낸 바와 같으므로, 이에 대한 자세한 설명은 생략하도록 한다.
- [0146] **제4 실시예**
- [0147] 본 발명에 따른 또 다른 실시예로서 3층의 회로를 가진 메탈 포스트를 구비한 회로기판 제조방법을 제시한다.
- [0148] 도 3a(f), 도 3b(m) 또는 도 5(j)에서 도시한 제1 실시예 또는 제2 실시예를 통해 형성된 2층의 회로기판에 있어서, PSR(400)을 도포하기 전에 제2 회로 패턴(20)이 형성된 기판(100)의 일 면에 제2 절연층(미도시)을 더 적층하는 단계(S600) 및 제2 절연층이 적층된 기판(100)의 일 면에 SAP, MSAP, AMSAP, FAP 등과 같은 에디티브법을 통해 제3 회로 패턴을 형성하는 단계(S700)를 통해 3층의 회로 기판을 제조할 수 있다.
- [0149] 또한, 제3 실시예를 통해 형성된 2층의 회로기판에 있어서, PSR(400)을 도포하기 전에 제2 회로 패턴(20)이 형성된 기판(100)의 일 면에 제2 절연층(미도시) 및 제2 전도층(미도시)을 순차적으로 더 적층하는 단계(S601) 및 제2 전도층(310)을 적층한 기판(100)의 일 면에 텐팅법 또는 패널/패턴법 등을 통해 제3 회로 패턴을 형성하는 단계(S701)를 통해 3층의 회로 기판을 제조할 수 있다.
- [0150] 제2 절연층은 제1 절연층(200)에 대응되고, 제2 전도층은 제1 전도층(300)에 대응되어, 제1 실시예 내지 제3 실시예의 그것과 동일한 방법에 의해 3층의 회로 기판을 제조할 수 있다.
- [0151] 본 실시예에서는 일 예로써 3층의 회로기판에 대한 방법을 제시하였으나, 상기와 같은 단계를 반복함으로써 3층 이상의 다층 구조를 갖는 회로기판을 제조할 수도 있다.

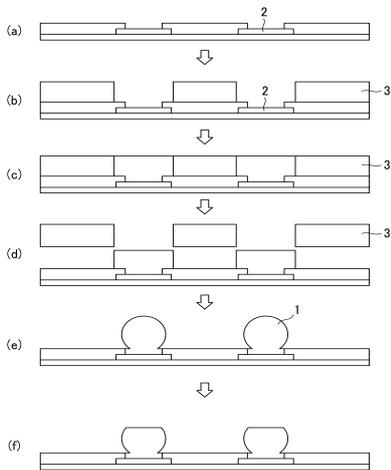
[0152] 이상에서 설명한 본 발명의 바람직한 실시예들은 기술적 과제를 해결하기 위해 개시된 것으로, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자(당업자)라면 본 발명의 사상 및 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

부호의 설명

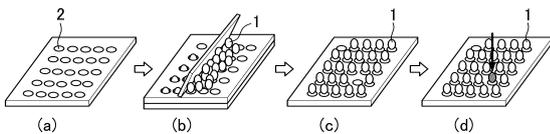
- [0153]
- | | |
|-------------------|-------------------|
| 1: 솔더볼 | 2: 패드 |
| 3: 메탈 마스크 | 4: DFR |
| 5: 씨드층 | 10: 제1 회로 패턴 |
| 20: 제2 회로 패턴 | 11: 제1 회로 패턴의 절연부 |
| 21: 제2 회로 패턴의 절연부 | 100: 기판 |
| 110: 제1 감광성 레지스트층 | 120: 제2 감광성 레지스트층 |
| 130: 제3 감광성 레지스트층 | 140: 제4 감광성 레지스트층 |
| 200: 제1 절연층 | 300: 제1 전도층 |
| 400: PSR | 500: 솔더 |
| 600: 비아홀 | 700: 메탈 포스트 |

도면

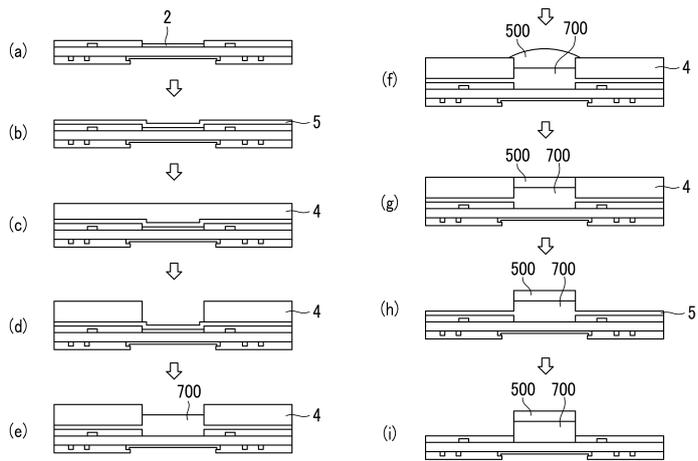
도면1a



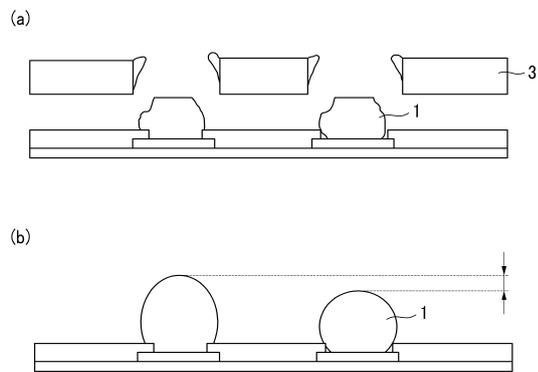
도면1b



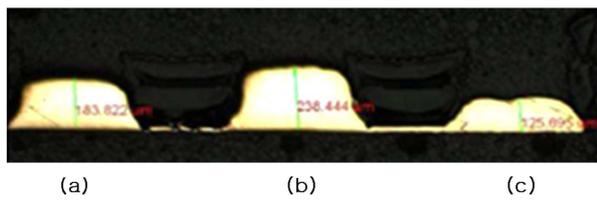
도면1c



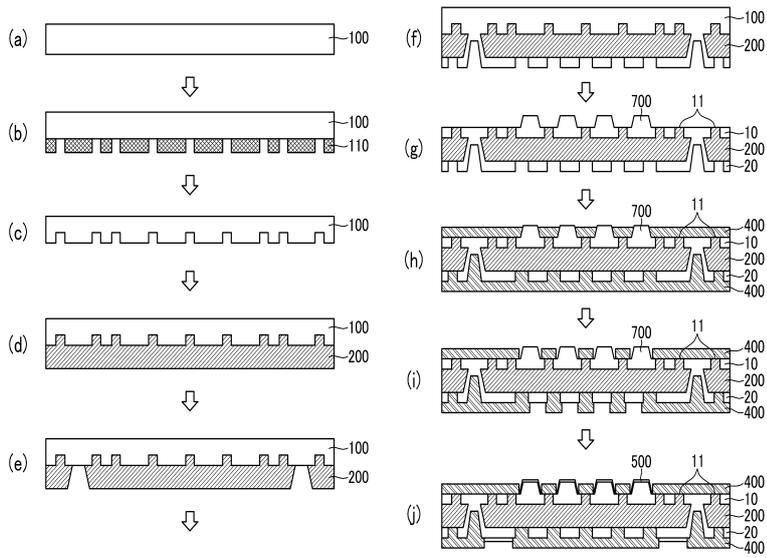
도면2a



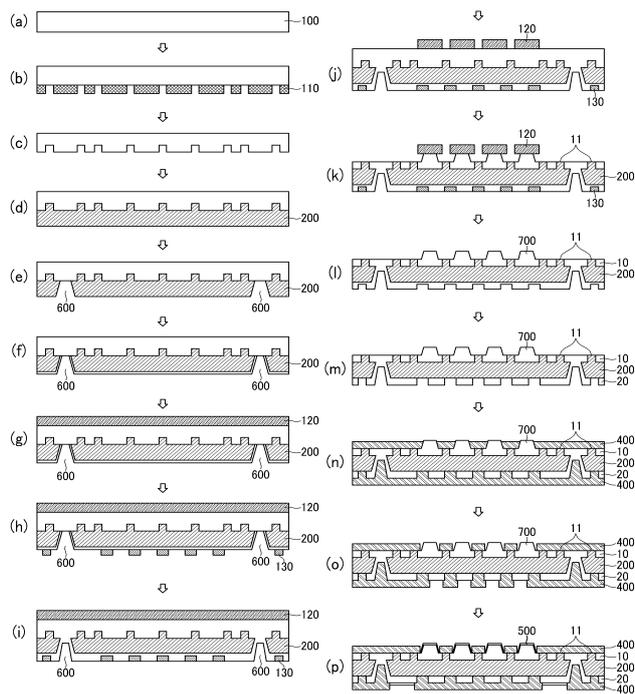
도면2b



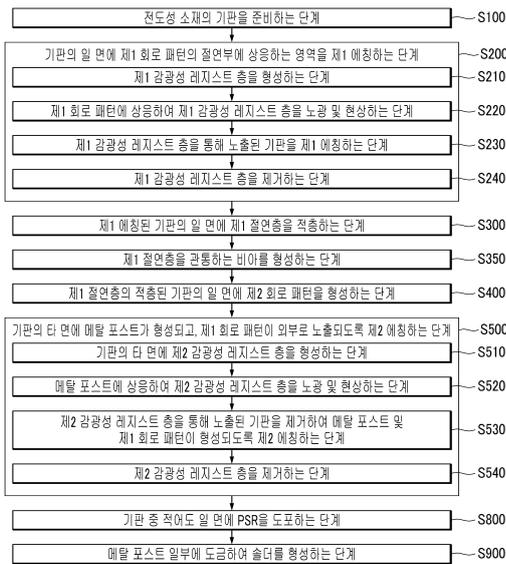
도면3a



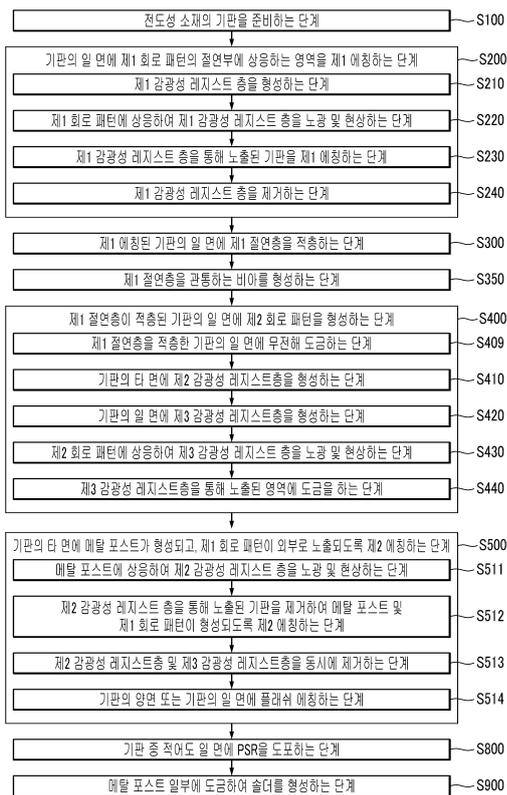
도면3b



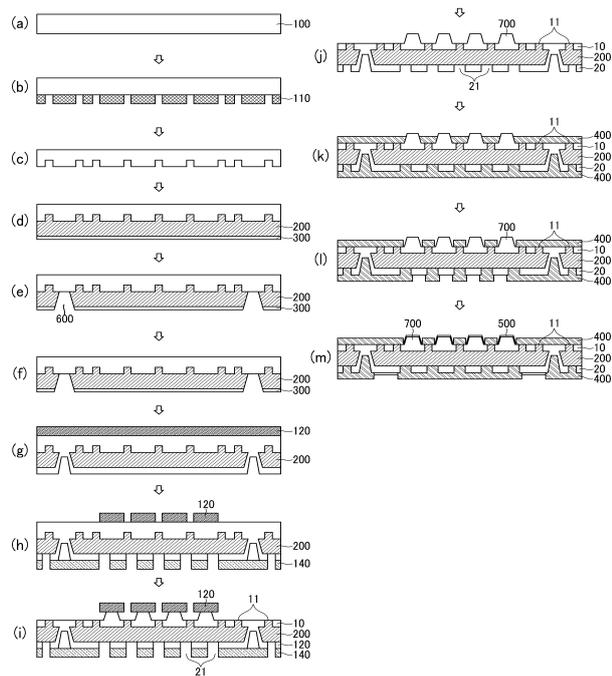
도면4a



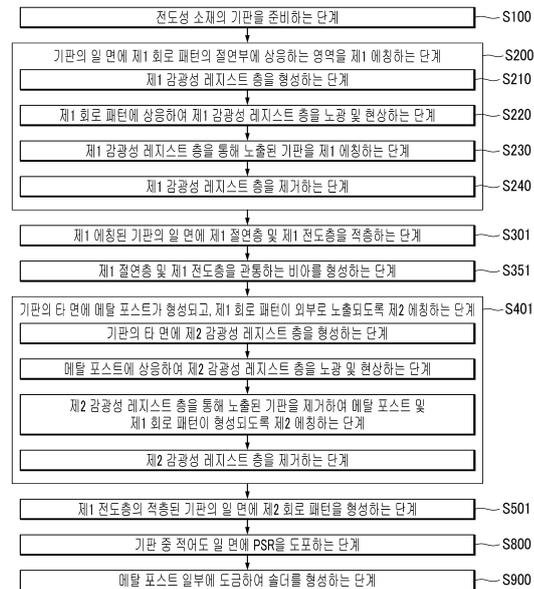
도면4b



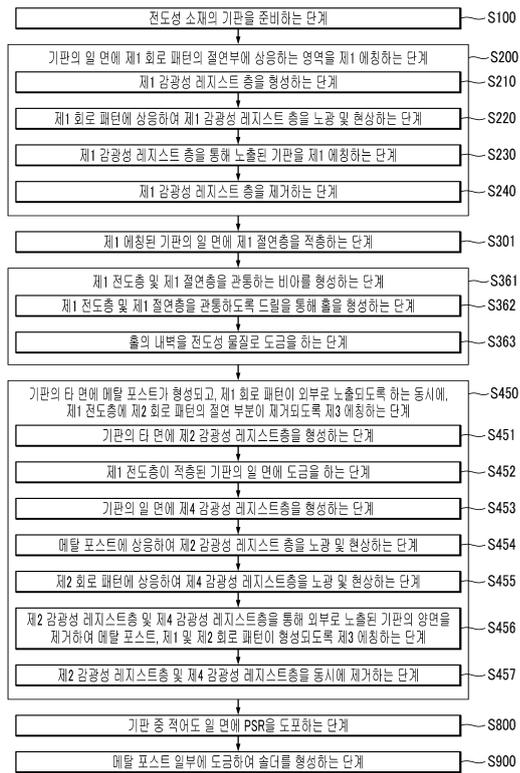
도면5



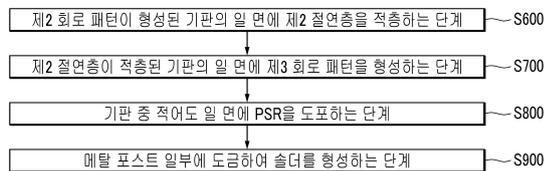
도면6a



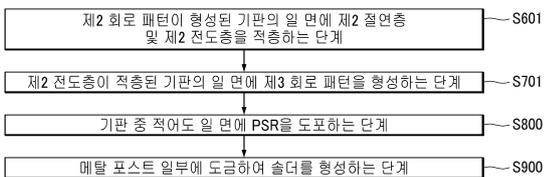
도면6b



도면7a



도면7b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1의 16줄

【변경전】

노출되지 베리드 패턴

【변경후】

노출되지 않도록 베리드 패턴

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 1의 9줄

【변경전】

적어도 일 면면에

【변경후】

적어도 일 면에