

(此處由本局於收
文時黏貼條碼)

發明專利說明書

10年2月27日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號： 97120577

※ 申請日期： 97.6.3

※IPC 分類：

H01L 27/24 (2006.01)

H01L 21/8239 (2006.01)

H01L 45/00 (2006.01)

一、發明名稱：(中文/英文)

相變化記憶裝置及其製造方法/

PHASE-CHANGE MEMORY DEVICES AND METHODS FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

希格斯海外合夥資本有限責任公司/HIGGS OPL. CAPITAL LLC.

代表人：(中文/英文)

道堤·史密斯/SMITH, DOTTIE

住居所或營業所地址：(中文/英文)

美國 19904 德拉瓦州多佛市綠樹道 160 號 101 室/

160 GREENTREE DRIVE, SUITE 101, DOVER, DE 19904, U. S. A.

國籍：(中文/英文)

美國/ U. S. A.

10年2月2日修正替換頁

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 莊仁吉 / CHUANG, JEN-CHI
2. 林永發 / LIN, YUNG-FA
3. 黃明政 / HUANG, MING-JENG

國 籍：(中文/英文)

1. 中華民國 / TW
2. 中華民國 / TW
3. 中華民國 / TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種相變化記憶裝置，包括：一基板，具有一第一電極層於其上；一第一介電層，形成於該第一電極層與該基板之上；複數個杯形加熱電極，分別設置於該第一介電層之一部內；一第一絕緣層，沿一第一方向設置於該第一介電層上，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；一第二絕緣層，沿一第二方向設置於該第一絕緣層且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；一對相變化材料層，分別設置於該第二絕緣層之兩對稱側壁上且實體接觸該些杯形加熱電極之一；以及一對第一導電層，分別沿該第二方向設置於該第二絕緣層之上。

六、英文發明摘要：

A phase change memory device includes a substrate with a first electrode formed thereon. A first dielectric layer is formed over the first electrode and the substrate. A plurality of cup-shaped heating electrodes is disposed in a part of the first dielectric layer, respectively. A first insulating layer is formed over the first dielectric layer along a first direction, simultaneously covering parts of the cup-shaped heating electrodes. A second insulating layer is formed over the first insulating layer, simultaneously covering parts of the cup-shaped heating electrodes and the first dielectric layer therebetween. A pair of phase change material layers is formed over on two opposing sidewalls of

the second insulating layer, respectively, physically connecting one of the cup-shaped heating electrodes. A pair of first conductive layers is formed over the second insulating layer along the second direction.

七、指定代表圖：

(一)本案指定代表圖為：第 8c 圖。

(二)本代表圖之元件符號簡單說明：

400~基板；

402~電極層；

404~介電層；

408~二極體結構；

410~導電層；

424~絕緣層；

430~相變化材料層；

432~導電溝槽；

434~介電層；

450~導電層。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種記憶體裝置，而特別是有關於一種相變化記憶裝置及其製造方法。

【先前技術】

相變化記憶體具有非揮發性、高讀取訊號、高密度、高擦寫次數以及低工作電壓/電流的特質、是相當有潛力的非揮發性記憶體。其中提高記憶密度、降低如寫入電流(write current)與重置電流(reset current)等工作電流是重要的技術指標。

於相變化記憶體內所採用之相變化材料至少可呈現兩種固態，包括結晶態及非結晶態，一般係利用溫度的改變來進行兩態間的轉換，由於非結晶態混亂的原子排列而具有較高的電阻，因此藉由簡單的電性量測即可輕易區分出相變化材料之結晶態與非結晶態。由於相變化材料之相轉變為一種可逆反應，因此相變化材料用來當作記憶體材料時，是藉由非結晶態與結晶態兩態之間的轉換來進行記憶，也就是說記憶位階(0、1)是利用兩態間電阻的差異來區分。

請參照第 1 圖，部份顯示了一種習知相變化記憶胞結構之剖面情形。如第 1 圖所示，相變化記憶胞結構包括了一矽基底 10，其上設置有如鋁或鎢材質之一底電極 12。於底電極 12 上則設置有一介電層 14。介電層 14 之一部內設置有一加熱電極 16，於介電層 14 上則堆疊有一圖案化之相變化材料層 20。圖案化之相變化材料層 20 係設置於介電層 14 上之另一介電層

18 內，而相變化材料層 20 之底面則部份接觸加熱電極 16。於介電層 18 上則設置有另一介電層 24。於介電層 24 內設置有一頂電極 22，頂電極 22 部分覆蓋了介電層 24 且部分之頂電極 22 穿透了介電層 24，因而接觸了其下方之相變化材料層 20。

於操作時，加熱電極 16 將產生一電流以加熱介於相變化材料層 20 與加熱電極 16 間之介面，進而視流經加熱電極 16 之電流量與時間長短而使得相變化材料層 20 之一部份(未顯示)轉變成非晶態相或結晶態相。

然而，為了提升相變化記憶裝置的應用價值，便需要進一步縮減相變化記憶裝置內記憶胞的尺寸並提升單位面積內之相變化記憶裝置內記憶胞的密度。然而，隨著記憶胞尺寸的縮減，意味著記憶胞之工作電流需隨記憶胞密度的提升與尺寸的縮小等趨勢而進一步的縮減。

因此，因應上述之記憶胞尺寸縮減趨勢，如第 1 圖所示之習知相變化記憶胞結構可能遭遇以下缺點，即其於操作模式時由於需要極大之寫入電流(writing current)與重置電流(reset current)以成功地轉變相變化材料之相態，因此為了於縮減記憶胞尺寸時亦能降低重置電流與寫入電流以產生相變反應，所使用之方法之一即為降低加熱電極 16 與相變化材料層 20 之接觸面積，即藉由降低加熱電極 16 之直徑 D_0 所達成，進而維持或提高其介面間之電流密度。然而，加熱電極 16 之直徑 D_0 仍受限於目前微影製程之能力，進而使得其縮小程度為之受限，故無法進一步降低寫入電流與重置電流等工作電流，如此將不利於其相變化記憶胞結構的微縮。

因此，便需要一種相變化記憶裝置及其製造方法，以解決上述問題。

【發明內容】

有鑑於此，本發明提供了一種相變化記憶裝置及其製造方法，以期滿足上述需求。

依據一實施例，本發明提供一種相變化記憶體裝置，包括：

一基板；一第一電極層，形成於該基板上；一第一介電層，形成於該第一電極層與該基板之上；複數個杯形加熱電極，分別設置於該第一介電層之一部內；一第一絕緣層，沿一第一方向設置於該第一介電層上，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；一第二絕緣層，沿一第二方向設置於該第一絕緣層且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；以及一對相變化材料層，分別設置於該第二絕緣層之兩對稱側壁上且實體接觸該些杯形加熱電極之一；以及一對第一導電層，分別沿該第二方向埋設於該第二絕緣層之內，其中該些導電層之一底面實體接觸該些相變化材料層之一。

依據另一實施例，本發明提供一種相變化記憶體裝置的製造方法，包括：

提供一基板，其上具有一第一電極層；於一第一介電層中形成一對杯形加熱電極；於該第一介電層上沿一第一方向形成一第一絕緣層，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；於該些杯形加熱電極、該第一絕

緣層和該第一介電層上沿一第二方向形成一第二絕緣層；於該第二絕緣層之該第一方向上之對稱側壁上分別形成一相變化材料層，該相變化材料層接觸該些杯形加熱電極之一；全面地形成一第三絕緣層於該第二絕緣層、該些相變化材料層、該些杯形加熱電極及該第一介電層上；於該第三絕緣層內形成複數個沿該第二方向延伸且互為平行之溝槽，該些溝槽分別部分露出該些相變化材料層之一；以及於該些溝槽內形成一第一導電層，其中該第一導電層之底面實體接觸該些相變化材料層之一。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

本發明之相變化記憶裝置之製作將配合第 2 圖至 8 圖等示意情形作一詳細敘述如下。

請參照第 2a~2d 圖，顯示了依據本發明一實施例之相變化記憶裝置之示意圖，其中第 2a 圖顯示了一上視示意情形，而第 2b~2d 圖則分別顯示了沿第 2a 圖內之線段 A~A'、B~B' 與 C~C' 之剖面示意情形。

在此，第 2a~2d 圖所示之相變化記憶裝置以及其相關製作已揭示於同屬本案申請人之中華民國專利申請案中（申請日為民國 96 年 1 月 10 日，申請案號為 96100903），在此以提及方式將之併入於本文中。以下將藉由第 2a~2d 圖所示之相變化記憶裝置，以解說本案發明人所遭遇之問

題。

請參照第 2a~2d 圖，於本實施例中之相變化記憶體裝置內設置有數個記憶胞，而各記憶胞之主要元件包括一基板 300；一第一電極層 302，形成於上述基板 300 上；一相變化記憶體結構 500a，形成於上述第一電極層 302 上，且電性連接至上述第一電極層 302。上述第一相變化記憶體結構 500a 包括：一杯形加熱電極 314，設置於一第一介電層 304 中；一第一絕緣層 318，設置於上述第一介電層 304 上，且部分覆蓋於上述杯形加熱電極 314(由導電層 310 與第三絕緣層 312 所組成)；一第一電極結構 331b，覆蓋於上述第一絕緣層 318 和上述杯形加熱電極 314，其中第一絕緣層 318 和第一電極結構 331 互相垂直。上述第一電極結構 331 具有一對相變化材料間隙壁 330a，設置於上述第一電極結構 331 的一對側壁 328 上，且部分覆蓋於上述杯形加熱電極 314。

於本實施例中，藉由一過蝕刻步驟(over-etching)以移除形成於第一絕緣層 318 側壁的相變化材料層，因而於疊層結構 324 的側壁 328 上形成相變化材料間隙壁 330a，且使相變化材料間隙壁 330a 的高度低於疊層結構 324 的高度，以形成第一電極結構 331b。第一電極結構 331b 係包括氧化矽層 320、導電層 322 和相變化材料間隙壁 330a，其中導電層 322 係作為上電極之用。相變化材料間隙壁 330a 與杯形加熱電極 314 的接觸面積 380b，可為相變化材料間隙壁 330a 或導電層 310 的薄膜厚度十字交叉的面積控

制，比第 1 圖所示之習知相變化記憶胞製作技術中採用微影製程形成的加熱電極產生的面積更小，控制更為精確。

然而，於本實施例中之相變化記憶裝置設置情形雖可藉由控制相變化材料間隙壁 330a 與杯形加熱電極 314 的接觸面積 380b 而達成縮小加熱電極與相變化材料間之接觸面積，因而具有降低寫入電流與重置電流等工作電流之功效。

然而，由於作為上電極之導電層 322 採用偏移設置型態並未垂直地準直堆疊於位於下方之杯形加熱電極 314。因此，於本實施例中之記憶胞建構上便需於導電層 322 另一側未與杯形加熱電極 314 接觸之鄰近之相變化材料間隙壁 330a 與設置於導電層 322 正下方未接觸相變化材料間隙壁 330a 之杯形加熱電極 314 之一部預留間距為 X1 之一空間，以及於導電層 322 另一側未與杯形加熱電極 314 接觸之另一相變化材料間隙壁 330a 及其鄰近之記憶胞中與杯形加熱電極 314 接觸之相變化材料間隙壁 330a 預留間距為 X2 之一空間(請參照第 2a 圖與第 2b 圖)，藉以提供後續元件製作時之製程裕度(process window)，以避免相鄰之記憶胞間之元件短路情形的發生，其中上述空間 X1 與 X2 約為 0.02 微米(μm) 至 0.2 微米(μm)。在此，上述空間 X1 與 X2 之範圍與其相互大小關係並非為上述範圍以及如第 2a 圖與第 2b 圖之附圖而加以限定，空間 X1 與 X2 間之大小關係與實際空間大小則可視所應用之製程而適度地擴張或縮小。

此外，參照第 2a 圖與第 2c 圖所示，於本實施例中之元件建構上亦需於杯狀加熱電極 314 與覆蓋鄰近記憶胞元件上之絕緣層 318 預留間距為 Y1 之一空間，以及於為此絕緣層 318 覆蓋之記憶胞元件內之杯狀加熱電極 314 與絕緣層 318 間預留間距為 Y2 之空間，藉以確保相鄰之記憶胞元件之正常運作並提供後續形成元件(如第一電極結構 331b)之製程裕度(process window)其中上述空間 Y1 與 Y2 約為 0.02 微米(μm) 至 0.2 微米(μm)，在此，上述空間 Y1 與 Y2 之範圍與其相互大小關係並非為上述範圍以及如第 2a 圖與第 2c 圖之附圖而加以限定，空間 Y1 與 Y2 間之大小關係與實際空間大小則可視所應用之製程而適度地擴張或縮小。

如此，由於本實施例中之相變化記憶體裝置內記憶胞的設置需預留前述間距為 X1、X2、Y1 與 Y2 之空間，因此第 2a~2d 圖內設置之相變化記憶體裝置之記憶胞密度之提升恐因而受到限制。

因此，依據本發明之另一實施例，本案發明人提供了一種新穎之相變化記憶體裝置及製造方法，其仍保有縮小加熱電極與相變化材料間之接觸面積、降低寫入電流與重置電流等工作電流等技術特徵與功效，且其內記憶胞設置情形有助於提升單位面積內之記憶胞密度。

請參照第 3~8 圖，分別顯示了依據本發明另一實施例之相變化記憶裝置於不同製程階段時之示意圖，其中第 3a、4a、5a、6a、7a 和 8a 圖分別顯示了於不同製程步驟中

之上視示意情形，第 3b、4b、5b、6b、7b 和 8b 圖分別顯示了沿第 2a、3a、4a、5a、6a、7a 和 8a 圖中 A-A' 線段之剖面示意情形，而第 5c、6c、7c 和 8c 圖分別顯示了沿第 5a、6a、7a 和 8a 圖中 B-B' 線段之剖面示意情形。

於本實施例中，上述圖式中僅部分繪示了相變化記憶裝置中數個記憶胞之製作情形，熟悉此技藝應能理解本實施例中之相變化裝置之記憶胞可更透過適當之導電構件(如內連插栓或內連導線等)而連結一主動裝置(例如電晶體或二極體)與一導線等其他構件。然而，基於簡化圖示之目的，此些構件並未繪示於上述圖式中。

請參考第 3a 圖與第 3b 圖，其分別顯示一相變化記憶體裝置上視示意圖與剖面示意圖。首先提供一基板 400，基板 400 為矽基板。在其他實施例中，可利用鍺化矽(SiGe)、塊狀半導體(bulk semiconductor)、應變半導體(strained semiconductor)、化合物半導體(compound semiconductor)、絕緣層上覆矽(silicon on insulator, SOI)，或其他常用之半導體基板。接著，可利用例如物理氣相沉積法(physical vapor deposition, PVD)、濺鍍法(sputtering)、低壓化學氣相沉積法(low pressure CVD, LPCVD)和原子層化學氣相沉積法(atomic layer CVD, ALD)或無電鍍膜法(electroless plating)等方式，於基板 400 上形成電極層 402(可視為下電極層 402)。在此，電極層 402 可沿第 3a 圖內所示之 X 方向延伸設置於基板 400 之上(未顯示)。電極層 402 可包括多晶矽(polysilicon)、非晶矽(amorphous

silicon)、金屬氮化物或金屬矽化物。電極層 402 可包括金屬或合金。電極層 402 可包括鈷(cobalt, Co)、鉭(tantalum, Ta)、鎳(nickel, Ni)、鈦(titanium, Ti)、鎢(tungsten, W)、鎢化鈦(TiW)或其他耐火金屬及複合金屬，也可包括例如鋁或銅等基礎金屬。電極層 402 可包括單一層或堆疊層，例如鋁(Al)層、銅/氮化鉭(Cu/TaN)疊層或其他金屬的單一層或堆疊層。

● 接著，可利用化學氣相沉積(chemical vapor deposition, CVD)等薄膜沉積方式，於電極層 402 上方依序形成一 p 型半導體材料層和一 n 型半導體材料層。然後，利用微影暨蝕刻方式，移除部分該 p 型半導體材料層和該 n 型半導體材料層，以形成二極體結構 408。二極體結構 408 可為一半導體材料組合層，較佳為一摻雜 n 型不純物的半導體材料層和一摻雜 p 型不純物的半導體材料層層堆疊而成以形成 p/n 二極體接面，其中 n 型不純物可包括磷(P)或砷(As)，而 p 型不純物可包括硼(B)或二氟化硼(BF₂)。在其他實施例中，二極體結構 408 可包括例如多晶矽(polysilicon)或非晶矽(amorphous silicon)之多晶或非晶半導體材料。

● 接著，可利用化學氣相沉積(chemical vapor deposition, CVD)等薄膜沉積方式，於電極層 402 及二極體結構 408 上方形成介電層 404。介電層 404 可包括氧化矽(SiO₂)、氮化矽(Si₃N₄)或其他類似的介電材料。然後，利用一圖案化光阻(圖未顯示)覆蓋介電層 404 上，定義出杯型開口 406 的形成位置，再進行一非等向性蝕刻步驟，移除未被光阻覆

蓋的介電層 404，直到暴露出二極體結構 408，然後移除圖案化光阻，以形成杯型開口 406。杯形開口 406 的底部疊對對準(Overlay Alignment)於二極體結構 408 的正上方。杯型開口 406 的孔徑大小係與後續形成相變化材料間隙壁的厚度相關，在本實施例中，杯型開口 406 的孔徑較佳為 $0.02\mu\text{m}$ 至 $0.2\mu\text{m}$ 。

接著，請參考第 4a 和 4b 圖，可利用例如物理氣相沉積法(physical vapor deposition, PVD)、濺鍍法(sputtering)、● 低壓化學氣相沉積法(low pressure CVD, LPCVD)和原子層化學氣相沉積法(atomic layer CVD, ALD)或無電鍍膜法(electroless plating)等方式，於介電層 404 和杯型開口 406 的側壁上形成一導電層 410，且覆蓋於二極體結構 408。接著，於該導電層上形成一絕緣層 412，並填入杯型開口 406。絕緣層 412 可包括氧化矽、氮化矽或其組合。然後，進行一例如為化學機械研磨(chemical mechanical polishing, CMP)的平坦化製程，● 移除過量的導電層 410 和第三絕緣層 412，以形成杯型加熱電極 414。導電層 410 可包括金屬、合金、金屬化合物、半導體材料。導電層 410 可包括基礎金屬及其合金(例如鋁或銅)、耐火金屬及其合金(例如鈷、鈮、鎳、鈦、鎢、鎢化鈦)、過渡金屬氮化物、耐火金屬氮化物(例如氮化鈷、氮化鈮、氮化鎳、氮化鈦、氮化鎢)、金屬氮矽化物(例如氮矽化鈷、氮矽化鈮、氮矽化鎳、氮矽化鈦、氮矽化鎢)、金屬矽化物(例如矽化鈷、矽化鈮、矽化鎳、矽化鈦、矽化鎢)、多晶或非晶半導體材料、相變化

材料((例如銻化鎵(GaSb)、碲化鍺(GeTe)、鍺-銻-碲合金($\text{Ge}_2\text{Sb}_2\text{Te}_5$)、銀-銻-銻-碲合金(Ag-In-Sb-Te))、導電氧化物材料(例如鈮鉬銅氧化物(YBCO)、氧化亞銅(Cu_2O)、銻錫氧化物(ITO))或其組合，其厚度較佳介於 2 nm 至 20 nm 之間。杯形加熱電極 414 係透過二極體結構 408 電性連接至電極層 402。在此，杯型加熱電極 414 係按照陣列型態方式設置，且相鄰之杯型加熱電極 414 於第 4a 圖內所示之 X 方向以及 Y 方向上分別具有一間距 X_3 與 Y_3 ，其中上述空間 X_3 與 Y_3 約為 0.02 微米(μm) 至 0.2 微米(μm)。在此，上述空間 X_3 與 Y_3 之範圍並非為上述範圍以及如第 4a 圖之附圖而加以限定，空間 X_3 與 Y_3 間之與實際大小則可視所應用之製程而適度地擴張或縮小。

請參考第 5a、5b 和 5c 圖，顯示了絕緣層 418 與絕緣層 424 的形成。首先全面形成一例如為氮化矽的絕緣層於介電層 404 和杯型加熱電極 414 上。然後，利用一圖案化光阻(圖未顯示)覆蓋絕緣層上，定義出絕緣層 418 的形成位置，再進行一非等向性蝕刻步驟，移除未被光阻覆蓋的絕緣層，然後移除圖案化光阻，以形成數個條狀的絕緣層 418。於本實施例中，絕緣層 418 係沿第 5a 圖內之 X 方向延伸並形成於介電層 404 上，且較佳地部分覆蓋於兩個相鄰之杯型加熱電極 414 以及其間之介電層 404 上，例如覆蓋於各杯型加熱電極 414 的一半面積，其厚度較佳為 5 nm 至 20 nm。

接著形成一絕緣層材料，覆蓋於介電層 404 和第一絕

緣層 418 上。絕緣層材料可包括氧化矽、氮化矽或其組合。然後，利用一圖案化光阻(未顯示)覆蓋於導電層上，定義出絕緣層 424 的形成位置，再進行一非等向性蝕刻步驟，移除未被光阻覆蓋的絕緣層，然後移除圖案化光阻，以形成數個互為平行之條狀的絕緣層 424。絕緣層 424 係分別沿第 5a 圖內之 X 方向形成並延伸於介電層 404 上，且部分覆蓋於杯型加熱電極 414 和絕緣層 418。在本實施例中，第 5a 圖內之 Y 方向與 X 方向互相垂直，而絕緣層 424 較佳地沿 Y 方向而部分覆蓋於兩鄰近之杯型加熱電極 414，例如是覆蓋於各杯形加熱電極 414 的二分之一面積，其中絕緣層 424 厚度較佳為 100nm 至 200 nm。

請參考第 6a、6b 與 6c 圖，其顯示一相變化材料層 430 的形成。相變化材料層 430 的形成可利用例如物理氣相沉積法(physical vapor deposition, PVD)、熱蒸鍍法(thermal evaporation)、脈衝雷射蒸鍍(pulsed laser deposition)或有機金屬化學氣相沈積法(metal organic chemical vapor deposition, MOCVD)等方式，全面性地覆蓋一層相變化材料(phase change film, PC film)。然後，進行一非等向性蝕刻步驟，以於絕緣層 424 的側壁上形成相變化材料層 430。

相變化材料層 430 可包括二元、三元或四元硫屬化合物(chalcogenide)，例如銻化鎵(GaSb)、碲化鍺(GeTe)、鍺-銻-碲合金(Ge-Sb-Te, GST)、銀-銻-銻-碲合金(Ag-In-Sb-Te)或其組合。在本實施例中，相變化材料層 430 的厚度較佳介於 2 nm 至 50 nm。於本實施例中，相變化材料層 430 與

杯形加熱電極 414 的接觸面積 480a，可為相變化材料間隙壁 430 或導電層 410 的薄膜厚度十字交叉的面積控制，比第 1 圖習知技術所示利用微影製程形成的加熱電極產生的面積更小，控制更為精確。

請參考第 7a、7b 與 7c 圖，其顯示一溝槽 432 的形成。利用旋轉塗佈方式，全面性沉積一介電層 434，以覆蓋於如先前第 6a、6b 與 6c 圖之結構上。介電層 434 可包括旋轉塗佈玻璃(SOG)或其他類似的材料。因此，於介電層 434 形成後便具有一平坦表面。然後，進行一微影蝕刻製程，以定義介電層 434 並於其內形成數條沿第 7a 圖內 Y 方向延伸且相互平行設置之溝槽 432。在此，各溝槽 432 大體疊置於杯型加熱電極 414 並垂直地準直於其下方之杯型加熱電極 414，且露出相變化材料層 430 及其鄰近之絕緣層 424 以及介電層 434。

請參考第 8a、8b 與 8c 圖，其顯示一導電層 450 的形成。接著全面性沉積一導電材料，例如為如鋁(Al)、銅/氮化鈮(Cu/TaN)或其他金屬材料。以覆蓋於如先前第 7a、7b 與 7c 圖之結構上並填入於溝槽 432 之內。接著採用如化學機械研磨程序之一平坦化程序以移除高出介電層 434 表面之導電材料部分，進而於各溝槽 432 內形成一導電層 450 並完成了相變化記憶裝置之製備。在此，導電層 450 係作為上電極之用。在此，導電層 450 以及溝槽 432 的製備較佳地可採用鑲嵌製程所製備形成。

於本實施例中，由於上電極係疊置於杯型加熱電極 414

且大體與其準直地設置，上電極並不會突出於杯型加熱電極 414 表面太多距離。因此於元件設計時，預留給杯型加熱電極 414 間之間距 X_3 或 Y_3 可少於如第 2a~2d 圖所示之間距 X_1 、 X_2 、 Y_1 及 Y_2 或其總和，因而有利於記憶胞密度的提升。於一實施例中，此些杯形加熱電極 414 之間距 X_3 或 Y_3 不大於杯形加熱電極之孔徑。

如第 8a、8b 與 8c 圖所示，本實施例相變化記憶裝置，包括：

一基板 400；一第一電極層 402，形成於該基板上；一第一介電層 404，形成於該第一電極層與該基板之上；複數個杯形加熱電極 414，分別設置於該第一介電層之一部內；一第一絕緣層 418，沿一第一方向設置於該第一介電層上，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；一第二絕緣層 424，沿一第二方向設置於該第一絕緣層且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；以及一對相變化材料層 430，分別設置於該第二絕緣層之兩對稱側壁上且實體接觸該些杯形加熱電極之一；以及一對第一導電層 450，分別沿該第二方向設置於該第二絕緣層之上，其中該些第一導電層之一底面實體接觸該些相變化材料層之一。

本發明實施例之相變化記憶體裝置具有以下優點：(1) 單位記憶胞(unit memory cell)面積上之記憶胞間距可更為縮減，有助於記憶胞密度的提升。(2)相變化材料間隙壁與杯形加熱電極的接觸面積可由相變化材料間隙壁與杯型加

熱電極的薄膜厚度十字交叉的面積控制，以達成接觸面積最小化的效果。(3) 基於(2)之設置情形，於相變化記憶胞尺寸持續縮減時，仍可達成降低記憶胞之寫入電流與重置電流等功效。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為習知的相變化記憶體裝置；

第 2a~2d 圖為依據本發明一實施例之相變化記憶體裝置之示意圖，其中第 2a 圖顯示了一上視示意情形，而第 2b~2d 圖則分別顯示了沿第 2a 圖內之線段 A~A'、B~B'與 C~C'之剖面示意情形；

第 3a、4a、5a、6a、7a 和 8a 圖為一系列示意圖，分別顯示了本發明另一實施例之相變化記憶體裝置於不同製程步驟中之上視情形；

第 3b、4b、5b、6b、7b 和 8b 圖為一系列示意圖，分別顯示了沿第 2a、3a、4a、5a、6a、7a 和 8a 圖中 A-A'線段之剖面情形；以及

第 5c、6c、7c 和 8c 圖為一系列示意圖，分別顯示了沿第 5a、6a、7a 和 8a 圖中 B-B'線段之剖面情形。

【主要元件符號說明】

- 10~矽基底；
- 12~底電極；
- 14~介電層；
- 16~加熱電極；
- 18~介電層；
- 20~相變化材料層；
- 22~頂電極；
- 24~介電層；

- D₀~加熱電極之直徑；
- 300~基板；
- 302~第一電極層；
- 304~第一介電層；
- 308~二極體結構；
- 310~導電層；
- 312~第三絕緣層；
- 314~杯形加熱電極；
- 318~第一絕緣層；
- 320~第四絕緣層；
- 322~導電層；
- 324~疊層結構；
- 326~相變化材料層；
- 328~側壁；
- 331b~第一電極結構；
- 330a~相變化材料間隙壁；
- 380b~接觸面積；
- 500a~第一相變化記憶體結構；
- 400~基板；
- 402~電極層；
- 404~介電層；
- 408~二極體結構；
- 410~導電層；
- 412~絕緣層；

414~杯形加熱電極；

418、420、424~絕緣層；

430~相變化材料層；

432~導電溝槽；

434~介電層；

450~導電層；

480a~接觸面積；

X1~相變化材料間隙壁 330a 與設置於導電層 322 正下方未接觸相變化材料間隙壁 330a 之杯形加熱電極 314 之間距；

X2~於導電層 322 另一側未與杯形加熱電極 314 接觸之另一相變化材料間隙壁 330a 及其鄰近之記憶胞中與杯形加熱電極 314 接觸之相變化材料間隙壁 330a 之間距；

X3~杯形加熱電極 414 於 X 方向上之間距；

Y1~杯狀加熱電極 314 與覆蓋鄰近記憶胞元件上之絕緣層 318 之間距；

Y2~為絕緣層 318 覆蓋之記憶胞元件內之杯狀加熱電極 314 與絕緣層 318 間之間距；

Y3~杯形加熱電極 414 於 Y 方向上之間距。

十、申請專利範圍：

102年1月28日修正本

p. 25-29

1. 一種相變化記憶體裝置，包括：

一基板；

一第一電極層，形成於該基板上；

一第一介電層，形成於該第一電極層與該基板之上；

複數個杯形加熱電極，分別設置於該第一介電層之一部內；

一第一絕緣層，沿一第一方向設置於該第一介電層上，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；

一第二絕緣層，沿一第二方向設置於該第一絕緣層且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；
以及

一對相變化材料層，分別設置於該第二絕緣層之兩對稱側壁上且實體接觸該些杯形加熱電極之一；以及

一對第一導電層，分別沿該第二方向設置於該第二絕緣層之上，其中該些第一導電層之一底面實體接觸該些相變化材料層之一。

2. 如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該杯形加熱電極包括：

一二極體結構；

一 第二導電層，設置於該二極體結構上，其中該導電層為杯形，且具有一開口；以及

一 第三絕緣層，填入該開口中。

3.如申請專利範圍第 2 項所述之相變化記憶體裝置，其中該第二導電層包括金屬、合金、金屬化合物、半導體材料或其組合。

4.如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該第一絕緣層係分別覆蓋於該些杯形加熱電極的二分之一面積。

5.如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該第二絕緣層係分別覆蓋於該些杯形加熱電極的二分之一面積。

6.如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該些第一導電層分別位於該些杯形加熱電極之一之上且大體與之相準直。

7.如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該些杯形加熱電極之間距不大於該些杯形加熱電極之孔徑。

8.如申請專利範圍第 1 項所述之相變化記憶體裝置，其中該第一方向與該第二方向垂直。

9.一種相變化記憶體裝置的製造方法，包括下列步驟：

提供一基板，其上具有一第一電極層；

於一第一介電層中形成一對杯形加熱電極；

於該第一介電層上沿一第一方向形成一第一絕緣層，且部分覆蓋於該些杯形加熱電極及其間之該第一介電層；

於該些杯形加熱電極、該第一絕緣層和該第一介電層上沿一第二方向形成一第二絕緣層；

於該第二絕緣層之該第一方向上之對稱側壁上分別形成一相變化材料層，該些相變化材料層接觸該些杯形加熱電極之一；

全面地形成一第三絕緣層於該第二絕緣層、該些相變化材料層、該些杯形加熱電極及該第一介電層上；

於該第三絕緣層內形成複數個沿該第二方向延伸且互為平行之溝槽，該些溝槽分別部分露出該些相變化材料層之一；以及

於該些溝槽內形成一第一導電層，其中該第一導電層之底面實體接觸該些相變化材料層之一。

10.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，其中該些溝槽與該導電層係由一鑲嵌製程所形成。

11.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，於形成該些杯形加熱電極之前更包括：

利用薄膜沉積方式，於該第一電極層上方依序形成一p型半導體層和一n型半導體層；

利用微影暨蝕刻方式，移除部分該p型半導體層和該n型半導體層，形成一二極體結構；以及

於該第一電極層及該二極體結構上方形成一第一介電層，且覆蓋該二極體結構。

12.如申請專利範圍第11項所述之相變化記憶體裝置的製造方法，其中形成該杯形加熱電極包括：

利用微影暨蝕刻方式，移除部分該第一介電層直到露出該二極體結構，以形成一杯形開口；

於該杯形開口中形成一第二導電層，其中該第二導電層為杯形；

於該第二導電層上填入一第四絕緣層，並填入該杯形開口中；

進行一平坦化製程，移除部分該第二導電層和該第四

絕緣層，以形成該杯形加熱電極。

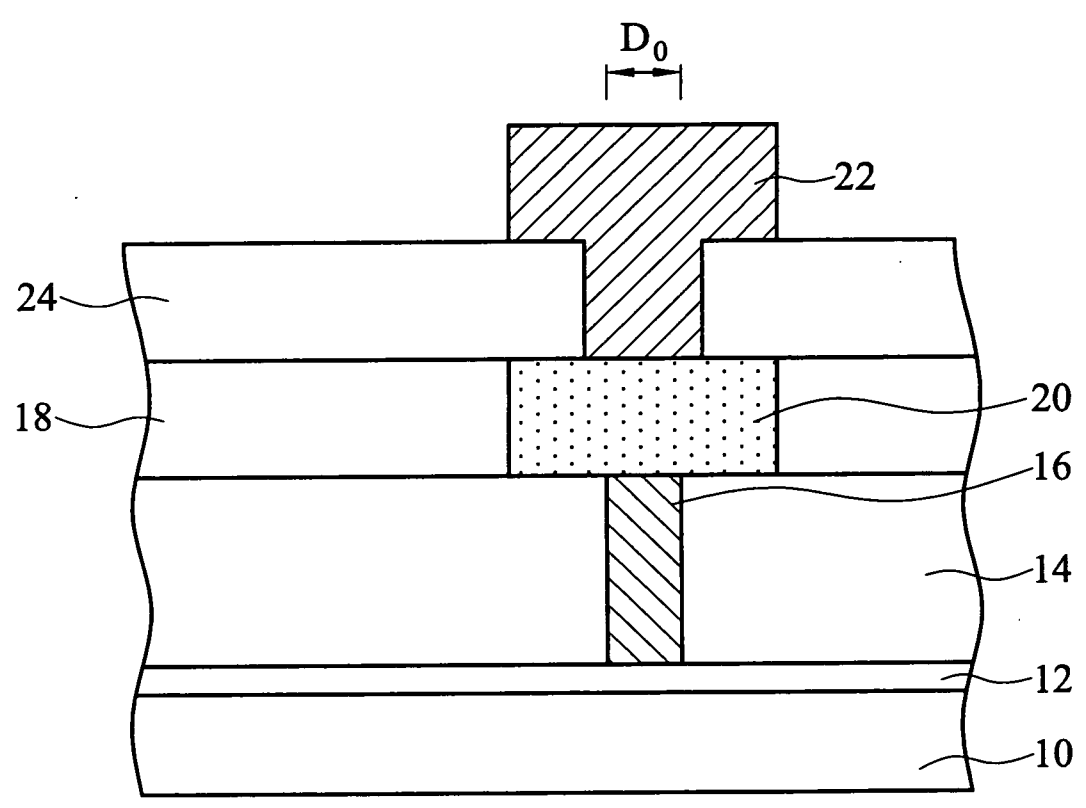
13.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，其中該第一絕緣層係分別覆蓋於該些杯形加熱電極的二分之一面積。

14.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，其中該第二絕緣層係分別覆蓋於該些杯形加熱電極的二分之一面積。

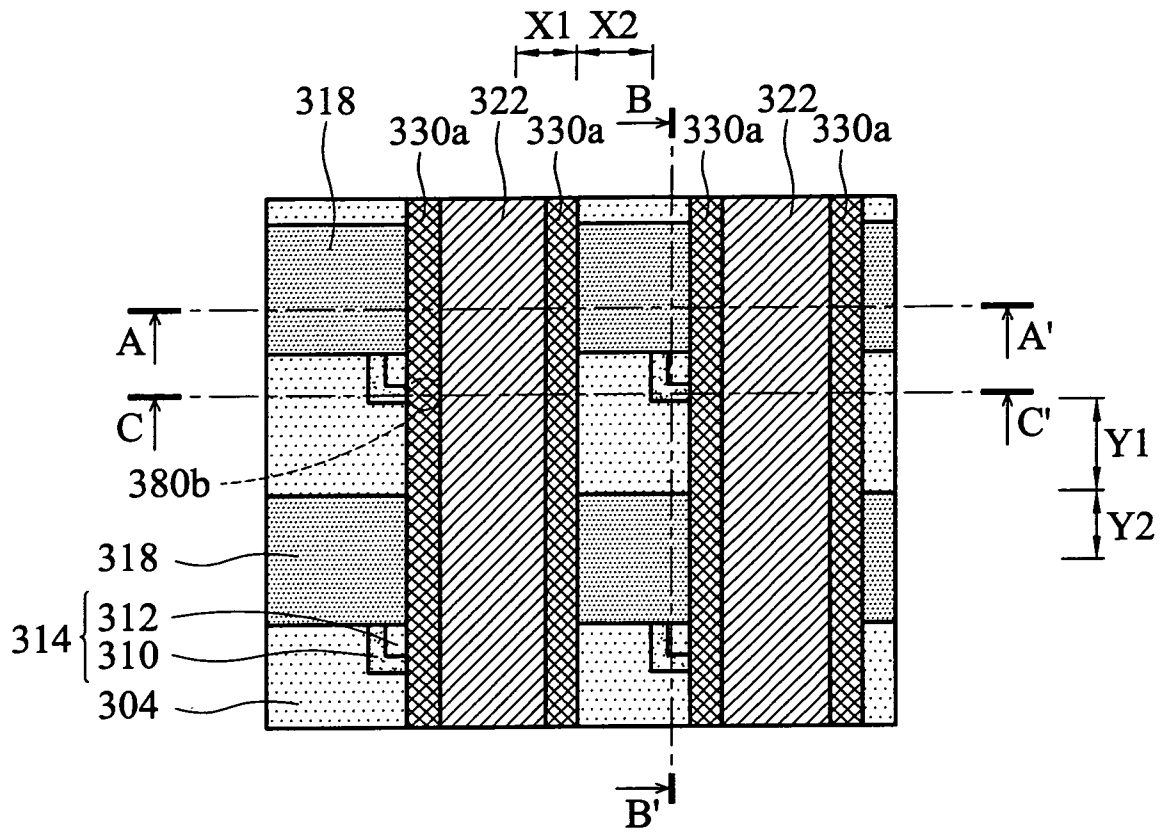
15.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，其中該第一導電層分別位於該些杯形加熱電極之一之上且大體與之相準直。

16.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，該些杯形加熱電極之間距不大於該些杯形加熱電極之孔徑。

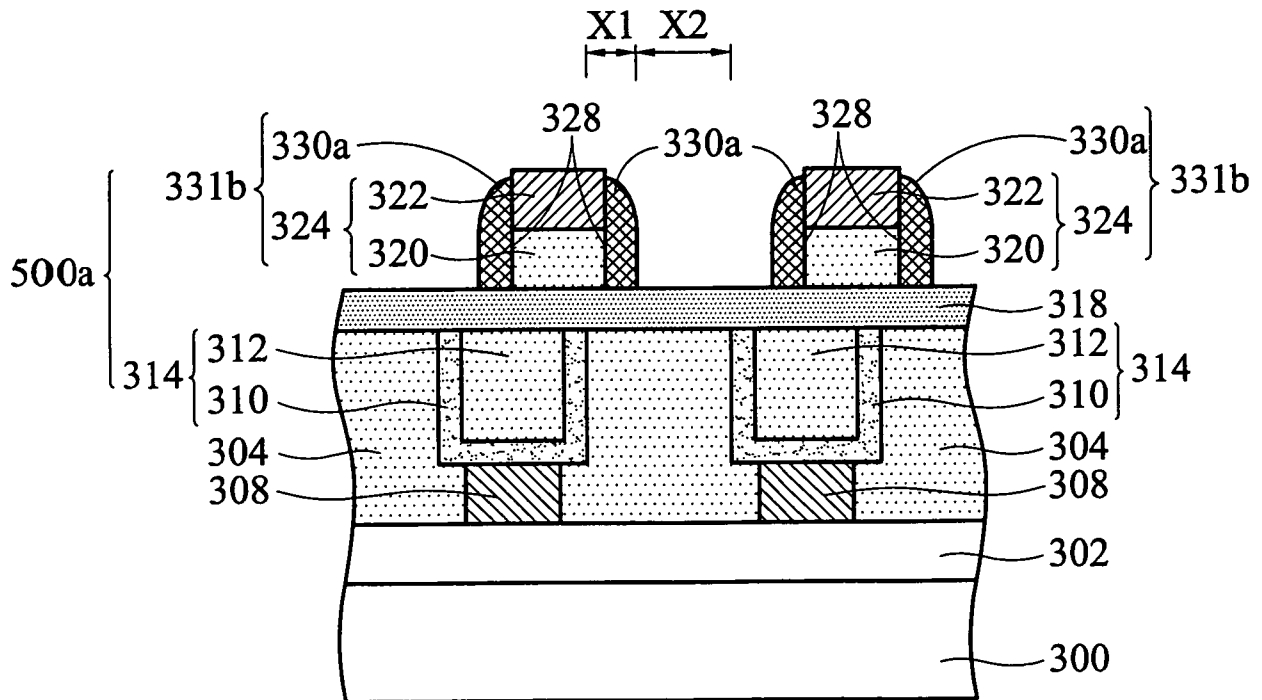
17.如申請專利範圍第9項所述之相變化記憶體裝置的製造方法，其中該第一方向與該第二方向垂直。



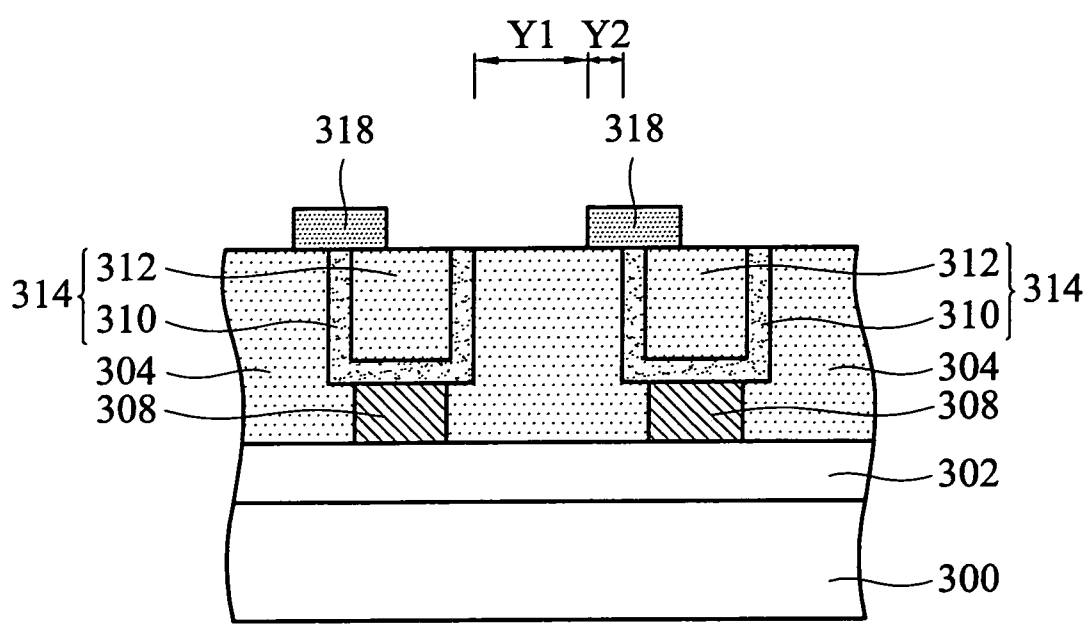
第 1 圖



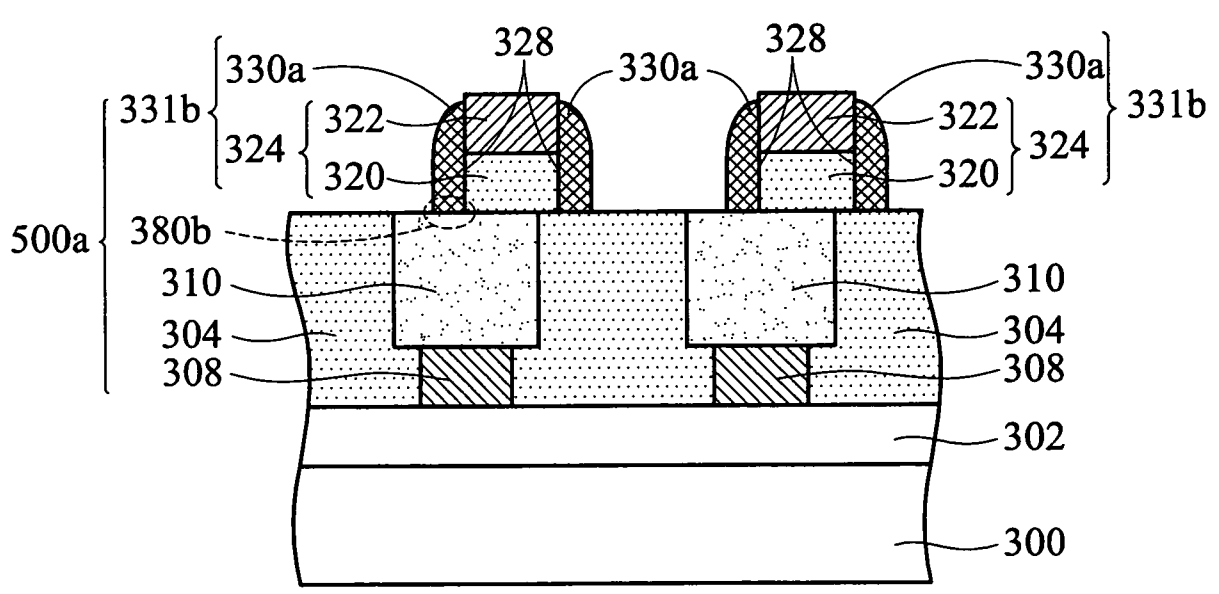
第2a 圖



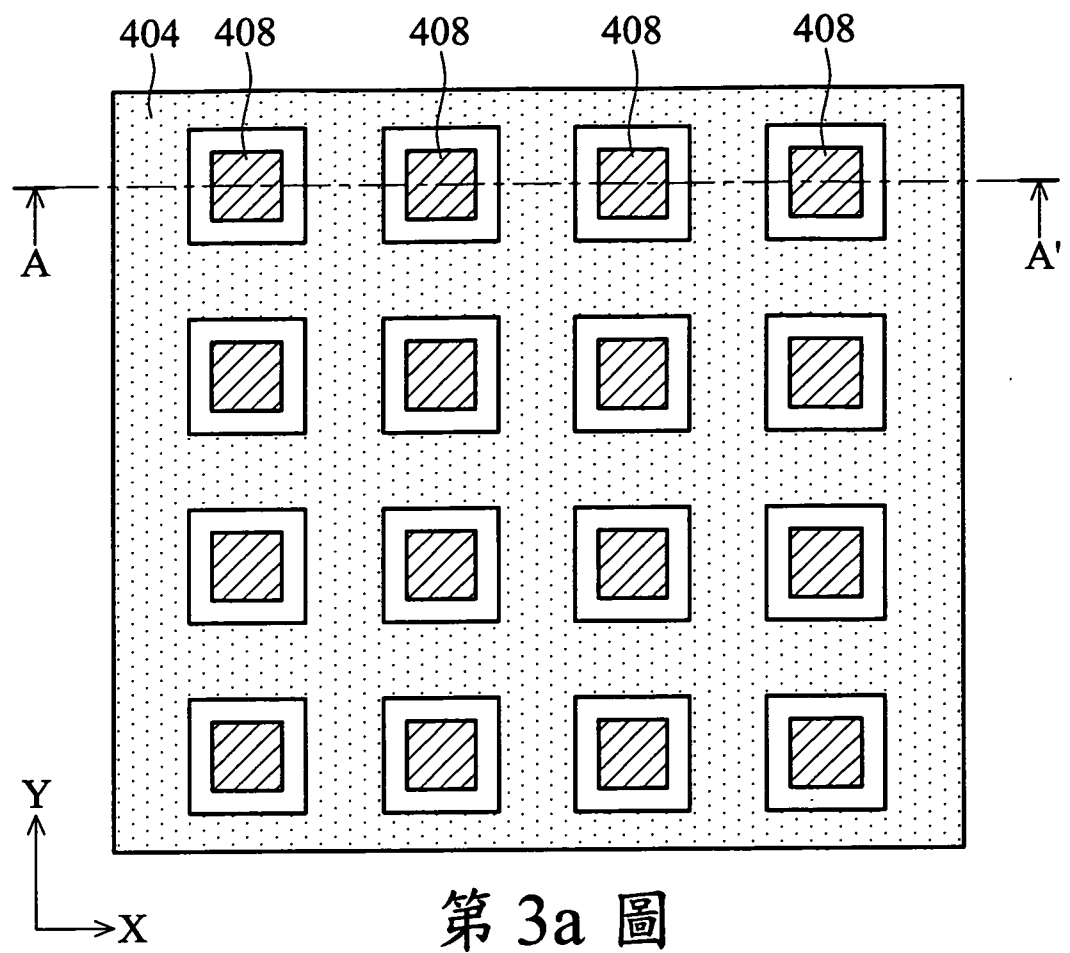
第2b 圖



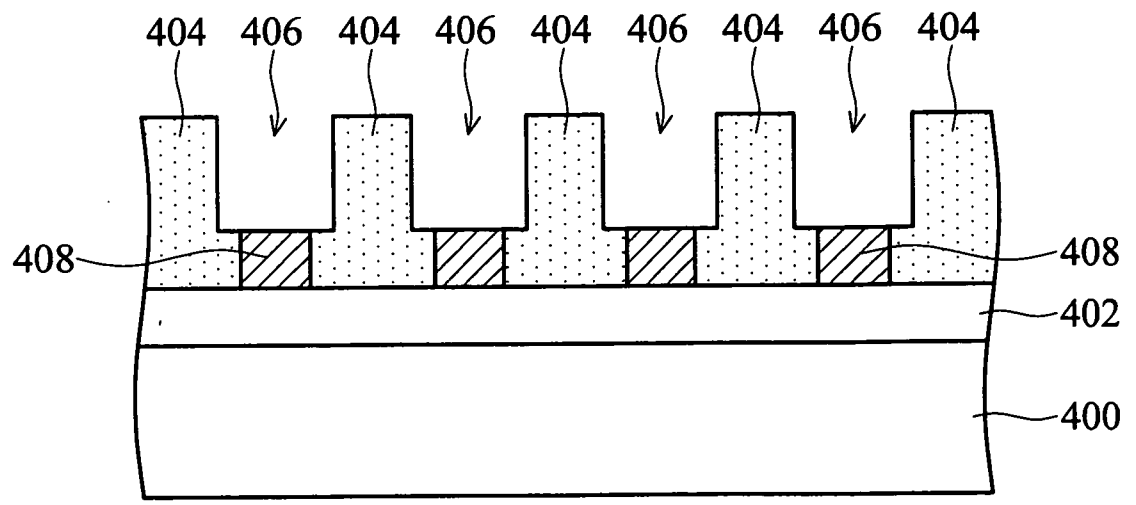
第2c 圖



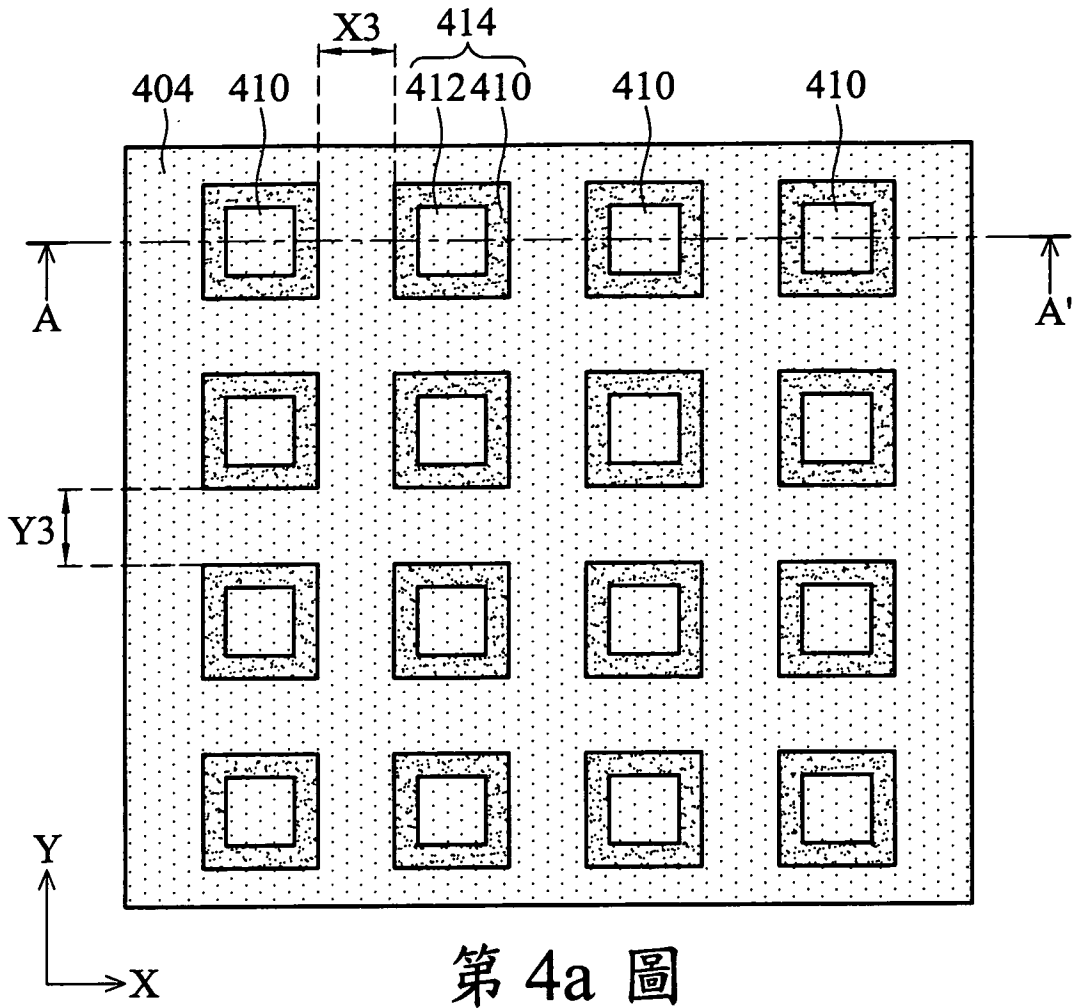
第2d 圖



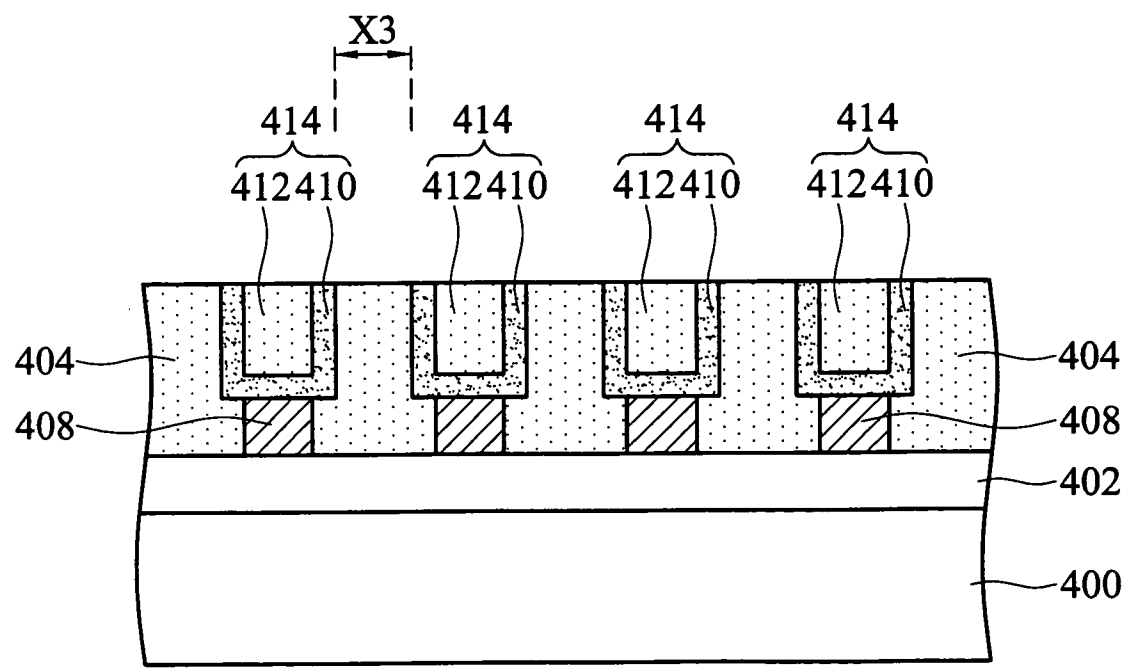
第 3a 圖



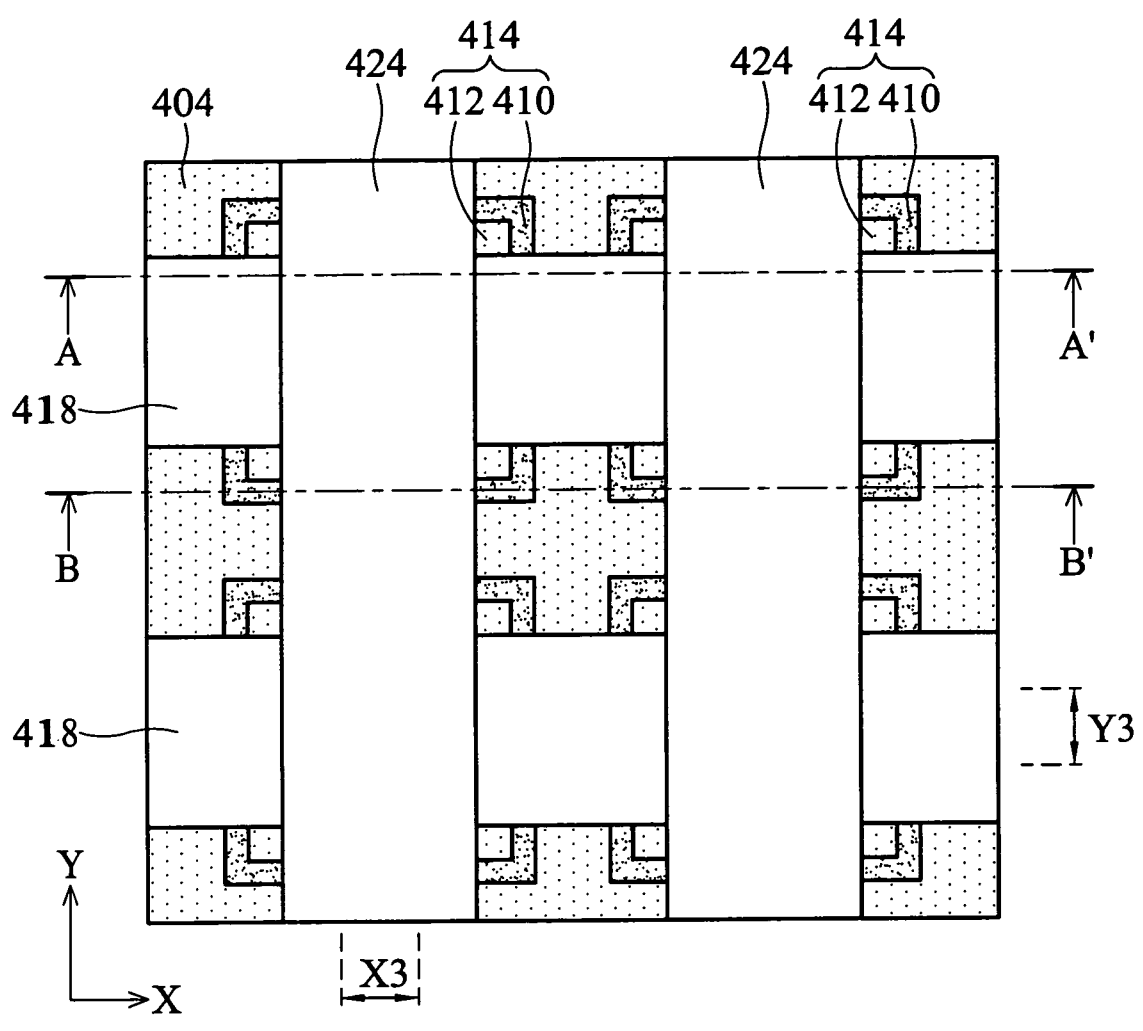
第 3b 圖



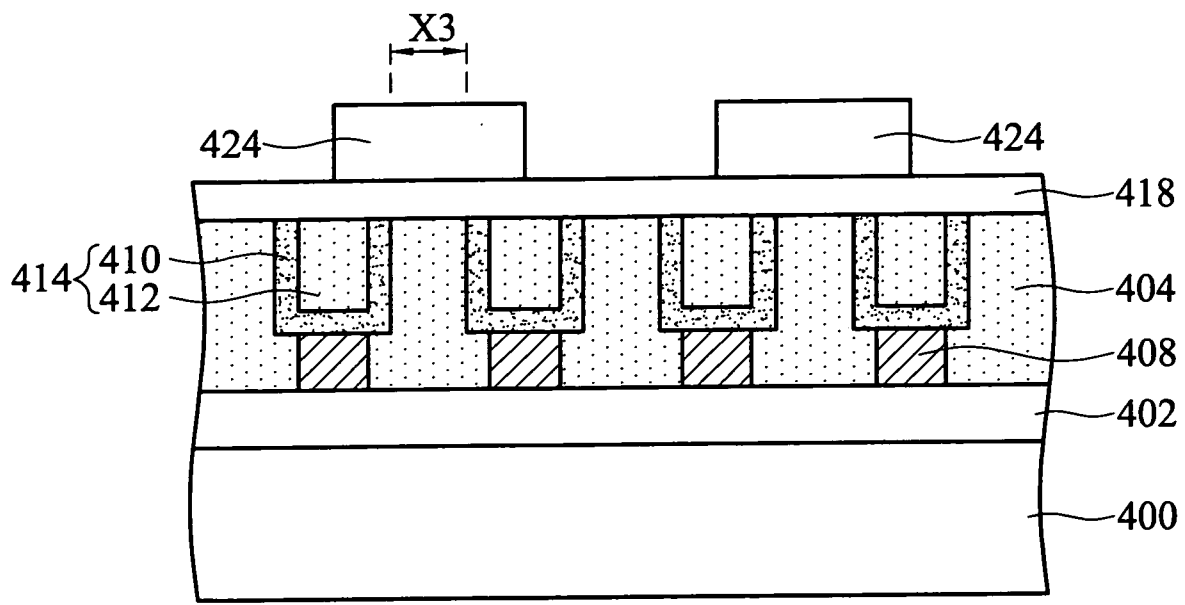
第 4a 圖



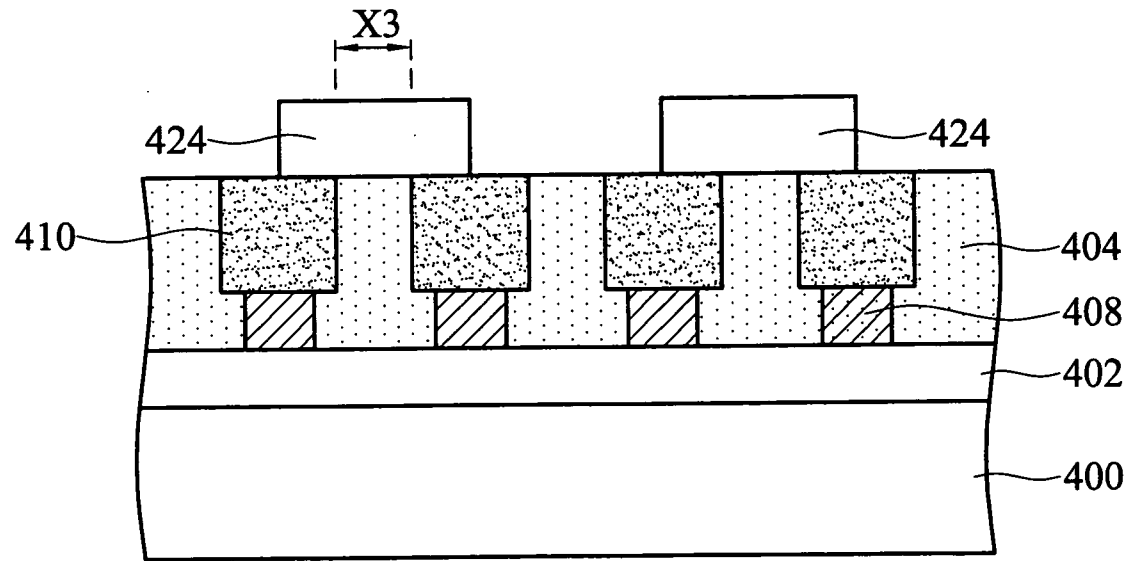
第 4b 圖



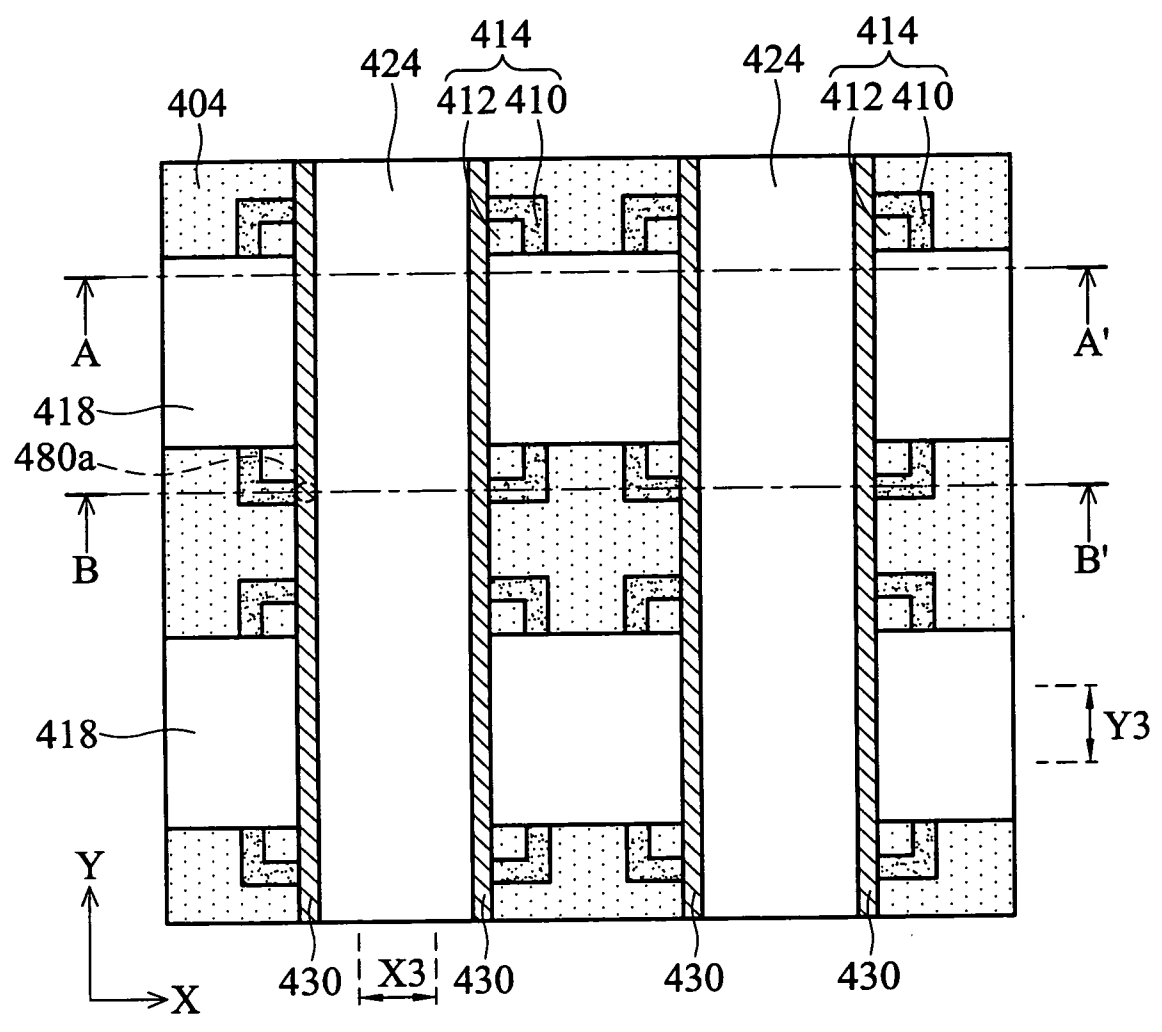
第 5a 圖



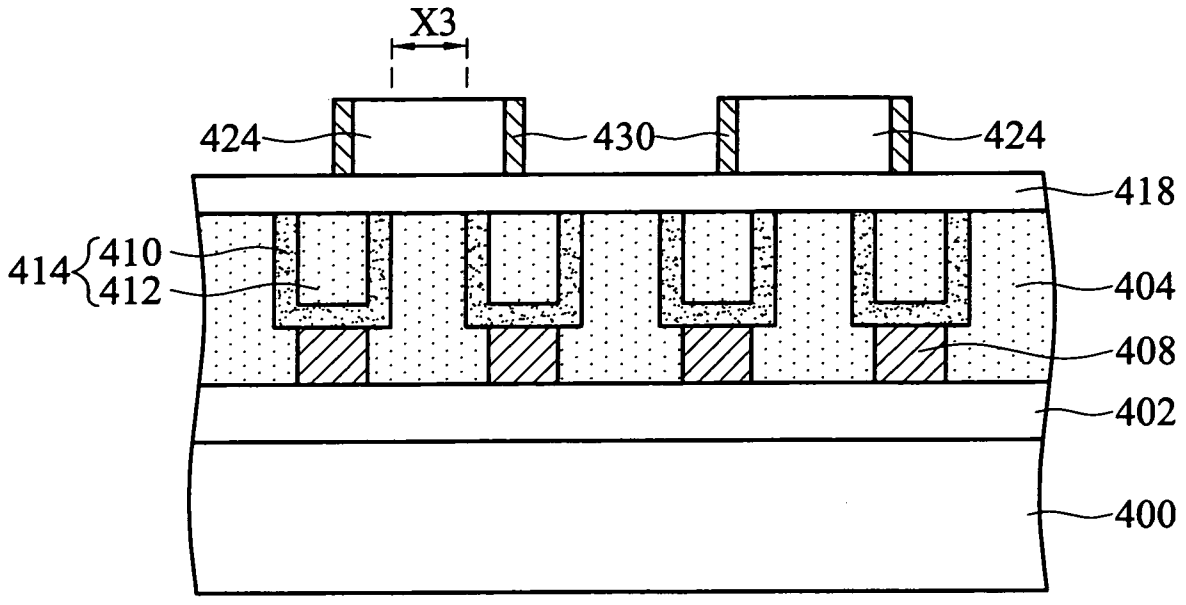
第 5b 圖



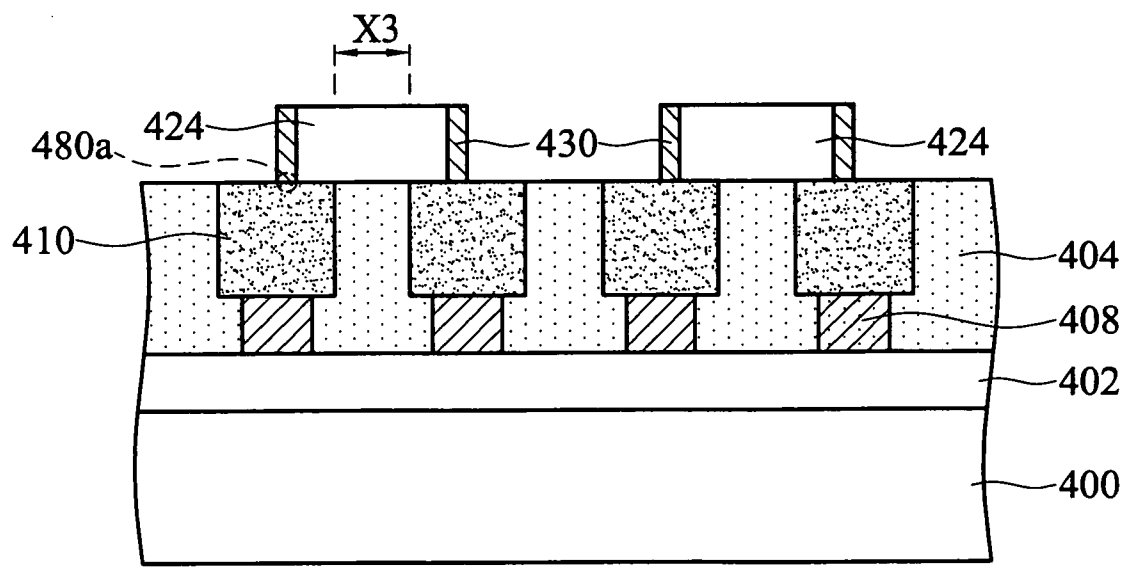
第 5c 圖



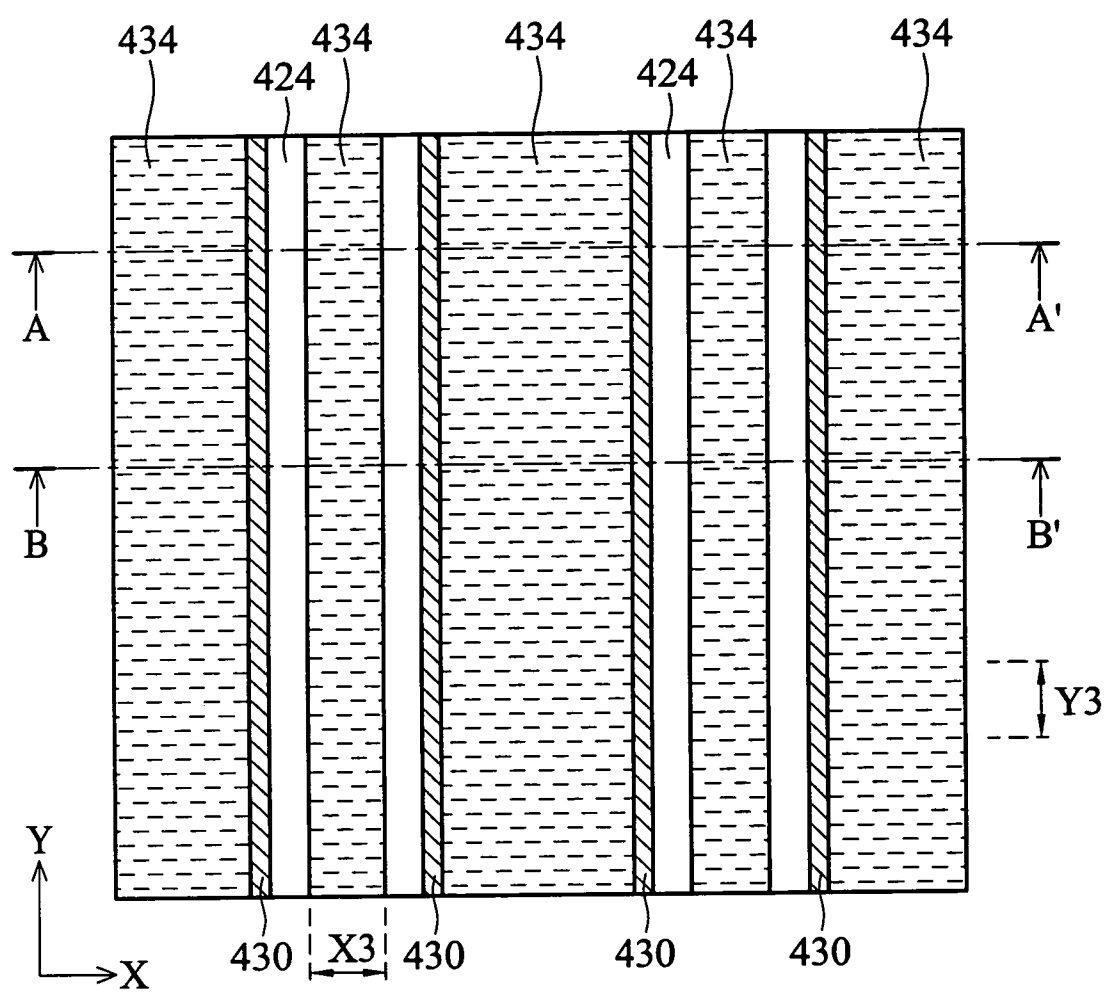
第 6a 圖



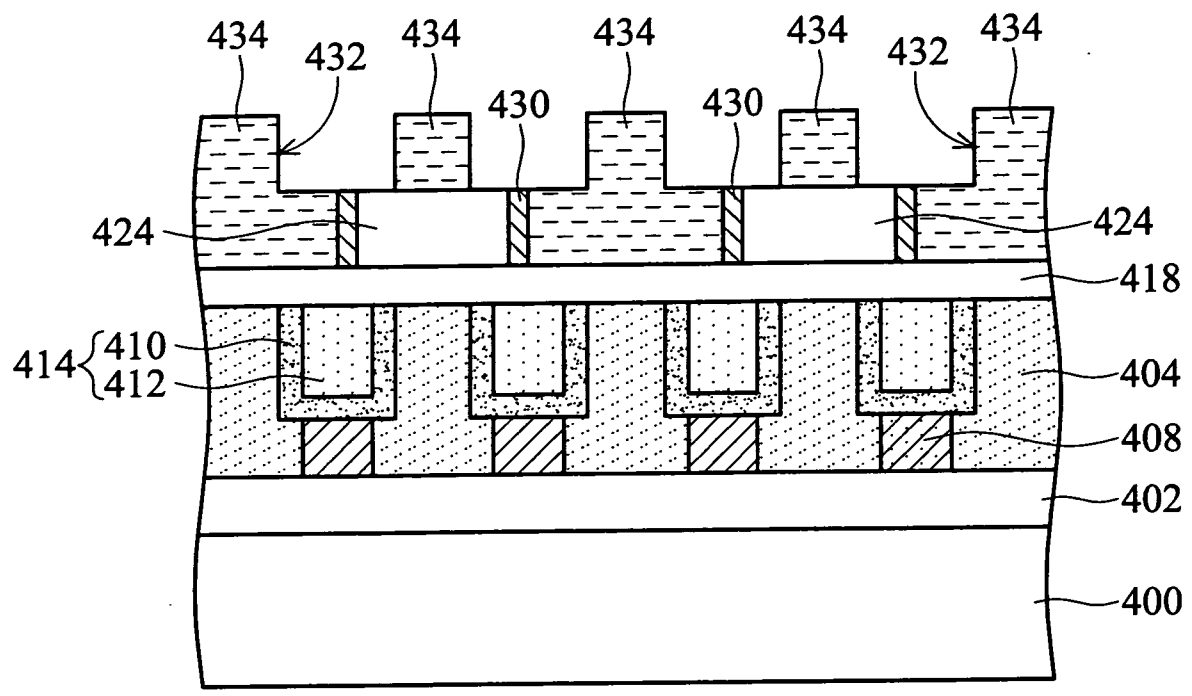
第 6b 圖



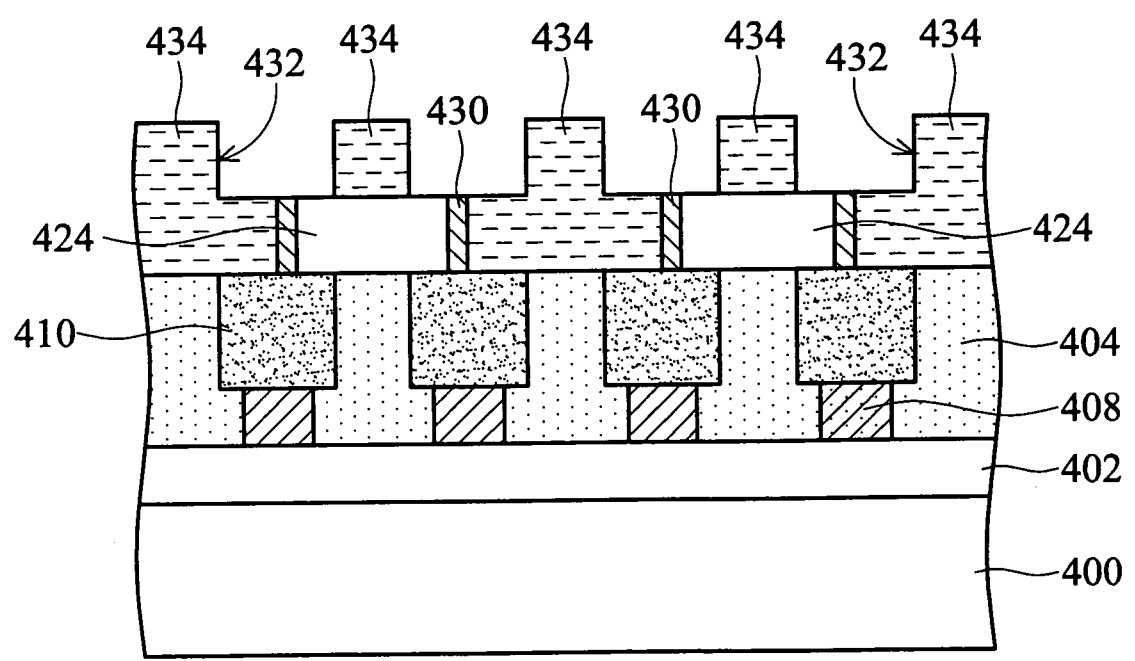
第 6c 圖



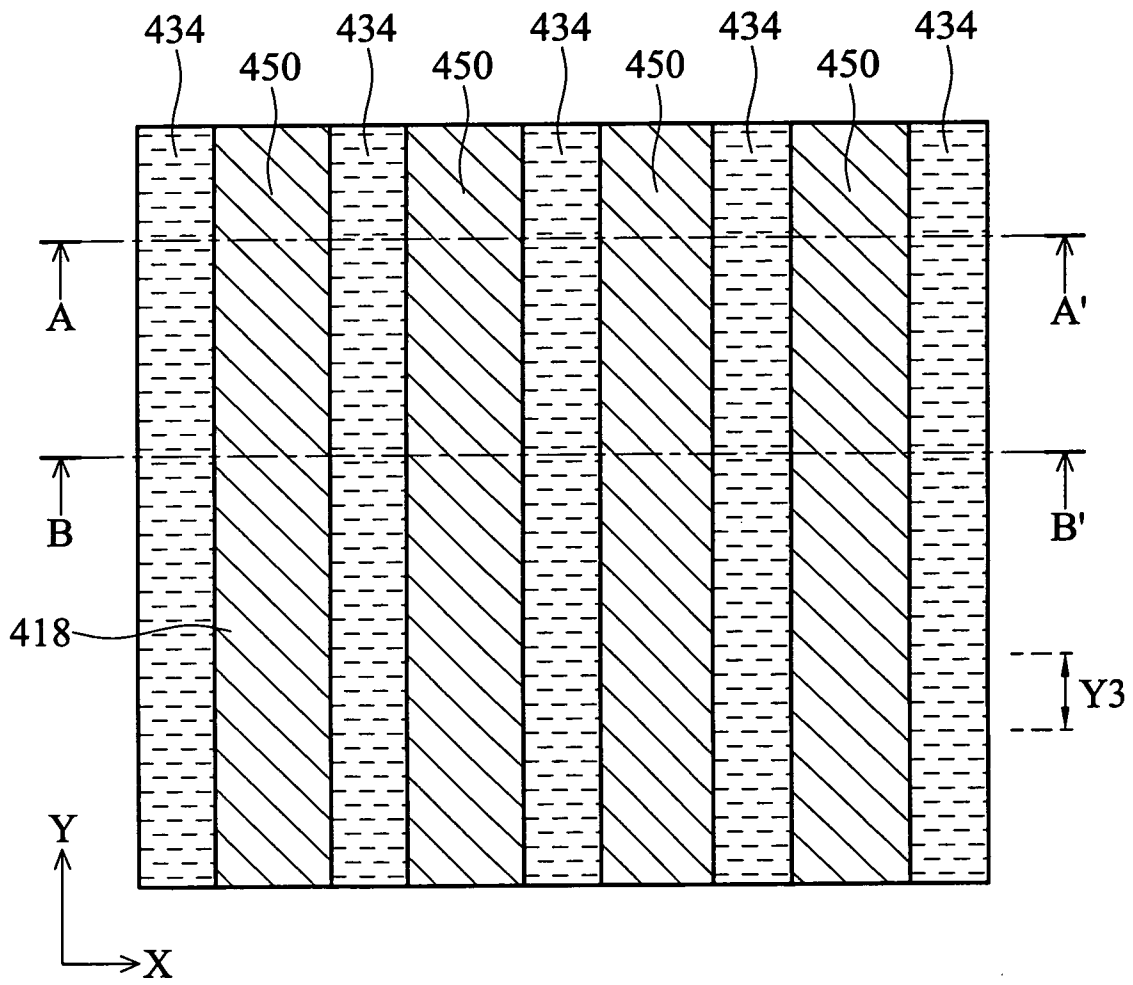
第 7a 圖



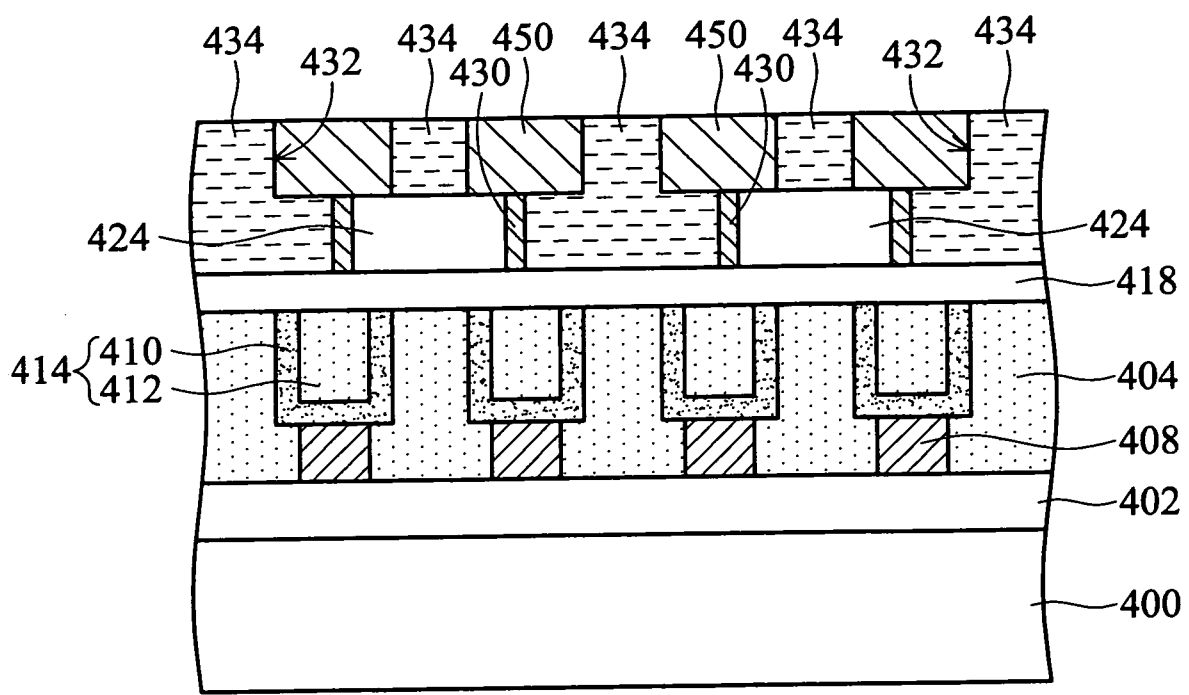
第 7b 圖



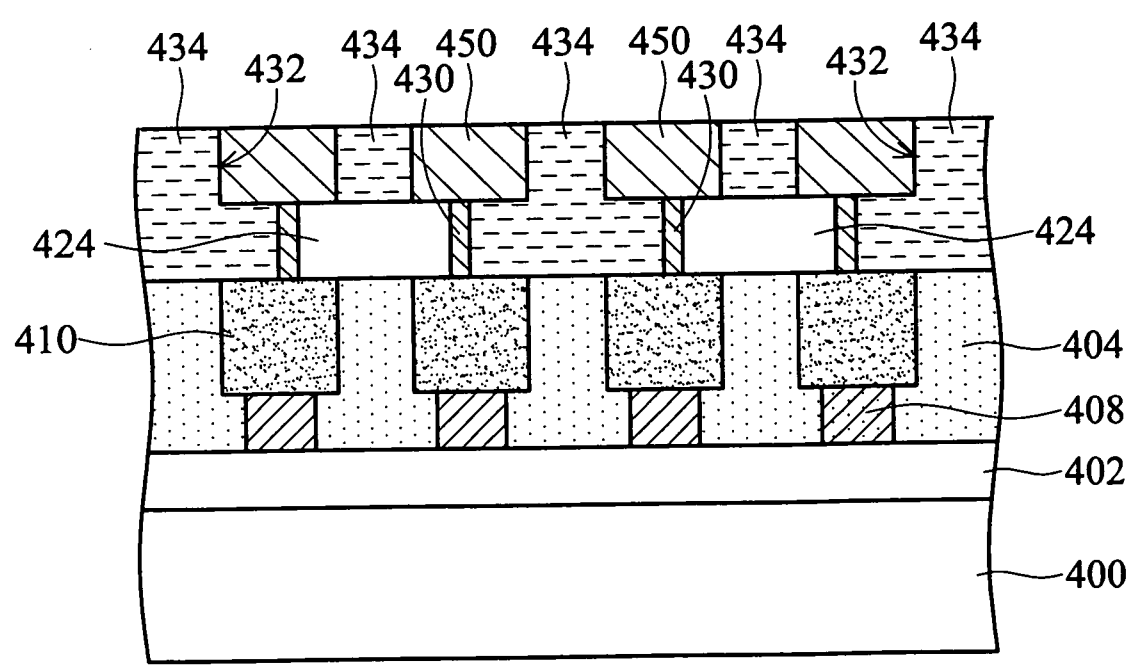
第 7c 圖



第 8a 圖



第 8b 圖



第 8c 圖