



(21) 申請案號：104128893

(22) 申請日：中華民國 104 (2015) 年 09 月 02 日

(51) Int. Cl. : **H01L29/772 (2006.01)**

(30) 優先權：2015/03/16 日本 2015-051579

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72) 發明人：奧村秀樹 OKUMURA, HIDEKI (JP)；土谷政信 TSUCHITANI, MASANOBU (JP)；
三沢寛人 MISAWA, HIROTO (JP)；江崎朗 EZAKI, AKIRA (JP)；白石達也
SHIRAISHI, TATSUYA (JP)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：29 共 58 頁

(54) 名稱

半導體裝置

(57) 摘要

實施形態之半導體裝置具有第 1 導電型之第 1 半導體區域、第 2 導電型之第 2 半導體區域、第 1 絕緣層、及第 1 絕緣區域。第 2 半導體區域設置於第 1 半導體區域之上。第 1 絕緣層與第 2 半導體區域相接。第 1 絕緣層包圍第 1 半導體區域之至少一部分及第 2 半導體區域之至少一部分。第 1 絕緣區域包圍第 1 絕緣層之至少一部分。

指定代表圖：

符號簡單說明：

- 1 . . . n⁺型半導體區域
- 3 . . . p型半導體區域
- 4 . . . p⁺型半導體區域
- 10 . . . 絕緣部
- 100 . . . 半導體裝置

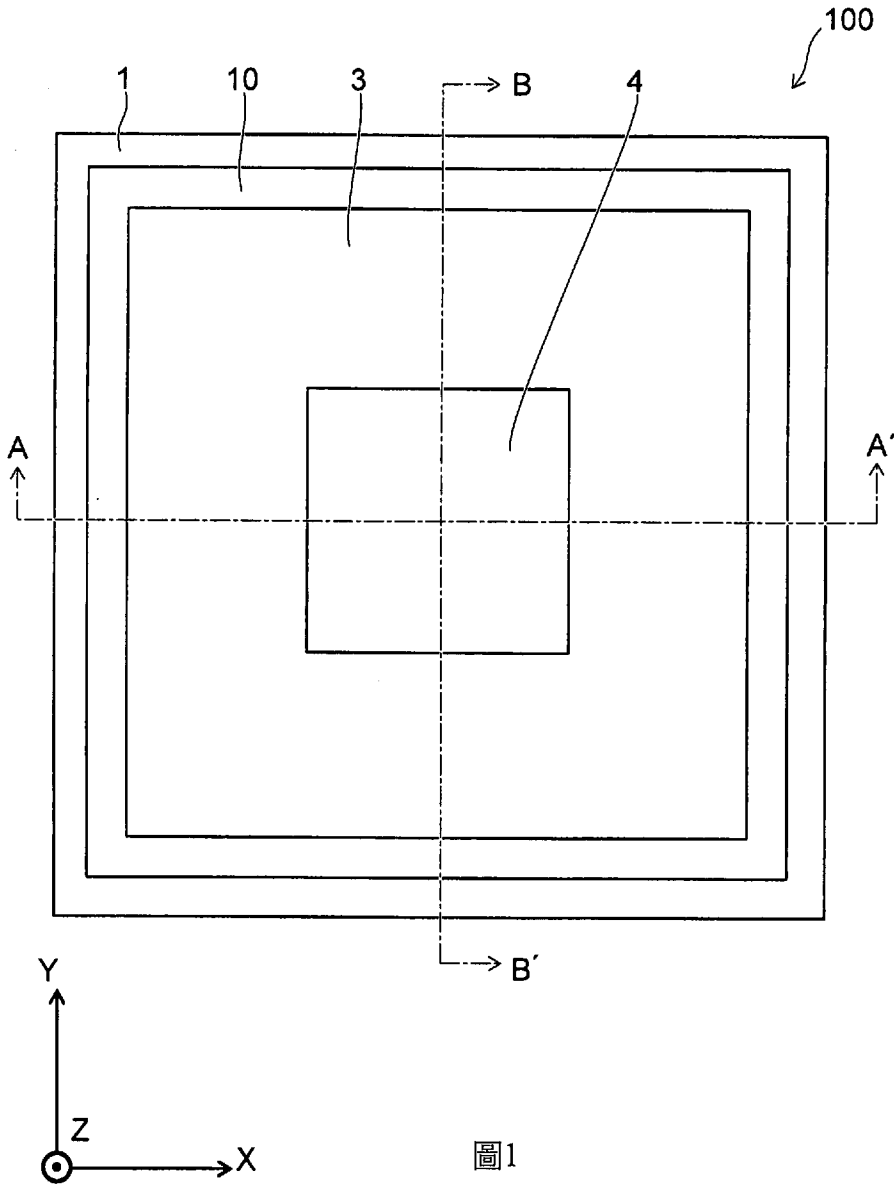


圖1

發明摘要

※ 申請案號： 104128893

※ 申請日： 104. 9. 0 2

※IPC 分類： H01L 29/772 (2006.01)

【發明名稱】

半導體裝置

【中文】

實施形態之半導體裝置具有第1導電型之第1半導體區域、第2導電型之第2半導體區域、第1絕緣層、及第1絕緣區域。第2半導體區域設置於第1半導體區域之上。第1絕緣層與第2半導體區域相接。第1絕緣層包圍第1半導體區域之至少一部分及第2半導體區域之至少一部分。第1絕緣區域包圍第1絕緣層之至少一部分。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

符號說明

1 n⁺型半導體區域

3 p型半導體區域

4 p⁺型半導體區域

10 絕緣部

100 半導體裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

相關申請案

本申請案以日本專利申請2015-51579號(申請日：2015年3月16日)為基礎申請案並享受其優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之所有內容。

【技術領域】

本發明之實施形態係關於一種半導體裝置。

【先前技術】

二極體、MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效應電晶體)、及IGBT(Insulated Gate Bipolar Transistor，絕緣閘雙極型電晶體)等半導體裝置例如係用於電力轉換電路等。該等半導體裝置例如係藉由於n⁻型半導體區域之一部分之上形成p型半導體區域，使空乏層自該pn接合面朝向n⁻型半導體區域擴張而獲得耐壓。

然而，於在n⁻型半導體區域之一部分之上形成有p型半導體區域之情形時，pn接合面包含彎曲之部分。電場會集中於pn接合面之彎曲部分。因此，半導體裝置之耐壓會因為該彎曲部之電場集中而降低。

因此，要求可抑制半導體裝置之耐壓之降低之技術。

【發明內容】

本發明之實施形態提供一種可抑制耐壓之降低之半導體裝置。

實施形態之半導體裝置具有第1導電型之第1半導體區域、第2導電型之第2半導體區域、第1絕緣層、及第1絕緣區域。

第2半導體區域係設置於第1半導體區域之上。

第1絕緣層與第2半導體區域相接。第1絕緣層包圍第1半導體區域之至少一部分及第2半導體區域之至少一部分。

第1絕緣區域包圍第1絕緣層之至少一部分。

【圖式簡單說明】

圖1係第1實施形態之半導體裝置之俯視圖。

圖2係圖1之A-A'剖視圖。

圖3係放大圖2之一部分之剖視圖。

圖4係表示第1實施形態之半導體裝置之製造步驟之步驟俯視圖。

圖5係圖4之A-A'剖視圖。

圖6係表示第1實施形態之半導體裝置之製造步驟之步驟俯視圖。

圖7係圖6之A-A'剖視圖。

圖8係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖9係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖10係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖11係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖12係表示第1實施形態之半導體裝置之製造步驟之步驟俯視圖。

圖13係圖12之A-A'剖視圖。

圖14係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖15係例示第1實施形態之半導體裝置之特性之放大剖視圖。

圖16係放大第2實施形態之半導體裝置之一部分之剖視圖。

圖17係表示第2實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖18係放大第3實施形態之半導體裝置之一部分之剖視圖。

圖19係第4實施形態之半導體裝置之剖視圖。

圖20係第5實施形態之半導體裝置之剖視圖。

圖21係表示第5實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖22係第6實施形態之半導體裝置之剖視圖。

圖23係放大圖22之一部分之剖視圖。

圖24係第7實施形態之半導體裝置之剖視圖。

圖25係表示第7實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖26係第8實施形態之半導體裝置之剖視圖。

圖27係放大圖26之一部分之剖視圖。

圖28係第9實施形態之半導體裝置之剖視圖。

圖29係第10實施形態之半導體裝置之剖視圖。

【實施方式】

以下，一面參照圖式一面對本發明之各實施形態進行說明。

圖式係模式性或概念性者，各部分之厚度與寬度之關係、部分間之大小之比率等未必與現實相同。即便於表示相同部分之情形時，亦存在根據圖式不同而相互之尺寸或比率表現為不同之情形。

於本案說明書與各圖中，對於與已經說明者素相同之要素標註同一符號並適當省略詳細之說明。

於各實施形態之說明中，使用XYZ正交座標系統。例如，將相對於製作各實施形態之半導體裝置時使用之基板之主表面平行之方向且相互正交之2方向設為X方向(第2方向)及Y方向。而且，將相對於該等X方向及Y方向之二者正交之方向設為Z方向(第1方向)。

於各實施形態之說明中， n^+ 、 n 、 n^- 及 p^+ 、 p 、 p^- 之表述表示各導電

型之雜質濃度之相對高低。即， n^+ 表示與 n 相比 n 型之雜質濃度相對較高， n^- 表示與 n 相比 n 型之雜質濃度相對較低。 p^+ 表示與 p 相比 p 型之雜質濃度相對較高， p^- 表示與 p 相比 p 型之雜質濃度相對較低。

對於以下說明之各實施形態，亦可將各半導體區域之 p 型與 n 型反轉而實施各實施形態。

(第1實施形態)

圖1係第1實施形態之半導體裝置100之俯視圖。

圖2係圖1之A-A'剖視圖。

圖3係放大圖2之一部分之剖視圖。

於圖1中，省略絕緣部10之一部分、陽極電極22、及絕緣層31。

半導體裝置100例如為二極體。

半導體裝置100具有 n^+ 型半導體區域1(第1導電型之第3半導體區域)、 n^- 型半導體區域2(第1半導體區域)、 p 型半導體區域3(第2導電型之第2半導體區域)、 p^+ 型半導體區域4(第5半導體區域)、第1絕緣層11、第1絕緣區域12、陰極電極21、陽極電極22、及絕緣層31。

如圖1所示， p^+ 型半導體區域4係由 p 型半導體區域3包圍。而且， p 型半導體區域3係由絕緣部10包圍。 n^+ 型半導體區域1之一部分於自Z方向觀察半導體裝置100之情形時，係設置於絕緣部10之周圍。

如圖1所示，半導體裝置100之外緣(n^+ 型半導體區域1之外緣)為四邊形。但，並不限定於該例，半導體裝置100之外緣可為圓形，亦可為角部具有較小曲率之四邊形。

如圖2所示，陰極電極21與 n^+ 型半導體區域1電性連接。 n^- 型半導體區域2例如係設置於 n^+ 型半導體區域1之一部分之上。因此， n^+ 型半導體區域1於X方向上之長度L1長於 n^- 型半導體區域2於X方向上之長度L2。

p 型半導體區域3係設置於 n^- 型半導體區域2之上。 p^+ 型半導體區域

4係選擇性地設置於p型半導體區域3之上。p⁺型半導體區域4亦可設置於p型半導體區域3之整個面上。

於n⁺型半導體區域1之另一部分之上，設置有絕緣部10。絕緣部10例如沿與n⁻型半導體區域2朝向p型半導體區域3之方向(Z方向)正交之X-Y面，包圍n⁺型半導體區域1之一部分、n⁻型半導體區域2、及p型半導體區域3。

絕緣部10之-Z方向之端部例如到達n⁺型半導體區域1。n⁺型半導體區域1之一部分沿X-Y面而包圍絕緣部10之一部分。但，絕緣部10之-Z方向之端部與n⁺型半導體區域1之間亦可設置n⁻型半導體區域2之一部分。

於p型半導體區域3之上，設置有絕緣層31。於p⁺型半導體區域4之上及絕緣層31之上，設置有陽極電極22。p型半導體區域3之一部分於Z方向上介隔絕緣層31與陽極電極22相對。如圖2所示，絕緣部10之一部分亦可設置於p型半導體區域3之上。

圖1之B-B'剖視圖中之半導體裝置100之構造例如與圖2所示之A-A'剖視圖為相同構造。

如圖2及圖3所示，絕緣部10具有第1絕緣層11、及第1絕緣區域12。第1絕緣層11例如與n⁺型半導體區域1、n⁻型半導體區域2、及p型半導體區域3相接。第1絕緣層11沿X-Y面而包圍n⁺型半導體區域1之一部分、n⁻型半導體區域2、及p型半導體區域3。第1絕緣層11亦可僅包圍n⁻型半導體區域2之一部分及p型半導體區域3之一部分。

第1絕緣區域12沿X-Y面而包圍第1絕緣層11之一部分、n⁻型半導體區域2之至少一部分、及p型半導體區域3之至少一部分。第1絕緣區域12亦可包圍n⁺型半導體區域1之一部分。

如圖2所示，n⁺型半導體區域1於X方向上之長度L1例如長於第1絕緣層11於X方向上之一端至另一端之距離D1。

第1絕緣層11例如包含第1部分11a及第2部分11b。第1部分11a及第2部分11b例如沿著Z方向。第2部分11b於p型半導體區域3朝向第1絕緣層11之方向上，與第1部分11a分離。

以下，將p型半導體區域3朝向第1絕緣層11之方向稱為第4方向。第4方向例如為沿著X-Y面之方向。

第1部分11a與n⁻型半導體區域2及p型半導體區域3相接。第1部分11a亦可進而與n⁺型半導體區域1相接。第2部分11b沿X-Y面而包圍第1部分11a之至少一部分。第1絕緣區域12設置於第1部分11a與第2部分11b之間。

第1部分11a於第4方向上之厚度T1例如大於第2部分11b於第4方向上之厚度T2。但，厚度T1可小於厚度T2，厚度T1與T2亦可相等。

為了降低附著於絕緣部10之外壁之雜質等對耐壓產生之影響，具有第1絕緣層11與第1絕緣區域12之絕緣部10於第4方向上之厚度較理想為設定為1 μm以上。而且，若絕緣部10較厚，則半導體裝置100之尺寸會變大，因此絕緣部10於第4方向上之厚度較理想為1 μm以上200 μm以下。

圖3係放大圖1之A-A'剖視圖之絕緣部10附近之圖，圖1之B-B'剖視圖之絕緣部10附近之情況例如亦與圖3相同。

其次，參照圖4～圖14，對半導體裝置100之製造方法之一例進行說明。

圖4、圖6、及圖12係表示第1實施形態之半導體裝置100之製造步驟之步驟俯視圖。

圖5、圖7～圖11、圖13、及圖14係表示第1實施形態之半導體裝置100之製造步驟之步驟剖視圖。

圖5表示圖4之A-A'截面。圖7表示圖6之A-A'截面。圖13表示圖12之A-A'截面。

圖8~圖11及圖14係與圖4、圖6、及圖12之標註A-A'線之位置對應之位置上之剖視圖。

首先，準備 n^+ 型之半導體基板S(以下稱為基板S)。基板S之主成分例如為矽(Si)。基板S之主成分可為砷化鎵、碳化矽、或氮化鎵等。基板S之一部分區域與圖1~圖3所示之 n^+ 型半導體區域1相對應。

以下之說明中，對基板S之主成分為Si之情形進行說明。

於基板S之上，形成 n 型半導體層2a及 p 型半導體層3a。 n 型半導體層2a例如係藉由一面添加 n 型雜質一面使Si磊晶生長而形成。 p 型半導體層3a例如係藉由一面添加 p 型雜質一面使Si磊晶生長而形成。作為 n 型雜質，例如可使用磷或砷。作為 p 型雜質，例如可使用硼。

其次，於 p 型半導體層3a之上形成絕緣層。然後，藉由將該絕緣層圖案化，而形成絕緣層31a及絕緣層32。將此時之情況表示於圖4及圖5中。

其次，如圖6及圖7所示，於 n 型半導體層2a及 p 型半導體層3a形成開口OP1。如圖6及圖7所示，開口OP1亦可到達基板S。藉由該步驟，而例如將 n 型半導體層2a及 p 型半導體層3a分斷，獲得圖1~圖3所示之 n 型半導體區域2及 p 型半導體區域3。

開口OP1例如係使用光微影法及RIE(Reactive Ion Etching, 反應性離子蝕刻)法而形成。如圖6所示，開口OP1形成為環狀。開口OP1之形狀及寬度並不限定於圖6及圖7所示之例，可根據最終要形成之絕緣部10之形狀及寬度而適當變更。

作為形成開口OP1時之蝕刻氣體，例如可使用 CF_4 等氟化碳系氣體、或 SF_6 等氟化硫系氣體。

其次，藉由熱氧化，而如圖8所示，於開口OP1之內壁形成作為氧化膜之第1絕緣層11。藉由該步驟，而將露出於開口OP1之內壁之Si之懸鍵終止化。與此同時，可藉由熱氧化於 p 型半導體區域3之上表面中

未被絕緣層31a覆蓋之部分亦形成第1絕緣層11。

於進行熱氧化前，亦可藉由CDE(Chemical Dry Etching，化學乾式蝕刻)法或濕式蝕刻法等，去除因RIE法而產生損傷之部分。藉由去除產生損傷之部分，而可進一步減少具有懸鍵之Si之數量。

其次，如圖9所示，於形成有第1絕緣層11之開口OP1之內部埋入絕緣材料。此時，絕緣材料亦堆積於絕緣層31a之上。堆積於絕緣層31a之上之絕緣材料例如係藉由CMP(Chemical Mechanical Polishing，化學機械拋光)法而去除。藉由該等步驟，而如圖9所示，形成設置於開口OP1之內部之第1絕緣區域12。

其次，以使p型半導體區域3之一部分露出之方式，去除絕緣層31a之一部分。與此同時，去除絕緣層32。繼而，藉由於利用未圖示之掩膜覆蓋p型半導體區域3露出之區域以外之狀態下，離子佈植p型雜質，而如圖10所示，形成 p^+ 型半導體區域4。

其次，於 p^+ 型半導體區域4之上形成金屬層。藉由將該金屬層圖案化，而如圖11所示，形成陽極電極22。

其次，形成覆蓋絕緣部10之至少一部分、陽極電極22、及絕緣層31之未圖示之掩膜。繼而，使用該掩膜，藉由RIE法而去除以複數個開口OP1劃分之 n^- 型半導體層2a及p型半導體層3a中 n^- 型半導體區域2及p型半導體區域3以外之部分。藉由該步驟，而如圖12及圖13所示，於絕緣部10之周圍形成開口OP2。

若蝕刻之殘渣等附著於開口OP2之內壁，則存在因該殘渣而使半導體裝置內部之電位之分佈受影響，導致耐壓降低之情形。因此，較理想為於形成開口OP2後，例如進行CDE等之等向性蝕刻，而去除附著於開口OP2之側壁之殘渣。

或，亦可使用Bosch工藝形成開口OP2。Bosch工藝係反覆進行蝕刻步驟與保護膜形成步驟之方法。具體而言，首先，使用未圖示之掩

膜，進行Si之蝕刻。蝕刻例如使用SF₆等氟化硫氣體。其次，使用C₄F₈等氟化碳氣體而形成保護膜。繼而，去除堆積於未被掩膜覆蓋之區域之保護膜，進行Si之蝕刻。繼而，再次進行保護膜之形成。藉由反覆進行該等步驟，而形成開口OP2。

Bosch工藝中之蝕刻步驟包含等向性蝕刻。因此，藉由使用Bosch工藝形成開口OP2，而可減少形成開口OP2後附著於開口OP2之側壁之殘渣。

或，亦可藉由濕式蝕刻法而形成開口OP2。於該情形時，可使用氫氧化鉀(KOH)等鹼系溶液作為蝕刻液。

於形成開口OP2時，於絕緣部10中，第1絕緣層11可作為保護第1絕緣區域12之掩膜而發揮功能。因此，較理想為形成開口OP2時所使用之蝕刻氣體可對第1絕緣層11選擇性地去除n⁻型半導體區域2及p型半導體區域3。作為蝕刻氣體，可與形成開口OP1時同樣地，例如使用CF₄等氟化碳系氣體或SF₆等氟化硫系氣體。

於形成開口OP2時，第1絕緣層11中，第2部分11b暴露於蝕刻氣體，與此相對，與p型半導體區域3相接之第1部分11a不暴露於蝕刻氣體。因此，於形成開口OP2後之狀態下，第1部分11a於第4方向上之厚度可變得大於第2部分11b於第4方向上之厚度。

其次，對基板S之背面進行研磨直至基板S成為特定之厚度。繼而，如圖14所示，於基板S之背面上形成陰極電極21a。其後，於圖14之虛線所示之位置進行切割，將基板S及陰極電極21a分斷，藉此獲得圖1～圖3所示之半導體裝置100。

作為切割之方法，可使用利用刀片之機械切割、或雷射切割、使用RIE技術之電漿切割等。

其次，對本實施形態之作用及效果進行說明。

根據本實施形態，可抑制半導體裝置之耐壓之降低。

對於該理由，於以下進行詳細說明。

首先，作為比較例，對p型半導體區域3設置於n型半導體區域2之一部分之上，且n型半導體區域2與p型半導體區域3之pn接合面之一部分彎曲的半導體裝置進行說明。該比較例之半導體裝置於pn接合面彎曲之部分會產生電場之集中。因此，因該彎曲部之電場之集中而導致半導體裝置之耐壓降低。

與此相對，參照圖15對本實施形態之半導體裝置100中之電位之分佈進行說明。

圖15係例示第1實施形態之半導體裝置100之特性之放大剖視圖。

圖15中之虛線模式性地表示對陽極電極22施加相對於陰極電極21為正之電壓之狀態下之等電位線。

如圖15所示，等電位線沿n型半導體區域2與p型半導體區域3之pn接合面而擴張。於本實施形態中，由於p型半導體區域3與第1絕緣層11相接，因此pn接合面不具有彎曲之部分。

因此，如圖15所示，沿pn接合面擴張之等電位線相對於第1絕緣層11與n型半導體區域2之接觸面大致垂直地交叉。其結果為，可抑制於pn接合面之一部分局部地產生電場之集中，從而抑制半導體裝置之耐壓之降低。

根據本實施形態，由於與p型半導體區域3相接地設置第1絕緣層11及第1絕緣區域12，因此無須於p型半導體區域3之周圍設置終止區域。因此，根據本實施形態，可抑制半導體裝置之耐壓之降低，並且可實現半導體裝置之小型化。

p型半導體區域3係設置於n型半導體區域2之整個面上。藉由採用此種構成，而與於p型半導體區域3之周圍設置n型半導體區域2之情形相比，可降低產生於n型半導體區域2與陽極電極22之間之電場之強度。

因此，根據本實施形態，無須於n⁻型半導體區域2與陽極電極22之間設置較厚之層間絕緣膜，可使半導體裝置小型化，並且亦可改善半導體裝置之生產性。

進而，於本實施形態中，例如除了設置藉由氧化處理形成之第1絕緣層11，還設置包圍第1絕緣層11之至少一部分之第1絕緣區域12。藉此，可降低附著於第1絕緣區域12之周圍之雜質對半導體裝置之耐壓造成之影響。

(第2實施形態)

圖16係放大第2實施形態之半導體裝置200之一部分之剖視圖。

圖16係放大半導體裝置200之X-Z截面之一部分之圖，半導體裝置200於Y-Z截面上之構造例如與圖16所示之構造相同。

半導體裝置200與半導體裝置100相比，例如絕緣部10之構造不同。對於半導體裝置200之絕緣部10以外之構造，可採用與半導體裝置100相同之構造。

如圖16所示，絕緣部10具有第1絕緣層11、第1絕緣區域12、及第2絕緣區域13。第1絕緣層11與第1實施形態同樣地，具有第1部分11a及第2部分11b。於本實施形態中，第1絕緣區域12係空隙(氣隙)。

於第1部分11a與第2部分11b之間，設置有第1絕緣區域12之至少一部分。於第1部分11a與第2部分11b之間、且絕緣部10之上端部分，設置有第2絕緣區域13之至少一部分。即，第2絕緣區域13之至少一部分係設置於第1絕緣區域12之上。亦可於第1部分11a與第1絕緣區域12之間、及第2部分11b與第1絕緣區域12之間，設置第2絕緣區域13之一部分。

第1絕緣區域12例如沿X-Y面而包圍n⁻型半導體區域2之至少一部分與p型半導體區域3之至少一部分。第1絕緣區域12亦可僅包圍n⁻型半導體區域2之至少一部分及p型半導體區域3之至少一部分中之一者。

其次，參照圖17，對第2實施形態之半導體裝置200之製造方法進行說明。

圖17係表示第2實施形態之半導體裝置200之製造步驟之步驟剖視圖。

首先，進行與圖4～圖8所示之步驟相同之步驟，於開口OP1之內壁之上及p型半導體區域3之一部分之上，形成第1絕緣層11。繼而，於第1絕緣層11之上及絕緣層31a之上，如圖17所示，使用CVD(Chemical Vapor Deposition，化學氣相沈積)法而形成絕緣層13a。絕緣層13a例如為硼磷矽酸玻璃(BPSG：Boron Phosphorus Silicon Glass)層。

其次，藉由將絕緣層13a例如加熱至700℃以上使其回流焊，而使BPSG流入開口OP1。藉由該步驟，而以BPSG層覆蓋開口OP1之上端，於以BPSG層與第1絕緣層11所包圍之空間形成作為氣隙之第1絕緣區域12。

為了於使絕緣層13a回流焊時抑制硼及磷自絕緣層13a向各半導體區域擴散，第1絕緣層11之膜厚(第4方向上之厚度)較理想為0.5 μm以上。

繼而，將形成於絕緣層31a之上之多餘之BPSG層去除。藉由該步驟，形成圖16所示之第2絕緣區域13。其後，藉由進行與圖10～圖14所示之步驟相同之步驟，而獲得半導體裝置200。

亦可藉由以於開口OP1之內部產生氣隙之方式堆積絕緣材料，而形成第1絕緣區域12及第2絕緣區域13。於該情形時，例如可使用CVD法或PVD(Physical Vapor Deposition，物理氣相沈積)法等。

作為氣隙之第1絕緣區域12之相對介電常數具有接近1.0之值。與此相對，於第1絕緣層11包含例如氧化矽之情形時，第1絕緣層11之相對介電常數為3.5～4.0。即，第1絕緣區域12之相對介電常數小於第1絕緣層11之相對介電常數。

藉由使絕緣部10包含相對介電常數較小之區域，而可抑制自n⁻型半導體區域2與p型半導體區域3之pn接合面擴張之等電位線於絕緣部10彎曲。其結果為，可抑制n⁻型半導體區域2與p型半導體區域3之pn接合面之端部之電場集中，從而可進一步抑制半導體裝置之耐壓之降低。
(第3實施形態)

圖18係放大第3實施形態之半導體裝置300之一部分之剖視圖。

圖18係放大半導體裝置300之X-Z截面之一部分之圖，半導體裝置300於Y-Z截面上之構造例如與圖18所示之構造相同。

半導體裝置300與半導體裝置100相比，例如絕緣部10之構造不同。對於半導體裝置300之絕緣部10以外之構造，可採用與半導體裝置100相同之構造。

如圖18所示，絕緣部10具有第1絕緣層11、第1絕緣區域12、及第2絕緣層14。第1絕緣層11具有第1部分11a及第2部分11b。

第2絕緣層14係設置於第1絕緣層11與第1絕緣區域12之間。第2絕緣層14之材料較第1絕緣層11之材料及第1絕緣區域12之材料鈍化性優異。

作為一例，於第1絕緣層11及第1絕緣區域12包含半導體之氧化物或金屬之氧化物之情形時，第2絕緣層14包含半導體之氮化物或金屬之氮化物。例如，第1絕緣層11及第1絕緣區域12包含氧化矽，第2絕緣層14包含氮化矽。

第1絕緣層11之內側亦可均為第2絕緣層14。即，可於第1部分11a與第2部分11b之間之整個區域設置第2絕緣層14。

半導體裝置300中之第2絕緣層14例如係藉由於圖8所示之步驟後，於第1絕緣層11之上使用CVD法形成氮化矽層而形成。其後，藉由於第2絕緣層14之內側形成第1絕緣區域12，進行與圖10～圖14所示之步驟相同之步驟，而獲得半導體裝置300。

若例如水等雜質附著於絕緣部10之周圍，則存在該等雜質進入絕緣部10之內部之情形。若進入絕緣部10之內部之雜質因半導體裝置所產生之電場而極化，則可能對半導體裝置內部之電位之分佈造成影響，而使半導體裝置之耐壓降低。

根據本實施形態，由於絕緣部10具有鈍化性優異之第2絕緣層14，因此可降低附著於絕緣部10之周圍之雜質進入絕緣部10之內部之可能性。

(第4實施形態)

圖19係第4實施形態之半導體裝置400之剖視圖。

圖19係半導體裝置400於X-Z截面上之情況，半導體裝置400於Y-Z截面上之構造例如與圖19所示之X-Z截面上之構造相同。

半導體裝置400與半導體裝置100相比，不同之處在於例如進而具備絕緣層15。對於半導體裝置400之絕緣層15以外之構造，例如可採用與半導體裝置100相同之構造。

絕緣層15之至少一部分係設置於絕緣部10之周圍。絕緣層15之一部分亦可設置於絕緣部10之上。絕緣層15之材料與半導體裝置300中之第2絕緣層14同樣地，使用鈍化性優異之材料。作為一例，絕緣部10包含氧化矽，絕緣層15包含氮化矽。

半導體裝置400例如係藉由以下方法製作。

首先，進行與圖4～圖13所示之步驟相同之步驟，形成開口OP2。繼而，於開口OP2之內壁，例如使用CVD法而形成氮化矽層。其後，將形成於陽極電極22之上之多餘之氮化矽層去除，進行與圖14所示之步驟相同之步驟，藉此獲得半導體裝置400。

根據本實施形態，與半導體裝置400同樣地，可降低附著於絕緣層15之周圍之雜質進入絕緣部10之內部之可能性。

(第5實施形態)

圖20係第5實施形態之半導體裝置500之剖視圖。

圖20表示半導體裝置500於X-Z截面上之情況。半導體裝置500於Y-Z截面上之構造例如可與X-Z截面上之構造相同。

半導體裝置500與半導體裝置100相比，例如 n^+ 型半導體區域1之形狀不同。對於半導體裝置500之 n^+ 型半導體區域1以外之構造，例如可採用與半導體裝置100相同之構造。

於半導體裝置500中，於Z方向上之 n^+ 型半導體區域1之一部分與絕緣部10之一部分之間設置有間隙G。因此， n^+ 型半導體區域1之與第1絕緣層11相接之部分於X方向上之一端至另一端之長度L4短於 n^+ 型半導體區域1之另一部分於X方向上之長度L1。第1絕緣層11於X方向上之一端至另一端之距離D1例如長於長度L4，且短於長度L1。

空隙G可遍及 n^+ 型半導體區域1之上端部之外周整個面設置，亦可僅設置於 n^+ 型半導體區域1之上端部之周圍之一部分。

圖21係表示第5實施形態之半導體裝置500之製造步驟之步驟剖視圖。

半導體裝置500例如藉由以下方法製作。

首先，進行與圖4～圖11所示之步驟相同之步驟，形成絕緣部10、 p^+ 型半導體區域4、及陽極電極22。此時，以開口OP1到達基板S之方式形成開口OP1。

其次，使用RIE法形成開口OP2。此時，形成到達基板S之開口OP2。繼而，進而藉由CDE法，對基板S之露出之部分等向性地進行蝕刻，藉此形成如圖21所示之開口OP2，於Z方向上之基板S之一部分與絕緣部10之一部分之間形成間隙。

或，亦可使用Bosch工藝。於開口OP2到達基板S之狀態下，使等向性蝕刻相對於保護膜之堆積量之蝕刻量變大，藉此形成圖21所示之開口OP2。

其後，藉由進行與圖14所示之步驟相同之步驟，而獲得半導體裝置500。

於本實施形態中，亦可與第1實施形態同樣地，抑制半導體裝置之耐壓之降低。

(第6實施形態)

圖22係第6實施形態之半導體裝置600之剖視圖。

圖22表示半導體裝置600於X-Z截面上之情況。半導體裝置600於Y-Z截面上之構造例如與X-Z截面上之構造相同。

圖23係放大圖22之一部分之剖視圖。

半導體裝置600與半導體裝置100相比，不同之處在於例如陽極電極22之一部分係設置於絕緣部10之上。對於半導體裝置600之陽極電極22以外之構造，例如可採用與半導體裝置100相同之構造。

陽極電極22之一部分係設置於絕緣層31之上。陽極電極22之另一部分係設置於絕緣部10之上。陽極電極22於Z方向上介隔絕緣部10之一部分而與 n^+ 型半導體區域1之一部分重疊。

作為一例，如圖23所示，第1部分11a於Z方向上係設置於陽極電極22與 n^+ 型半導體區域1之間。第1絕緣區域12之一部分於Z方向上係設置於陽極電極22與 n^+ 型半導體區域1之間。

藉由如本實施形態般，將陽極電極22之一部分設置於絕緣部10之至少一部分之上，而可抑制沿 n^- 型半導體區域2與p型半導體區域3之pn接合面擴張之等電位線於絕緣部10向陽極電極22側彎曲。其結果為，與陽極電極22之一部分未設置於絕緣部10之上之情形相比，可抑制pn接合面之端部之電場集中，從而可進一步抑制半導體裝置之耐壓之降低。

(第7實施形態)

圖24係第7實施形態之半導體裝置700之剖視圖。

圖24表示半導體裝置700於X-Z截面上之情況。半導體裝置700於Y-Z截面上之構造例如與X-Z截面上之構造相同。

半導體裝置700與半導體裝置100相比，不同之處在於例如進而具備p⁻型半導體區域25(第4半導體區域)。對於半導體裝置700之p⁻型半導體區域25以外之構造，例如可採用與半導體裝置100相同之構造。

p⁻型半導體區域25之p型雜質濃度例如低於p型半導體區域3之p型雜質濃度。但，p⁻型半導體區域25之p型雜質濃度可與p型半導體區域3之p型雜質濃度相等。

p⁻型半導體區域25之Z方向之一端與p型半導體區域3相接。p⁻型半導體區域25例如設置於n⁻型半導體區域2之一部分之周圍。即，於n⁻型半導體區域2之上及側方，p型半導體區域係連續地設置。

p⁻型半導體區域25於第4方向上之厚度與雜質濃度例如係以於對陰極電極21與陽極電極22施加反方向電壓時，p⁻型半導體區域25全部空乏化之方式進行設定。

p⁻型半導體區域25亦可設置於所有n⁻型半導體區域2之周圍。於該情形時，p⁻型半導體區域25之Z方向之另一端與n⁺型半導體區域1相接，p⁻型半導體區域25之一部分例如係以n⁺型半導體區域1包圍。即，p⁻型半導體區域25之至少一部分於X方向及Y方向上係設置於n⁻型半導體區域2之至少一部分與絕緣部10之一部分之間。

圖25係表示第7實施形態之半導體裝置700之製造步驟之步驟剖視圖。

半導體裝置700例如係藉由以下製造方法製作。

首先，進行與圖4～圖7所示之步驟相同之步驟，形成開口OP1。

其次，如圖25所示，經由開口OP1，對n⁻型半導體區域2之露出之部分離子佈植p型雜質。藉由該步驟，而形成p⁻型半導體區域25。

p⁻型半導體區域25之形成步驟亦可於形成開口OP1，且形成第1絕

緣層11後進行。但，為了對n⁻型半導體區域2之一部分有效率地離子佈植p型雜質，較理想為於形成第1絕緣層11前形成p⁻型半導體區域25。

根據本實施形態，由於設置有與p型半導體區域3相接之p⁻型半導體區域25，因等電位線於設置有p⁻型半導體區域25之區域中，向陰極電極21側擴張。因此，可抑制p型半導體區域3之端部之電場之集中，從而可進一步抑制半導體裝置之耐壓之降低。

(第8實施形態)

圖26係第8實施形態之半導體裝置800之剖視圖。

圖27係放大圖26之一部分之剖視圖。圖26係半導體裝置800之X-Z截面，半導體裝置800於Y-Z截面上之構造亦可具有與圖26相同之構造。

半導體裝置800與半導體裝置100相比，例如n⁻型半導體區域2、p型半導體區域3、及絕緣部10之形狀不同。對於半導體裝置800之絕緣部10以外之構造，例如可採用與半導體裝置100相同之構造。

如圖26及圖27所示，絕緣部10越朝向-Z方向，其寬度越增加。因此，以絕緣部10包圍之n⁻型半導體區域2及p型半導體區域3之寬度例如越朝向-Z方向越減少。

即，n⁻型半導體區域2之至少一部分於X方向上之長度短於p型半導體區域3之至少一部分於X方向上之長度。具體而言，如圖26所示，n⁻型半導體區域2之一部分於X方向上之長度L6短於p型半導體區域3之至少一部分於X方向上之長度L5。

絕緣部10中於X方向上與n⁻型半導體區域2重疊之部分於第4方向上之厚度T4，小於絕緣部10中於X方向上與p型半導體區域3重疊之部分於第4方向上之厚度T3。於絕緣部10於X方向上與n⁺型半導體區域1重疊之情形時，絕緣部10中於X方向上與n⁺型半導體區域1重疊之部分於第4方向上之厚度T5大於T3。

於絕緣部10中，例如，第1絕緣層11於第4方向上之厚度固定，第1

絕緣區域12於第4方向上之厚度變化。即，第1絕緣區域12中介隔第1絕緣層11於X方向上與n⁻型半導體區域2重疊之部分於第4方向上之厚度T7，大於第1絕緣區域12中介隔第1絕緣層11於X方向上與p型半導體區域3重疊之部分於第4方向上之厚度T6。

於第1絕緣區域12於X方向上介隔第1絕緣層11與n⁺型半導體區域1重疊之情形時，第1絕緣區域12中介隔第1絕緣層11於X方向上與n⁺型半導體區域1重疊之部分於第4方向上之厚度T8大於厚度T7。

半導體裝置800例如係藉由以下製造方法製作。

首先，進行與圖4及圖5所示之步驟相同之步驟，形成絕緣層31a及絕緣層32。繼而，形成開口OP1。此時，例如使用Bosch工藝，使側壁保護膜之膜厚較厚，且使等向性蝕刻之蝕刻速率較大，藉此可形成朝向-Z方向寬度變大之開口OP1。

其後，藉由進行與圖8～圖14所示之步驟相同之步驟，而獲得圖26及圖27所示之半導體裝置800。

於本實施形態中，越朝向-Z方向，絕緣部10之厚度越大。因此，如圖27所示，p型半導體區域3與絕緣部10之接觸面和n型半導體區域2與p型半導體區域之pn接合面所成之角度 α 大於90度。

另一方面，n⁻型半導體區域2與絕緣部10之接觸面和n⁻型半導體區域2與p型半導體區域之pn接合面所成之角度 β 小於90度。即，形成pn接合面之2個半導體區域中雜質濃度較低之半導體區域之端面(n⁻型半導體區域2與第1絕緣層11之接觸面)和pn接合面所成之角度小於90度。

存在於pn接合面之端部附近，空乏層縮小，電場強度變高之情形。藉由如本實施形態般，使角度 β 小於90度，而可使端面附近之電場強度變弱。因此，根據本實施形態，可進一步抑制半導體裝置之耐壓之降低。

(第9實施形態)

圖28係第9實施形態之半導體裝置900之剖視圖。

半導體裝置900例如為MOSFET。

半導體裝置900具有 n^+ 型汲極區域1(第1導電型之第3半導體區域)、 n^- 型半導體區域2(第1半導體區域)、 p 型基極區域3(第2導電型之第2半導體區域)、 n^+ 型源極區域5(第6半導體區域)、閘極絕緣層6、閘極電極7、第1絕緣層11、第1絕緣區域12、汲極電極21、源極電極22、及絕緣層31。

圖28係半導體裝置900於X-Z截面上之情況，半導體裝置900於Y-Z截面上之構造例如可與圖28所示之X-Z截面上之構造相同。

於本實施形態中，對於 n^+ 型汲極區域1、 n^- 型半導體區域2、絕緣部10、汲極電極21、及源極電極22之構造，例如可採用與第1實施形態～第8實施形態中任一實施形態中之 n^+ 型半導體區域1、 n^- 型半導體區域2、絕緣部10、陰極電極21、及陽極電極22相同之構造。或，亦可相互組合採用第1實施形態～第8實施形態中說明之構造。

p 型基極區域3係選擇性地設置於 n^- 型半導體區域2中。 n^+ 型源極區域5係選擇性地設置於 p 型基極區域3之上。源極電極22係設置於 p 型基極區域3之上及 n^+ 型源極區域5之上，與 n^+ 型源極區域5電性連接。絕緣部10沿X-Y面而包圍 n^- 型半導體區域2及 p 型基極區域3。

閘極電極7例如於X方向上介隔閘極絕緣層6而與 n^- 型半導體區域2之一部分、 p 型基極區域3、及 n^+ 型源極區域5之至少一部分重疊。半導體裝置900可為平面型MOSFET，其中閘極電極7於Z方向上介隔閘極絕緣層6而與 n^- 型半導體區域2之一部分、基極區域3、及 n^+ 型源極區域5之一部分重疊。

藉由於對汲極電極21施加相對於源極電極22為正之電壓之狀態下，對閘極電極7施加閾值以上之電壓，而使MOSFET成為接通狀態。此時，於 p 型基極區域3之閘極絕緣層6附近之區域形成通道(反轉層)。

另一方面，於對汲極電極21施加相對於源極電極22為正之電壓，且對閘極電極7施加之電壓未達閾值之情形時，於p型基極區域3之閘極絕緣層6附近之區域未形成通道，而MOSFET成為斷開狀態。此時，空乏層自p型基極區域3與n⁻型半導體區域2之pn接合界面擴張，而保持耐壓。

於本實施形態中，亦可與第1實施形態同樣地，抑制pn接合面之端部之電場之集中，從而可抑制半導體裝置之耐壓之降低。

(第10實施形態)

圖29係第10實施形態之半導體裝置1000之剖視圖。

半導體裝置1000例如為IGBT。

半導體裝置1000具有p⁺型集極區域8(第8半導體區域)、n型半導體區域1a(第1導電型之第3半導體區域)、n⁻型半導體區域2(第1半導體區域)、p型基極區域3(第2導電型之第2半導體區域)、n⁺型射極區域5、p⁺型接觸區域9(第7半導體區域)、閘極絕緣層6、閘極電極7、第1絕緣層11、第1絕緣區域12、集極電極21、射極電極22、及絕緣層31。

圖29係半導體裝置1000於X-Z截面上之情況，半導體裝置1000於Y-Z截面上之構造例如與圖29所示之X-Z截面上之構造相同。

p⁺型集極區域8與集極電極21電性連接。於p⁺型集極區域8之上，設置有n型半導體區域1a。n型半導體區域1a例如係設置於p⁺型集極區域8之整個面上。於n型半導體區域1a之一部分之上，設置有n⁻型半導體區域2。於n型半導體區域1a之另一部分之上，設置有絕緣部10。

於n⁻型半導體區域2之上，設置有p型基極區域3。於p型基極區域3之上，選擇性地設置有n⁺型射極區域5。作為n⁺型射極區域5之構造，可採用與第9實施形態中之n⁺型源極區域5相同之構造。

於p型基極區域3之上，還設置有p⁺型接觸區域9。p⁺型接觸區域9例如亦可於X方向上設置於n⁺型射極區域5之間。或亦可於在X方向上

相鄰之閘極絕緣層6之間， n^+ 型射極區域5與 p^+ 型接觸區域9於Y方向上交錯地設置。

絕緣部10例如沿X-Y面而包圍n型半導體區域1a之一部分、 n^- 型半導體區域2、複數個p型半導體區域3、複數個 n^+ 型射極區域5、及複數個 p^+ 型接觸區域9。

於本實施形態中，亦可與第1實施形態同樣地，抑制pn接合面之端部之電場之集中，從而可抑制半導體裝置之耐壓之降低。

對於以上說明之各實施形態中之各半導體區域之間之雜質濃度之相對高低，例如可使用SCM(掃描型靜電電容顯微鏡)進行確認。各半導體區域中之載子濃度可視為與於各半導體區域中活化之雜質濃度相等。因此，對於各半導體區域之間之載子濃度之相對高低，亦可使用SCM進行確認。

以上，對本發明之若干個實施形態進行了例示，但該等實施形態係作為例而提出者，並非意在限定發明之範圍。該等新穎之實施形態能夠以其他各種形態實施，且可於不脫離發明之主旨之範圍內進行各種省略、置換、變更等。該等實施形態及其變化例包含於發明之範圍或主旨內，且包含於申請專利範圍所記載之發明及其均等之範圍內。另外，上述各實施形態可相互組合實施。

【符號說明】

1	n^+ 型半導體區域
1a	n型半導體區域
2	n^- 型半導體區域
2a	n^- 型半導體層
3	p型半導體區域
3a	p型半導體層
4	p^+ 型半導體區域

5	n ⁺ 型源極區域
6	閘極絕緣層
7	閘極電極
8p ⁺	型集極區域
9p ⁺	型接觸區域
10	絕緣部
11	第1絕緣層
11a	第1部分
11b	第2部分
12	第1絕緣區域
13	第2絕緣區域
13a	絕緣層
14	第2絕緣層
15	絕緣層
21	陰極電極
21a	陰極電極
22	陽極電極
25p ⁻	型半導體區域
31	絕緣層
31a	絕緣層
32	絕緣層
100	半導體裝置
200	半導體裝置
300	半導體裝置
400	半導體裝置
500	半導體裝置

600	半導體裝置
700	半導體裝置
800	半導體裝置
900	半導體裝置
1000	半導體裝置
D1	距離
G	間隙
L1	長度
L2	長度
L4	長度
L5	長度
L6	長度
OP1	開口
OP2	開口
S	基板
T1	厚度
T2	厚度
T3	厚度
T4	厚度
T5	厚度
T6	厚度
T7	厚度
T8	厚度
α	角度
β	角度

申請專利範圍

1. 一種半導體裝置，其具備：
 - 第1導電型之第1半導體區域；
 - 第2導電型之第2半導體區域，其係設置於上述第1半導體區域之上；
 - 第1絕緣層，其與上述第2半導體區域相接，且包圍上述第1半導體區域之至少一部分及上述第2半導體區域之至少一部分；及
 - 第1絕緣區域，其包圍上述第1絕緣層之至少一部分。
2. 如請求項1之半導體裝置，其進而具備：
 - 第1導電型之第3半導體區域，上述第3半導體區域之第1導電型之載子濃度高於上述第1半導體區域之第1導電型之載子濃度，上述第1半導體區域係設置於上述第3半導體區域之一部分之上，且上述第1絕緣層之一部分包圍上述第1半導體區域之一部分。
3. 如請求項2之半導體裝置，其中
 - 上述第1絕緣層包含：
 - 第1部分，其包圍上述第1半導體區域之至少一部分及上述第2半導體區域之至少一部分；及
 - 第2部分，其於與第1方向正交之方向上與上述第1部分相隔地設置，上述第1方向係自上述第1半導體區域朝向上述第2半導體區域，上述第2部分包圍上述第1部分之至少一部分；且
 - 上述第1絕緣區域係設置於上述第1部分與上述第2部分之間。
4. 如請求項3之半導體裝置，其中上述第1部分之厚度大於上述第2部分之厚度。
5. 如請求項3之半導體裝置，其中上述第3半導體區域於與上述第1方向正交之第2方向上之長度長於上述第1半導體區域於上述第2

方向上之長度。

6. 如請求項5之半導體裝置，其中上述第3半導體區域於上述第2方向上之上述長度長於上述第1絕緣層於上述第2方向上之一端部至另一端部之距離。

7. 如請求項3之半導體裝置，其中上述第1絕緣區域係氣隙。

8. 如請求項7之半導體裝置，其進而具備設置於上述第1部分與上述第2部分之間之第2絕緣區域，

上述第2絕緣區域之至少一部分設置於上述第1絕緣區域之上，且

上述第2絕緣區域包含硼磷矽酸玻璃。

9. 如請求項2之半導體裝置，其中於自上述第1半導體區域朝向上述第2半導體區域之第1方向上，在上述第1半導體區域之一部分與上述第1絕緣層之一部分之間設置有間隙。

10. 如請求項1之半導體裝置，其進而具有包圍上述第1絕緣層之至少一部分之第2絕緣層，且

上述第2絕緣層包含氮化物。

11. 如請求項10之半導體裝置，其中上述第2絕緣層之至少一部分係設置於上述第1絕緣層與上述第1絕緣區域之間，且

上述第2絕緣層包含氮化矽。

12. 如請求項1之半導體裝置，其進而具備設置於上述第2半導體區域之上之第1電極，且

上述第1電極之一部分係設置於上述第1絕緣層之上。

13. 如請求項1之半導體裝置，其進而具備設置於上述第1半導體區域之至少一部分與上述第1絕緣層之至少一部分之間之第2導電型之第4半導體區域。

14. 如請求項13之半導體裝置，其中上述第4半導體區域之第2導電型

之載子濃度低於上述第2半導體區域之第2導電型之載子濃度。

15. 如請求項1之半導體裝置，其中上述第1半導體區域於第2方向上之長度短於上述第2半導體區域於上述第2方向上之長度，上述第2方向與自上述第1半導體區域朝向上述第2半導體區域之第1方向正交。

16. 如請求項1之半導體裝置，其進而具備：

第2導電型之第5半導體區域，其係選擇性地設置於上述第2半導體區域之上，且上述第5半導體區域之第2導電型之載子濃度高於上述第2半導體區域之第2導電型之載子濃度。

17. 如請求項1之半導體裝置，其進而具備：

第1導電型之第6半導體區域，其係選擇性地設置於上述第2半導體區域之上；

閘極電極；及

閘極絕緣層，其係設置於上述閘極電極與上述第2半導體區域之間。

18. 如請求項17之半導體裝置，其進而具備：

第2導電型之第7半導體區域，其係選擇性地設置於上述第2半導體區域之上，且上述第7半導體區域之第2導電型之載子濃度高於上述第2半導體區域之第2導電型之載子濃度。

19. 如請求項18之半導體裝置，其進而具備：

第1導電型之第3半導體區域，其係設置於上述第1半導體區域之下，上述第3半導體區域之第1導電型之載子濃度高於上述第1半導體區域之第1導電型之載子濃度；及

第2導電型之第8半導體區域，其係設置於上述第3半導體區域之下。

20. 如請求項19之半導體裝置，其中上述第8半導體區域之第2導電型之載子濃度高於上述第3半導體區域之第1導電型之載子濃度。

圖式

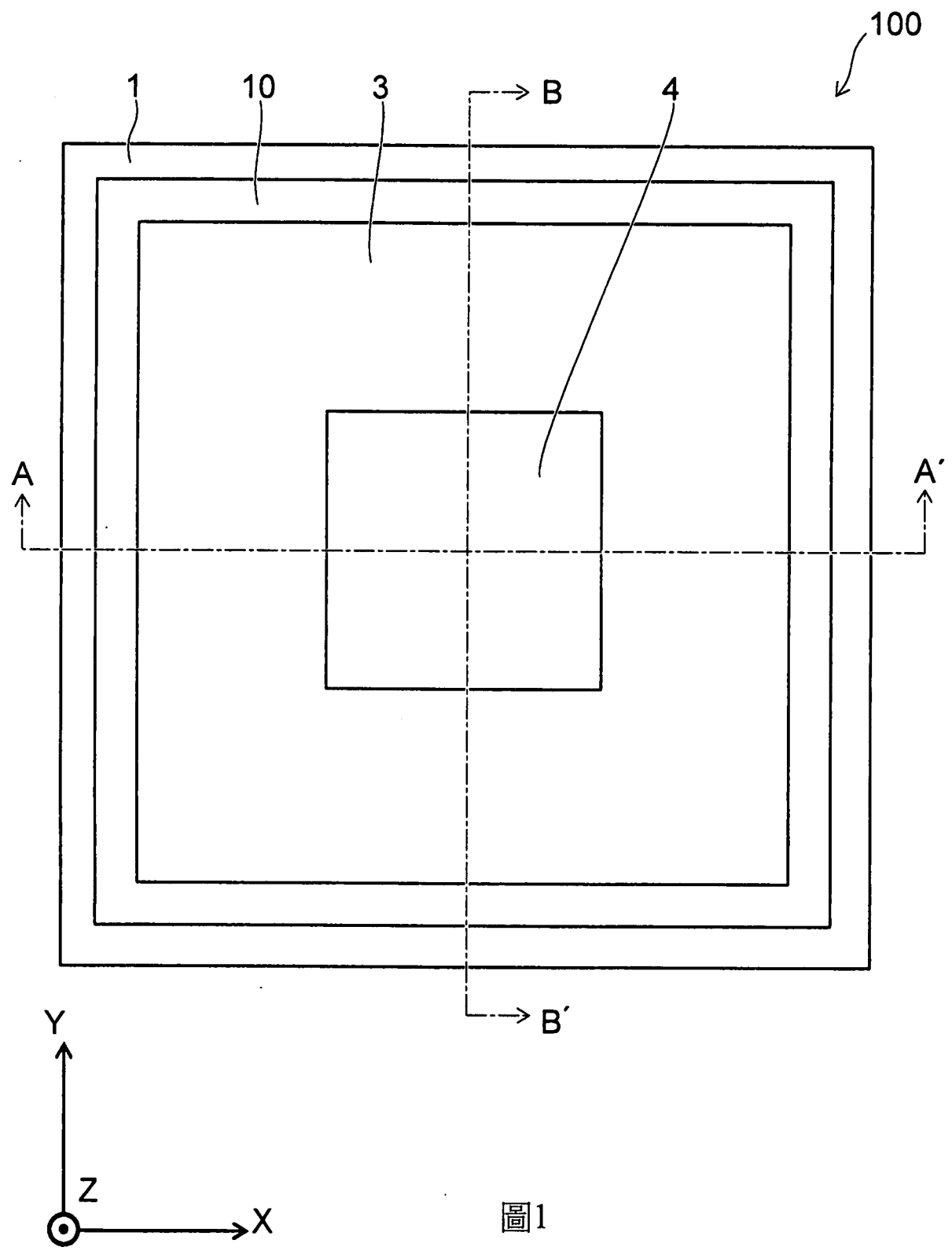


圖1

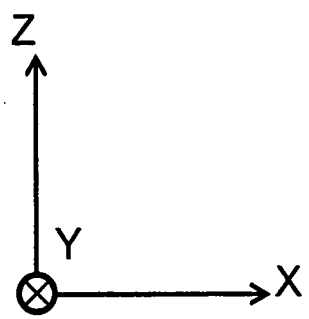
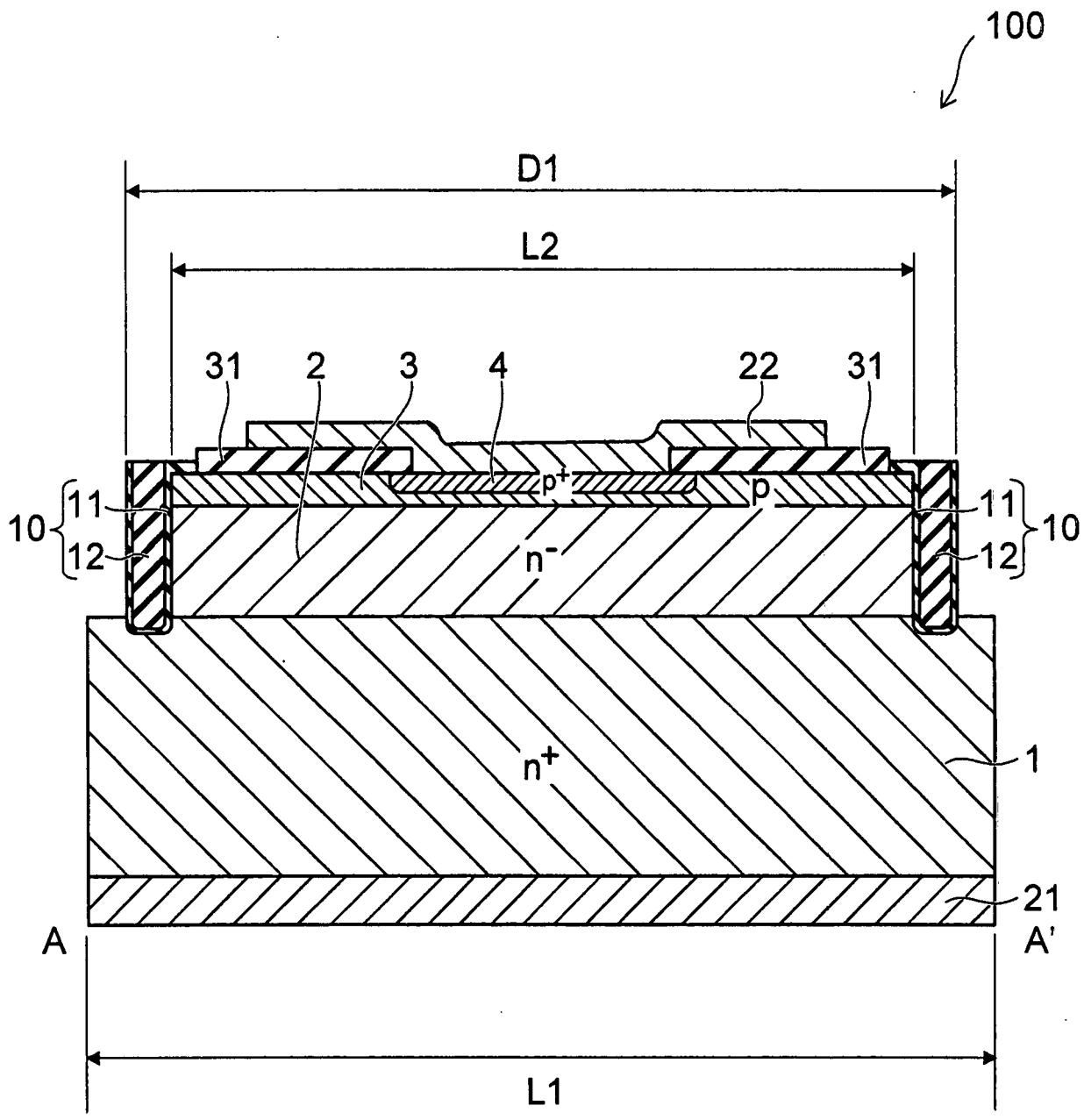


圖2



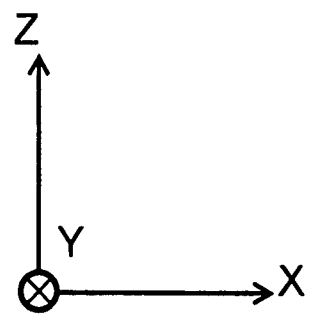
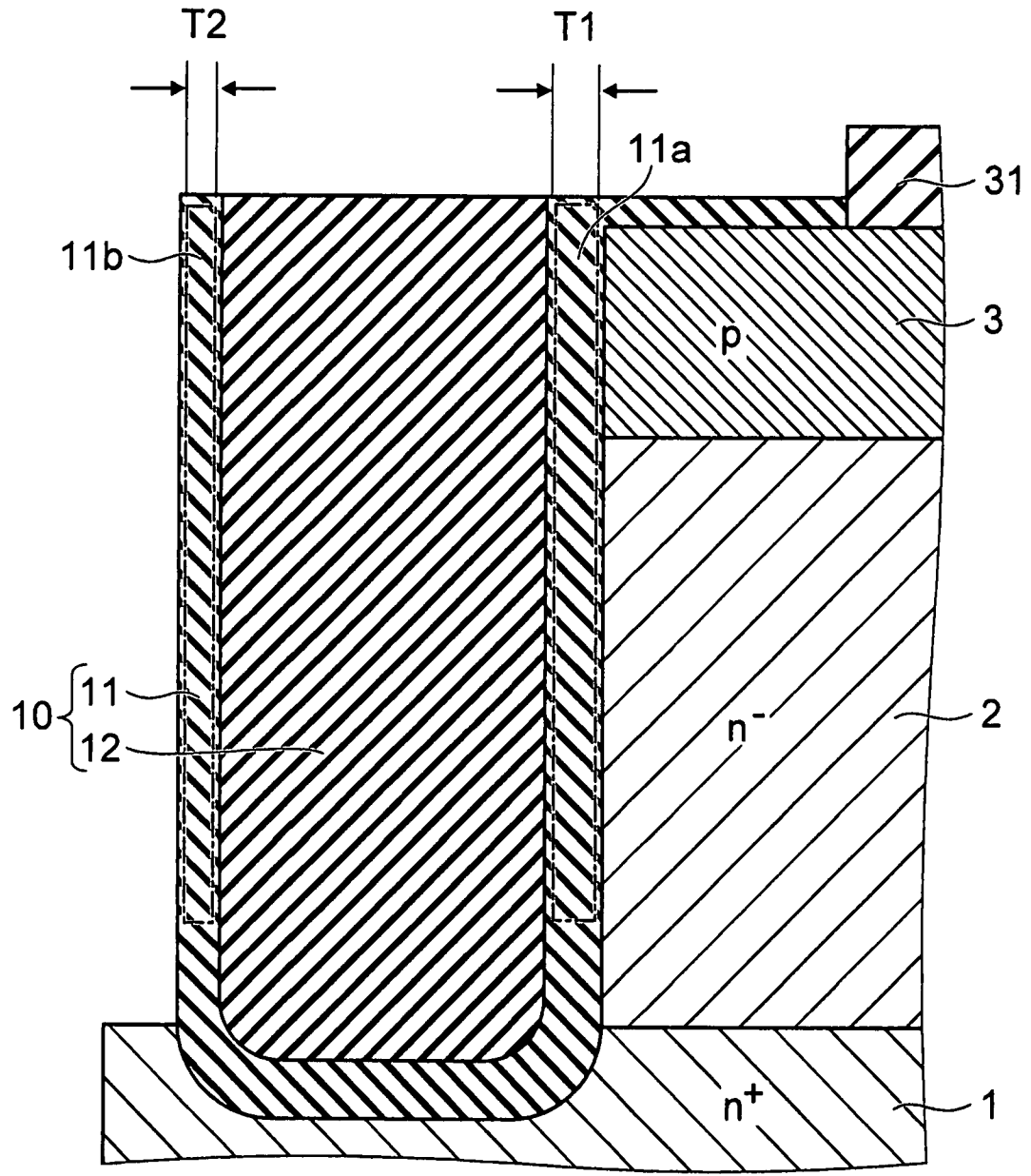


圖3

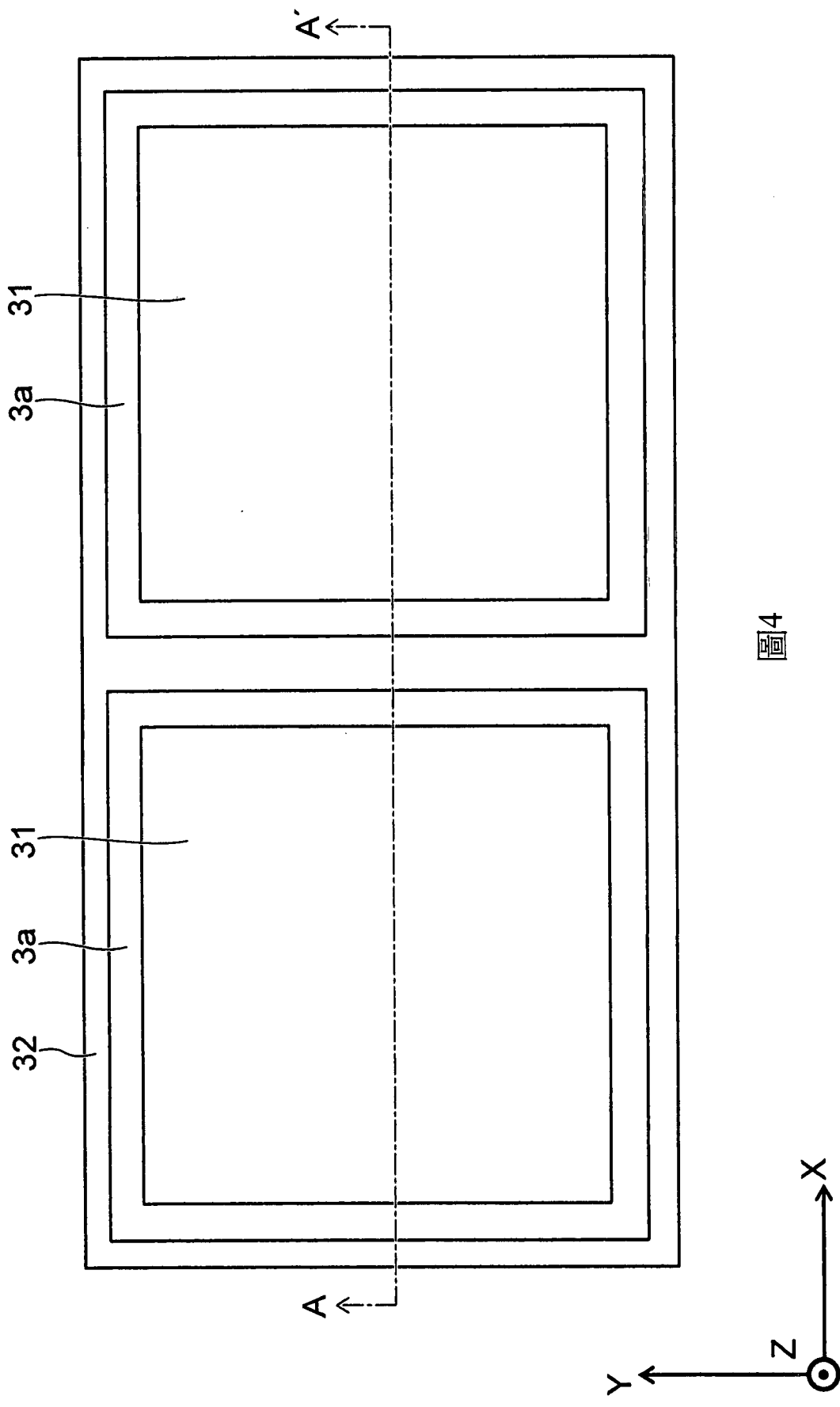


圖4



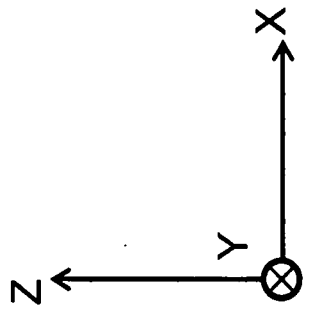
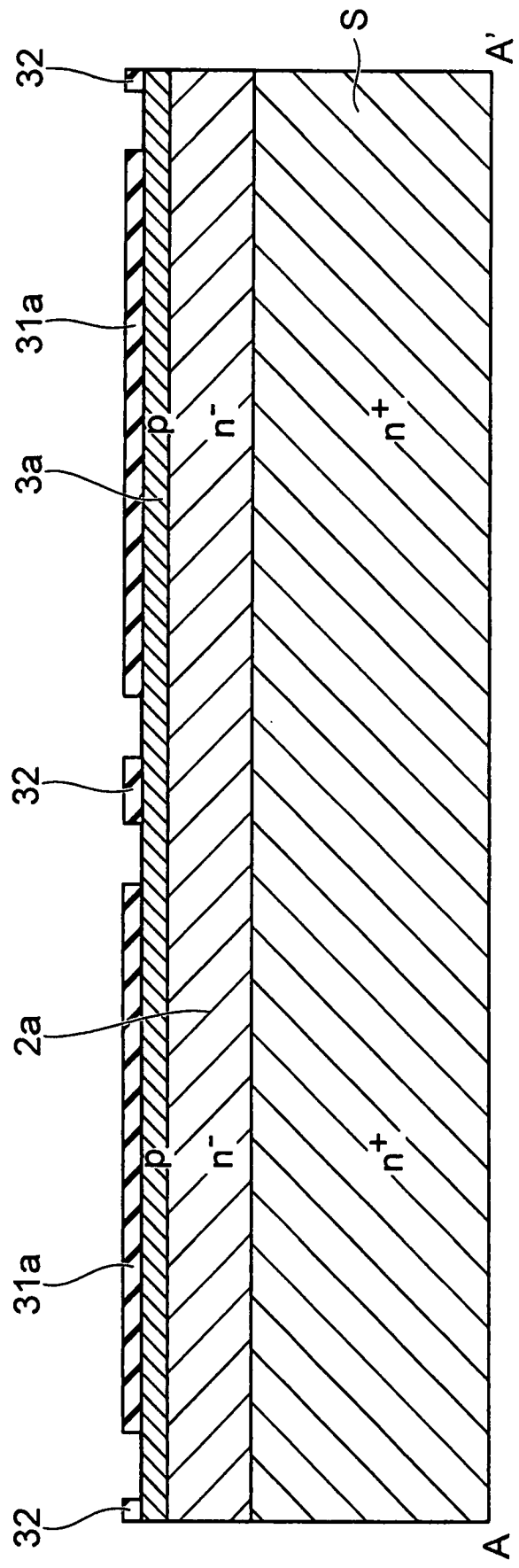


圖5

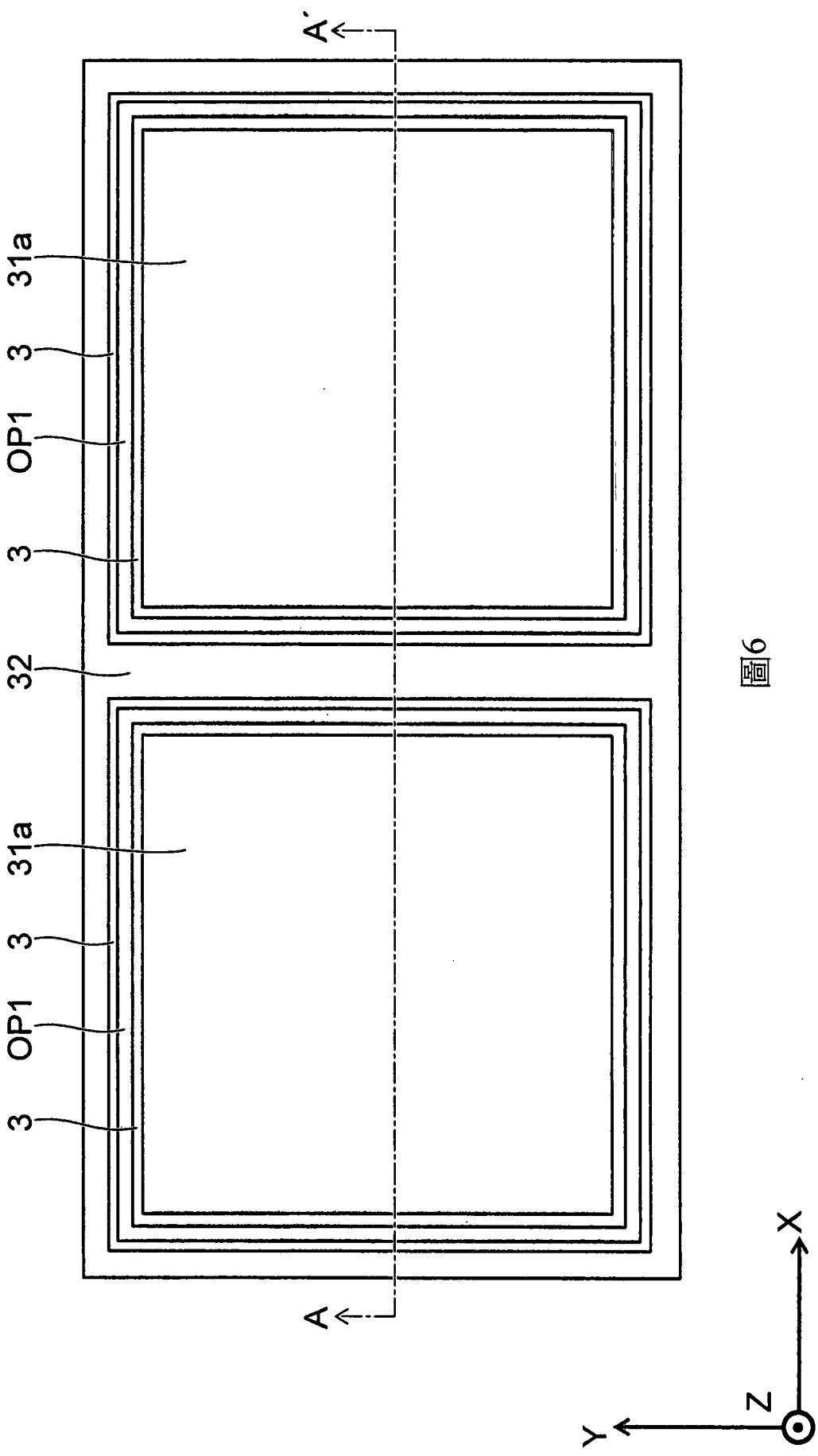


圖6



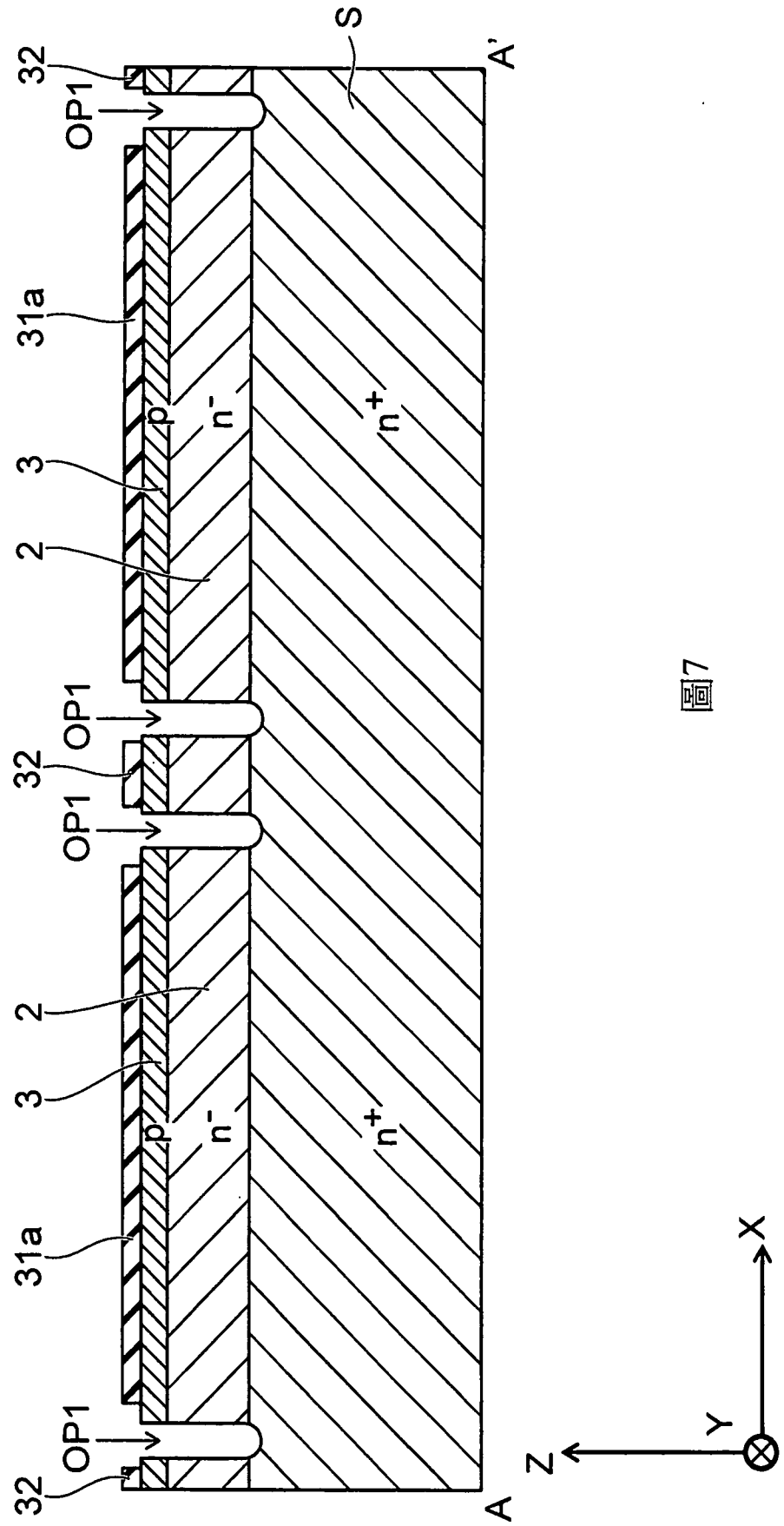


圖7

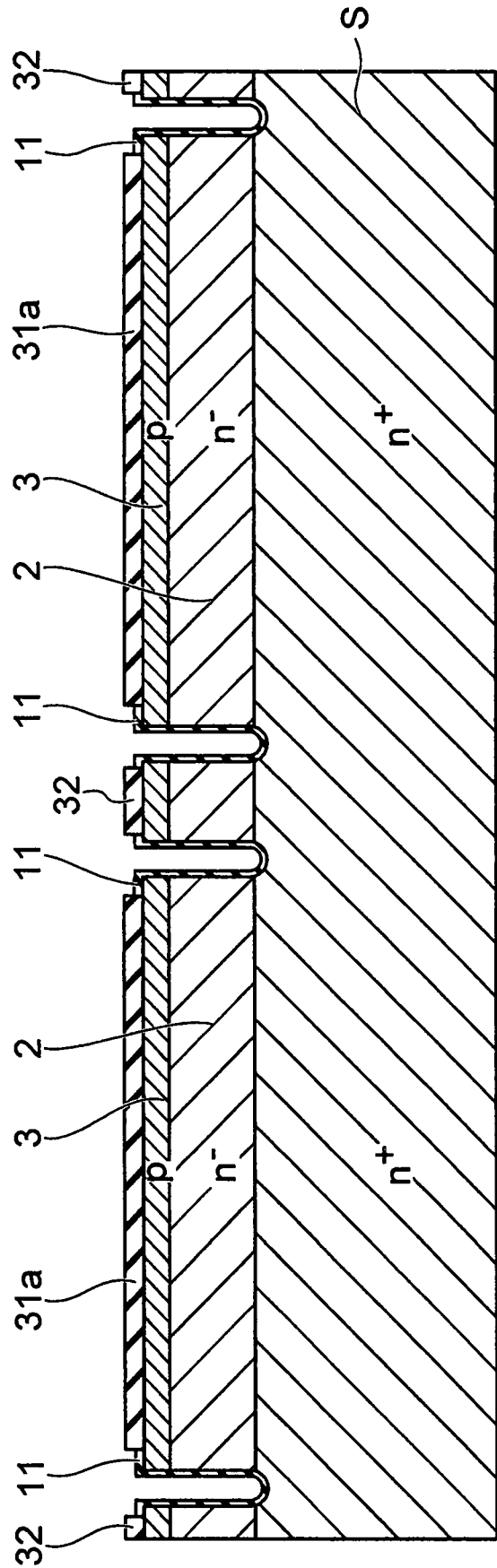
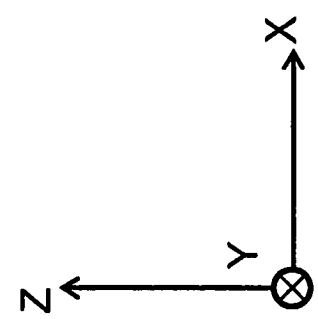


圖8



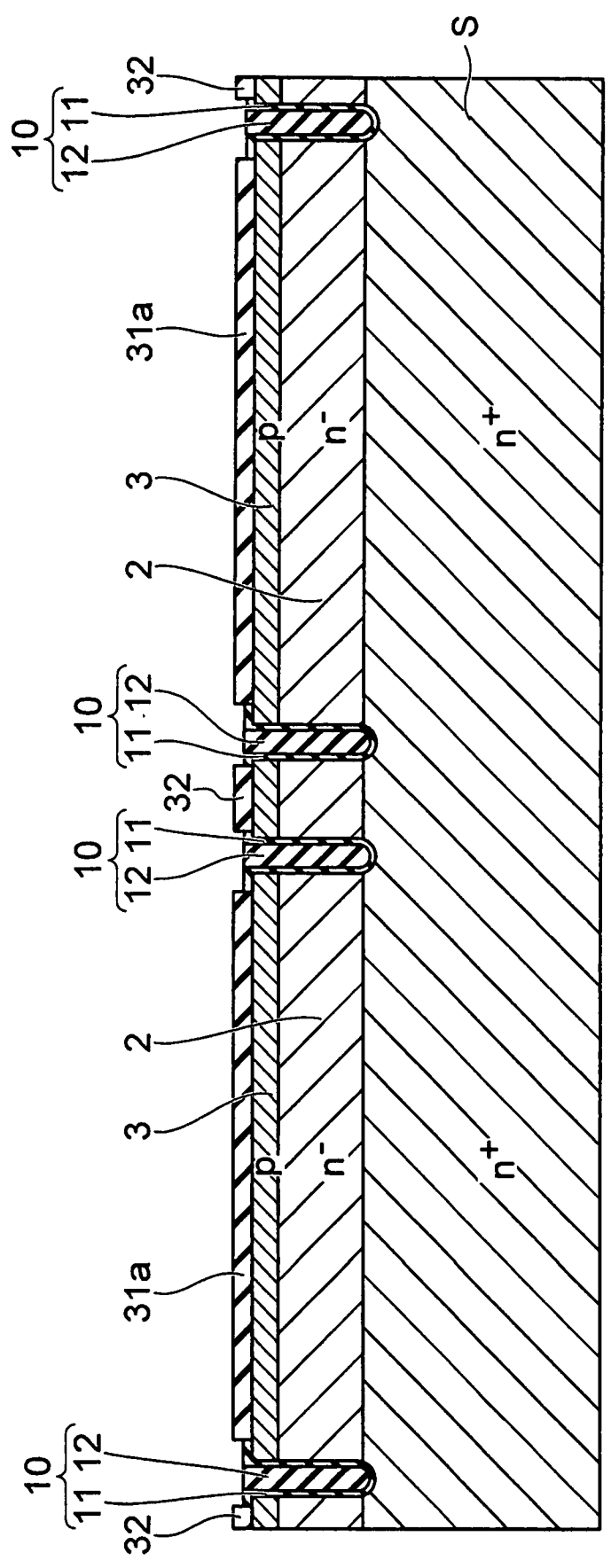


圖9

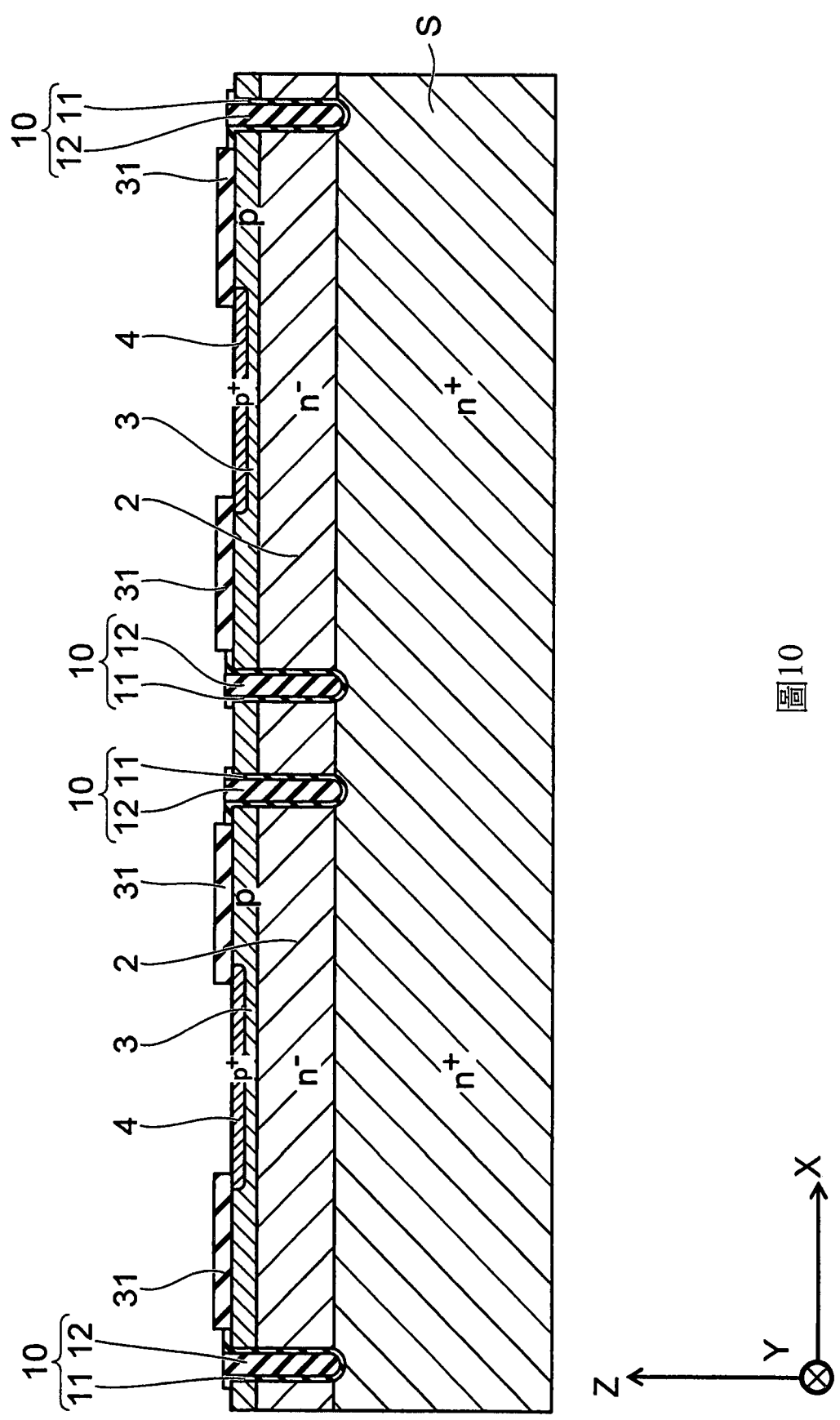


圖10



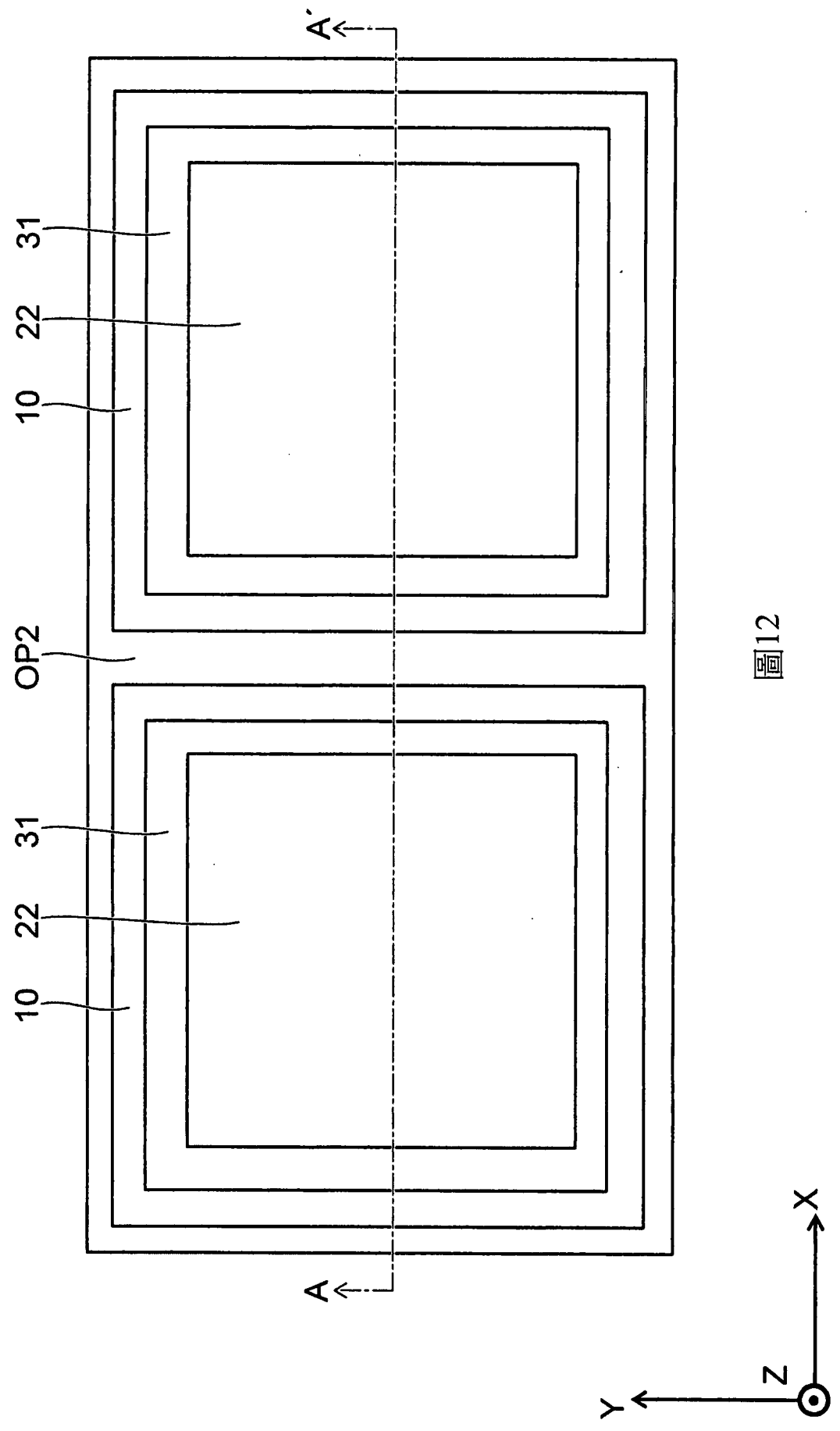


圖12



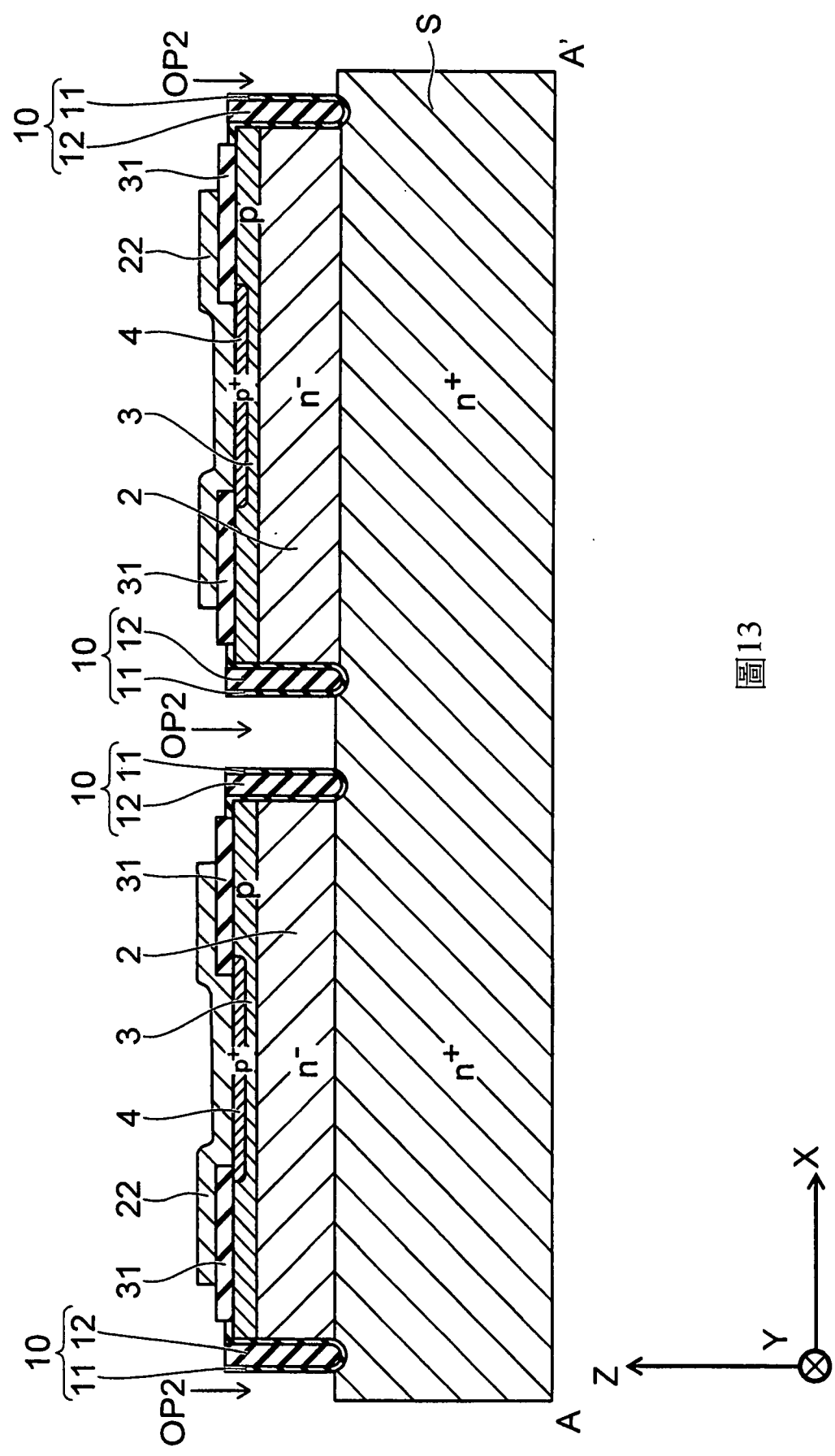


圖13

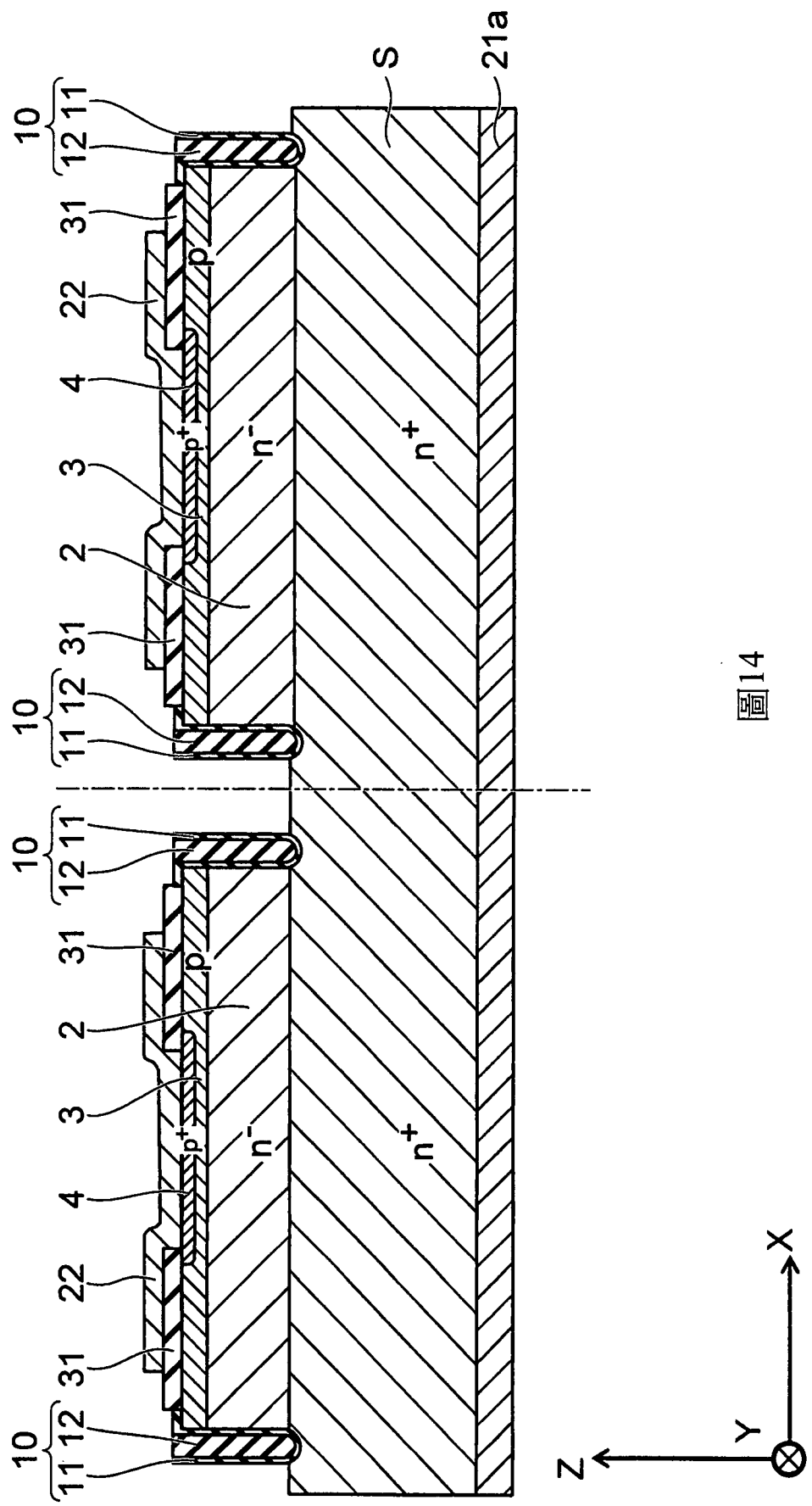


圖14



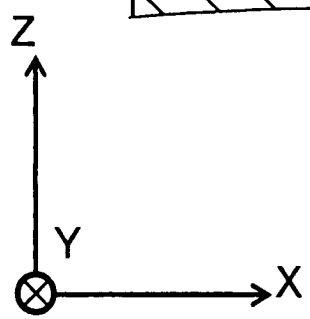
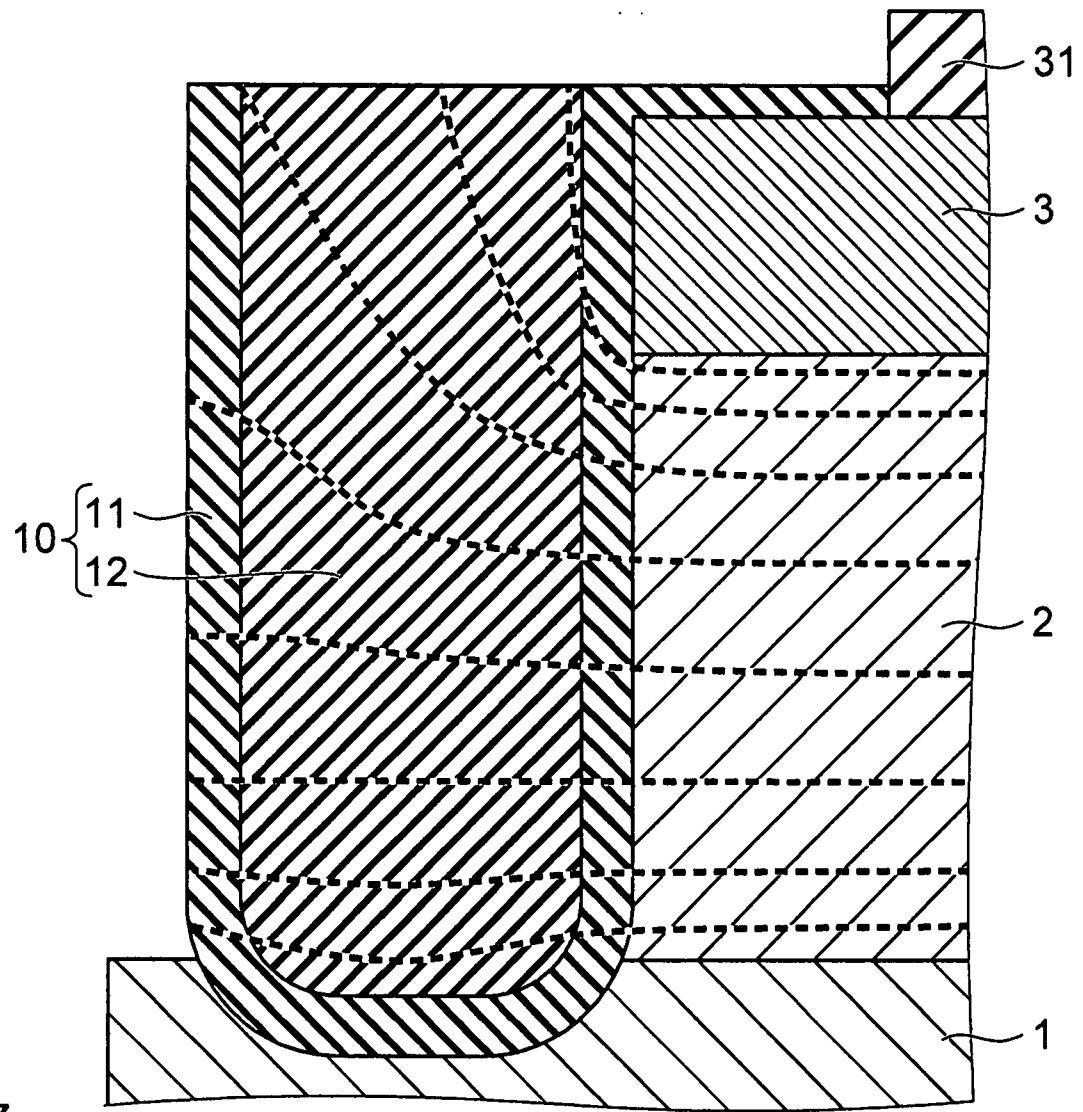


圖15

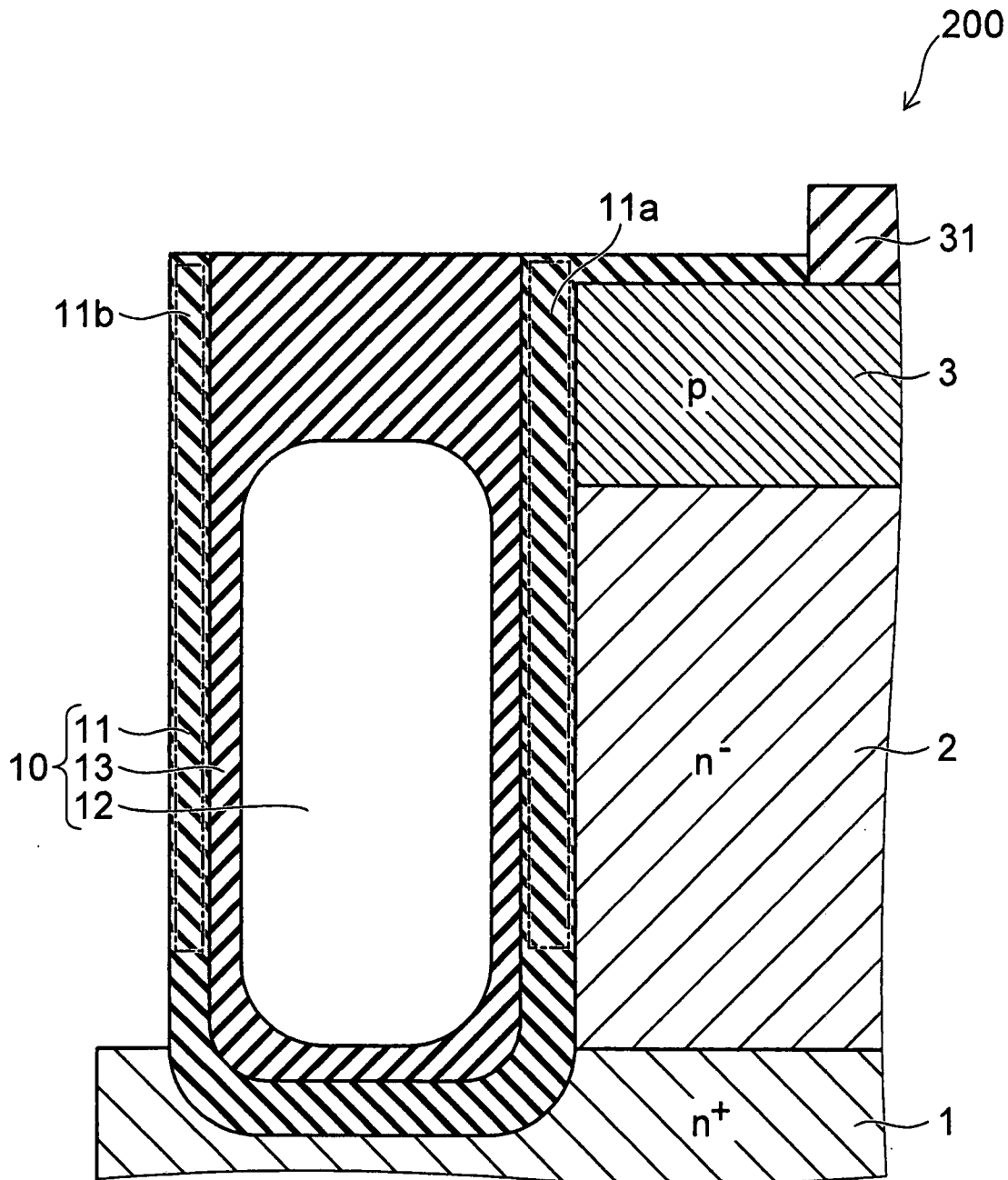


圖16



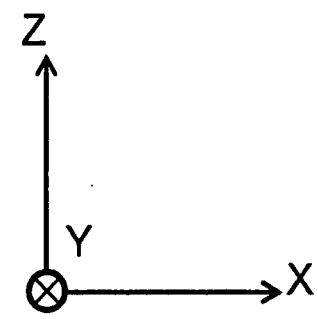
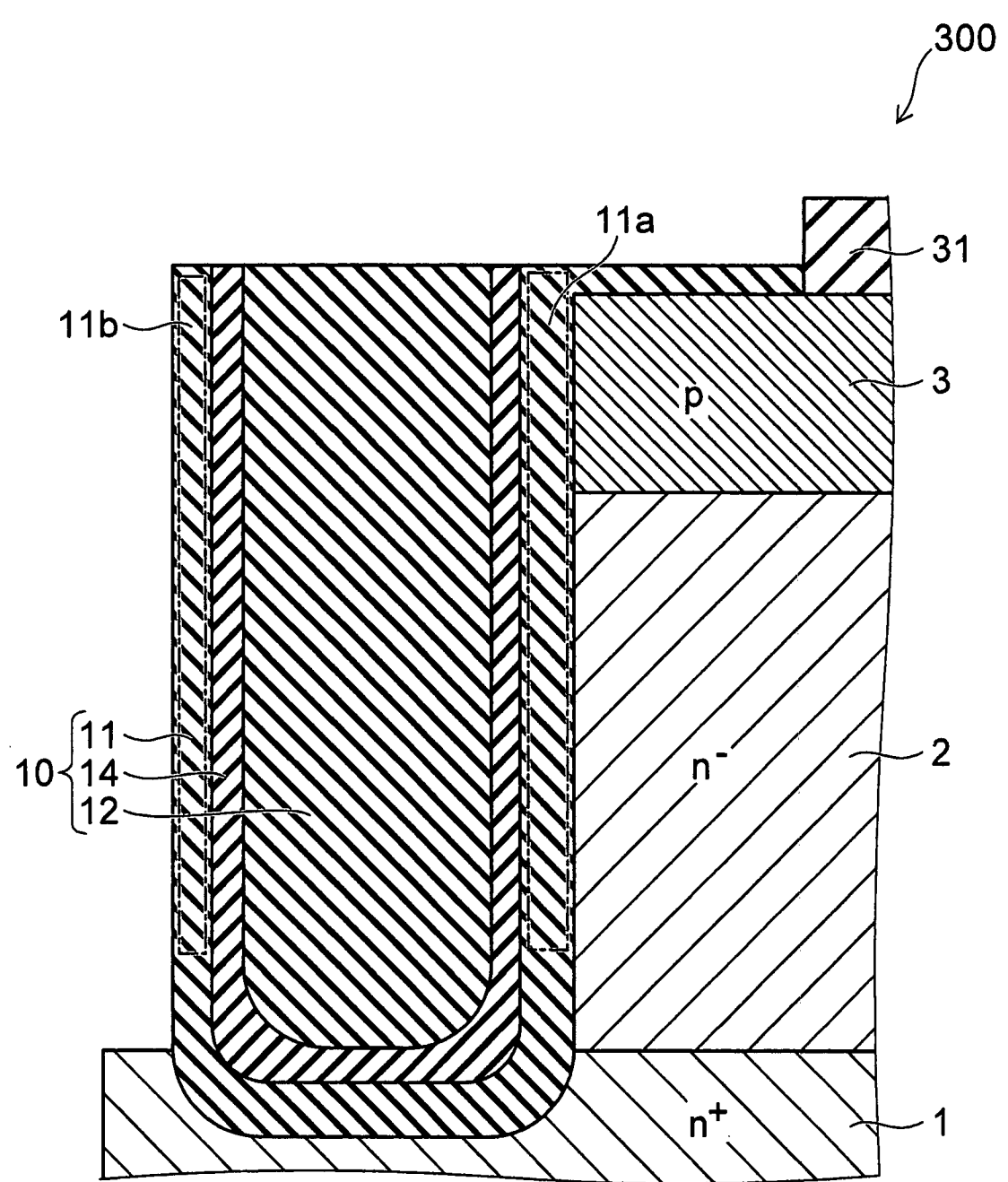


圖 18

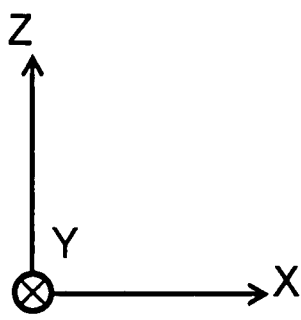
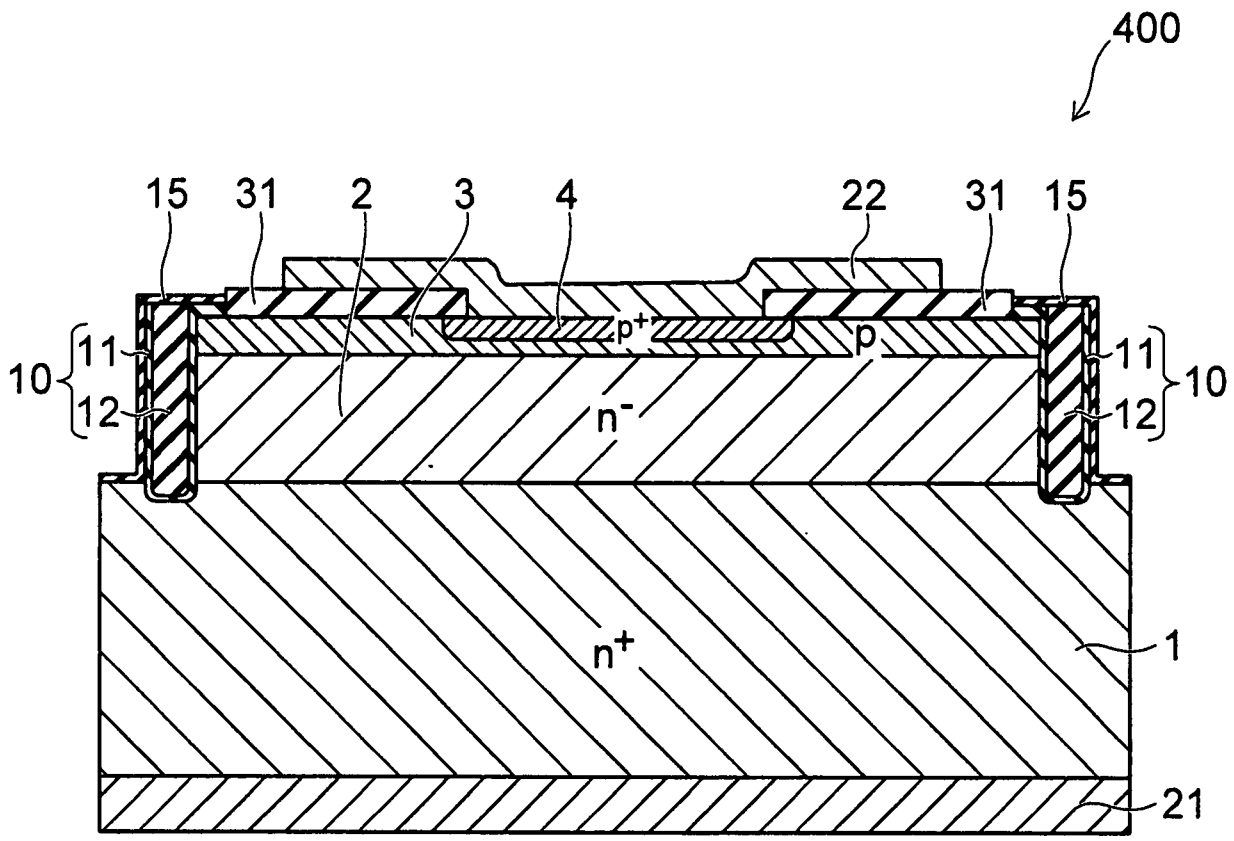
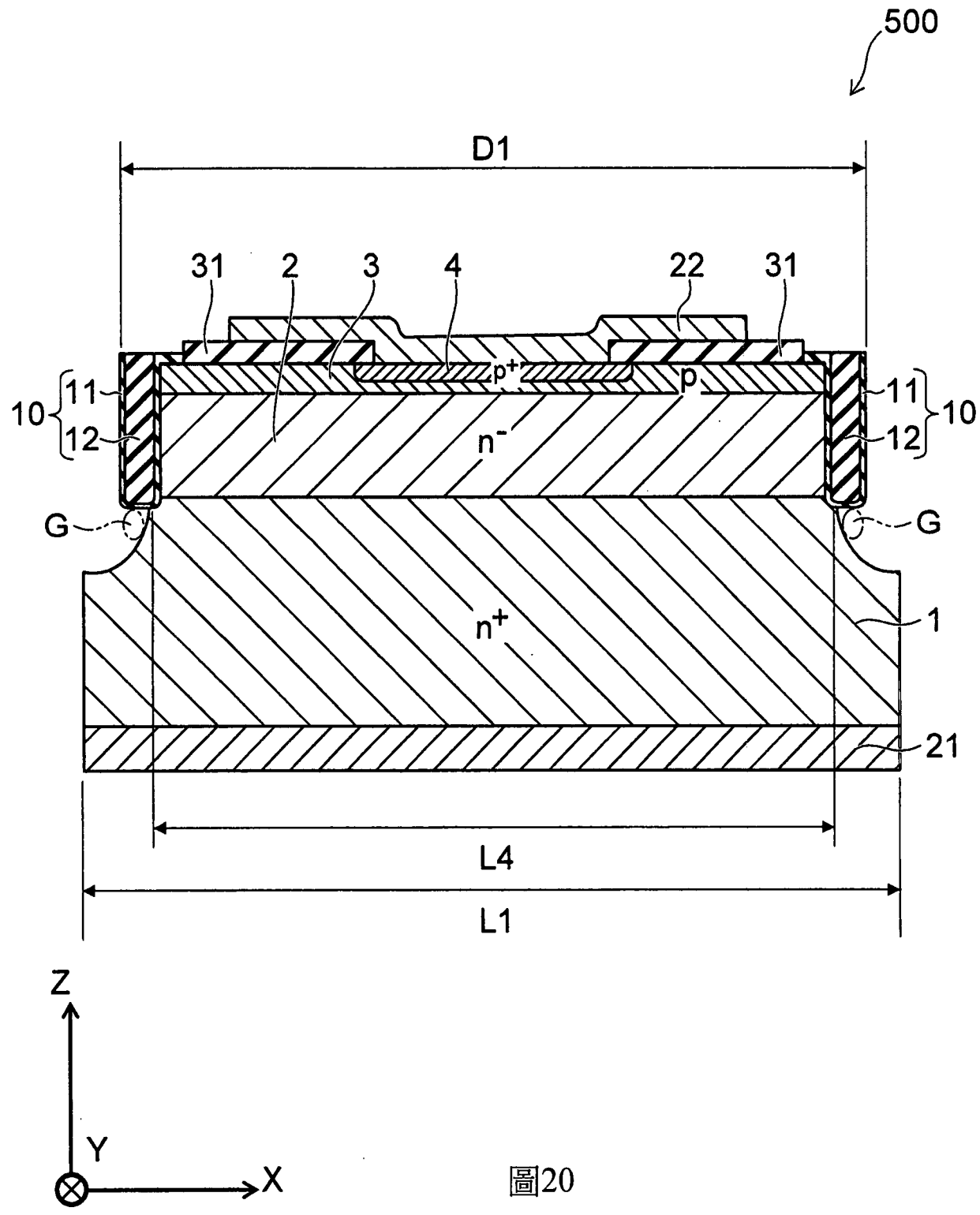


圖19



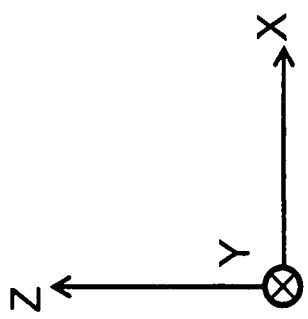
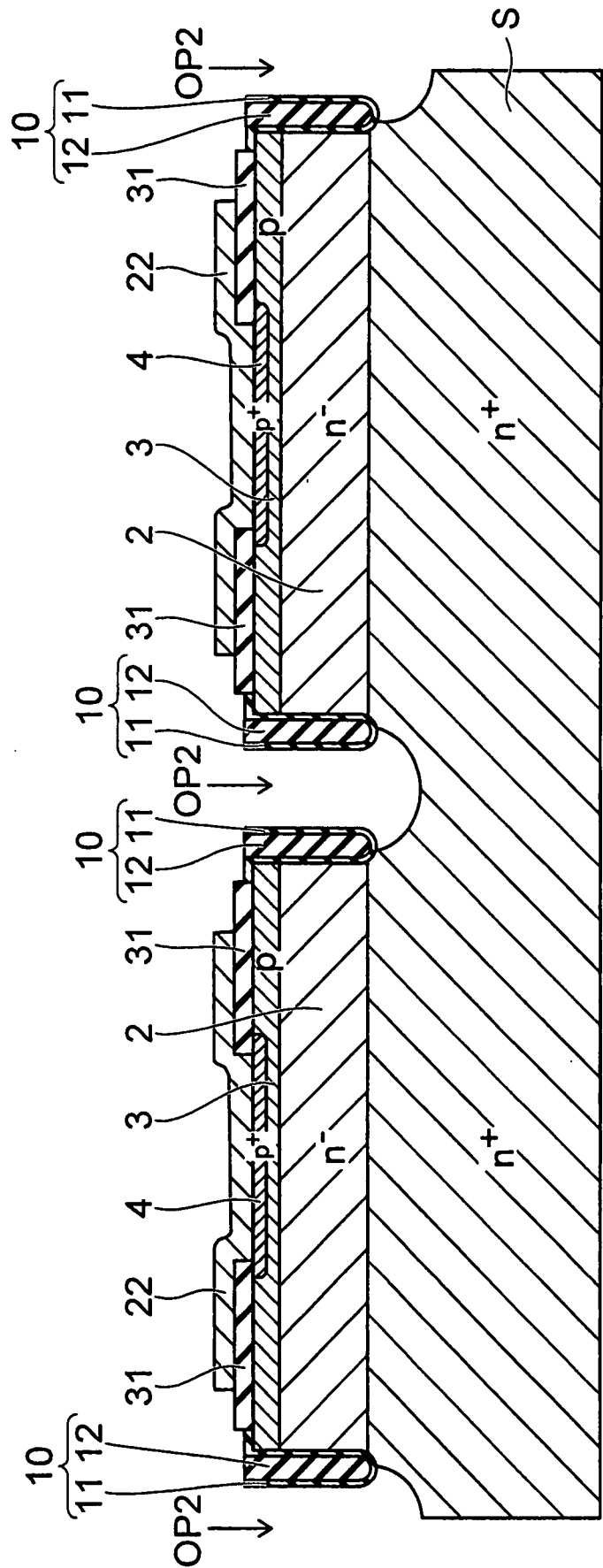


圖21

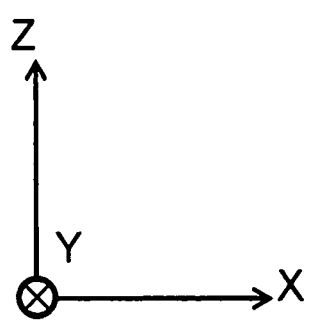
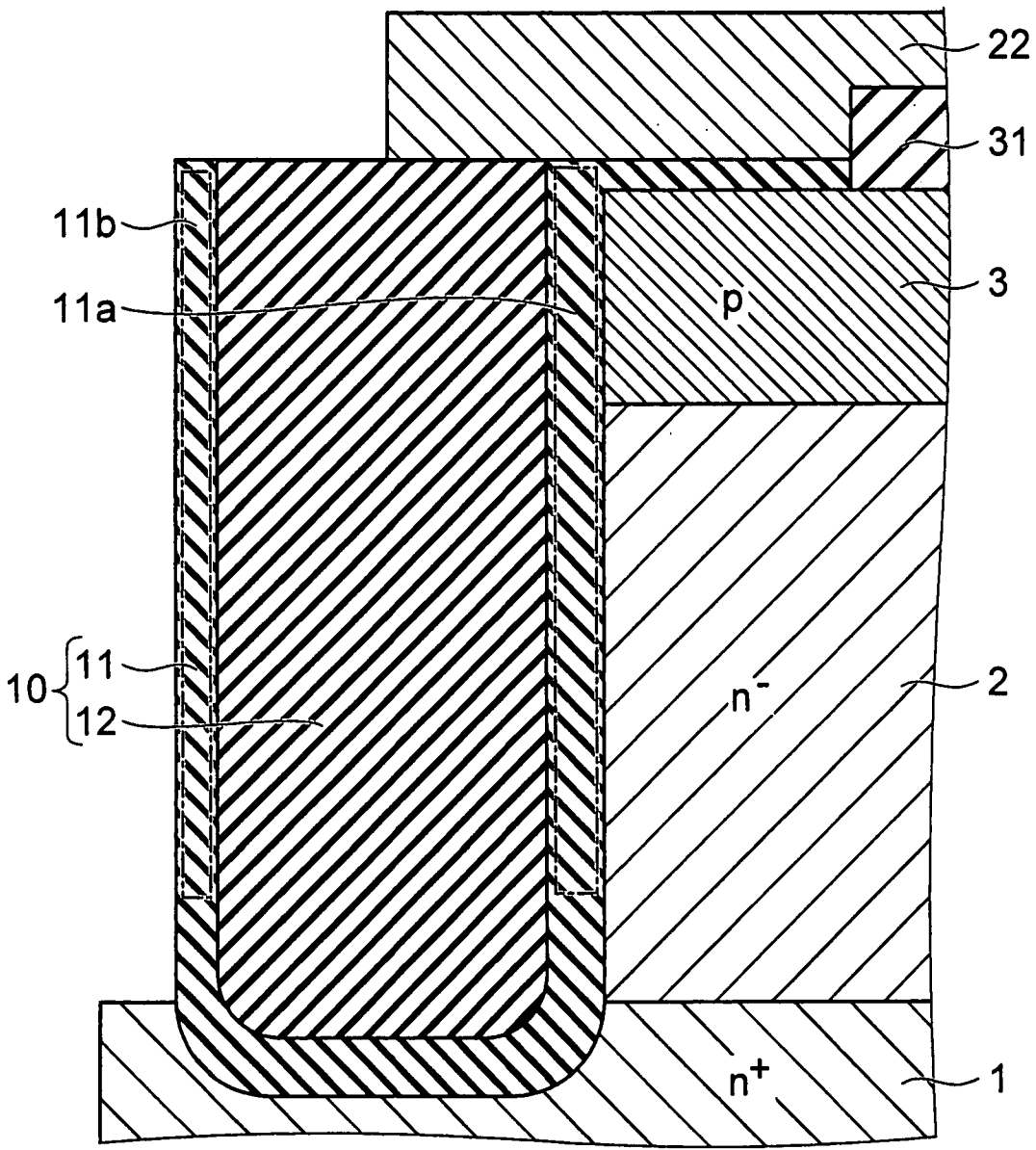


圖23

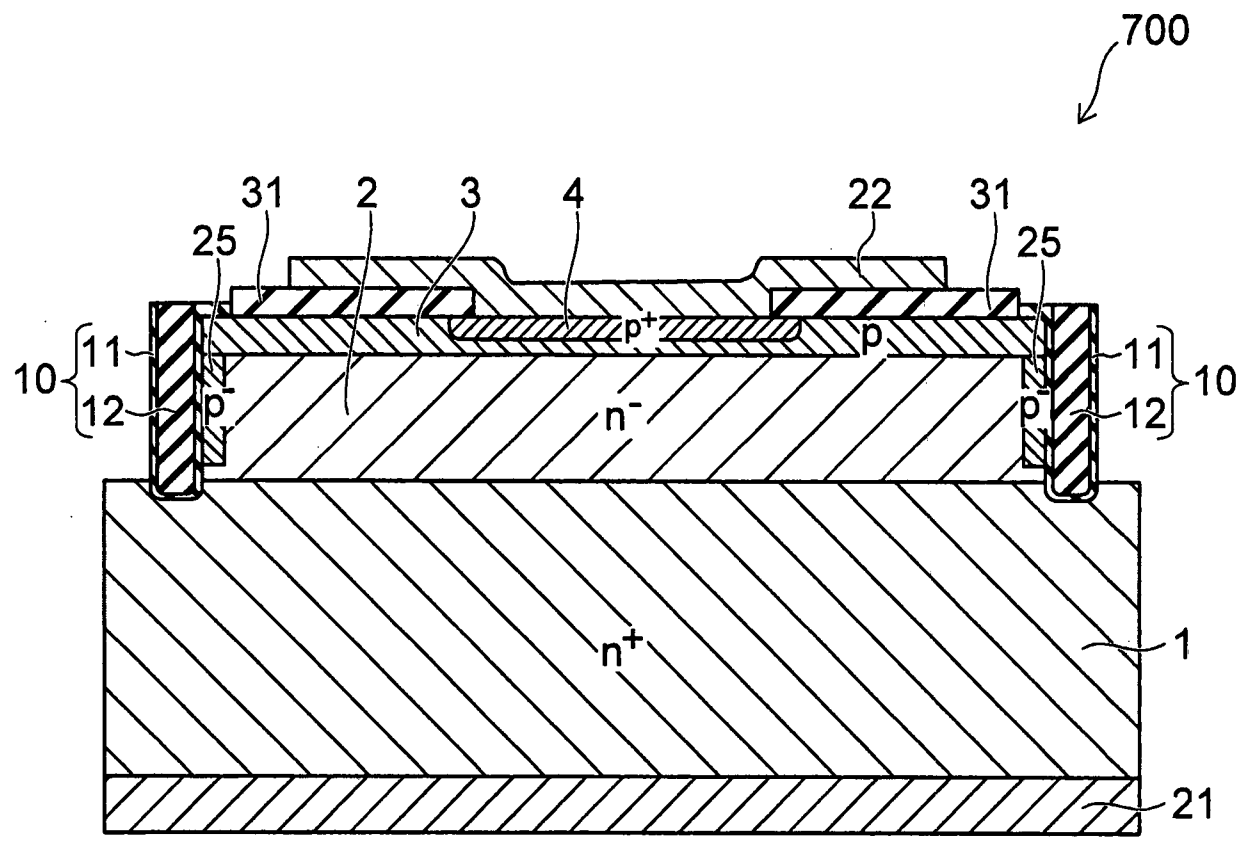


圖24



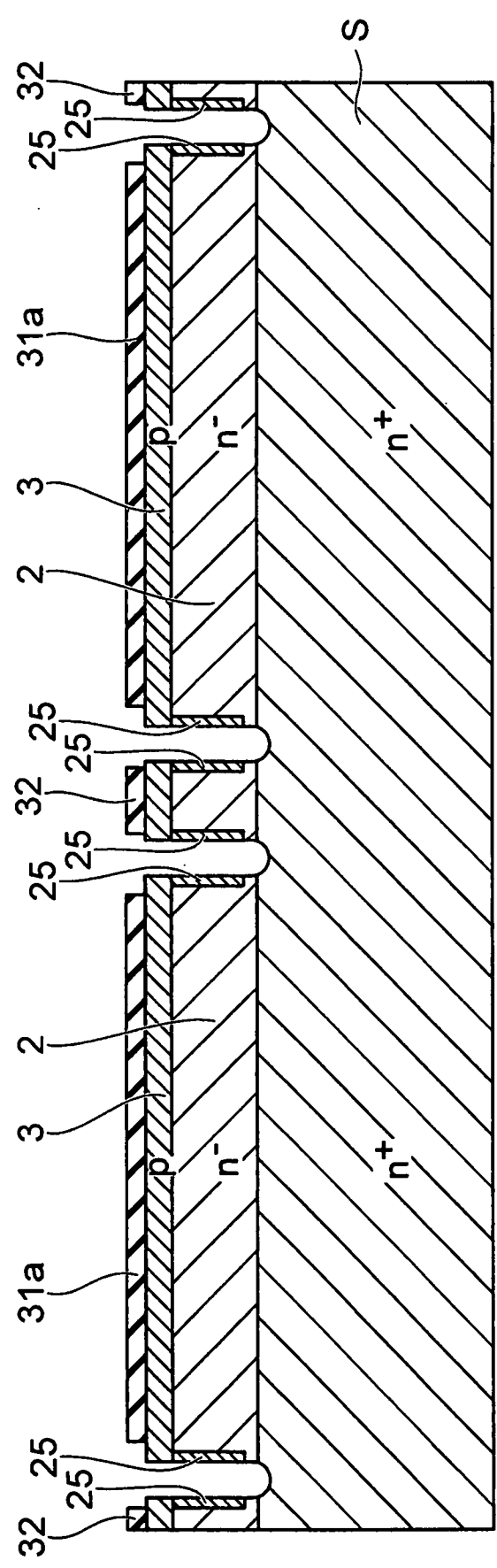
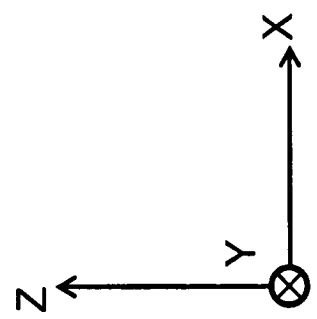


圖25



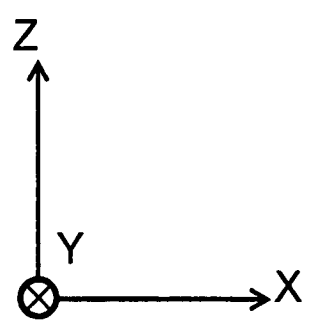
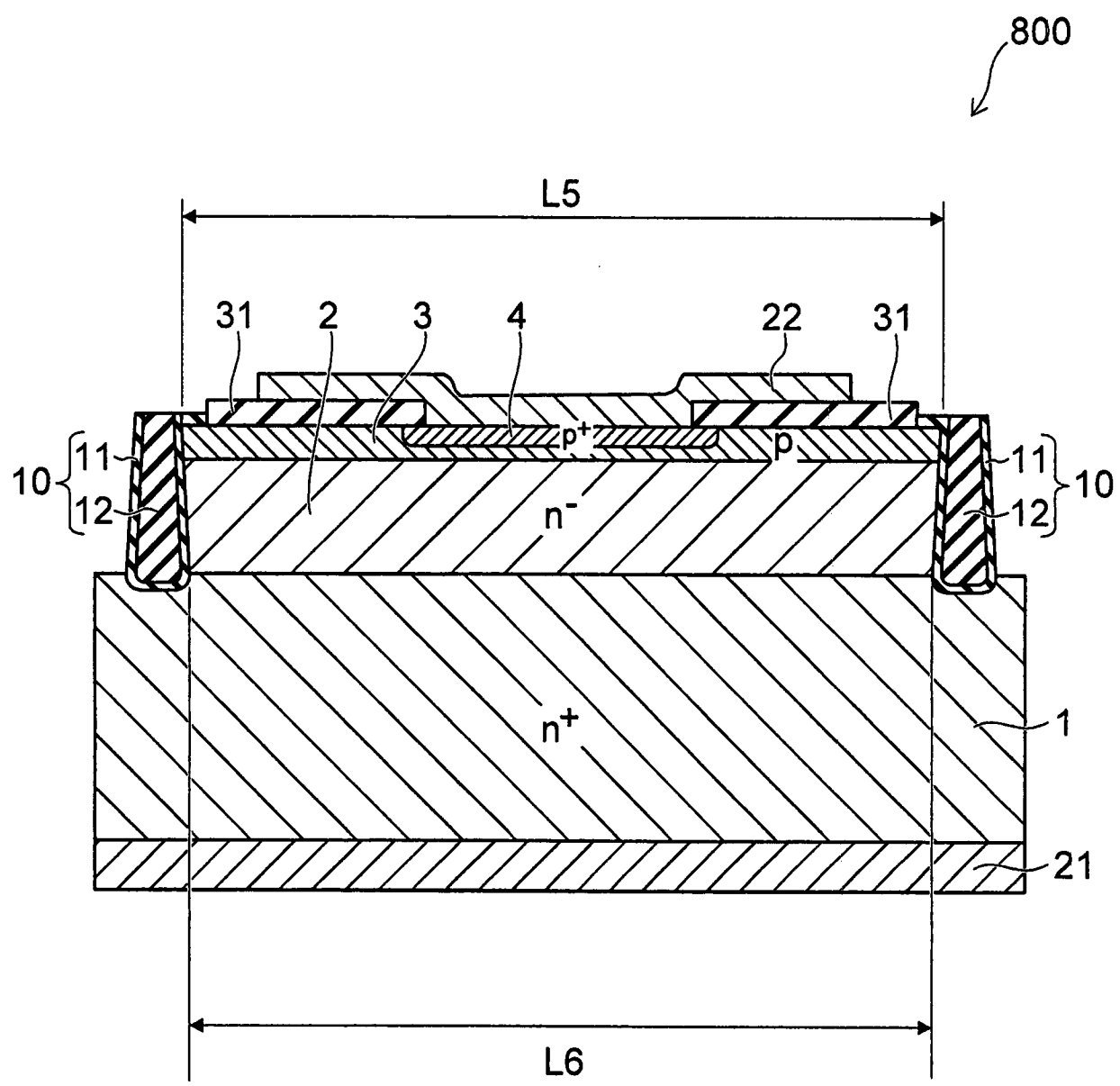


圖26



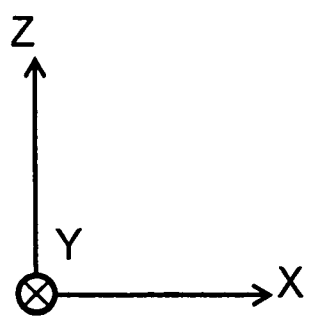
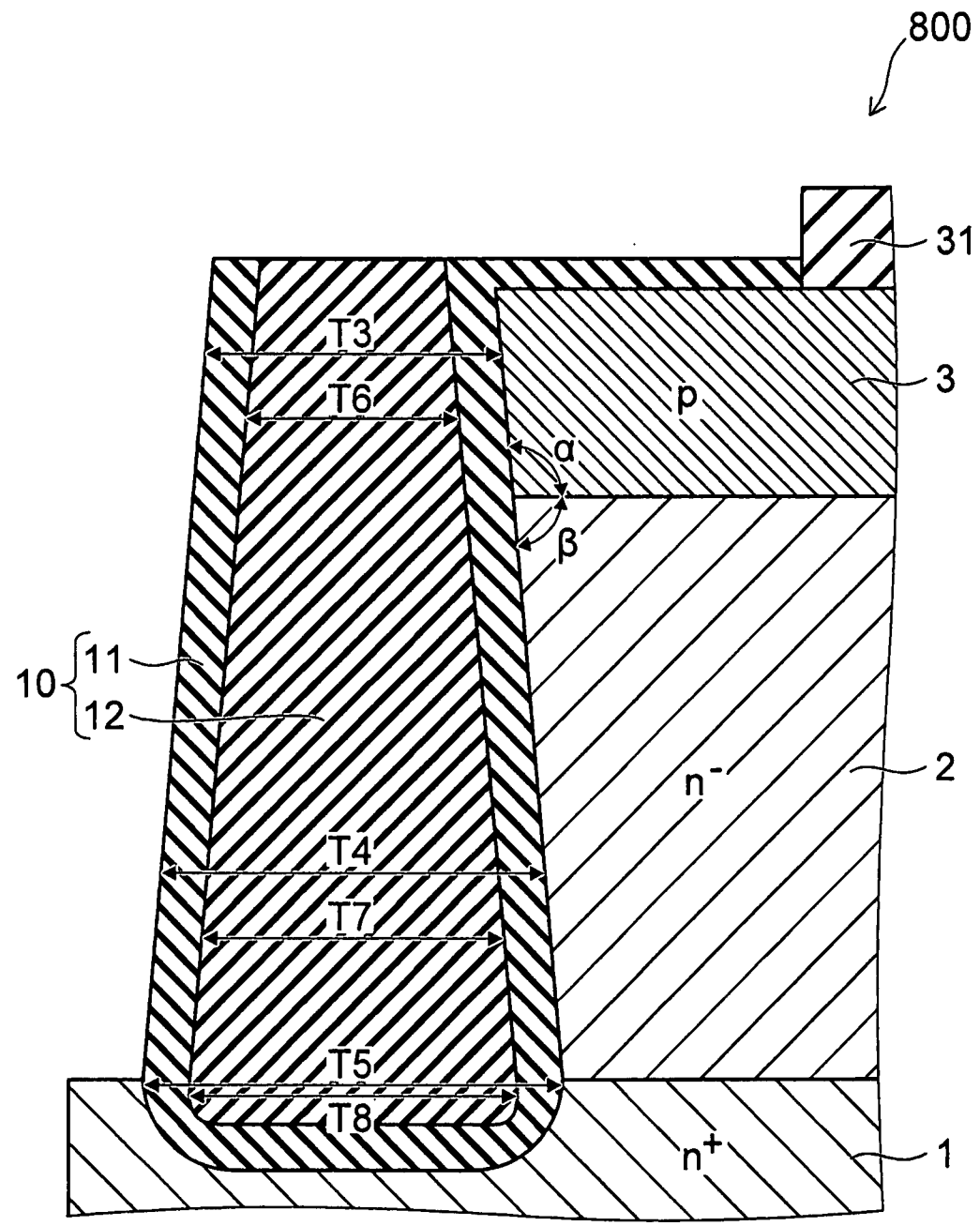


圖 27

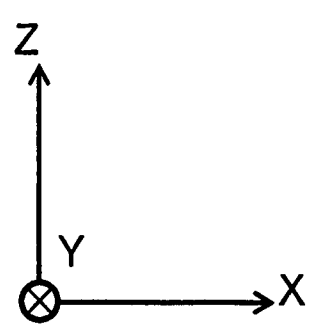
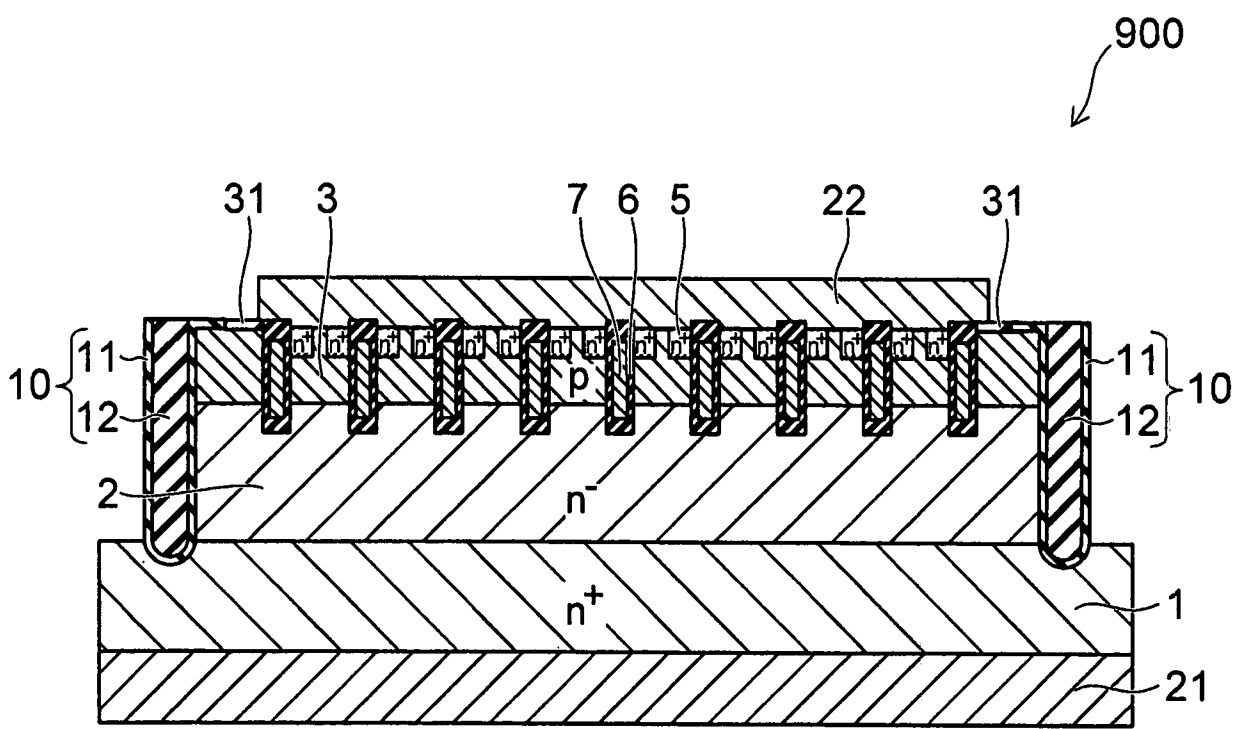


圖28



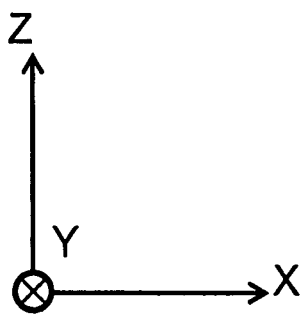
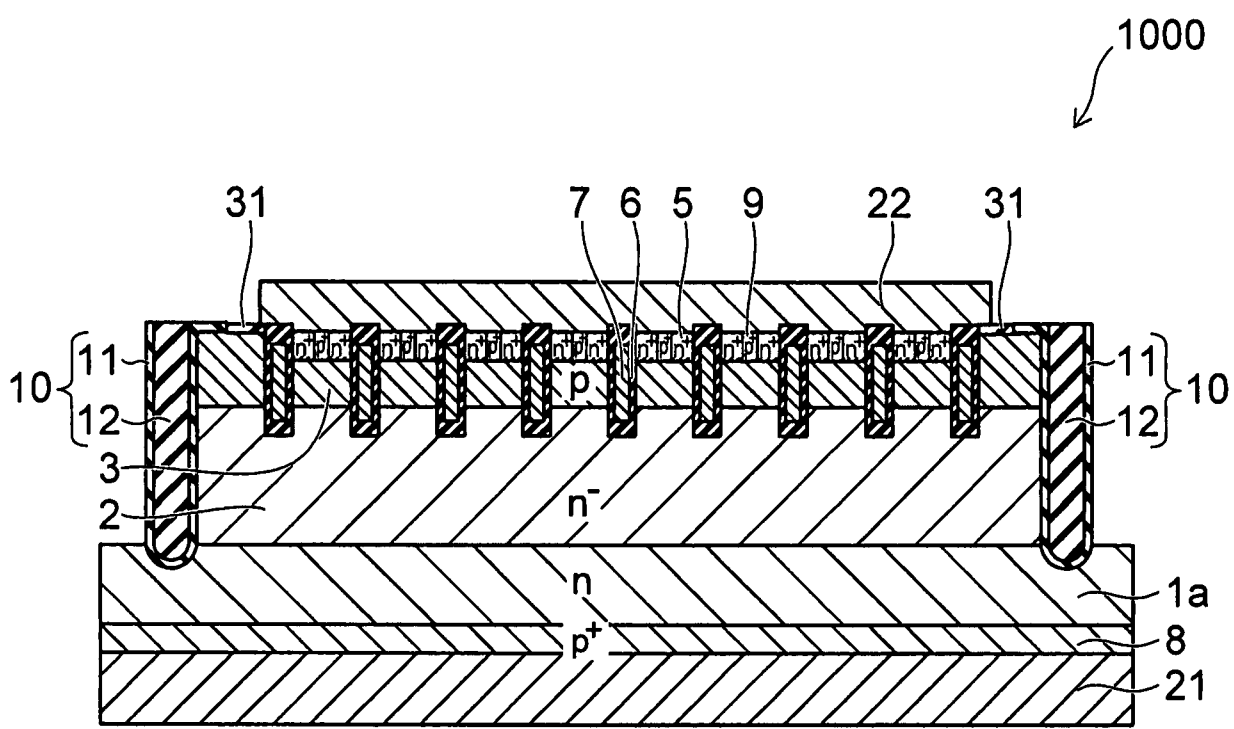


圖29