

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
24. September 2020 (24.09.2020)



(10) Internationale Veröffentlichungsnummer
WO 2020/187527 A1

(51) Internationale Patentklassifikation:

H03K 17/0812 (2006.01) H03K 17/567 (2006.01)
H03K 17/60 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2020/054657

(22) Internationales Anmeldedatum:
21. Februar 2020 (21.02.2020)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
19163389.0 18. März 2019 (18.03.2019) EP

(71) Anmelder: SIEMENS AKTIENGESELLSCHAFT
[DE/DE]; Werner-von-Siemens-Straße 1, 80333 München
(DE).

(72) Erfinder: STADTER, Norbert; Schumannweg 21, 96155
Buttenheim (DE).

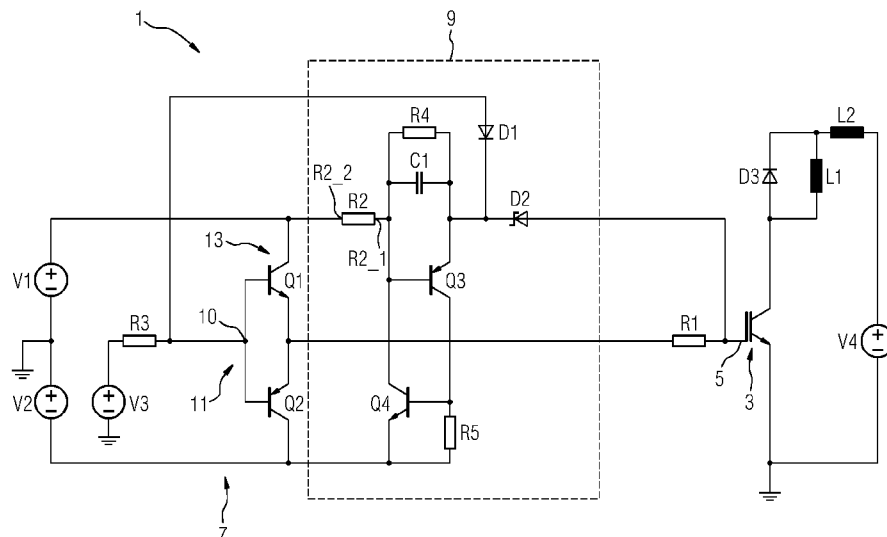
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,

(54) Title: PROTECTIVE CIRCUIT FOR A SEMICONDUCTOR SWITCH

(54) Bezeichnung: SCHUTZSCHALTUNG FÜR EINEN HALBLEITERSCHALTER

FIG 1



(57) Abstract: The invention relates to a protective circuit (9) for a semiconductor switch (3). The protective circuit (9) comprises a clamp diode (D2), an NPN bipolar transistor (Q4), a PNP bipolar transistor (Q3), a capacitor (C1) and at least three resistors (R2, R4, R5). The bipolar transistors (Q3, Q4) are connected to a thyristor structure that is connected to the cathode of the clamp diode (D2). A first resistor (R5) is connected in parallel with the base-emitter zone of the NPN bipolar transistor (Q4). A first terminal of the second resistor (R2) is connected to the base of the PNP bipolar transistor (Q3). The capacitor (C1) is connected in parallel with the base-emitter zone of the PNP bipolar transistor (Q3). Either a third resistor (R4) is connected in parallel with the base-emitter zone of the PNP bipolar transistor (Q3), or a first terminal (R4_1) of the third resistor (R4) is connected to the emitter of the PNP bipolar transistor (Q3).

SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

(Q3) and the second terminal (R4_2) of the third resistor (R4) is connected to the second terminal (R2_2) of the second resistor (R2).

(57) Zusammenfassung: Die Erfindung betrifft eine Schutzschaltung (9) für einen Halbleiterschalter (3). Die Schutzschaltung (9) umfasst eine Klemmdiode (D2), einen npn-Bipolartransistor (Q4), einen pnp-Bipolartransistor (Q3), einen Kondensator (C1) und mindestens drei Widerstände (R2, R4, R5). Die Bipolartransistoren (Q3, Q4) sind zu einer Thyristorstruktur verschaltet, die mit der Kathode der Klemmdiode (D2) verbunden ist. Ein erster Widerstand (R5) ist parallel zu der Basis-Emitter-Strecke des npn-Bipolartransistors (Q4) geschaltet. Ein erster Pol eines zweiten Widerstands (R2) ist mit der Basis des pnp-Bipolartransistors (Q3) verbunden. Der Kondensator (C1) ist parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors (Q3) geschaltet. Ein dritter Widerstand (R4) ist entweder parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors (Q3) geschaltet, oder ein erster Pol (R4_1) des dritten Widerstands (R4) ist mit dem Emitter des pnp-Bipolartransistors (Q3) verbunden und der zweite Pol (R4_2) des dritten Widerstands (R4) ist mit dem zweiten Pol (R2_2) des zweiten Widerstands (R2) verbunden.

Beschreibung

Schutzschaltung für einen Halbleiterschalter

- 5 Die Erfindung betrifft eine Schutzschaltung für einen Halbleiterschalter mit einem durch einen Gate-Treiber ansteuerbaren Gate und eine Schaltungsanordnung mit einer derartigen Schutzschaltung.
- 10 Mit dem Gate eines Halbleiterschalters wird der Steueranschluss des Halbleiterschalters bezeichnet. Die Erfindung dient vornehmlich dem Schutz eines spannungsgesteuerten Halbleiterschalters, beispielsweise eines Bipolartransistors mit isolierter Gate-Elektrode (IGBT) oder eines Metall-Oxid-
- 15 Halbleiter-Feldeffekttransistors (MOSFET), der über eine an das Gate gelegte Gate-Spannung beziehungsweise ein Gate-Potential angesteuert wird. Bei einer zu hohen Verlustleistung, beispielsweise im Falle eines Kurzschlusses, kann der Halbleiterschalter beschädigt oder zerstört werden. Zur Ver-
- 20 meidung solcher Schäden muss sichergestellt werden, dass, beispielsweise im Kurzschlussfall, die Gate-Spannung nicht deutlich über ihren spezifizierten Einschaltwert steigt (Einhaltung der so genannten "safe operating area"). Andernfalls kann der Anstieg der Gate-Spannung zu einem zu hohen Strom
- 25 durch den Halbleiterschalter, beispielsweise einem zu hohen Kollektor-Strom im Fall eines IGBT beziehungsweise Drain-Strom im Fall eines MOSFET, führen und die Verlustleistung zu stark erhöhen.
- 30 Um eine Überhöhung der Verlustleistung zu verhindern, kann beispielsweise eine Spannung an einem Lastanschluss des Halbleiterschalters, beispielsweise die Kollektor-Spannung im Fall eines IGBT oder die Drain-Spannung im Fall eines MOSFET, mittels einer Hochspannungsdiode oder eines Operationsver-
- 35 stärkers erfasst und überwacht werden. Alternativ kann ein Strom durch den Halbleiterschalter, beispielsweise mit einem Shunt oder einem Stromwandler, erfasst und überwacht werden. Diese Methoden ermöglichen jedoch teilweise keine ausreichend

schnelle Abschaltung des Halbleiterschalters, da Potentialhürden überschritten werden müssen, sind aufwändig und kostspielig und/oder haben wegen Luft- und Kriechstrecken einen hohen Platzbedarf.

5

DE 37 23 786 A1 offenbart eine Anordnung zur selbsttätigen Überstromabschaltung von Insulated-Gate- oder Feldeffekt-Transistoren, bei der zwischen die Gate- und Emitter-Zuleitungen des Insulated-Gate- oder Feldeffekt-Transistors ein Thyristor mit anodenseitigem Anschluss an die Gate-Zuleitung oder die einen Thyristor in seiner Schaltfunktion nachbildende Reihenschaltung zweier Transistoren mit Kollektor-Anschluss des ersten Transistors an die Gate-Zuleitung geschaltet ist. Zwischen die Gate-Zuleitung und der Steuerelektrode des Thyristors respektive der Basis des zweiten Transistors der Transistoren-Reihenschaltung ist eine Zenerdiode mit kathodenseitigem Anschluss an die Gate-Zuleitung geschaltet und in die Gate-Zuleitung respektive einer Zuleitung zum Anlegen einer positiven Gate-Emitter-Spannung ist eine Diode mit kathodenseitigem Anschluss am Gate geschaltet.

Der Erfindung liegt die Aufgabe zugrunde, eine verbesserte Schutzschaltung für einen Halbleiterschalter mit einem durch einen Gate-Treiber ansteuerbaren Gate und eine Schaltungsanordnung mit einer derartigen Schutzschaltung anzugeben.

Die Aufgabe wird erfindungsgemäß durch eine Schutzschaltung mit den Merkmalen des Anspruchs 1 und eine Schaltungsanordnung mit den Merkmalen des Anspruchs 5 gelöst.

30

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Eine erfindungsgemäße Schutzschaltung für einen Halbleiterschalter mit einem durch einen Gate-Treiber ansteuerbaren Gate ist zu dem Gate-Treiber parallel geschaltet mit dem Gate verbunden. Die Schutzschaltung umfasst eine Klemmdiode, einen npn-Bipolartransistor, einen pnp-Bipolartransistor, einen

35

Kondensator und (mindestens) drei Widerstände. Der Kollektor des npn-Bipolartransistors ist mit der Basis des pnp-Bipolartransistors verbunden. Die Basis des npn-Bipolartransistors ist mit dem Kollektor des pnp-Bipolartransistors verbunden.

5 Der Emitter des pnp-Bipolartransistors ist mit der Kathode der Klemmdiode verbunden. Ein erster Widerstand ist parallel zu der Basis-Emitter-Strecke des npn-Bipolartransistors geschaltet. Ein erster Pol eines zweiten Widerstands ist mit der Basis des pnp-Bipolartransistors verbunden. Der Kondensa-

10 tor ist parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors geschaltet. Ein dritter Widerstand ist entweder parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors geschaltet, oder ein erster Pol des dritten Widerstands ist mit dem Emitter des pnp-Bipolartransistors ver-

15 bunden und der zweite Pol des dritten Widerstands ist mit dem zweiten Pol des zweiten Widerstands verbunden.

Eine erfindungsgemäße Schutzschaltung dient dem Schutz eines Halbleiterschalters vor zu hohen Verlustleistungen. Kernkom-

20 ponenten der Schutzschaltung sind zwei zu einer Thyristorstruktur verschaltete Bipolartransistoren und eine Klemmdiode, deren Kathode mit dieser Thyristorstruktur verbunden ist. Die Schutzschaltung wird parallel zu einem Gate-Treiber über die Klemmdiode mit dem Gate des Halbleiterschalters verbun-

25 den. Dadurch wird ermöglicht, dass die Thyristorstruktur über die Klemmdiode gezündet wird, wenn die Gate-Spannung des Halbleiterschalters zu stark ansteigt und eine Entsättigung des Halbleiterschalters droht. Durch die Zündung der Thyristorstruktur kann der Halbleiterschalter temporär oder dauer-

30 haft abgeschaltet werden oder die Gate-Spannung und ein Kurzschlussstrom durch den Halbleiterschalter können reduziert werden. Die Erfindung realisiert eine einfache Schutzschaltung mit sehr kostengünstigen Komponenten (zwei Bipolartransistoren, Widerstände, eine Klemmdiode, ein Kondensator und

35 eventuell weitere einfache Komponenten), die einen nur geringen Platzbedarf haben. Die Schutzschaltung ermöglicht somit insbesondere einen kostengünstigen Schutz des Halbleiter-

schalters ohne einen aufwändigen Zugriff auf die Kollektor-Spannung oder den Kollektor-Strom.

Eine Ausgestaltung der Schutzschaltung sieht einen vierten
5 Widerstand vor, der mit der Anode der Klemmdiode verbunden
ist. Diese Ausgestaltung der Schutzschaltung ermöglicht eine
Reduzierung der Gate-Spannung und eines durch den Halbleiter-
schalter fließenden Kurzschlussstroms, indem ein vierter Wi-
derstand zwischen die Anode der Klemmdiode und das Gate des
10 Halbleiterschalters geschaltet wird. Die Reduzierung des
Kurzschlussstroms ermöglicht, einen Halbleiterschalter mit
einer niedrigen Sättigungsspannung einzusetzen, bei dem ohne
eine Reduzierung des Kurzschlussstroms eine Kurzschlusszeit
nicht beherrscht werden kann. Durch die Reduzierung des Kurz-
15 schlussstroms kann der Halbleiterschalter einen Kurzschluss
eine längere Zeitdauer schadlos überstehen, so dass während
dieser Zeitdauer eine andere Überwachungsschaltung die Ab-
schaltung des Halbleiterschalters einleiten kann.

20 Eine weitere Ausgestaltung der Schutzschaltung sieht eine Zu-
satzdiode vor, deren Kathode entweder direkt oder über einen
fünften Widerstand mit dem Emitter des pnp-Bipolartransistors
und der Kathode der Klemmdiode verbunden ist. Mit dieser Aus-
gestaltung der Schutzschaltung kann ein das Gate ansteuernder
25 Gate-Treiber entlastet werden, indem eine Treiberspannung des
Gate-Treibers an die Anode der Zusatzdiode gelegt wird.

Bei einer weiteren Ausgestaltung der Schutzschaltung ist die
Klemmdiode eine Schottky-Diode. Eine Schottky-Diode eignet
30 sich insbesondere durch ihre geringen Schaltzeiten als
Klemmdiode für die Schutzschaltung.

Eine erfindungsgemäße Schaltungsanordnung umfasst einen Halb-
leiterschalter mit einem Gate, einen Gate-Treiber zum Ansteu-
35 ern des Gates und eine erfindungsgemäße Schutzschaltung, die
zu dem Gate-Treiber parallel geschaltet mit dem Gate verbun-
den ist. Der Gate-Treiber weist eine durch eine Treiberspan-
nung des Gate-Treibers steuerbare elektronische Schalteinheit

auf, mit der das Gate zum Einschalten des Halbleiterschalters über einen Einschalt-Gatewiderstand mit einem Einschaltpotential und zum Ausschalten des Halbleiterschalters über einen Ausschalt-Gatewiderstand mit einem Ausschaltpotential verbunden wird. Die Vorteile der erfindungsgemäßen Schaltungsanordnung ergeben sich aus den oben bereits genannten Vorteilen einer erfindungsgemäßen Schutzschaltung.

Bei einer Ausgestaltung der Schaltungsanordnung ist der Emitter des npn-Bipolartransistors mit dem Ausschaltpotential verbunden und der zweite Pol des zweiten Widerstands ist mit dem Einschaltpotential verbunden. Auf diese Weise wird die Schutzschaltung parallel zu den Komponenten des Gate-Treibers zwischen dem Einschaltpotential und dem Ausschaltpotential geschaltet.

Bei einer weiteren Ausgestaltung der Schaltungsanordnung ist die Anode der Klemmdiode direkt oder über einen vierten Widerstand mit dem Gate verbunden. Wie bereits oben ausgeführt wurde, kann durch den vierten Widerstand insbesondere vorteilhaft der Kurzschlussstrom durch den Halbleiterschalter reduziert werden.

Eine weitere Ausgestaltung der Schaltungsanordnung sieht eine Zusatzdiode vor, deren Kathode direkt oder über einen fünften Widerstand mit dem Emitter des pnp-Bipolartransistors und der Kathode der Klemmdiode verbunden ist und an deren Anode die Treiberspannung liegt. Wie bereits oben ausgeführt wurde, kann durch die Zusatzdiode der Gate-Treiber entlastet werden.

Bei einer weiteren Ausgestaltung der Schaltungsanordnung sind der Einschalt-Gatewiderstand und der Ausschalt-Gatewiderstand identisch. Dadurch kann die Bauteilanzahl der Schaltungsanordnung verringert werden, indem derselbe Gatewiderstand zum Einschalten und Ausschalten des Halbleiterschalters verwendet wird.

Bei einer weiteren Ausgestaltung der Schaltungsanordnung ist zwischen den Einschalt-Gatewiderstand und den Gate-Treiber eine Vorschaltodiode geschaltet, deren Kathode mit dem Einschalt-Gatewiderstand verbunden ist.

5

Bei weiteren Ausgestaltungen der Schaltungsanordnung ist der Halbleiterschalter ein Bipolartransistor mit isolierter Gate-Elektrode (IGBT) oder ein Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET). Diese Ausgestaltungen der Schaltungsanordnung berücksichtigen, dass sowohl ein IGBT als auch ein MOSFET vorteilhaft durch eine erfindungsgemäße Schutzschaltung geschützt werden können.

Bei weiteren Ausgestaltungen der Schaltungsanordnung weist die elektronische Schalteinheit des Gate-Treibers eine Gegentaktendstufe mit Endstufen-Bipolartransistoren oder eine Endstufe mit komplementären Endstufen-Metall-Oxid-Halbleiter-Feldeffekttransistoren auf. Diese Ausgestaltungen der Schaltungsanordnung berücksichtigen, dass eine erfindungsgemäße Schutzschaltung in Verbindung mit beiden genannten Typen von Gate-Treibern eingesetzt werden kann.

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung von Ausführungsbeispielen, die im Zusammenhang mit den Zeichnungen näher erläutert werden. Dabei zeigen:

FIG 1 ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,

FIG 2 zeitliche Verläufe von Strömen und Spannungen der in FIG 1 gezeigten Schaltungsanordnung im Fall, dass der Halbleiterschalter nach dem Einschalten an seine Entsättigungsgrenze kommt,

FIG 3 zeitliche Verläufe von Strömen und Spannungen der in FIG 1 gezeigten Schaltungsanordnung im Fall, dass der

Halbleiterschalter nach einem zweiten Einschalten an seine Entsättigungsgrenze kommt,

FIG 4 ein zweites Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,

5 FIG 5 zeitliche Verläufe von Strömen und Spannungen der in FIG 4 gezeigten Schaltungsanordnung im Fall, dass der Halbleiterschalter nach dem Einschalten an seine Entsättigungsgrenze kommt,

10 FIG 6 zeitliche Verläufe von Strömen und Spannungen der in FIG 4 gezeigten Schaltungsanordnung im Fall, dass der Halbleiterschalter nach einem zweiten Einschalten an seine Entsättigungsgrenze kommt,

FIG 7 ein drittes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,

15 FIG 8 zeitliche Verläufe von Strömen und Spannungen der in FIG 7 gezeigten Schaltungsanordnung im Fall, dass der Halbleiterschalter nach dem Einschalten an seine Entsättigungsgrenze kommt,

20 FIG 9 ein viertes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung,

FIG 10 zeitliche Verläufe von Strömen und Spannungen der in FIG 9 gezeigten Schaltungsanordnung im Fall, dass der Halbleiterschalter bei zwei aufeinander folgenden Einschaltphasen jeweils an seine Entsättigungsgrenze
25 kommt.

Einander entsprechende Teile sind in den Figuren mit denselben Bezugszeichen versehen.

30 FIG 1 zeigt ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung 1. Die Schaltungsanordnung 1 umfasst einen Halbleiterschalter 3 mit einem Gate 5, einen Gate-Treiber 7 zum Ansteuern des Gate 5 und ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schutzschaltung 9. Der
35 Halbleiterschalter 3 dieses Ausführungsbeispiels ist ein IGBT.

Der Gate-Treiber 7 weist eine elektronische Schalteinheit 11 auf, die über einen Gatewiderstand R1 mit dem Gate 5 verbunden ist. Der Gatewiderstand R1 dient als Einschalt-Gatewiderstand beim Einschalten des Halbleiterschalters 3 und als Ausschalt-Gatewiderstand beim Ausschalten des Halbleiterschalters 3.

Mit der elektronischen Schalteinheit 11 wird das Gate 5 über den Gatewiderstand R1 zum Einschalten des Halbleiterschalters 3 mit einem Einschaltpotential und zum Ausschalten des Halbleiterschalters mit einem Ausschaltpotential verbunden. Das Einschaltpotential wird von einer Einschaltspannungsquelle V1 erzeugt. Das Ausschaltpotential wird von einer Ausschaltspannungsquelle V2 erzeugt. Die elektronische Schalteinheit 11 wird durch eine Treiberspannung gesteuert. Die Treiberspannung wird von einer Treiberspannungsquelle V3 über einen Treiberwiderstand R3 an einen Steuereingang 10 der elektronischen Schalteinheit 11 gelegt. Die Spannungsquellen V1, V2, V3 sind jeweils Gleichspannungsquellen.

Die Schutzschaltung 9 umfasst eine Klemmdiode D2, einen pnp-Bipolartransistor Q3, einen npn-Bipolartransistor Q4, einen Kondensator C1, einen ersten Widerstand R5, einen zweiten Widerstand R2, einen dritten Widerstand R4 und eine Zusatzdiode D1.

Der Kollektor des npn-Bipolartransistors Q4 ist mit der Basis des pnp-Bipolartransistors Q3 verbunden. Die Basis des npn-Bipolartransistors Q4 ist mit dem Kollektor des pnp-Bipolartransistors Q3 verbunden. Damit sind der pnp-Bipolartransistor Q3 und der npn-Bipolartransistor Q4 zu einer Thyristorstruktur verschaltet.

Der erste Widerstand R5 ist parallel zu der Basis-Emitter-Strecke des npn-Bipolartransistors Q4 geschaltet. Ein erster Pol R2_1 des zweiten Widerstands R2 ist mit der Basis des pnp-Bipolartransistors Q3 verbunden. Der zweite Pol R2_2 des zweiten Widerstands R2 ist mit dem Einschaltpotential verbun-

den, das heißt mit dem positiven Pol der Einschaltspannungsquelle V1. Der Kondensator C1 und der dritte Widerstand R4 sind parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors Q3 geschaltet.

5

Die Kathode der Klemmdiode D2 ist mit dem Emitter des pnp-Bipolartransistors Q3 verbunden. Die Anode der Klemmdiode D2 ist mit dem Gate 5 des Halbleiterschalters 3 verbunden. Die Kathode der Zusatzdiode D1 ist mit dem Emitter des pnp-Bipolartransistors Q3 und der Kathode der Klemmdiode D2 verbunden. An der Anode der Zusatzdiode D1 liegt die Treiber-
spannung an, das heißt die Anode der Zusatzdiode D1 ist mit dem Steuereingang 10 der elektronischen Schalteinheit 11 verbunden. Die Schutzschaltung 9 ist parallel zu dem Gate-
Treiber 7 zwischen den Steuereingang 10 des Gate-Treibers 7 und das Gate 5 geschaltet.

Bei dem in FIG 1 gezeigten Ausführungsbeispiel weist die elektronische Schalteinheit 11 eine Gegentaktendstufe 13 mit Endstufen-Bipolartransistoren Q1, Q2 auf. Die Klemmdiode D2 ist eine Schottky-Diode. Der Gatewiderstand R1 hat beispielsweise einen Widerstandswert von 10 Ω . Der Treiberwiderstand R3 hat beispielsweise einen Widerstandswert von 470 Ω . Der erste Widerstand R5 hat beispielsweise einen Widerstandswert von 200 Ω . Der zweite Widerstand R2 hat beispielsweise einen Widerstandswert von 1 k Ω . Der dritte Widerstand R4 hat beispielsweise einen Widerstandswert von 10 k Ω . Der Kondensator C1 hat beispielsweise eine Kapazität von 1 nF.

FIG 2 zeigt Verläufe von Strömen I1, I2 und Spannungen U1, U2, U3 der in FIG 1 gezeigten Schaltungsanordnung 1 in Abhängigkeit von einer Zeit t im Fall, dass der Halbleiterschalter 3 nach dem Einschalten an seine Entsättigungsgrenze kommt. Die Verläufe wurden mit einer Simulation erzeugt, bei der der Halbleiterschalter 3 wie in FIG 1 gezeigt mit einer Halbbrückendiode D3 und einer Streuinduktivität L2 zu einer Halbbrücke verschaltet ist und eine mit der Halbbrücke verbundene Last durch eine Lastinduktivität L1 und eine Last-

spannungsquelle V4 simuliert wurde. Die Lastspannungsquelle V4 ist eine Gleichspannungsquelle. Die Anode der Halbbrückendiode D3 ist mit dem Kollektor des Halbleiterschalters 3 verbunden, die Lastinduktivität L1 ist parallel zu der Halbbrückendiode D3 geschaltet, die Streuinduktivität L2 ist zwischen die Parallelschaltung der Halbbrückendiode D3 und der Lastinduktivität L1 und den positiven Pol der Lastspannungsquelle V4 geschaltet, und der negative Pol der Lastspannungsquelle V4 ist mit dem Emitter des Halbleiterschalters 3 verbunden. Der Emitter des Halbleiterschalters 3 ist mit den negativen Polen der Spannungsquellen V1 und V3 und dem positiven Pol der Spannungsquelle V2 verbunden, das heißt liegt auf demselben Erdpotential wie diese Pole. Die Spannungen U1, U2, U3 sind jeweils auf das Erdpotential bezogen, wobei U1 das Treibersignal des Gate-Treibers 7 ist, das heißt die von der Treiberspannungsquelle V3 gegenüber dem Erdpotential erzeugte Spannung, U2 die an dem Gate 5 anliegende Gate-Spannung gegenüber dem Erdpotential ist und U3 die an dem Kollektor des Halbleiterschalters 3 anliegende Kollektor-Spannung gegenüber dem Erdpotential ist.

Die Simulation wurde für einen Gatewiderstand R1 von 10 Ω , einen Treiberwiderstand R3 von 470 Ω , einen ersten Widerstand R5 von 200 Ω , einen zweiten Widerstand R2 von 1 k Ω , einen dritten Widerstand R4 von 10 k Ω , einen Kondensator C1 mit der Kapazität 1 nF, eine Lastinduktivität L1 von 5 μ H und eine Streuinduktivität L2 von 200 nH durchgeführt.

Etwa 4 μ s nach dem Beginn der Simulation wird zum Einschalten des Halbleiterschalters 3 ein Treibersignal U1 des Gate-Treibers 7 von einem Ausschaltwert -8 V auf einen Einschaltwert 15 V erhöht. Als Folge davon steigt eine an dem Gate 5 anliegende Gate-Spannung U2 von einem Ausschalt-Gate-Spannungswert, der etwa mit dem Ausschaltwert des Treibersignals U1 übereinstimmt, an und es bildet sich ein durch den Gatewiderstand R1 fließender Reaktionsstrom I1, der in FIG 2 mit invertiertem Vorzeichen dargestellt ist. Mit steigender Gate-Spannung U2 sinkt eine an dem Kollektor des Halbleiterschalters

ters 3 anliegende Kollektor-Spannung U_3 von 0,6 kV auf nahezu 0 V und es bildet sich ein zwischen dem Kollektor und dem Emitter des Halbleiterschalters 3 fließender Kollektor-Strom I_2 , der linear aufgrund der Lastinduktivität L_1 ansteigt.

5

Der Reaktionsstrom I_1 nimmt betragsmäßig nach der Änderung des Treibersignals U_1 zunächst zu und anschließend bei steigender Gate-Spannung U_2 wieder ab. Etwa 5,5 μ s nach dem Beginn der Simulation ändert der Reaktionsstrom I_1 seine Richtung (beziehungsweise sein Vorzeichen), da sich die Millerkapazität des Halbleiterschalters 3 auflädt und der Reaktionsstrom I_1 in das Gate 5 zurückfließt. Mit steigendem Kollektor-Strom I_2 kommt der Halbleiterschalter 3 etwa 5,8 μ s nach dem Beginn der Simulation an seine Entsättigungsgrenze und die Kollektor-Spannung U_3 beginnt (zunächst langsam) wieder zu steigen. Aufgrund der Millerkapazität des Halbleiterschalters 3 steigt die Gate-Spannung U_2 über den Einschaltwert 15 V des Treibersignals U_1 und der Betrag des in das Gate 5 zurückfließenden Reaktionsstroms I_1 nimmt zu. Etwas später als 6 μ s nach dem Beginn der Simulation wird schließlich über die Klemmdiode D_2 die von dem pnp-Bipolartransistor Q_3 und dem npn-Bipolartransistor Q_4 gebildete Thyristorstruktur gezündet, wodurch sich die Gate-Spannung U_2 dem Ausschalt-Gate-Spannungswert annähert, der Reaktionsstrom I_1 und der Kollektor-Strom I_2 wieder auf Null abfallen, die Kollektor-Spannung U_3 ihren Ausgangswert 0,6 kV annimmt und der Halbleiterschalter 3 abgeschaltet wird.

FIG 3 zeigt analog zu FIG 2 zeitliche Verläufe der Ströme I_1 , I_2 und Spannungen U_1 , U_2 , U_3 der in FIG 1 gezeigten Schaltungsanordnung 1 im Fall, dass der Halbleiterschalter 3 nach einem zweiten Einschalten an seine Entsättigungsgrenze kommt. Die Verläufe wurden mit einer Simulation erzeugt, bei der im Unterschied zu der in FIG 2 gezeigten Simulation die Lastinduktivität L_1 den Induktivitätswert 150 μ H aufweist. Davon abgesehen liegen der Simulation dieselben Parameter zugrunde wie der in FIG 2 gezeigten Simulation.

Der Halbleiterschalter 3 wird etwa 4 μ s nach dem Beginn der Simulation eingeschaltet, indem das Treibersignal U1 des Gate-Treibers 7 von dem Ausschaltwert -8 V auf den Einschaltwert 15 V erhöht wird, und etwa 29 μ s nach dem Beginn der Simulation wieder abgeschaltet, indem das Treibersignal U1 wieder auf den Ausschaltwert -8 V gesenkt wird. Während dieser ersten Einschaltphase steigt die Gate-Spannung U2 nur unwesentlich über den Einschaltwert 15 V, so dass die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur nicht gezündet wird.

Etwa 44 μ s nach dem Beginn der Simulation wird der Halbleiterschalter 3 ein zweites Mal eingeschaltet. In dieser zweiten Einschaltphase steigt der Kollektor-Strom I2 nach dem Einschalten schnell auf etwa den gleichen Wert wie am Ende der ersten Einschaltphase, und die Gate-Spannung U2 steigt deutlicher über den Einschaltwert 15 V als in der ersten Einschaltphase, wodurch der Reaktionsstrom I1 in das Gate 5 zurückfließt, die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur nach etwa 64 μ s zündet und der Halbleiterschalter 3 abgeschaltet wird.

Die Figuren 2 und 3 zeigen, dass die in FIG 1 gezeigte Schutzschaltung 9 eine Abschaltung des Halbleiterschalters 3 durch Zünden der von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildeten Thyristorstruktur bewirkt, wenn das Treibersignal U1 solange auf dem Einschaltwert 15 V liegt, dass der Halbleiterschalter 3 an seine Entsättigungsgrenze kommt.

FIG 4 zeigt ein zweites Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung 1. Die Schaltungsanordnung 1 unterscheidet sich von der in FIG 1 gezeigten Schaltungsanordnung 1 lediglich dadurch, dass die Schutzschaltung 9 zusätzlich zu den Komponenten der in FIG 1 gezeigten Schutzschaltung 9 einen vierten Widerstand R7 und einen fünften Widerstand R6 aufweist. Ein erster Pol R7_1 des vierten Widerstands R7 ist mit der Anode der Klemmdiode D2 verbunden. Der

zweite Pol R7_2 des vierten Widerstands R7 ist mit dem Gate 5 und dem gateseitigen Pol des Gate-Widerstands R1 verbunden. Ein erster Pol R6_1 des fünften Widerstands R6 ist mit der Kathode der Zusatzdiode D1 verbunden. Der zweite Pol R6_2 des
5 fünften Widerstands R6 ist mit dem Emitter des pnp-Bipolartransistors Q3 und der Kathode der Klemmdiode D2 verbunden.

FIG 5 zeigt zeitliche Verläufe der Ströme I1, I2 und Spannungen U1, U2, U3 der in FIG 4 gezeigten Schaltungsanordnung 1
10 bei einer Simulation, die analog zu der in FIG 2 gezeigten Simulation ist. Wie bei der in FIG 2 gezeigten Simulation wurde die in FIG 5 gezeigte Simulation für einen Gatewiderstand R1 von 10 Ω , einen Treiberwiderstand R3 von 470 Ω , einen zweiten Widerstand R2 von 1 k Ω , einen dritten Widerstand
15 R4 von 10 k Ω , einen Kondensator C1 mit der Kapazität 1 nF, eine Lastinduktivität L1 von 5 μ H und eine Streuinduktivität L2 von 200 nH durchgeführt. Im Unterschied zu der in FIG 2 gezeigten Simulation wurde die in FIG 5 gezeigte Simulation für einen ersten Widerstand R5 von 1 k Ω und mit einem vierten
20 Widerstand R7 von 470 Ω und einem fünften Widerstand R6 von 2,2 k Ω durchgeführt.

Etwa 4 μ s nach dem Beginn der Simulation wird zum Einschalten des Halbleiterschalters 3 das Treibersignal U1 des Gate-Treibers 7 von einem Ausschaltwert -8 V auf einen Einschaltwert
25 20 V erhöht. Wie bei der in FIG 2 gezeigten Simulation steigt daraufhin die Gate-Spannung U2 an und es bildet sich ein durch den Gatewiderstand R1 fließender Reaktionsstrom I1. Mit steigender Gate-Spannung U2 sinkt die Kollektor-Spannung U3
30 von 0,6 kV auf nahezu 0 V und es bildet sich ein zwischen dem Kollektor und dem Emitter des Halbleiterschalters 3 fließender Kollektor-Strom I2, der linear aufgrund der Lastinduktivität L1 ansteigt.

35 Der Reaktionsstrom I1 nimmt betragsmäßig nach der Änderung des Treibersignals U1 zunächst zu und anschließend bei steigender Gate-Spannung U2 wieder ab. Etwa 5,5 μ s nach dem Beginn der Simulation ändert der Reaktionsstrom I1 seine Rich-

tung (beziehungsweise sein Vorzeichen), da sich die Millerkapazität des Halbleiterschalters 3 auflädt und der Reaktionsstrom I_1 in das Gate 5 zurückfließt. Mit steigendem Kollektor-Strom I_2 kommt der Halbleiterschalter 3 etwa 6 μs nach dem Beginn der Simulation an seine Entsättigungsgrenze und die Kollektor-Spannung U_3 beginnt wieder anzusteigen. Aufgrund der Millerkapazität des Halbleiterschalters 3 steigt die Gate-Spannung U_2 über den Einschaltwert 20 V des Treibersignals U_1 und der Betrag des in das Gate 5 zurückfließenden Reaktionsstroms I_1 nimmt zu. Etwa 6,7 μs nach dem Beginn der Simulation wird über die Klemmdiode D2 die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur gezündet. Durch die gegenüber der in FIG 1 gezeigten Schutzschaltung 9 hinzugefügten Widerstände R6, R7 wird der Halbleiterschalter 3 nach der Zündung der Bipolartransistoren Q3, Q4 jedoch im Unterschied zu FIG 2 nicht abgeschaltet, sondern die Gate-Spannung U_2 wird auf etwa 15 V gesenkt, wodurch der Kollektor-Strom I_2 auf einen Kurzschlussstrom von etwa 160 A reduziert wird.

FIG 6 zeigt zeitliche Verläufe der Ströme I_1 , I_2 und Spannungen U_1 , U_2 , U_3 der in FIG 4 gezeigten Schaltungsanordnung 1 bei einer Simulation, die analog zu der in FIG 3 gezeigten Simulation ist. Die Verläufe wurden mit einer Simulation erzeugt, bei der im Unterschied zu der in FIG 4 gezeigten Simulation die Lastinduktivität L_1 den Induktivitätswert 150 μH aufweist. Davon abgesehen liegen der Simulation dieselben Parameter zugrunde wie der in FIG 4 gezeigten Simulation.

Der Halbleiterschalter 3 wird etwa 4 μs nach dem Beginn der Simulation eingeschaltet, indem das Treibersignal U_1 des Gate-Treibers 7 von dem Ausschaltwert -8 V auf den Einschaltwert 20 V erhöht wird, und etwa 29 μs nach dem Beginn der Simulation wieder abgeschaltet, indem das Treibersignal U_1 wieder auf den Ausschaltwert -8 V gesenkt wird. Während dieser ersten Einschaltphase steigt die Gate-Spannung U_2 nur unwesentlich über den Einschaltwert 20 V, so dass die von dem

pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur nicht zündet.

5 Etwa 44 μ s nach dem Beginn der Simulation wird der Halbleiterschalter 3 ein zweites Mal eingeschaltet. In dieser zweiten Einschaltphase steigt der Kollektor-Strom I2 nach dem Einschalten schnell auf etwa den gleichen Wert wie am Ende der ersten Einschaltphase, und die Gate-Spannung U2 steigt
10 deutlicher über den Einschaltwert 20 V als in der ersten Einschaltphase, wodurch der Reaktionsstrom I1 in das Gate 5 zurückfließt und die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur nach etwa 81 μ s zündet. Analog zu FIG 5 sinkt die Gate-Spannung U2 nach dem Zünden der Bipolartransistoren Q3, Q4 auf etwa 15 V,
15 wodurch der Kollektor-Strom I2 auf einen Kurzschlussstrom von etwa 160 A reduziert wird.

Die Figuren 5 und 6 zeigen, dass die in FIG 4 gezeigte Schutzschaltung 9 Reduzierungen der Gate-Spannung U2 und des
20 Kollektor-Stroms I2 bewirkt, wenn eine Entsättigung des Halbleiterschalters 3 droht. Der reduzierte Kollektor-Strom I2 kann dann mit einer langsameren Überwachungsschaltung, die beispielsweise eine Strommessung mit einer Potentialtrennung und einer Analog-Digitalwandlung umfasst, abgeschaltet werden.
25

FIG 7 zeigt ein drittes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung 1. Die Schaltungsanordnung 1 unterscheidet sich von der in FIG 1 gezeigten Schaltungsanordnung 1 lediglich dadurch, dass der dritte Widerstand R4 nicht
30 parallel zu dem Kondensator C1 geschaltet ist, sondern dass ein erster Pol R4_1 des dritten Widerstands R4 mit dem Emitter des pnp-Bipolartransistors Q3 verbunden ist und der zweite Pol R4_2 des dritten Widerstands R4 mit dem zweiten Pol R2_2 des zweiten Widerstands R2 verbunden ist und damit auf
35 dem Einschaltpotential liegt.

FIG 8 zeigt zeitliche Verläufe der Ströme I1, I2 und Spannungen U1, U2, U3 der in FIG 7 gezeigten Schaltungsanordnung 1 bei einer Simulation, die analog zu der in FIG 2 gezeigten Simulation ist. Wie bei der in FIG 2 gezeigten Simulation wurde die in FIG 8 gezeigte Simulation für einen Gatewiderstand R1 von 10 Ω , einen Treiberwiderstand R3 von 470 Ω , einen ersten Widerstand R5 von 200 Ω , einen zweiten Widerstand R2 von 1 k Ω , eine Lastinduktivität L1 von 5 μ H und eine Streuinduktivität L2 von 200 nH durchgeführt. Im Unterschied zu der in FIG 2 gezeigten Simulation wurde die in FIG 8 gezeigte Simulation für einen dritten Widerstand R4 von 2,2 k Ω und einen Kondensator C1 mit einer Kapazität von 2 nF durchgeführt.

Etwa 4 μ s nach dem Beginn der Simulation wird zum Einschalten des Halbleiterschalters 3 das Treibersignal U1 des Gate-Treibers 7 von einem Ausschaltwert -8 V auf einen Einschaltwert 15 V erhöht. Wie bei der in FIG 2 gezeigten Simulation steigt daraufhin die Gate-Spannung U2 an und es bildet sich ein durch den Gatewiderstand R1 fließender Reaktionsstrom I1. Mit steigender Gate-Spannung U2 sinkt die Kollektor-Spannung U3 von 0,6 kV auf nahezu 0 V und es bildet sich ein zwischen dem Kollektor und dem Emitter des Halbleiterschalters 3 fließender Kollektor-Strom I2, der linear aufgrund der Lastinduktivität L1 ansteigt.

Der Reaktionsstrom I1 nimmt betragsmäßig nach der Änderung des Treibersignals U1 zunächst zu und anschließend bei steigender Gate-Spannung U2 wieder ab. Etwa 5,5 μ s nach dem Beginn der Simulation ändert der Reaktionsstrom I1 seine Richtung (beziehungsweise sein Vorzeichen), da sich die Millerkapazität des Halbleiterschalters 3 auflädt und der Reaktionsstrom I1 in das Gate 5 zurückfließt. Etwa 5,8 μ s nach dem Beginn der Simulation kommt der Halbleiterschalter 3 an seine Entsättigungsgrenze. Aufgrund der Millerkapazität des Halbleiterschalters 3 steigt die Gate-Spannung U2 über den Einschaltwert 15 V des Treibersignals U1 und der Betrag des in das Gate 5 zurückfließenden Reaktionsstroms I1 nimmt zu. Etwa

6 μ s nach dem Beginn der Simulation zündet über die Klemmdiode D2 die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 gebildete Thyristorstruktur, die Gate-Spannung U2 fällt auf den negativen Ausschalt-Gate-Spannungswert ab und der Halbleiterschalter 3 wird abgeschaltet. Der dritte Widerstand R4 sorgt für einen dauerhaften Haltestrom für die Bipolartransistoren Q3, Q4 der Schutzschaltung 9, so dass die Gate-Spannung U2 negativ bleibt, auch wenn das Treibersignal U1 auf den Ausschaltwert -8 V und anschließend wieder auf den Einschaltwert 15 V gesetzt wird.

FIG 8 zeigt, dass die in FIG 7 gezeigte Schutzschaltung 9 eine dauerhafte Abschaltung des Halbleiterschalters 3 durch das Zünden der Bipolartransistoren Q3, Q4 der Schutzschaltung 9 bewirkt, wenn der Halbleiterschalter 3 an seine Entsättigungsgrenze kommt.

FIG 9 zeigt ein viertes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung 1. Die Schaltungsanordnung 1 unterscheidet sich von der in FIG 1 gezeigten Schaltungsanordnung 1 zum einen durch einen vierten Widerstand R7, der zwischen die Anode der Klemmdiode D2 und das Gate 5 des Halbleiterschalters 3 geschaltet ist, und zum anderen durch die Ausführung der elektronischen Schalteinheit 11 und deren Verbindung mit dem Gate 5.

Die elektronische Schalteinheit 11 weist eine Endstufe 14 mit komplementären Endstufen-MOSFET M1 bis M4 statt einer Gegentaktendstufe 13 mit Endstufen-Bipolartransistoren Q1, Q2 auf. Ein erster Endstufen-MOSFET M1 und ein zweiter Endstufen-MOSFET M2 der Endstufe 14 sind jeweils als ein p-Kanal-MOSFET ausgebildet. Ein dritter Endstufen-MOSFET M3 und ein vierter Endstufen-MOSFET M4 der Endstufe 14 sind jeweils als ein n-Kanal-MOSFET ausgebildet. Die Gate-Anschlüsse des ersten Endstufen-MOSFET M1 und des dritten Endstufen-MOSFET M3 sind mit dem Steuereingang 10 der elektronischen Schalteinheit 11 verbunden. Der Drain-Anschluss des ersten Endstufen-MOSFET M1 ist mit dem Gate-Anschluss des zweiten Endstufen-MOSFET M2

verbunden. Der Drain-Anschluss des dritten Endstufen-MOSFET M3 ist mit dem Gate-Anschluss des vierten Endstufen-MOSFET M4 verbunden. Die Source-Anschlüsse des ersten Endstufen-MOSFET M1 und des zweiten Endstufen-MOSFET M2 liegen auf dem Einschaltpotential, das heißt diese Source-Anschlüsse sind mit dem positiven Pol der Einschaltspannungsquelle V1 verbunden. Die Source-Anschlüsse des dritten Endstufen-MOSFET M3 und des vierten Endstufen-MOSFET M4 liegen auf dem Ausschaltpotential, das heißt diese Source-Anschlüsse sind mit dem negativen Pol der Ausschaltspannungsquelle V2 verbunden. Der Drain-Anschluss des zweiten Endstufen-MOSFET M2 ist über eine Vorschaltodiode D4 und einen Einschalt-Gatewiderstand R8 mit dem Gate 5 des Halbleiterschalters 3 verbunden, wobei die Anode der Vorschaltodiode D4 mit dem Drain-Anschluss des zweiten Endstufen-MOSFET M2 verbunden ist und der Einschalt-Gatewiderstand R8 zwischen die Kathode der Vorschaltodiode D4 und das Gate 5 geschaltet ist. Der Drain-Anschluss des vierten Endstufen-MOSFET M4 ist über einen Ausschalt-Gatewiderstand R9 mit dem Gate 5 des Halbleiterschalters 3 verbunden. Die Drain-Anschlüsse des ersten Endstufen-MOSFET M1 und des dritten Endstufen-MOSFET M3 sind über einen Verbindungswiderstand R10 miteinander verbunden.

FIG 10 zeigt zeitliche Verläufe des Kollektor-Stroms I2, eines Gate-Stroms I3 durch das Gate 5 und der Spannungen U1, U2, U3 der in FIG 9 gezeigten Schaltungsanordnung 1 bei einer Simulation für einen Einschalt-Gatewiderstand R8 und einen Ausschalt-Gatewiderstand R9 von jeweils 10 Ω , einen Treiberwiderstand R3 von 470 Ω , einen ersten Widerstand R5 von 1 k Ω , einen zweiten Widerstand R2 von 470 Ω , einen dritten Widerstand R4 von 10 k Ω , einen vierten Widerstand R7 von 100 Ω , einen Verbindungswiderstand R10 von 50 Ω , einen Kondensator C1 mit einer Kapazität von 2 nF, eine Lastinduktivität L1 von 100 μ H und eine Streuinduktivität L2 von 200 nH.

Etwa 1 μ s nach dem Beginn der Simulation wird zum Einschalten des Halbleiterschalters 3 das Treibersignal U1 des Gate-Treibers 7 von einem Ausschaltwert -8 V auf einen Einschaltwert

20 V erhöht. Analog zu der in FIG 2 gezeigten Simulation steigt daraufhin die Gate-Spannung U2 an bis sie den Einschaltwert 20 V so deutlich überschreitet, dass die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 der Schutzschaltung 9 gebildete Thyristorstruktur zündet, die Gate-Spannung U2 wieder auf den Ausschalt-Gate-Spannungswert von etwa -8 V abfällt und der Halbleiterschalter 3 abgeschaltet wird. Etwa 31 μ s nach dem Beginn der Simulation wird das Treibersignal U1 auf den Ausschaltwert -8 V zurückgesetzt und etwa 46 μ s nach dem Beginn der Simulation wieder auf den Einschaltwert 20 V erhöht. Etwa 59 μ s nach dem Beginn der Simulation überschreitet die Gate-Spannung U2 ein weiteres Mal den Einschaltwert 20 V so deutlich, dass die von dem pnp-Bipolartransistor Q3 und dem npn-Bipolartransistor Q4 der Schutzschaltung 9 gebildete Thyristorstruktur zündet und der Halbleiterschalter 3 ein weiteres Mal abgeschaltet wird. Im Unterschied zu der in FIG 8 gezeigten Simulation bleibt die Gate-Spannung U2 bei der in FIG 10 gezeigten Simulation nach dem zweiten Erhöhen des Treibersignal U1 auf den Einschaltwert 20 V nicht negativ ("rastet nicht ein"), sondern steigt wieder an, weil der vierte Widerstand R4 nicht wie in FIG 7 sondern gemäß FIG 9 geschaltet ist.

FIG 10 zeigt, dass die in FIG 9 gezeigte Schutzschaltung 9 eine temporäre Abschaltung des Halbleiterschalters 3 für einen Schaltzyklus des Gate-Treibers 7 durch das Zünden der Bipolartransistoren Q3, Q4 der Schutzschaltung 9 bewirkt, wenn der Halbleiterschalter 3 während des Schaltzyklus an seine Entsättigungsgrenze kommt. Ferner zeigt FIG 10, dass eine erfindungsgemäße Schutzschaltung 9 auch in Verbindung mit einem Gate-Treiber 7 funktioniert, der eine Endstufe 14 mit komplementären Endstufen-MOSFET M1 bis M4 statt eine Gegentaktendstufe 13 mit Endstufen-Bipolartransistoren Q1, Q2 aufweist.

Die anhand der Figuren 1 bis 8 beschriebenen Ausführungsbeispiele können analog zu dem anhand der Figuren 9 und 10 beschriebenen Ausführungsbeispiel ebenfalls mit einem Gate-Treiber 7 ausgeführt werden, der eine Endstufe 14 mit komple-

mentären Endstufen-MOSFET M1 bis M4 statt eine Gegentaktend-
stufe 13 mit Endstufen-Bipolartransistoren Q1, Q2 aufweist.
Die in den Figuren 1 bis 10 gezeigten Ausführungsbeispiele
können ferner abgewandelt werden, indem statt eines IGBT ein
5 MOSFET als Halbleiterschalter 3 verwendet wird.

Obwohl die Erfindung im Detail durch bevorzugte Ausführungs-
beispiele näher illustriert und beschrieben wurde, so ist die
Erfindung nicht durch die offenbarten Beispiele eingeschränkt
10 und andere Variationen können vom Fachmann hieraus abgeleitet
werden, ohne den Schutzzumfang der Erfindung zu verlassen.

Patentansprüche

1. Schutzschaltung (9) für einen Halbleiterschalter (3) mit einem durch einen Gate-Treiber (7) ansteuerbaren Gate (5),
5 wobei die Schutzschaltung (9) zu dem Gate-Treiber (7) parallel geschaltet mit dem Gate (5) verbunden ist, die Schutzschaltung (9) umfassend

- eine Klemmdiode (D2),
- einen npn-Bipolartransistor (Q4),
- 10 - einen pnp-Bipolartransistor (Q3),
- einen Kondensator (C1),
- einen ersten Widerstand (R5),
- einen zweiten Widerstand (R2) und
- einen dritten Widerstand (R4), wobei
- 15 - der Kollektor des npn-Bipolartransistors (Q4) mit der Basis des pnp-Bipolartransistors (Q3) verbunden ist,
- die Basis des npn-Bipolartransistors (Q4) mit dem Kollektor des pnp-Bipolartransistors (Q3) verbunden ist,
- der Emitter des pnp-Bipolartransistors (Q3) mit der Kathode
- 20 der Klemmdiode (D2) verbunden ist,
- der erste Widerstand (R5) parallel zu der Basis-Emitter-Strecke des npn-Bipolartransistors (Q4) geschaltet ist,
- ein erster Pol des zweiten Widerstands (R2) mit der Basis des pnp-Bipolartransistors (Q3) verbunden ist,
- 25 - der Kondensator (C1) parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors (Q3) geschaltet ist, und
- der dritte Widerstand (R4) entweder parallel zu der Basis-Emitter-Strecke des pnp-Bipolartransistors (Q3) geschaltet ist oder
- 30 - ein erster Pol (R4_1) des dritten Widerstands (R4) mit dem Emitter des pnp-Bipolartransistors (Q3) verbunden ist und der zweite Pol (R4_2) des dritten Widerstands (R4) mit dem zweiten Pol (R2_2) des zweiten Widerstands (R2) verbunden ist.

35 2. Schutzschaltung (9) nach Anspruch 1 mit einem vierten Widerstand (R7), der mit der Anode der Klemmdiode (D2) verbunden ist.

3. Schutzschaltung (9) nach Anspruch 1 oder 2 mit einer Zusatzdiode (D1), deren Kathode entweder direkt oder über einen fünften Widerstand (R6) mit dem Emitter des pnp-Bipolartransistors (Q3) und der Kathode der Klemmdiode (D2) verbunden ist.

4. Schutzschaltung (9) nach einem der vorhergehenden Ansprüche, wobei die Klemmdiode (D2) eine Schottky-Diode ist.

5. Schaltungsanordnung (1), umfassend

- einen Halbleiterschalter (3) mit einem Gate (5),
- einen Gate-Treiber (7) zum Ansteuern des Gate (5), wobei der Gate-Treiber (7) eine durch eine Treiberspannung des Gate-Treibers (7) steuerbare elektronische Schalteinheit (11) aufweist, mit der das Gate (5) zum Einschalten des Halbleiterschalters (3) über einen Einschalt-Gatewiderstand (R1, R8) mit einem Einschaltpotential und zum Ausschalten des Halbleiterschalters (3) über einen Ausschalt-Gatewiderstand (R1, R9) mit einem Ausschaltpotential verbunden wird, und
- eine Schutzschaltung (9) nach einem der vorhergehenden Ansprüche, die zu dem Gate-Treiber (7) parallel geschaltet mit dem Gate (5) verbunden ist.

6. Schaltungsanordnung (1) nach Anspruch 5, wobei der Emitter des npn-Bipolartransistors (Q4) mit dem Ausschaltpotential verbunden ist und der zweite Pol (R2_2) des zweiten Widerstands (R2) mit dem Einschaltpotential verbunden ist.

7. Schaltungsanordnung (1) nach Anspruch 5 oder 6, wobei die Anode der Klemmdiode (D2) mit dem Gate (5) verbunden ist.

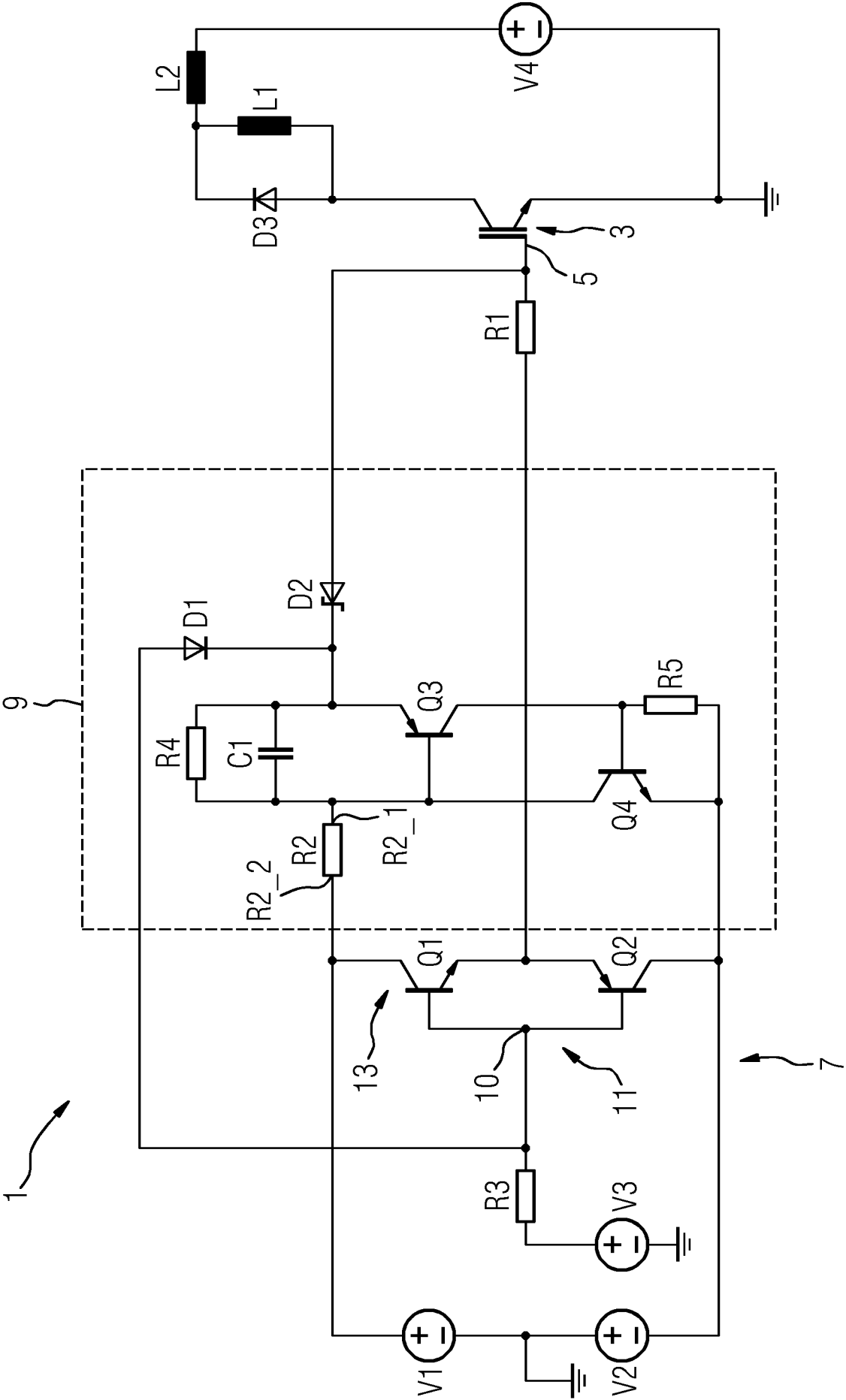
8. Schaltungsanordnung (1) nach Anspruch 5 oder 6, wobei die Anode der Klemmdiode (D2) über einen vierten Widerstand (R7) mit dem Gate (5) verbunden ist.

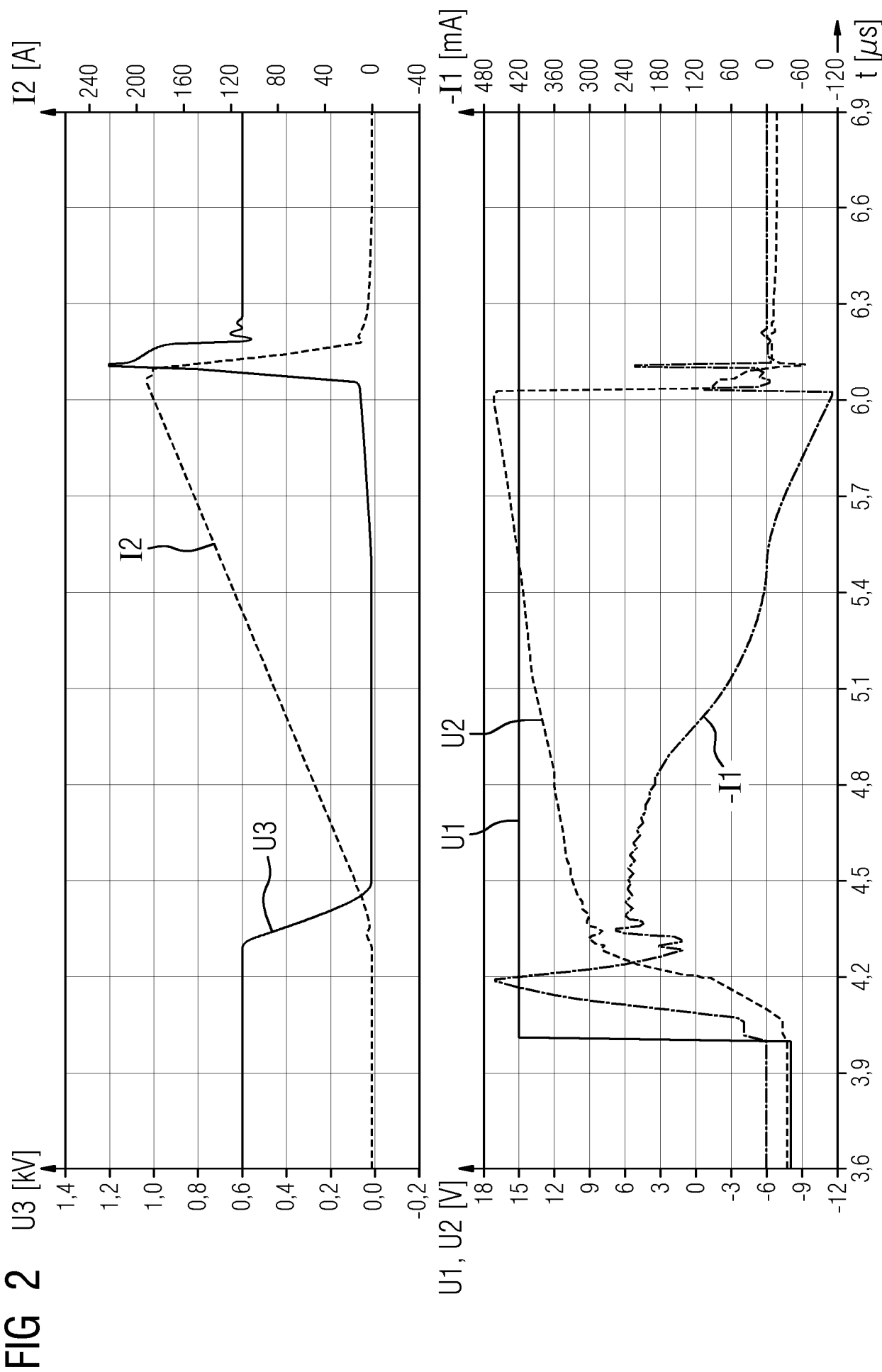
9. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 8 mit einer Zusatzdiode (D1), deren Kathode mit dem Emitter des

pnp-Bipolartransistors (Q3) und der Kathode der Klemmdiode (D2) verbunden ist und an deren Anode die Treiberspannung liegt.

- 5 10. Schaltungsanordnung (1) nach Anspruch 8 mit einer Zusatzdiode (D1), deren Kathode über einen fünften Widerstand (R6) mit dem Emitter des pnp-Bipolartransistors (Q3) und der Kathode der Klemmdiode (D2) verbunden ist und an deren Anode die Treiberspannung liegt.
- 10 11. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 10, wobei der Einschalt-Gatewiderstand (R1) und der Ausschalt-Gatewiderstand (R1) identisch sind.
- 15 12. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 10, wobei zwischen dem Einschalt-Gatewiderstand (R8) und dem Gate-Treiber (7) eine Vorschaltodiode (D4) geschaltet ist, deren Kathode mit dem Einschalt-Gatewiderstand (R8) verbunden ist.
- 20 13. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 12, wobei der Halbleiterschalter (3) ein Bipolartransistor mit isolierter Gate-Elektrode oder ein Metall-Oxid-Halbleiter-Feldeffekttransistor ist.
- 25 14. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 13, wobei die elektronische Schalteinheit (11) des Gate-Treibers (7) eine Gegentaktendstufe (13) mit Endstufen-Bipolartransistoren (Q1, Q2) aufweist.
- 30 15. Schaltungsanordnung (1) nach einem der Ansprüche 5 bis 13, wobei die elektronische Schalteinheit (11) des Gate-Treibers (7) eine Endstufe (14) mit komplementären Endstufen-Metall-Oxid-Halbleiter-Feldeffekttransistoren (M1 bis M4)
- 35 aufweist.

FIG 1





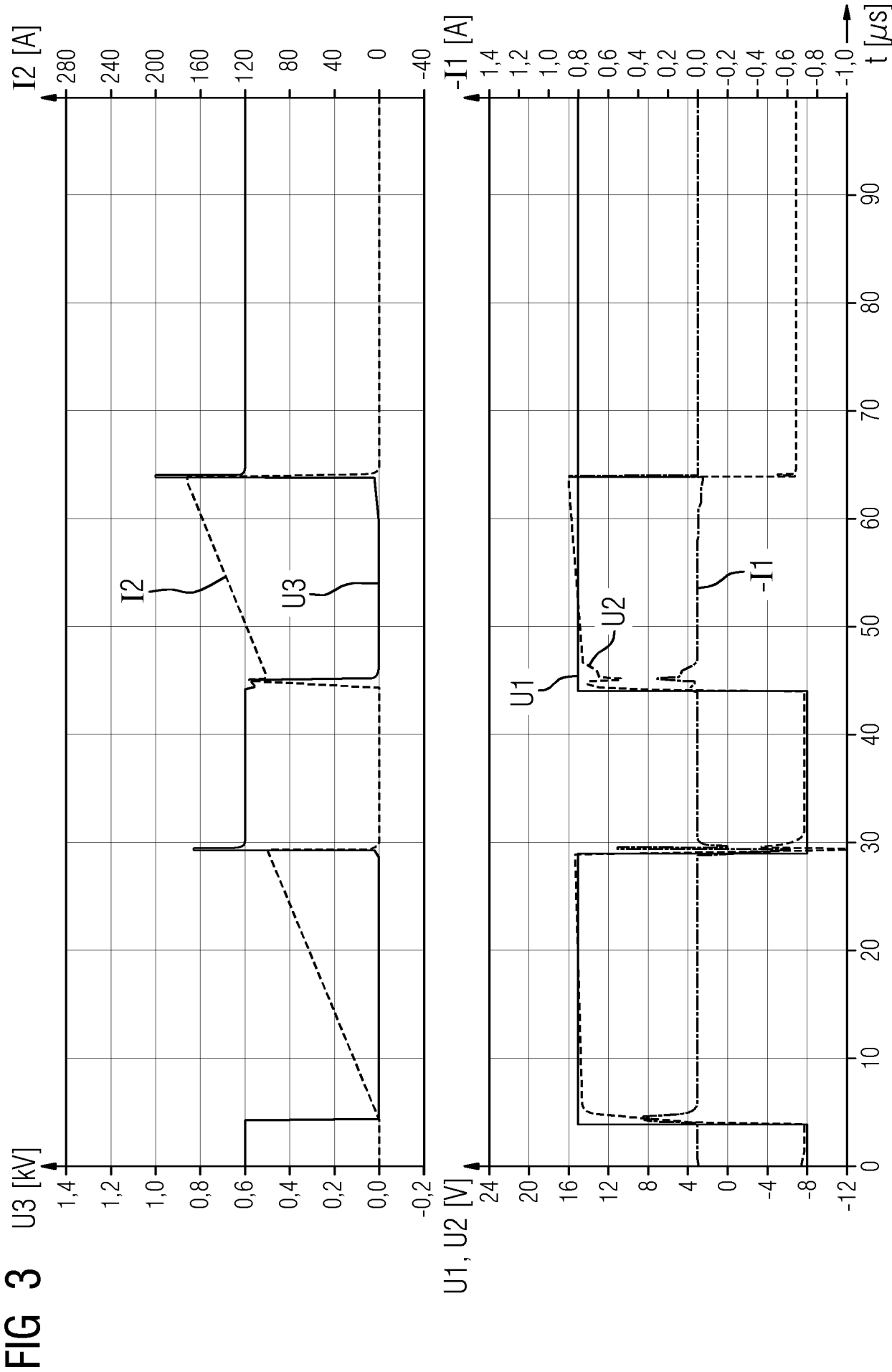


FIG 4

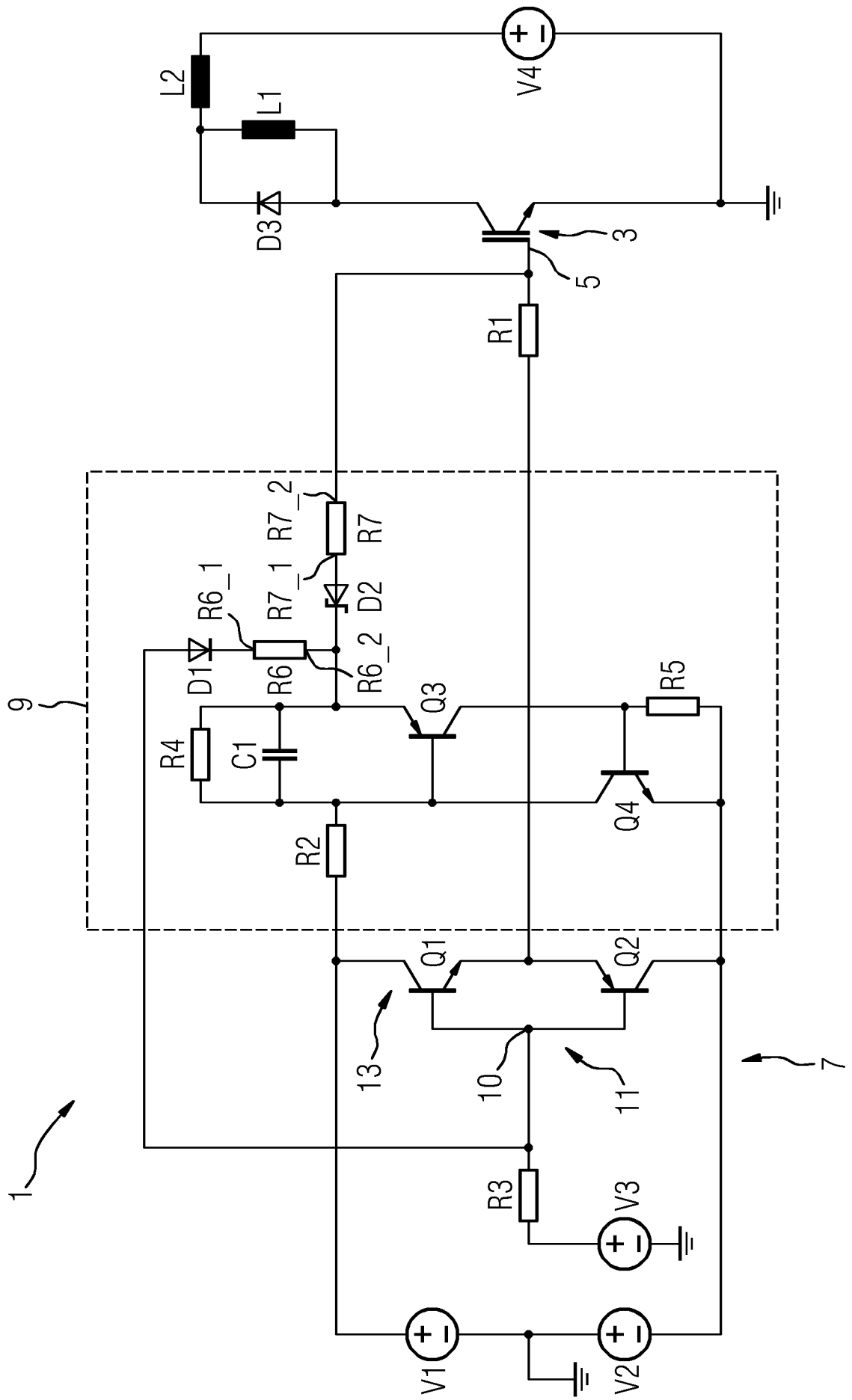


FIG 5

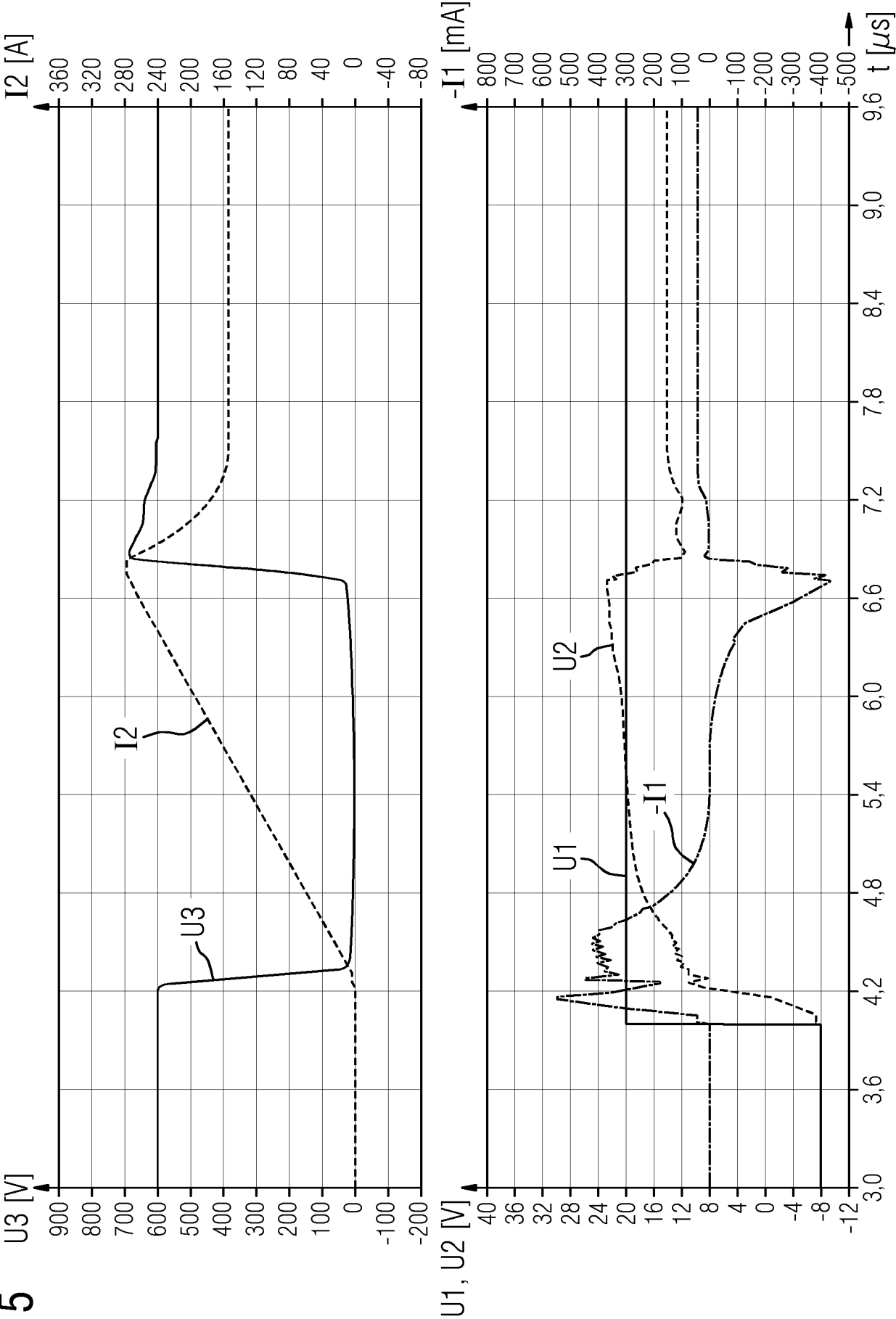


FIG 6

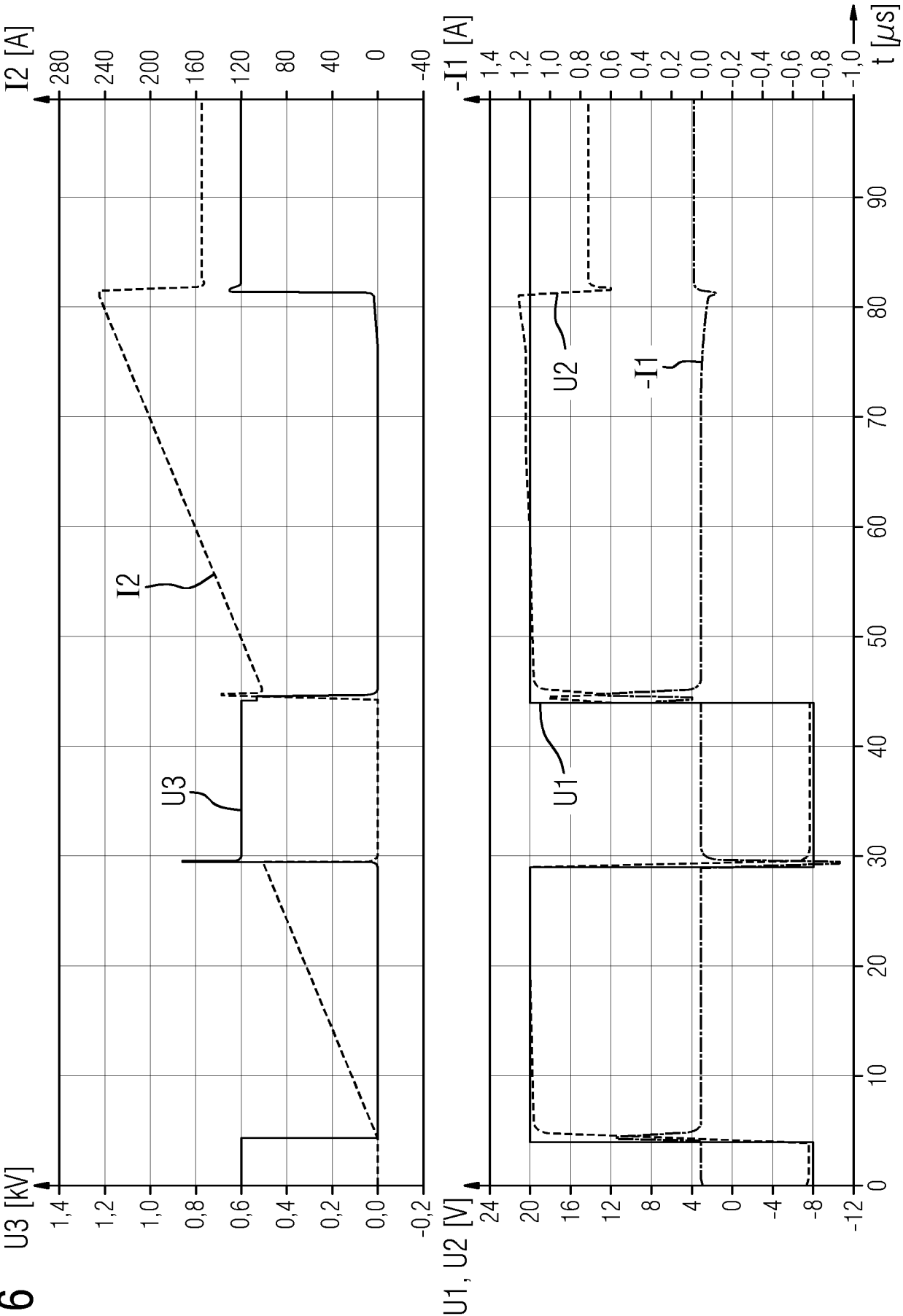


FIG 7

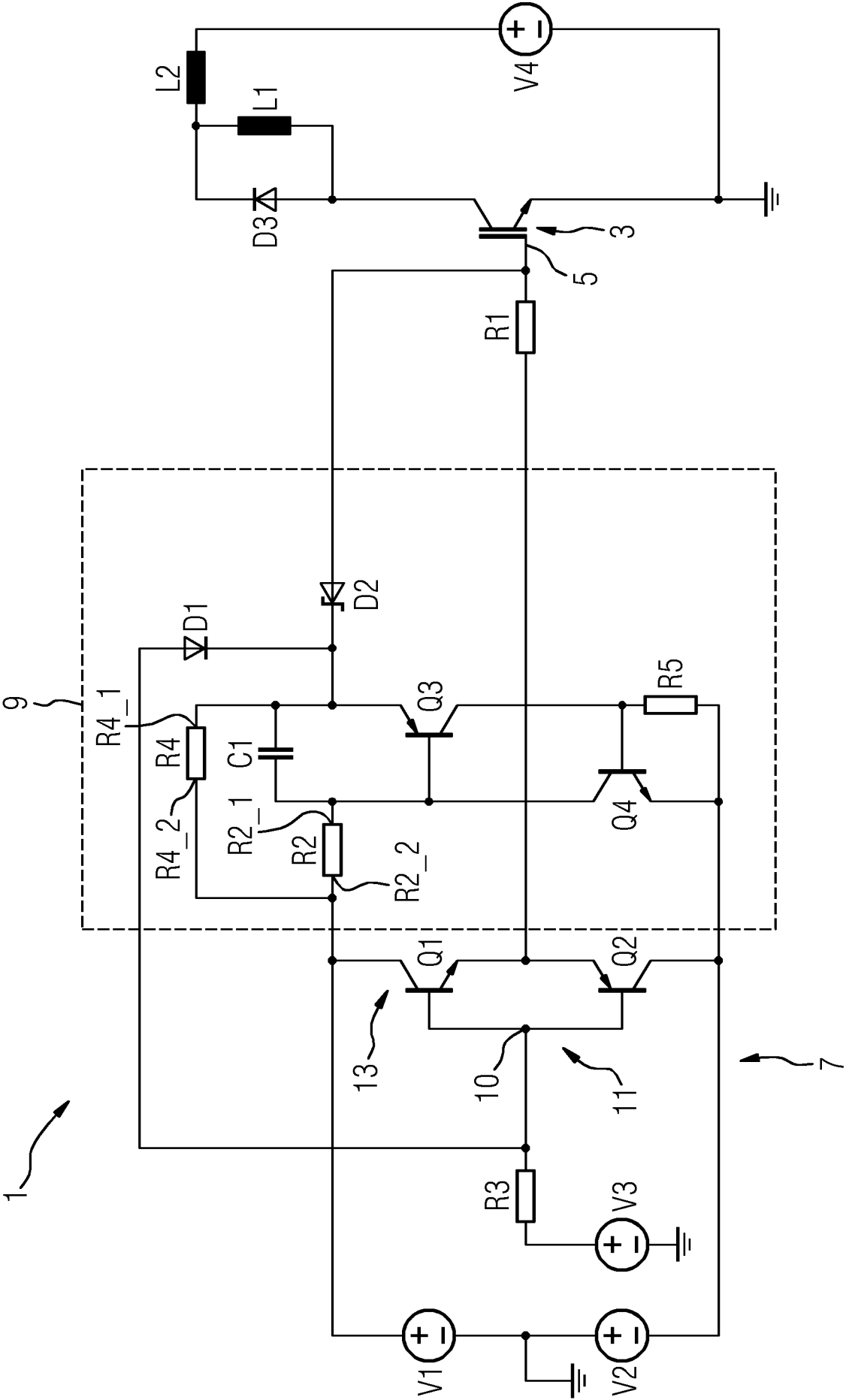


FIG 8

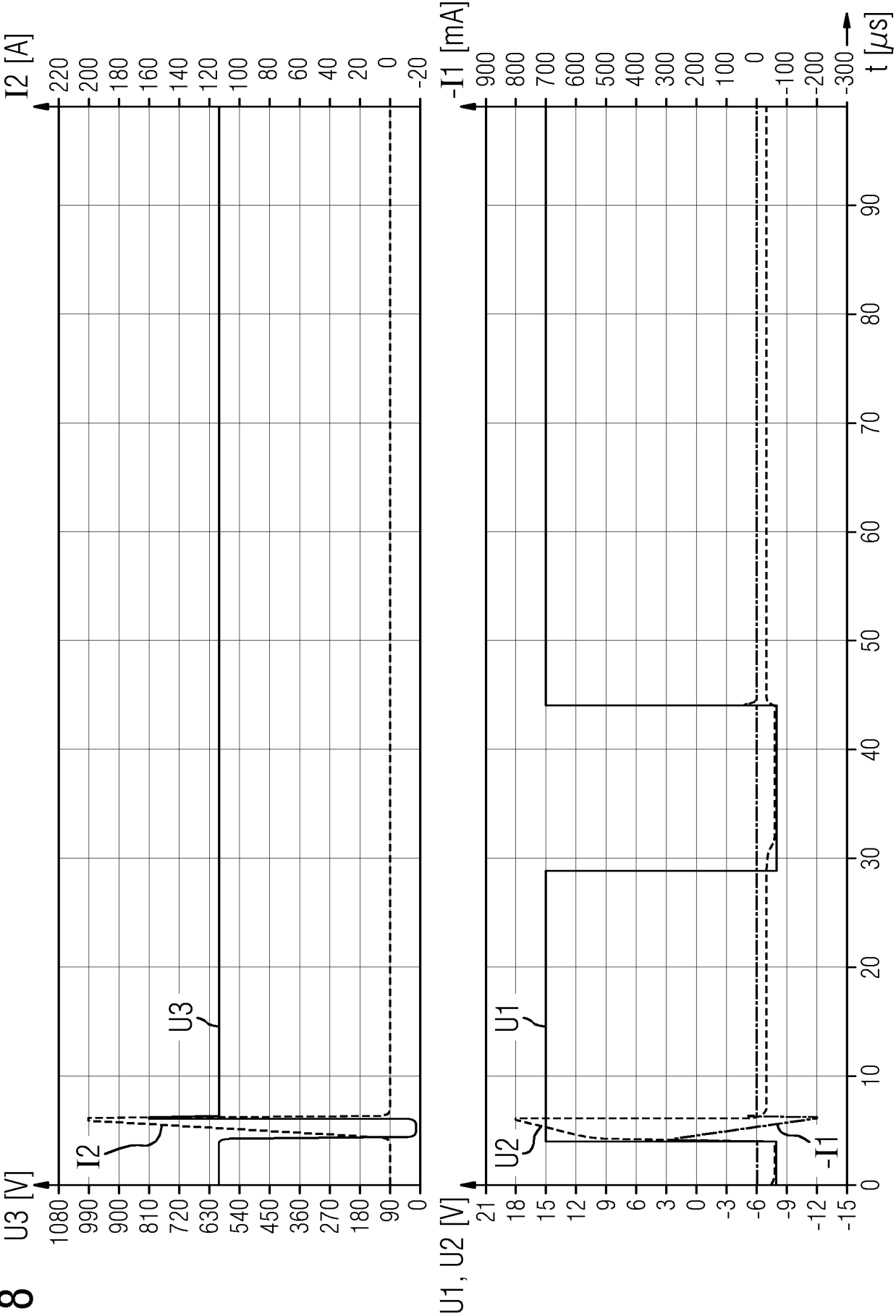
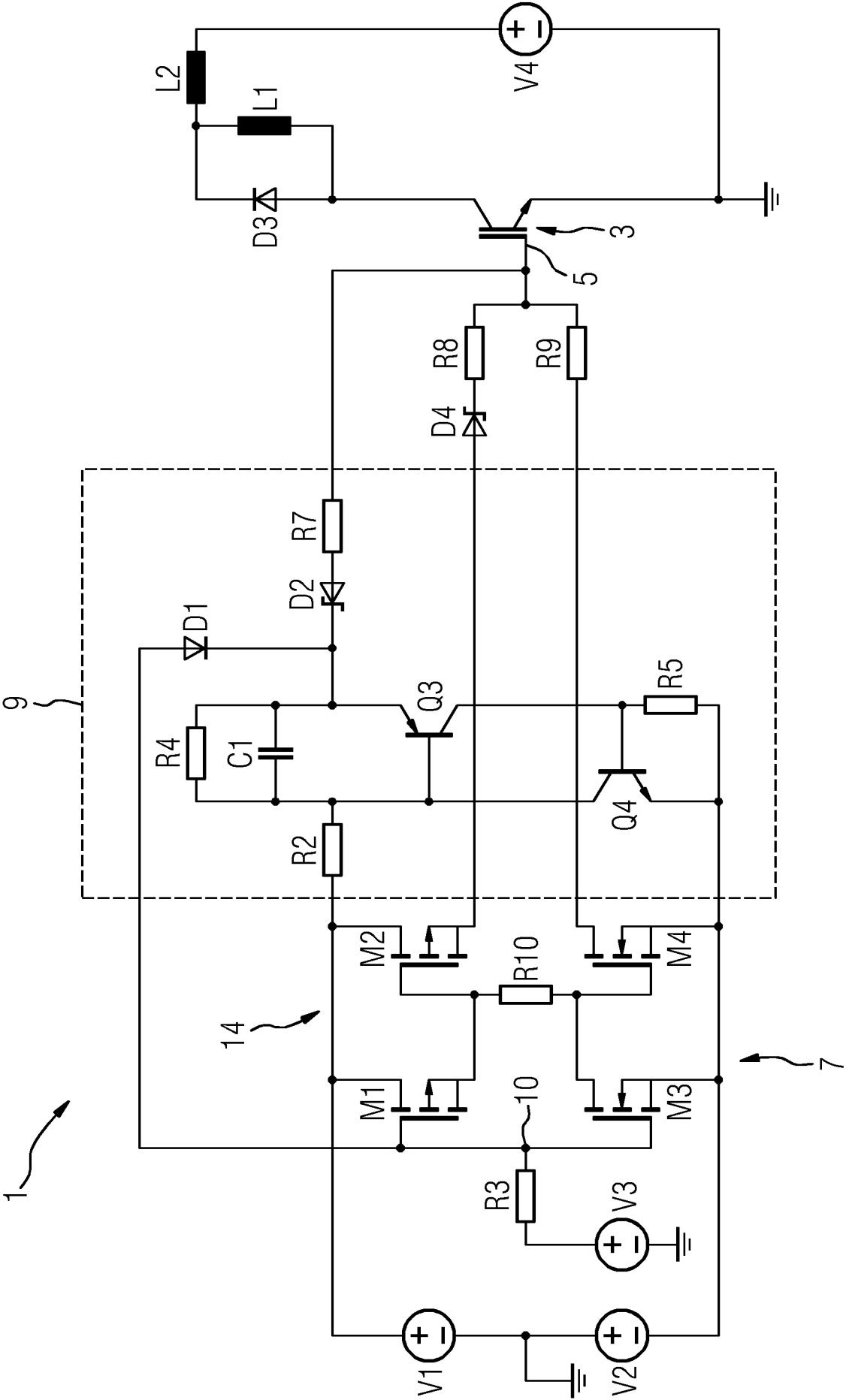
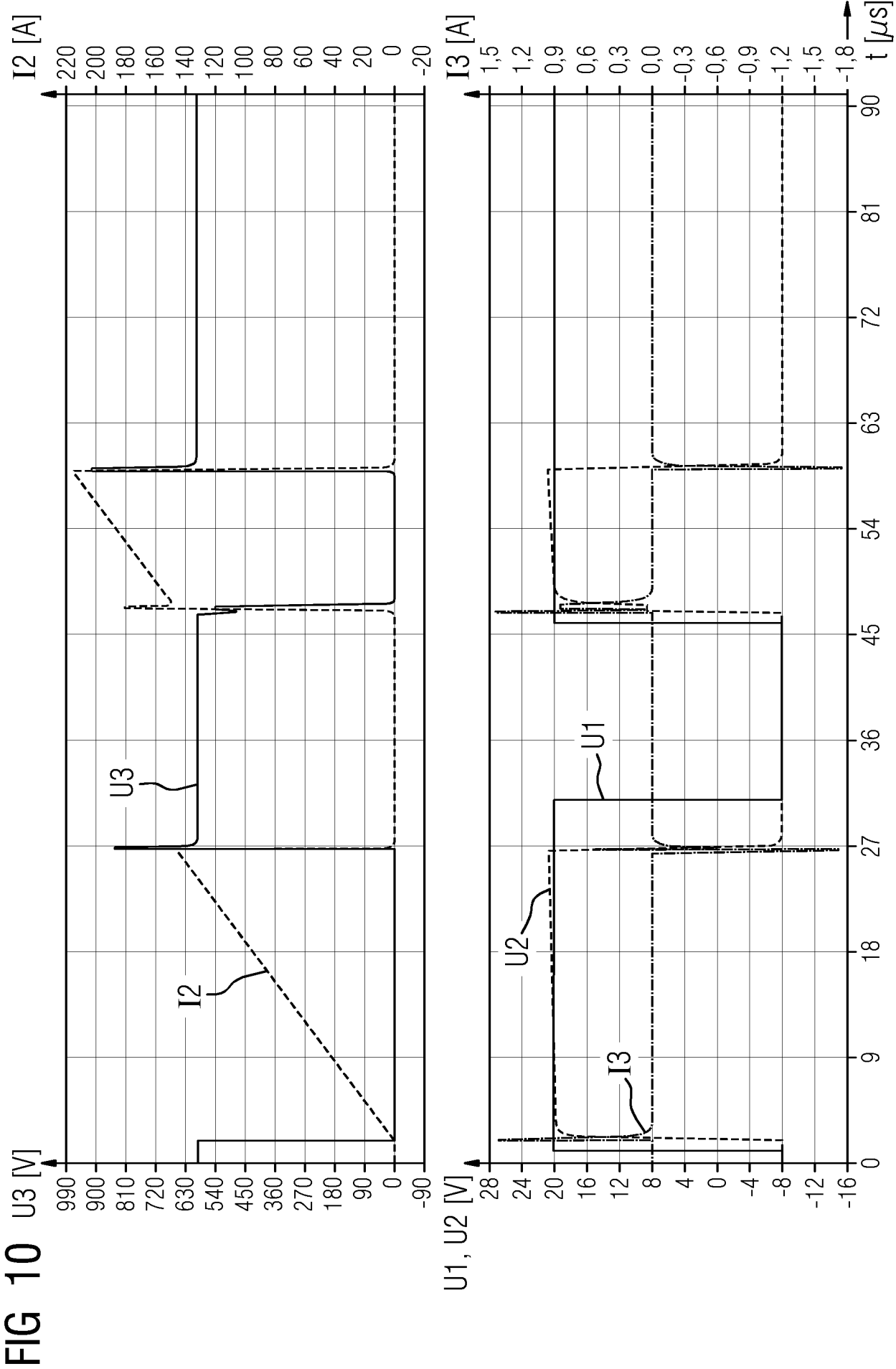


FIG 9





INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2020/054657

A. CLASSIFICATION OF SUBJECT MATTER**H03K 17/0812**(2006.01)i; **H03K 17/60**(2006.01)i; **H03K 17/567**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 3723786 A1 (LICENTIA GMBH [DE]) 26 January 1989 (1989-01-26) column 2, line 24 - line 43; figures 1,2	1-15
A	US 5285346 A (DAVIES ROBERT B [US] ET AL) 08 February 1994 (1994-02-08) column 2, line 49 - line 68; figures 1,2 column 3, line 1 - line 9 column 3, line 31 - line 35 column 3, line 57 - line 68 column 4, line 1 - line 2	1-15
A	US 2005057866 A1 (MERGENS MARKUS PAUL JOSEF [DE] ET AL) 17 March 2005 (2005-03-17) paragraph [0059]; figures 6,11,14	1-15
A	EP 1182776 A2 (TYCO ELECTRONICS AMP GMBH [DE]) 27 February 2002 (2002-02-27) paragraph [0017]; figure 1	1-15
A	JP S63208317 A (MATSUSHITA ELECTRIC WORKS LTD) 29 August 1988 (1988-08-29) figures 4,6	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 May 2020

Date of mailing of the international search report

16 June 2020

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

O'Reilly, Siobhan

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2020/054657

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
DE	3723786	A1	26 January 1989	NONE			
US	5285346	A	08 February 1994	NONE			
US	2005057866	A1	17 March 2005	CN	101019292	A	15 August 2007
				JP	2008507857	A	13 March 2008
				US	2005057866	A1	17 March 2005
				WO	2006014875	A2	09 February 2006
EP	1182776	A2	27 February 2002	NONE			
JP	S63208317	A	29 August 1988	JP	H0478211	B2	10 December 1992
				JP	S63208317	A	29 August 1988

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H03K17/0812 H03K17/60 H03K17/567
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H03K H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 37 23 786 A1 (LICENTIA GMBH [DE]) 26. Januar 1989 (1989-01-26) Spalte 2, Zeile 24 - Zeile 43; Abbildungen 1,2	1-15
A	----- US 5 285 346 A (DAVIES ROBERT B [US] ET AL) 8. Februar 1994 (1994-02-08) Spalte 2, Zeile 49 - Zeile 68; Abbildungen 1,2 Spalte 3, Zeile 1 - Zeile 9 Spalte 3, Zeile 31 - Zeile 35 Spalte 3, Zeile 57 - Zeile 68 Spalte 4, Zeile 1 - Zeile 2	1-15
A	----- US 2005/057866 A1 (MERGENS MARKUS PAUL JOSEF [DE] ET AL) 17. März 2005 (2005-03-17) Absatz [0059]; Abbildungen 6,11,14 ----- -/-	1-15



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

19. Mai 2020

Absendedatum des internationalen Recherchenberichts

16/06/2020

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

O'Reilly, Siobhan

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP 1 182 776 A2 (TYCO ELECTRONICS AMP GMBH [DE]) 27. Februar 2002 (2002-02-27) Absatz [0017]; Abbildung 1 -----	1-15
A	JP S63 208317 A (MATSUSHITA ELECTRIC WORKS LTD) 29. August 1988 (1988-08-29) Abbildungen 4,6 -----	1-15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2020/054657

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 3723786	A1	26-01-1989	KEINE
US 5285346	A	08-02-1994	KEINE
US 2005057866	A1	17-03-2005	CN 101019292 A 15-08-2007
			JP 2008507857 A 13-03-2008
			US 2005057866 A1 17-03-2005
			WO 2006014875 A2 09-02-2006
EP 1182776	A2	27-02-2002	KEINE
JP S63208317	A	29-08-1988	JP H0478211 B2 10-12-1992
			JP S63208317 A 29-08-1988