

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H01L 23/12

(11) 공개번호 10-2005-0021389
(43) 공개일자 2005년03월07일

(21) 출원번호 10-2005-0003199(분할)
(22) 출원일자 2005년01월13일
(62) 원출원 특허10-2000-0021688
원출원일자 : 2000년04월24일 심사청구일자 2003년03월07일

(30) 우선권주장 JP-P-1999-00141676 1999년05월21일 일본(JP)
JP-P-1999-00229140 1999년08월13일 일본(JP)

(71) 출원인 가부시킴가이샤 노스
일본국 도쿄도 도시마구 미나미오쓰카 3쵸메 32반 1고

(72) 발명자 이이지마도모오
일본국 도쿄도 도시마구 미나미오쓰카 3쵸메 37반치 5고가부시킴가
이샤 노스 내

오사와마사유키
일본국 도쿄도 도시마구 미나미오쓰카 3쵸메 37반치 5고가부시킴가
이샤 노스 내

히라테시게오
일본국 도쿄도 도시마구 미나미오쓰카 3쵸메 37반치 5고가부시킴가
이샤 노스 내

(74) 대리인 강일우
홍기천
김연희

심사청구 : 있음

(54) 반도체소자 탑재용 배선기판과 그 제조방법

요약

개구를 가지는 제 1 절연막이 예를 들면 동으로 만들어지는 베이스상에 형성된다. 하부에 메탈라이즈막으로 만들어진 배선막이 제 1 절연막상에 형성된다. 제 2 절연막은 특정부분을 제외하고 그 위에 형성되며, 베이스는 배선막의 뒷면을 노출하도록 선택적으로 에칭된다. 배선막 및 볼전극과 같은 단자가 전해도금에 의해서 형성된다. 베이스는 배선막에 접속되어 접지 및/또는 전원선으로 형성된다. 배선기판의 각 주된 면상에 LSI 칩을 탑재할 수 있도록 하기 위해서, 또한 각각 LSI 칩이 장착된 다수개의 기판을 적층하기 위해서, 배선기판은 수지막의 다른쪽 측에 상기 개구를 통하여 상기 배선막에 접속된 2가지의 서로 다른 높이로 형성된 금속돌기를 포함하여 구성된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명배선기판의 제 1 실시형태에 따른 반도체소자 탑재용 배선기판을 나타내는 단면도이다.

도 2(A)~(D)는 도 1의 배선기판의 제조방법을 공정순서대로 나타내는 단면도이다.

- 도 3(A)~(C)는 도 1의 배선기판에의 LSI칩의 탑재방법을 공정순서대로 나타내는 단면도이다.
- 도 4는 본 발명의 제 2 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 5는 본 발명의 제 3 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 6(A)~(D)는 도 5의 배선기판의 제조방법을 공정순서대 나타내는 단면도이다.
- 도 7(A) 및 (B)는 도 5의 배선기판의 LSI칩의 탑재방법을 공정순서대로 나타내는 단면도이다.
- 도 8는 본 발명의 제 4 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 9는 본 발명의 제 5 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 10(A)~(C)는 도 9의 배선기판의 제조방법을 공정순서대로 나타내는 단면도이다.
- 도 11(A) 및 (B)는 도 9의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.
- 도 12는 본 발명의 제 6 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 13는 본 발명의 제 7 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 14는 본 발명의 제 8 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 15는 본 발명의 제 9 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 16(A)~(D)는 도 15의 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.
- 도 17(A)~(C)는 도 15의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.
- 도 18는 본 발명의 제 10 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 19는 도 18에 나타내는 배선기판의 외형 커트전 상태를 나타내는 단면도이다.
- 도 20는 본 발명의 제 11 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 21(A)~(C)는 도 20의 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.
- 도 22(A) 및 (B)는 도 20의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.
- 도 23는 본 발명의 제 12 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 24는 본 발명의 제 13 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 25는 도 24에 나타내는 배선기판의 외형 커트전의 상태를 나타내는 단면도이다.
- 도 26는 본 발명의 제 14 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 27(A)~(D)는 도 26의 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.
- 도 28(A) 및(B)는 도 26의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.
- 도 29는 본 발명의 제 15 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 30(A)~(B)는 도 29의 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.
- 도 31(A) 및 (B)는 도 29의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.
- 도 32는 본 발명의 제 16 실시형태에 따른 배선기판을 나타내는 단면도이다.
- 도 33는 본 발명의 제 17 실시형태에 따른 배선기판을 나타내는 단면도이다.

도 34(A)~(D)는 본 발명의 제 18 실시형태에 따른 배선기판을 나타내는 단면도이다.

도 35(A)~(B)는 도 34(A)내지34(D)에 나타내는 방법으로 제조된 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.

도 36(A)~(C)는 본 발명의 제 19 실시형태에 따른 배선기판을 나타내는 단면도이다.

도 37(A)~(C)는 도 36 (A) 내지(C)에 표시된 제조방법으로 제조된 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.

도 38는 본 발명의 제 20 실시형태에 따른 배선기판을 나타내는 단면도이다.

도 39(A)~(C)는 도 38에 나타내는 배선기판의 LSI칩 탑재 전까지의 제조방법을 공정순서로 나타내는 단면도이다.

도 40(A)~(B)는 도 38의 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.

도 41는 각 단자구조에 대응하는 불전극간 배선의 가능개수를 비교하고 도시한 도면이다.

도 42(A)~(D)는 본 발명의 제 21 실시형태에 따른 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.

도 43(A)~(D)는 본 발명의 제 21 실시형태에 따른 배선기판의 제조방법을 공정순서로 나타내는 단면도이다.

도 44(A)~(D)는 본 발명의 제 21 실시형태에 따른 배선기판에 2개의 LSI 칩을 탑재하는 방법을 공정순서로 나타내는 단면도이다.

도 45(A)는 에칭공정의 종료후, 마스크로서 사용한 땀납막을 박리에 의해 제거하도록 한 배선기판의 일례를 나타내는 단면도, (B)는 그 배선기판으로 LSI 칩을 하나 탑재한 상태를 나타내는 단면도이다.

도 46은 복수의 배선기판을 조합한 배선기판의 사용예를 나타내는 단면도이다.

도 47은 복수의 배선기판을 조합한 배선기판의 사용예를 나타내는 단면도이다.

도 48은 복수의 배선기판을 조합한 배선기판의 사용예를 나타내는 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : 베이스 2 : 제 1 절연층

3 : 개구 4 :도전층 (메탈라이즈막)

5 : 배선막 6 : 절연막

7 :개구 8 : 돌기전극(불전극)

9 :귀금속 도금막(금막) 10 : 완충성 접착제

11 : LSI칩 12, 30 : 밀봉수지

15 : 완충재충전구멍 16 : 완충재

17 : 충전재 20 : 스티프너

21 : 개구 23 :디바이스홀

24 : 히트 스프레더 25 : 접착제

26 : 땀 31, 32 : 단자

33 : 보강부 34 : 스티프너

38 : 배선막 39 : 개구

40 : 절연막 41 : 불전극

- 45 : 단자 46 : 댄/접지 단자
- 47 : 보강/댄 50, 50a : 둘러싸는 벽
- 51 : 배선막 52 : 절연막
- 61 : 베이스메탈 62 : 제 1 댄납막
- 63 : 동막 65 : 폴리이미드막
- 66 : 개구 67 : 배선막
- 68 : 절연막 69 : 개구
- 70, 71 : 댄납막 71 : 댄납막
- 72 : 상부 금속돌기 73 : 하부 금속돌기
- 74 : 배선기관 75, 76 : LSI 칩
- 79 : 수지 80 : 댄납돌기
- 84 : 배선기관 85 : LSI 칩
- 90a 내지 90f : DRAM 91, 111 : DRAM 콘트롤러
- 92a, 92b, 112a, 112b : SRAM 93, 113 : 플래쉬 메모리
- 94, 114 : 디지털 신호처리장치 95, 115 : 직렬 인터페이스
- 96, 116 : 타이머 97, 117 : 버스 콘트롤러
- 98, 118 : MPEG 99, 119 : IEEE 1394 직렬 인터페이스
- 100 : 하부금속 돌기 101 : 상부 금속돌기
- 103 : 수지 110a 내지 110m : DRAM

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 소자를 탑재하기 위한 배선기관 및 그 제조방법에 관한 것이다.

LSI(Large Scale Integrated) 칩을 탑재하고, 프린트배선에 접속되는, 반도체소자 탑재용 인터포저(interposer) 등으로 호칭되는 반도체소자 탑재용 배선기관으로서 2가지 종류의 배선기관이 있다: 하나는 폴리이미드필름 등의 수지를 베이스로 하는 것과, 동 등의 금속을 베이스로 하는 것이다. 여기에서는 폴리이미드필름을 베이스로 하는 배선기관의 제법을 설명한다.

폴리이미드필름 베이스로서 준비하고, 그 베이스의 양 주된 면에 두께가 예컨대 0.2 μ m 정도의 얇은 동박을 예컨대 스퍼터링에 의해 형성하고 그 후, 관통구멍을 드릴에 의해 혹은 프레스가공에 의해 형성한다. 그 후, 무전해도금에 의해 두께 예컨대 5 μ m 정도의 동박을 상기 동박표면에 형성하고, 이어서, 베이스양면의 해당 동박상에 패터닝용 레지스트막을 형성하고, 해당 레지스트막을 마스크로서 사용하여 상기 동박상에 전해도금에 의해 동배선막(두께 예컨대 30 μ m)을 형성하며, 길에 형성된 동배선막은 통상의 회로배선을 구성하며, 뒷면에 형성된 동배선막은 접지선 및 전원라인을 구성하도록 한다.

다음에, 마스크로서 사용한 상기 레지스트막을 제거하고, 그 후, 동의 소프트에칭에 의해 동배선막형성에 있어 기초로서 상기 레지스트막의 형성전에 전면적으로 형성되어 있던 얇은 상기 동박을 제거한다. 이에 따라 동배선막끼리가 얇은 동박으로 전기적으로 단락된 상태가 아니게 되고, 각 동배선막이 서로 독립한 상태가 된다.

다음에, 길의 표면에 절연성수지막을 도포하고, 노광, 현상에 의해 패터닝하여, 댄납볼을 형성해야 할 부분과 LSI와 접합해야 할 부분이 개구를 갖도록 하며, 그 다음, 상기 베이스를 그 이면에서 선택적으로 에칭하여 상기 동배선막

의 LSI와 접속해야 할 부분을 노출시키고, 그 다음, 예컨대 금의 무전해도금에 의해 동배선막의 표면의 땀납볼 등의 불전극 혹은 LSI 것과의 접속성을 높인다.

이로써, 인터포저로 호칭되는 배선기판이 완성된다.

상기 배선기판은, 이면측에서 LSI칩과 완충성 접착제를 통해 접착되고, 그 후, 동배선막의 리드선단이 LSI칩 전극에 마이크로 접합되어, 그 후, 그 마이크로 접합부분을 수지가 밀봉되고, 그런 후, 상기 베이스의 반 LSI칩측의 동배선막이 도금되어 절연성수지막의 개구에 노출하는 부분에 땀납볼이 탑재되고, 그 후, 리플로우에 의해 땀납볼의 정형이 이루어진다.

다음에, 동 등의 금속을 베이스로 하는 타입의 배선기판의 종래 예의 하나에서 대한 제조방법을 설명한다. 예컨대 100~200 μ m 정도의 예컨대 동으로 이루어지는 베이스를 준비하고 형성해야 할 동배선막과 네거티브 패턴에 레지스트막을 형성하고 해당 레지스트막을 마스크로서 동베이스의 한쪽면에 얇은 금막을 전해도금에 의해 형성하고, 그 후, 더욱 동박을 전기도금함으로써 배선막을 형성하고 해당 배선막형성영역상에 불전극을 형성해야 할 부분에 개구를 가지며, 또한 배선막의 LSI칩의 전극해야 할 부분을 덮지 않은 패턴을 갖는 절연막을 형성하고, 해당 절연막의 상기 개구부분에 도금에 의해 예컨대 니켈 및 금으로 이루어지는 불형상전극을 형성하여, 그 후, 상기 베이스를 이면측에서의 선택에칭에 의해 주변부를 제외하고 제거하여 상기 배선막의 이면측을 노출시키게 함으로써 인터포저로 호칭되는 배선기판을 얻는다. 이 배선기판은 그 이면측에 완충성접착제를 통해 LSI칩을 접착하고 상기 배선막의 리드를 이루는 부분을 LSI칩의 전극에 접속하여, 수지봉지하여 LSI칩의 탑재가 완료된다.

그런데, 폴리이미드필름을 베이스로 한 타입의 것에는 일반적으로 하기와 같은 문제가 있다. 우선, 고집적화를 도모하도록 2층회로를 얻기 위해서 그 양면에 회로를 형성하여 그 양면의 회로사이를 접속하도록 하는 경우, 기계적 구멍을 뚫어야 하고, 고집적화, 소형화에 따라 구멍의 미세화가 필요해지기 때문에, 2층회로사이의 접속이 어려워지는 경향이 있다. 또한, 구멍의 가공정밀도(위치 및 형상) 및 최종 패키지의 외형과 볼의 위치정밀도를 높이는 것이 어렵고, 요구되는 정밀도를 얻기가 어려워지고 있다.

또한, 폴리이미드필름을 베이스로 하고 있기 때문에, 회로기판으로서 완전한 단계에서의 물리적 강도를 충분히 높이는 것이 어렵고, 그 때문에 패키징공정에 있어서 변형 등이 생기기 쉽다는 문제를 피할 수 없게 된다.

또한, 베이스를 이루는 폴리이미드필름이 절연성재료이기 때문에, 전해도금은, 전위부여가 곤란하기 때문에, 사실상 불가능하다. 그 때문에, 패키징공정에 있어서 후부부착에 의해 땀납볼을 탑재해야 한다는 문제가 있다. 즉, 땀납과 동접합강도의 관계로부터 접착력이 지극히 뒤떨어지기 때문에, 볼이 떨어지는 불량을 방지하기 위해서 배선막의 땀납볼 탑재부에 대단히 넓은 면적을 할애할 필요가 있다. 이것은, 땀납볼배치 피치에 있어서 각 땀납볼 사이에 통과시킬 수 있는 배선수를 적게 해야하는 것으로 이어지고, 나아가서는 고집적화를 저지하는 큰 원인이 된다는 문제도 있다.

또한, 기판설치후에 행하여지는 온도싸이클시험으로 판정되는 볼의 떨어짐에 관한 신뢰성을 개선하기 위해서, 땀납볼 1개 당에 할애되는 영역면적을 넓힐 필요가 있으며, 그 때문에 볼을 통과(사이에 형성되는)하는 배선의 개수가 제약되며, 나아가서는 볼수를 늘려 고밀도화하는 설계가 제약된다는 문제도 있다.

또한, 베이스를 이루는 폴리이미드필름은, 제조상의 반송캐리어의 역할도 있어, 박막화가 어렵기 때문에, 재료사용량의 절감, 재료가격의 절감이 어렵고, 또한, 양면의 회로사이의 접속성이 나쁘다는 문제도 있으며, 또한, 두께 분량의 폴리이미드에 흡수되는 수분이 많고, 설치시의 패키지크랙을 가져오는 원인이 된다는 문제도 있다.

그 때문에, 폴리이미드필름대신에 금속을 베이스로서 사용하는 것도 개발되어 있는 것이다. 이러한 것은, 폴리이미드필름을 베이스로서 사용한 배선기판이 가지는 상술한 문제의 일부는 해결할 수 있지만, 종래의 것에는 역시 문제가 있었다. 즉, 베이스가 금속으로 이루어지기 때문에, 그 표면에 전해도금에 의한 회로를 형성하기 위해서는, 그 베이스를 이루는 금속의 대부분을 이면부터의 선택에칭에 의해 제거할 필요가 있고, 그 때문에, 2층의 배선회로를 형성하기 위해서는 상당히 복잡하게 된다는 문제가 있다. 또한, 배선막아래의 모든 베이스를 제거한 뒤에 필름의 강도의 문제로부터 변형이 생기기 쉽고 설치가 어렵다는 문제도 있었다.

부가적으로, 상술한 배선기판에 대한 설치밀도의 제고가 요구되고 있다. 이 설치밀도는, 예컨대 배선기판의 양측의 주면에 LSI 칩을 탑재할 수 있도록 하거나, LSI 칩을 탑재한 복수의 배선기판 끼리를 적층할 수 있도록 하면, 현저하게 높일 수 있으나, 종래에 있어서는 그것은 용이하게 하기 어려웠다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하도록 이루어진 것으로서, 본 발명의 목적은, 반도체소자를 장착하기 위한 배선기판의 강도를 높이는 것과, 배선막과 수지로 만들어진 절연막사이의 열팽창계수의 차에 근거한 온도전이에 따른 수축을 방지하며, 도금시에 배선막 및 불전극과 같은 말단을 형성할 수 있도록 함으로써 막품질 및 안정성을 제고하며, 또한 베이스와 배선막을 접속하여 베이스가 접지선, 전원선등으로 사용될 수 있도록 한 것이다.

본 발명의 또 다른 목적은 LSI 칩이 각 측부의 주된 면상에 장착되는 반도체소자 탑재용 배선기판을 제공하는 것이며, LSI 칩이 장착된 다수개의 배선기판을 적층할 수 있도록 하는 것이다.

발명의 구성 및 작용

본 발명에 따르면: 금속으로 이루어지는 베이스; 및 절연막을 통하여 전해도금에 의한 배선막을 갖는 적어도 1층의 배선을 포함하여 구성되며, 상기 베이스가 선택적으로 에칭된 것을 특징으로 하는 배선기판이 제공된다.

본 발명에 따르면: 금속으로 이루어지는 베이스상에 절연막을 통해 전해도금에 의한 배선막을 갖는 적어도 1 층의 배선을 형성하는 공정; 및 상기 베이스를, 선택적으로 에칭하는 공정을 가지는 것을 특징으로 하는 배선기판의 제조 방법이 제공된다.

본 발명에 따르면: 금속으로 이루어지는 베이스와; 베이스상에 개구를 갖는 제 1 절연막과; 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 적어도 1 층의 배선과; 상기 배선의 형성영역상에 일부를 제외하고 형성된 제 2 절연막을 포함하여 구성되며, 상기 베이스는 선택적으로 에칭되어 상기 배선막의 이면을 부분적으로 노출되는 배선기판이 제공된다.

본 발명의 배선기판에 있어서는, 베이스가 접지층, 전원 플레인, 단자, 댐 및 보강부로 이루어진 군으로부터 선택된 적어도 한 개를 이루도록 선택적으로 에칭되고, 배선막을 상기 군으로부터 선택된 적어도 한 개로 접속하기 위하여, 제 1 절연막에 형성된 개구가 배선막으로 채워진다.

본 발명의 배선기판에 있어서는, 메탈라이즈막이 배선막재료와 선택에칭성이 있는 재료로 이루어진다.

본 발명의 배선기판에 있어서는, 부분적으로 제거된 베이스에 의하여 다른 부재와 접속되는 접속단자가 구성된다.

본 발명의 배선기판에 있어서는, 배선의 형성영역상의 제 2 절연막을 제거하여 형성된 일부에 단자를 형성하고, 베이스의 상기 단자와 대응하는 위치에 완충재 충전구멍을 형성하며, 해당 완충재 충전구멍내에 완충제를 충전하여 이루어진다.

본 발명의 배선기판에 있어서는, 배선의 형성영역상에 제 2 절연막의 일부가 제외된 부분이 배선의 일부가 노출되는 돌기전극형성용개구를 이루고, 해당 돌기전극형성용개구에 LSI칩과 플립칩접속되는 돌기전극을 형성한다.

본 발명의 배선기판에 있어서는, 배선의 형성영역상에 제 2 절연막의 일부가 제외된 부분이 배선의 일부가 노출되는 돌기전극형성용개구를 이루며, 상기 돌기전극형성용개구에 다른 부재와 접속되는 돌기전극을 형성한다.

본 발명에 따르면: 개구를 갖는 수지막의 한쪽측에 형성된 적어도 1 층의 배선막과; 상기 수지막의 다른쪽 측에 상기 개구를 통하여 상기 배선막에 접속된 2가지의 서로 다른 높이로 형성된 금속돌기를 포함하여 구성되는 배선기판이 제공된다.

본 발명의 배선기판에서는, 하부 금속돌기가 플립칩 본딩용 돌기로 되고, 상기 하부 금속돌기에 LSI 칩이 본딩된다.

본 발명에 따르면: 베이스메탈의 한쪽 주면에 제 1 뿔납막을 선택적으로 형성하는 공정과; 상기 베이스메탈의 상기 주면상에 상기 제 1 뿔납막도 포함시켜 금속막을 형성하는 공정과; 상기 금속막상에, 나중에 형성되는 금속돌기와 대응하는 위치에 상하간 도통용 개구가 있는 절연막을 형성하는 공정과; 상기 절연막상에 적어도 일층의 배선막을 형성하는 공정과; 상기 베이스메탈의 다른쪽의 주면상에 상부 금속돌기를 형성해야 할 위치에 제 2 뿔납막을 형성하는 공정; 및 그 후, 상기 제 2 뿔납막을 마스크로서 상기 베이스메탈을 상기 다른쪽의 주면측에서 에칭함과 동시에, 상기 제 2 뿔납막 및 상기 제 1 뿔납막을 마스크로서 상기 금속막을 에칭하여 상기 금속막과 상기 베이스메탈로 이루어지는 상부 금속돌기와, 상기 금속막으로 이루어지는 상기 하부 금속돌기를 형성하는 공정을 갖는 것을 특징으로 하는 배선기판의 제조방법이 제공된다.

본 발명의 제조방법의 있어서는 상부 금속돌기 및 하부 금속돌기를 형성한 후에 제 1 및 제 2 뿔납막에 리플로우 처리가 가해져서, 상부 금속돌기 및 하부 금속돌기들은 제 1 및 제 2 뿔납막의 뿔납으로 덮여진다.

(실시예)

이하, 본 발명을 도시실시형태에 따라서 상세하게 설명한다.

도 1은 본 발명배선기판의 제 1 실시형태를 나타내는 단면도이며, 도 2(A)~(D) 및 도 3(A)~(C)는 도 1에 나타내는 본 발명에 관한 배선기판의 제조 및 LSI(대규모집적회로)칩의 탑재방법의 일례를 공정순으로 나타내는 단면도이다.

도면에 있어서, 1은 동 등의 금속으로 이루어져, 예컨대 접지선(혹은 전원배선)을 이룬 베이스로, 두께가 예컨대 50 내지 250 μ m 이다. 2는 제 1 절연층으로, 예컨대 액상의 감광성 폴리이미드(혹은 에폭시 등)에 의해 형성하여 되어, 상하배선간 접속용 개구(3)를 갖는다.

5는 동으로 이루어지는 배선막으로, Ni-P 혹은 Ni로 이루어지는 도전층(4)을 기초로 하고 있고, 해당 배선막(5)의 일부는 상하배선간 접속용 개구(3)를 묻어 상하배선사이[위의 배선은 배선막(5)자체, 아래의 배선은 동베이스(1)로 이루어진다]를 전기적으로 접속한다.

6은 제 2 절연막으로, 불전극 형성용 개구(7)를 갖는다. 8은 예컨대 Ni에 의해 혹은 Ni-Au(혹은 Ni-뿔납)에 의해 형성된 불전극(돌기전극)으로, 전해도금에 의해 형성된다. 이 단계에서는, 불전극을 형성해야 할 배선막(5)은 모두 상기 개구(3)를 통하여 동제 베이스(1)에 전기적으로 접속된 상태가 되어 있기 때문에, 전해도금에 필요한 전위부여가 용이하게 될 수 있다. 따라서, 전해도금에 의한 불전극의 형성이 가능한 것이다.

9는 배선막(5)의 LSI칩(11)의 전극과 접속되는 리드선 단부표면에 형성된 금막(金膜)으로, LSI칩(11)의 전극과의 접속성을 얻기 위해서 형성된다. 10은 베이스(1)의 이면에 LSI칩(11)을 접착하는 완충성 접착제이며, 해당 완충성 접착제(10)에 의해 접착된 LSI칩(11)의 각 전극에는 그에 대응하는 상기 배선막(5)의 리드선단이 접착되어 있다. 12는 밀봉수지이다.

다음에, 도 2A 내지 도 3C에 따라서 제조 및 LSI칩의 탑재방법에 관해서 설명한다.

(A) 50 내지 250 μm 정도의 두께를 갖는, 예컨대 동으로 이루어지는 판을 배선기판베이스(1)로서 준비하고, 그 한편의 주면(겉의 면)에 감광성의 절연막(2)을 도포하고, 다음에, 해당 감광성 절연수지층(2)을 노광하여, 현상함에 의해 개구(상하배선간 접속용 개구)(3)를 가지며 더 나중에 LSI칩의 전극과 본딩되어야 할 부분을 덮지 않은 패턴으로 패턴닝한다. 해당 개구(3)는 나중에 양면에 형성되는 2층 회로사이를 접속해야 할 부분에 형성되고, 나중에 이 개구(3)를 묻는 배선막이 그 2층회로사이를 접속하는 도전수단이 된다.

그 후, 예컨대 Pd 활성처리를 실시하고, 무전해 Ni-P 도금 등에 의해 도전층(메탈라이즈층)(4)을 전면적으로 형성한다. Pd 활성처리는, 예컨대 통상 행하여지는 염화팔라듐 콜로이드를 흡착한 뒤에 산으로 환원함으로써 Pd 원자로 표면을 덮은 상태로 하고, 그런 후에 무전해 니켈도금처리(막두께 예컨대 0.1~0.2 μm 정도)를 함으로써 형성할 수가 있다. 도 2(A)는 도전층(4) 형성후의 상태를 나타낸다.

(B) 다음에, 상기 베이스(1)의 표면에 레지스트막을 마스크로서 금을 전해도금(두께 예컨대 0.1~1 μm)하고 더욱 동을 전해도금함으로써 배선막(두께 예컨대 10~35 μm)(5)을 형성한다. 그 후, 그 마스크로서 사용한 레지스트막을 제거하고, 그런 후, 레지스트막제거전에 전면적으로 형성되어 있던 상기 도전층(4)을 얇은 에칭(에칭액으로서 예컨대 본원출원인 등이 개발한 동을 침투하지 않고, 무전해 Ni 혹은 Ni-P만을 용해하는 FN-1001 K가 바람직하다.)에 의해 제거하고, 배선막(5)이 서로 쇼트하지 않은 상태로 한다. 도 2(B)는 그 제거후의 상태를 나타낸다.

(C) 다음에, 예컨대 폴리이미드 혹은 에폭시로부터 하는 불전극 형성용 개구(7)를 가지며, 또한 동으로 이루어지는 배선막(5)의 후에 LSI칩의 전극과 접속되는 리드선단이 되는 부분을 덮지 않은 패턴의 제 2 절연막(6)을 형성한다. 이 절연막(6)의 패턴닝에는 노광, 현상기술을 사용하는 것은 말할 필요도 없다. 그 후, 상기 불전극 형성용 개구(7) 이외의 부분(표면측 및 이면측을 포함한다)을 도금마스크로 덮고, 그 상태로 전해도금에 의하여, 불전극(8)을 형성한다. 해당 전극(8)은 예컨대 Ni 도금막만으로 이루어지는, 혹은 Ni 도금막과 금도금막으로 이루어진다. 도 2(C)는 불전극(8)형성후의 상태를 나타낸다.

(D) 다음에, 베이스(1)의 겉을 예컨대 드라이필름으로 마스크한 상태로, 이면측을 레지스트막을 마스크로서 선택적으로 에칭함으로써 LSI칩의 전극과 접속해야 할 부분을 노출시킨다. 그 에칭은 예컨대 Cu를 용해하여, Ni를 용해하지 않는 암모늄계의 알카리 에칭액 또는 과산화수소/황산의 혼합액을 사용하면 좋다. 또한, 노출한 Ni를 박리액으로 제거하도록 하는 것도 가능하다.

그 후, 상기 예컨대 드라이필름에 의한 마스크 및 상기 레지스트막에 의한 마스크를 제거한다. 그렇게 하면, 도 2(D)에 나타내는 배선기판이 완성된다.

다음에, 도 3(A)~(B)에 나타낸 바와 같이, LSI칩의 탑재를 한다.

(E) 우선, 도 3(A)에 나타낸 바와 같이, 베이스(1)의 이면에 완충성접착제(10)를 통해 LSI칩(11)을 접착한다.

(F) 다음에, 도 3(B)에 나타낸 바와 같이, 상기 배선막(6)의 리드선단부를 LSI칩(11)의 전극에 싱글포인트 본딩한다.

(G) 그 후, 도 3(C)에 나타낸 바와 같이, 밀봉수지(12)를 사용하여 밀봉한다.

그 후, 배선기판의 불필요부분을 제거하는 외형 커트를 하여, 반전하면, 도 1에 나타내는 배선기판이 완성된다.

이러한 배선기판에 의하면, 베이스(1)로서 강성이 강한 동을 사용하고 있기 때문에, 배선기판으로서의 기계적 강도를 강화할 수 있고, 패키징공정으로 변형하기도 어렵다. 또한, 배선막(5)은 얇지만 그 이면측에는 절연막(3)을 통해 동으로 이루어지는 베이스(1)가 존재하고 있기 때문에, 절연막(3)과의 열팽창계수의 차이에서 기인하는 열변화에 의해 배선막(5)이 수축하는 것을 방지할 수가 있다.

도전층(4)을 형성하는 무전해도금에 의한 Ni-P 혹은 무전해도금에 의한 Ni는, 베이스(1) 및 배선막(5)을 이루는 동에 대하여 에칭선택비를 크게 취할 수 있기 때문에, 배선막사이의 도전층(4)의 제거 및 베이스(1)를 선택에칭할 때의 에칭스트로퍼로서 효율적으로 기능한다. 또한, 배선막의 제 1 도금층을 금에 의해 형성한 경우에는, 그 금으로 이루어지는 층이 배선막(5)의 이면에서의 본딩성을 양호하게 하는 역할도 한다.

또한, 도전막(4)은 무전해도금에 의한 Ni-P 혹은 무전해도금에 의한 Ni에 의해 형성한 경우에는, 상술한 바와 같이 베이스(1)의 선택적 에칭후에 금도금에 의해 금막(9)을 형성해야 하지만, 전해도금쪽이 안정된 막질을 얻을 수 있기 때문에 바람직하다고 말할 수 있지만, 그 경우 급전을 위해 각 배선막(5)의 리드부분을 바깥둘레의 베이스메탈과 결합시켜 두고, 전해도금종료후 절단하여 형성할 수가 있다. 그 경우, 금막(9)이 형성되는 것은 배선막(5)[의 도전막(4)]의 베이스(1)의 에칭된 부분에 노출하는 부분뿐이다. 따라서, 금이 낭비되는 것을 없애고, 사용량을 적게 할 수 있다.

또한, 불전극(8)은 전해도금에 의해 형성되며, 그 니켈이 배선층과 접착력이 강하며, 그 니켈의 불이 절연층을 통해 퍼져 성장하기 때문에, 땀납도금층과의 접촉면적을 후부부착 불전극과 동일한 면적에 할 수 있고, 불이 떨어지는 불량이 생기지 않는다는 이점이 있다. 즉, 종래 베이스가 폴리이미드필름으로 형성된 타입의 배선회로는, 베이스가 절연성 재료이기 때문에, 전해도금은, 전위부여가 곤란하거나, 본 예에 있어서는, 불전극(8)의 형성시에 있어, 그 형성하는 부분이 전기적으로는 베이스(1)에 통한 상태가 되고 있기 때문에, 전위부여가 용이하다. 따라서, 전해도금에 의해 불전극을 형성할 수가 있다. 그리고, 상술한 바와 같이, 전해도금에 의한 불전극(8)은 후부부착에 의한 땀납불전극과 비교하여 접착성에 뛰어나며, 후부부착 불과 같은 접촉면적을 얻을 수 있어, 불이 떨어지는 불량도 적게 되는 것이다.

구체적으로는, 도 41에 나타낸 바와 같이, 배선의 L/S (선폭/공간)가 30/30 μ m, 불전극 0.5 mm 피치를 전제로 하고, 후부부착으로 전극불을 형성하는 경우, 전극형성용 개구의 지름을 300 μ m으로 할 필요가 있지만, 전해도금에 의해 형성하는 경우에는, 그 지름은 100 μ m 정도로 작게 할 수가 있고, 인접 불전극사이를 통과시키는 배선의 수는 후부부착의 경우 1~2개 정도이지만, 전해도금에 의해 형성하면 그 배선수를 5개로 늘릴 수 있었다. 이것은 배선기판의 고밀도화를 현저히 높일 수 있는 것이 분명하다.

도 4는 본 발명 배선기판의 제 2 실시형태를 나타내는 단면도이다. 본 실시형태는, 베이스(1)의 불전극(8)과 대응하는 부분에 완충재충전용의 구멍(15)을 설치하고, 해당 구멍(15)내에 완충재(16)를 충전한 것이다. 이것은, 배선기판과, 해당 배선기판이 부착되는 프린트배선판 등과, 설치후에 있어서의 LSI칩(11)과의 사이의 선열팽창계수의 차이에 의한 불전극(8)에 집중하는 열스트레스를 완화하기 위한 것이며, 완충재(16)에 의해 그 열스트레스의 완화가 가능하다. 또한, 예컨대 프린트배선기판에 접속할 때 등에 가해지는 충격하중을 흡수하여 LSI칩(11)에 있어서의 크랙의 발생 등을 방지할 수도 있다.

본 배선기판의 제조는, 상기 제조방법에 있어서의 베이스의 에칭시에 완충재충전구멍(15)도 형성하는 것으로 하며, 그리고, LSI칩(11)을 접착하기 전에 해당 완충재충전구멍(15)에 완충재(16)를 충전하는 것으로 하면 가능하다.

도 5는 본 발명배선기판의 제 3 실시형태를 나타내는 단면도이다. 본 실시형태는, 본 발명을 BGA (Ball Grid Array) 타입의 것에 적용한 것이며, 그 점에서는, CSP (Chip Size Package) 타입의 것에 적용한 제 1 실시형태와는 다르지만, 많은 점에서 공통적으로 제 1 실시형태의 효과를 누릴 수 있을 뿐만 아니라, 베이스(1)에 의해 스티프너(20)를 구성할 수 있다는 효과를 나타낸다. 원래, 스티프너는 배선기판에 후부부착되고, 접착공정이 필요하여, 그 접착에 있어서 위치 결정이 번거롭다는 문제가 있는 것이 보통이지만, 본 실시형태에 의하면, 스티프너(20)가 배선기판의 제조과정중에서 베이스(1)를 이용하여 구성되며, 위치 결정 정밀도는 배선기판의 제조시에 구사되는 포토리소그래피기술에 의해 얻어지는 높은 정밀도가 되기 때문에, 스티프너에 관한 종래의 문제는 완전히 해결된다. 또한, 베이스(1)의 스티프너(20)의 안쪽이 그대로 배선기판의 디바이스홀이 된다.

도 6(A)~(D)는 도 5에 나타내는 배선기판의 제조방법을 공정순서로 나타내며, 도 7(A) 및 (B)는 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.

(A) 동으로 이루어지는 판을 배선기판베이스(1)로서 준비하고, 그 한쪽의 주면(겉의 면)에 감광성의 절연막(2)을 도포하고, 노광하여, 현상함으로써 패턴닝한다. (3)은 상하배선간 접속용 개구, (21)은 디바이스홀이 되어야할 부분과 대략 대응하여 대략 중앙에 설정된 개구이다.

그 다음, 예컨대 Pd 활성화처리를 실시하고, 무전해 Ni-P 도금 등에 의해 도전층(메탈라이즈층)(4)을 전면적으로 형성한다. 도 6(A)은 도전층(4)형성후의 상태를 나타낸다.

(B) 다음에, 상기 베이스(1)의 표면에 배선막(5)을 형성하고, 그 때 패턴닝용 마스크로서 사용한 레지스트막을 제거한 뒤, 레지스트막제거전에 전면적으로 형성되어 있던 상기 도전막(4)을 얇은 에칭에 의해 제거하고, 이로써, 배선막(5)이 서로 쇼트하지 않은 상태로 한다. 도 6(B)은 그 후의 상태를 나타낸다.

(C) 다음에, 불전극형성용 개구(7)와 디바이스홀이 되는 개구(22)를 갖는 패턴의 제 2 절연막(6)을 형성한다. 그 후, 상기 불전극형성용 개구(7)이외의 부분(표면측 및 이면측을 포함한다)을 도금마스크로 덮고, 그 상태로 전해도금에 의해, 불전극(8)을 형성한다. 해당 전극(8)은 예컨대 공정땀납/Ni 도금으로 이루어진다. 도 6(C)은 불전극(8)을 형성한 뒤의 상태를 나타낸다.

(D) 다음에, 베이스(1)의 겉을 예컨대 드라이필름으로 마스크한 상태로, 이면측을 레지스트막을 마스크로서 선택적으로 에칭함에 의해 LSI칩의 전극과 접속하도록 대략 중앙부분을 노출시킨다. 23은 그것에 의하여 형성된 디바이스홀이며, 베이스(1)는 이러한 디바이스홀(22)이 형성되는 것에 따라 상기 스티프너(20)가 된다. 그 후, 도금에 의해 금막(9)을 형성한다.

그 후, 상기 예컨대 드라이필름에 의한 마스크 및 상기 레지스트막에 의한 마스크를 제거한다. 그렇게 하면, 도 6(D)에 나타내는 배선기판이 완성된다.

다음에, 도 7(A) 및(B)에 나타낸 바와 같이, LSI칩의 탑재를 행한다.

(E) 우선, 도 7(A)에 나타낸 바와 같이, 디바이스홀(23)내에서 LSI칩(11)의 각 전극과 상기 배선막(6)의 리드선단부를 분당한다.

(F) 그 후, 도 7(C)에 나타낸 바와 같이, 수지(12)로 밀봉한다.

그 후, 배선기판의 불필요부분을 제거하는 외형 커트를 행하고, 반전하면, 도 5에 나타내는 배선기판을 완성할 수 있다. 한편, 불전극(8)을 댄납으로 형성한 경우에는, 리플로우로 정형한다. 한편, 불전극(8)을 댄납이 아니라, 예컨대 Au/Ni에서 형성하도록 하더라도 좋은 것은 말할 필요도 없다. 그 경우, 리플로우에 의한 정형은 행하지 않는다.

도 8은 본 발명배선기판의 제 4 실시형태를 나타내는 단면도이다. 본 실시형태는 도 5에 나타내는 배선기판에 히트스프레더(히트싱크:heat sink)(24)를 접착제(25)에 의해 접착한 것이며, 이에 따라 LSI칩(11)의 방열성을 높일 수 있다. 이 히트스프레더(24)는 상기 스티프너(20) 및 LSI칩(11)의 이면에 접착제(25)를 통해 접착된다. 이러한 배선기판은, 도 7(F)에 나타내는 공정보다도 나중에 접착공정을 설치함으로써 용이하게 얻을 수 있다. 한편, LSI칩(11) 이면과 스티프너(20) 이면과의 단차가 생기지 않도록 하기 위해서, LSI칩(11)을 백그라운드하거나, 동시에 이루어지는 베이스(1)의 두께를 조정하도록 하여도 좋다.

도 9는 본 발명배선기판의 제 5 실시형태를 나타내는 단면도이다. 본 실시형태는 본 발명을 와이어 본딩에 의해 LSI칩과 배선기판과의 사이의 전기적 접속을 하는 타입의 배선기판에 적용한 것이며, 제 1 실시형태와는 타입이 다른 점으로부터 구성상의 차이가 있지만, 공통하는 점이 많고, 또한, 제조방법 및 LSI칩 탑재방법을 설명하는 과정에서 구성이 저절로 명확해지기 때문에, 도 10, 도 11에 따라서 배선기판의 제조방법 및 LSI칩 탑재방법을 설명하고, 그 후, 구성상의 상이한 점에 관해서만 설명을 가한다.

도 10(A)~(C)은 도 9에 나타내는 배선기판의 제조방법을 공정순서로 나타내는 것이다.

(A) 동으로 이루어지는 판을 배선기판베이스(1)로서 준비하고, 그 한쪽의 주면(겉의 면)에 감광성의 절연막(2)을 도포하고, 노광하여, 현상함으로써 패턴닝한다. 3은 상하배선간 접속용 개구이다.

그 후, 예컨대 Pd 황설처리를 실시하고, 무전해 Ni-P 도금 등에 의해 도전층(메탈라이즈층)(4)을 전면적으로 형성한다. 도 10(A)은 도전층(4)이 형성된 후의 상태를 나타낸다.

(B) 다음에, 상기 베이스(1)의 표면에 배선막(5)을 형성한다. 이 배선막(5)의 형성은, 패턴닝용 레지스트막을 형성한 뒤, 우선 최초에 전해도금에 의해 금을 얇게(두께 예컨대 1 μ m) 도금하고, 또한 전해도금에 의해 Ni를 도금(예컨대 두께 5 μ m)하여, 전해도금에 의해 동을 도금(예컨대 30 μ m)함으로써 행한다.

그 후, 그 배선막(5)의 형성에 패턴닝용 마스크로서 사용한 레지스트막을 제거하고, 그 후, 레지스트막 제거전에 전면적으로 형성되어 있던 상기 도전층(4)을 얇은 에칭에 의해 제거하여, 이로써, 배선막(5)이 서로 쇼트하지 않은 상태로 한다. 그 후, 불전극 형성용 개구(7)를 갖는 패턴의 제 2 절연막(6)을 형성하고, 그 후, 예컨대 Ni, 혹은 Ni-Au로 이루어지는 불전극(8)을 형성한다. 도 10(B)은 불전극(8) 형성후의 상태를 나타낸다. 한편, 해당 제 2 절연막(6)은 배선막(5)의 리드가 되는 부분을 기계적으로 지탱하기 위해서, 또한, 후술해야 할 베이스(1)로 이루어지는 댄(26)을 유지할 수 있도록 가장 바깥둘레부까지 퍼지도록 널리 형성되어 있다. 이것이 제 1 실시형태 등과 다른 점의 하나이다.

(C) 다음에, 베이스(1)의 겉을 예컨대 드라이필름으로 마스크한 상태로, 뒷편을 레지스트막을 마스크로서 선택적으로 에칭함에 의해 LSI칩의 전극과 와이어를 통해 접속해야 할 주변중앙부분을 노출시킨다. 또한, 그 때, 본 예에 대해서는 베이스(1)의 가장 바깥둘레부를 댄(26)으로서 잔존하도록 한다. 이것은 후에, 액상의 밀봉수지로 봉하여 막을 때에 그 수지가 외측으로 흐르는 것을 방지하기 위해서이다. 도 10(C)은 그 선택적 에칭후의 상태를 나타낸다.

도 11(A),(B)는 LSI칩의 탑재방법을 공정순서로 나타내는 것이다.

(D) 도 11(A)에 나타낸 바와 같이, 베이스(1)의 이면에 LSI칩(11)을 접착제(10)를 통해 접착한다.

(E) 다음에, LSI칩(11)의 각 전극과, 또한 그에 대응하는 배선막(5)의 리드선 단부와와의 사이를 예컨대 금으로 이루어지는 와이어(27)에 의해 본딩한다. 도 11(B)은 그 와이어 본딩후의 상태를 나타낸다.

그 후, LSI칩(11) 및 와이어 본딩부를 액형상수지(29)로 봉하여 막고, 그런 후, 외형 커트한다. 그렇게 하면, 도 9에 나타낸 배선기판이 완성된다.

본 배선기판은, 접지라인과 댄(26)이 베이스(1)에 의해 구성되고, 그 이면에는 LSI칩(11)이 접착되어, 베이스(1)의 겉에는 상하배선간 접속용개구(3)를 갖는 절연막(2)을 통해 동으로 이루어지는 배선막(5)이 형성되며, 해당 배선막(5)상에는 불전극형성용 개구(7)를 갖는 절연막(6)이 베이스(1) 표면전역을 덮도록 형성되어, 해당 불전극형성용 개구(7)에는 불전극(8)이 형성되어 있고, 그리고, 상기 LSI칩(11)의 전극과 배선막(5)의 리드선단 이면이 와이어(27)에 의해 본딩되고, 또한, LSI칩(11) 및 와이어 본딩부가 액형상수지(29)로 밀봉되고, 외측에의 흐름이 상기 댄(26)에 의해 막아지는 것 같은 구성으로 되어 있다.

도 12는 본 발명배선기판의 제 6 실시형태를 나타내는 단면도이며, 본 실시형태는 도 9에 나타내는 제 5 실시형태에 있어서의 수지밀봉을 액형상수지의 폼팅대신에 트랜스퍼 몰딩에 의해 행한 것이며, 그 이외의 점에서는 상이점이 없다. 30은 트랜스퍼 몰딩에 의한 밀봉수지이다. 한편, 이 경우는, 댄(26)은 불필요하기 때문에 존재하지 않는다.

도 13은 본 발명배선기판의 제 7 실시형태를 나타내는 단면도이다. 본 실시형태는 제 5 실시형태에 있어서 베이스(1)에 완충재 충전구멍(16)을 형성하고, 해당 완충재 충전구멍(16)에 충전재(17)를 충전한 것이다. 그 목적과, 완충재 충전구멍(16)을 불전극(8)과 대응하는 위치에 형성하는 것, 완충재 충전구멍의 형성방법, 충전재(17)의 충전방법은 도 4에 나타낸 제 2 실시형태의 경우와 동일하다.

도 14는 본 발명배선기판의 제 8 실시형태를 나타내는 단면도이다. 본 실시형태는 제 6 실시형태에 있어서 베이스(1)에 완충재 충전구멍(16)을 형성하고, 해당 완충재 충전구멍(16)에 충전재(17)를 충전한 것이다. 이 목적, 완충재 충전구멍(16)을 볼전극(8)과 대응하는 위치에 형성하는 것, 완충재 충전구멍의 형성방법, 완충재(17)의 충전방법은 도 4에 나타난 제 2 실시형태의 경우와 동일하다.

도 15는 본 발명배선기판의 제 9 실시형태를 나타내는 단면도이다. 본 실시형태는 예컨대 동 등의 메탈로부터 이루어지는 베이스(1)를 단자로서도 이용하도록 한 것이며, 볼전극(8)을 형성할 필요가 없다는 큰 이점을 갖는다. 본 배선기판도 그 제조방법 및 LSI칩탑재방법을 설명하는 과정에서 구성이 저절로 명확히 되기 때문에, 도 16(A)~(D) 및 도 17(A)~(C)에 따라서 그 설명을 한다.

(A) 동 등의 얇은 판으로 이루어지는 베이스(1)를 준비하여 예컨대 감광성수지로 이루어지는 제 1 절연막(2)을 도포하고, 노광, 현상에 의해 패터닝하여 상하배선간 접속용 개구(3)를 갖고, 또한 나중에 형성되는 배선막(5)의 리드와 대응하는 외측부분을 덮지 않은 형상으로 한다. 그 후, 예컨대 상술한 도전화처리로 도전막(4)을 형성한다. 도 16(A)은 그 도전화처리후의 상태를 나타낸다.

(B) 다음에, 동으로 이루어지는 배선막(5)을 상술한 레지스트막을 마스크로 하는 전해도금에 의해 형성한다. 그 후, 그 레지스트막을 제거하고, 라이트에칭으로 도전막(4)을 제거하여 각 배선막(5)을 독립시킨다. 도 16(B)은 배선막(5)형성후의 상태를 나타낸다.

(C) 다음에, 도 16(C)에 나타난 바와 같이, 상기 배선막(5)의 형성영역상을 리드가 되는 부분상을 제외하고 절연막(6)으로 덮는다.

(D) 다음에, 도 16(D)에 나타난 바와 같이, 베이스(1)를 이면측에서 선택적으로 에칭한다. 여기서, 중요한 것은, 본 예에서는 베이스(1)를, 볼전극을 대신하는 단자(31)를 이루도록 선택적 에칭을 한다는 것과, 예컨대 감광성수지로 이루어지는 절연막(2)이 에칭스토퍼로서 기능하고, 배선막(5)이 침범되는 것을 방지한다는 것이다. 이 각 단자(31)는 각각 배선막(5)의 상기 상하배선간 접속용개구(3)를 묻는 부분을 통하여 배선막(5)에 전기적으로 접속된다. 이 에칭처리후, 배선막(5)의 노출하는 표면을 접속성을 얻기 위해서 표면처리한다.

다음에, 도 17(A)~(C)에 따라서 LSI칩(11)의 탑재방법에 관해서 설명한다.

(E) 우선, 도 17(A)에 나타난 바와 같이, 상기 절연막(31)상에 접착제(10)를 통해 LSI칩(11)을 이것의 이면에서 접촉한다.

(F) 다음에, 도 17(B)에 나타난 바와 같이, 상기 배선막(5)의 리드선단부를 LSI칩(11)의 전극에 싱글포인트 본딩한다.

(G) 다음에, 도 17(C)에 나타난 바와 같이 수지(12)로 봉하여 막는다. 그렇게 하면, 도 15에 나타내는 배선기판이 완성된다.

본 배선기판은, 상하배선간 접속용개구(3)를 갖는 절연막(2)의 한쪽측에 베이스에 의해 형성된 단자(31)(볼전극을 대신하는 단자)를 가지며, 다른쪽 측에 상기 상하배선간 접속용 개구(3)를 통하여 해당 단자(31)에 접속된 배선막(5)을 가지며, 해당 배선막(5)의 형성영역상에 절연막(6)을 갖고, 해당 절연막(6)상에 접착제(10)를 통해 LSI칩(11)을 이것의 이면에서 접촉하고, 배선기판의 배선막(5)의 리드선단을 LSI칩(11)에 싱글포인트 본딩하여, 수지를 밀봉한 구조를 갖고 있다.

그리고, 본 배선기판에 의하면, 베이스(1)에 의해 볼전극을 대신하는 단자(31)가 형성되고, 볼전극을 형성하는 번거로운 각종공정이 불필요하며, 또한 볼이 떨어지는 등의 불량이 발생할 우려가 완전히 없다는 큰 이점이 있다. 또한, 상술한 전해도금에 의해 형성하는 볼전극(8)은 후부부착에 의한 땀납볼에 비교하여 그 형성으로 할애해야할 면적을 작게 할 수가 있다는 이점이 있지만, 그 볼전극(8)보다도 베이스(1)로 이루어지는 단자(31)쪽이 더욱 그 효과가 크다.

구체적으로 말하면, 도 41에 나타난 바와 같이, 단자(볼전극)를 형성하기 위해서 절연막에 형성해야하는 개구지름의 크기는, 후부부착에 의한 땀납볼인 경우, 300 μ m 필요하고, 전해도금에 의한 볼전극의 경우, 100 μ m 필요하며, 본 단자(31)의 경우 50 μ m 있으면 좋다. 따라서, 단자(전극)의 배치피치를 0.5 mm로 한 경우, 인접단자(전극)사이에 통과시킬 수 있는 배선수는, 후부부착에 의한 땀납볼인 경우, 1~2개, 전해도금에 의한 볼전극의 경우, 5개지만, 본 단자(31)의 경우, 6개로 할 수 있다. 한편, 이것은 배선의 L/S가 30/30 μ m 인 것을 전제로 하고 있다. 또한, 베이스(1)의 선택적 에칭에 의해 형성한 단자(31)는, 그 높이가 베이스(1)의 두께에 의해 결정, 균일성이 매우 높고, 다른 부재, 예컨대 프린트 배선판과의 접속이 매우 용이하다는 이점이 있다. 이 이점은, 단자(31)를 베이스(1)에 의해 형성한 실시형태 모두에 적합하다.

도 18은 본 발명배선기판의 제 10 실시형태를 나타내는 단면도이다. 본 실시형태는, 도 15에 나타내는 제 9 실시형태와는, 와이어 본딩에 의해 배선막(5)의 리드와 LSI칩(11)의 전극과의 사이를 접속하고, 트랜스퍼본딩에 의해 밀봉이 이루어져 있다는 점에서 다른 것에 지나지 않으며, 그에 파생하여 구성으로 약간의 상이점이 있는 것에 지나지 않고, 제법에 있어서도 기본적인 차이는 없기 때문에, 그 차이를 문장으로 설명하고, 배선기판의 제조방법, LSI칩의 탑재방법의 도시는 행하지 않는다. 한편, 배선막(5)은, 예컨대, 전해도금(두께 예컨대 25 μ m), Ni도금(두께 예컨대 5 μ m), 전해도금(두께 예컨대 0.3~2 μ m)을 연속하여 행함으로써, 표면에 금막이 형성되도록 한다. 와이어 본딩성을 높이기 위해서이다. 한편, 전해도금에 의해 일단 배선막(5)을 형성한 후, 와이어 본딩해야 할 부분에 개구를 갖는 절연막(6)을 형성하고, 그 후, 금도금하도록 하여도 좋다. 그에 따라 그 개구에만 금막을 형성하는 편이 금을 낭비하지 않고도 해결할 수 있다.

절연막(6)은 와이어본딩되는 부분에 개구를 갖도록 형성되어 있는 것은 당연하지만, 제 9 실시형태에 있어서의 그것과는, 배선막(5)의 리드의 선단부를 유지할 수 있도록 바깥둘레부에도 미치지도록 형성되어 있는 점에서 다르다. 또한, 트랜스퍼몰딩에 의해 수지밀봉이 행하여지고 있다. 본 실시형태에 있어서는, 베이스(1)와 LSI칩(11)이 서로 반대측에 있는 것으로, 몰드금형에 의한 밀폐가 되기 쉽고, 트랜스퍼몰딩에 알맞다. 또한, 베이스(1)의 선택적 에칭에 의해 단자(31)를 형성할 때에, 외형 커트처리에 의해 커트되거나, 그때까지는 보강부재로서 기능하는 보강부(1a)를 바깥둘레부에 형성하는 것이라고 되어 있다. 와이어 본딩을 쉽게 하기 위해서이다. 도 19는 그 외형 커트가 이루어지기 전의 상태를 나타내고, 도면중의 33이 그 베이스(1)로 이루어지는 보강부를 나타낸다.

도 20은 본 발명배선기판의 제 11 실시형태를 나타내는 단면도이다. 본 실시형태는 베이스(1)에 의해 단자(31)를 구성하는 기술적 사상을 BGA 타입의 배선기판에 적용한 것이며, 본 배선기판도 그 제조방법 및 LSI칩 탑재방법을 설명하는 과정에서 구성이 저절로 명확해지기 때문에, 도 21(A)~(C) 및 도 22(A)~(B)에 따라서 그 설명을 한다.

(A) 동으로 이루어지는 베이스(1)를 준비하고, 예컨대 감광성수지로 이루어지는 제 1 절연막(2)을 도포하고, 노광, 현상에 의해 패터닝하여 상하배선간 접속용 개구(3)와 디바이스홀과 대강 대응하도록 형성된 개구(21)를 갖는 형상으로 한다. 그 후, 예컨대 상술한 도전화처리로 도전막(4)을 형성한다. 그 후, 동으로 이루어지는 배선막(5)을 형성하지만, 가장 표면에는 LSI칩(11)과의 본딩성을 높이기 위해서 금막(막두께 예컨대 0.1 내지 2 μm)(9)을 형성한다. 이 배선막(5)은 그 하부를 이루는 Ni막 및 금막(9)도 포함시키고, 상술한 레지스트막을 마스크로 하는 전해도금에 의해 형성한다. 이 경우, 그 후, 그 레지스트막을 제거하고 라이트에칭으로 도전막(4)을 제거하여 각 배선막(5)을 독립시킨다. 도 21(A)은 배선막(5) 형성후의 상태를 나타낸다.

(B) 다음에, 도 21(B)에 나타낸 바와 같이, 상기 배선막(5)의 형성영역상을 리드상과 디바이스홀이 되는 부분상을 제외하여 절연막(6)으로 덮는다.

(C) 다음에, 도 21(C)에 나타낸 바와 같이, 베이스(1)를 이면측에서 선택적으로 에칭함으로써 불전극을 대신하는 단자(31)를 형성한다. 이 에칭시에 상기 도전막(4)이 에칭스트로퍼로서 기능하고, 배선막(5)이 침범되는 것을 방지한다. 이 각 단자(31)는 각각 배선막(5)의 상기 상하배선간 접속용개구(3)를 묻는 부분을 통하여 배선막(5)에 전기적으로 접속된다. 이 에칭처리후, 단자표면처리를 실시한다.

다음에, 도 22(A) 및 (B)에 따라서 LSI칩(11)의 탑재방법에 관해서 설명한다.

(D) 우선, 도 22(A)에 나타낸 바와 같이, 상기 절연막(31)상에 접착제(10)를 통해 스티프너(34)를 접착한다.

(E) 다음에, 도 22(B)에 나타낸 바와 같이, 상기 배선막(5)의 리드선단부를 LSI칩(11)의 전극에 싱글포인트 본딩한다.

그 후, 수지(12)로 봉하여 막으면, 도 20에 나타내는 배선기판을 완성된다.

도 23은 본 발명배선기판의 제 12 실시형태를 나타내는 단면도이다. 본 실시형태는, 금속(동)으로 이루어지는 베이스(1)에 의해 단자(31)를 형성함과 동시에, 베이스(1)상에 절연막(2)을 통해 형성한 배선막(5)상을 불전극형성용 개구(7)를 갖는 절연막(6)으로 덮고, 해당 불전극형성용 개구(7)에 예컨대 Ni/Au의 전해도금에 의해 불전극(8)을 형성하여, 해당 불전극(8)에 LSI칩(11)을 그 전극(35)으로써 플립칩 본딩하고, 그 후, 트랜스퍼몰딩에 의해 수지밀봉하여 막은 것이고, 12는 밀봉수지이다.

본 배선기판은, 배선막(5)상에 절연막(6)으로서 불전극형성용개구(7)를 갖는 패턴의 것을 형성함으로써, 해당 개구(7)에 불전극(8)을 형성하고, 플립칩본딩에 의해 해당 불전극(8)으로써 LSI칩(11)을 부착하도록 한 점이외는 도 15에 나타낸 제 9 실시형태의 배선기판과 구성, 제조방법이 공통하기 때문에, 제조방법의 도시, 설명은 하지 않는다. 또한, LSI칩(11)의 탑재방법도 통상의 플립칩 본딩에 의하기 때문에 도시는 하지 않는다. 한편, 배선막(5)은 동만으로 형성할 수 있게 되어, 표면에 금을 형성하는 것은 필요하지 않다.

또한, 불형상전극(8)은 전해 Ni 도금상에 뱀납도금을 함으로써 형성한다. 트랜스퍼몰딩을 위해 LSI칩(11)과 배선기판사이에는 150 μm 이상의 갭을 확보하는 것이 필요하지만, 뱀납불전극(8)을 형성함으로써 완성되며, 리플로우 후에 있어서의 전극(8)의 높이를 확보할 수가 있는 것이다. 전해금도금을 0.1~0.3 μm 정도로 실시함으로써 형성한다. 한편, 금도금막의 두께가 0.3 μm 이상이 되면, 뱀납접속한 경우, 금속사이 화합물이 생기고 바람직하지 못하다. LSI칩(11)으로서 뱀납 등의 돌기형상의 전극이 형성되어 있는 것을 사용한다. 플립칩접합을 하는 경우, 배선기판측의 불전극표면에 플렉스 혹은 뱀납페이스트를 코팅하고 위치 결정하여, 리플로우에 의해 뱀납을 용융시킨다.

도 24는 본 발명배선기판의 제 13 실시형태를 나타내는 단면도이다. 본 실시형태는 제 12 실시형태와는 액상수지에 의하여 LSI칩(11)과 배선기판사이만을 봉하여 막도록 한 점에서만 상이하고, 그 이외의 점에서는 공통한다. 한편, 불형상전극(8)은 전해도금상에 전해금도금을 0.1 내지 0.3 μm 정도로 실시함으로써 형성한다. 한편, 금도금막이 두께가 0.3 μm 이상으로 되면, 뱀납접속한 경우, 금속사이 화합물이 생기고 바람직하지 못하다. 플립칩되는 LSI칩(11)으로서 뱀납 등의 돌기형상의 전극이 형성되어 있는 것을 사용한다. 액상수지에 의한 하부막을 형성하는 경우는, 배선기판과 LSI칩과의 사이에는 충분한 갭이 필요하다. 도 25는 수지밀봉후 외형 커트전 상태를 나타낸다. 수지밀봉한 상태에서는 LSI칩(11)의 측면도 수지(36)로 덮여져 있지만, 외형 커트에 의해 측면의 수지는 배선기판의 바깥둘레부와 같이 제거되어 도 24에 나타내는 상태가 된다. 33은 베이스(1)의 커트되는 바깥둘레부분을 나타낸다.

도 26은 본 발명배선기판의 제 14 실시형태를 나타내는 단면도이다. 본 실시형태는, 베이스(1)를 하프에칭하여 얇게 한 후 그 얇게 한 부분(1a)을 패터닝하여 배선막(38)을 형성하고 또한, 해당 배선막(38)을 불전극형성용개구(39)를 갖는 절연막(40)으로 덮고, 거기에 불전극(41)을 후부부착으로 설치하게 하고, 베이스(1)의 표면측에 상하간 배선 접속용개구(3)를 갖는 절연막(2)을 통해 설치한 배선막(5)상을 불전극형성용개구(7)를 갖는 절연막(6)으로 덮

고, 그 개구(7)상에는 불전극(8)을 형성하고, 하나의 배선기관에 복수(본 예에서는 2칩)의 LSI칩(11)을 플립칩본딩하여, 그 LSI칩(11)과 배선기관의 사이를 수지(12)로 봉하여 막은 것이다.

본 배선기관에 의하면, 베이스(1)를 하프에칭함으로써 얇게 하고, 그곳을 패터닝함으로써 베이스(1)를 사용하더라도 배선막(38)을 형성할 수가 있어, 배선의 한층 더 다층화를 이룰 수 있다.

도 27(A) 내지 (D)는 도 26에 나타난 배선기관의 제조방법을 공정순서로 나타내는 단면도이다.

(A) 예컨대, 도 2(A)~(C)에 나타내는 바와 같은 프로세스를 지나서 불전극(8)을 전해도금에 의해 형성한다. 도 27은 그 불전극(8)형성후의 상태를 나타낸다.

(B) 다음에, 도 27(B)에 나타난 바와 같이, 베이스(1)를, 그 이면에서 바깥둘레부를 제외하여 하프에칭하여 배선막의 형성에 타당한 두께(예컨대 수10 μ m)로 한다. 1a는 그 얇게 한 부분이다. 바깥둘레부를 남기는 것은, 강도를 확보하기 위해서이다.

(C) 다음에, 도 27(C)에 나타난 바와 같이, 상기 베이스(1)를 얇게 한 부분(1a)을 선택에칭함으로써 배선막(38)을 형성한다.

(D) 다음에, 도 27(D)에 나타난 바와 같이, 상기 배선막(38)을, 불전극형성용 개구(39)가 있는 절연막(40)으로 덮는다. 한편, 배선막(38)의 불전극형성용 개구에 노출하는 부분은 무전해금도금이나 슈퍼멤납 등의 멤납을 코팅한다.

이로서, 본 배선기관이 완성된다. 또한, 불전극(41)은 후부부착 탑재된다.

도 28(A), (B)는 LSI칩(11)의 탑재방법을 공정순서로 나타내는 단면도이다.

(A) 도 28(A)에 나타난 바와 같이, 복수의 LSI칩(11)을 플립칩으로 본딩한다. 35는 LSI칩(11)의 전극이다. 또한, 플립칩되는 LSI칩(11)으로서 멤납 등의 돌기형상의 전극이 형성되어 있는 것을 사용하거나, 배선기관의 배선회로가 2층 구조이므로 배선집적밀도를 높게 할 수가 있기 때문에, 복수의 LSI칩(11)을 탑재하는 데 어울리게 된다. 따라서, 본 실시형태에서는 복수의 LSI칩(11)을 탑재하고 있다.

(B) 다음에, 도 28(B)에 나타난 바와 같이, LSI칩(11)과 배선기관사이를 수지(12)로 봉하여 막는다. 한편, LSI칩(11)과 배선기관과의 사이의 겹은 100 μ m 정도이면 된다.

그 후, 상기 불전극형성용 개구(39)에 불전극(41)을 부착한다. 그렇게 하면, 도 26에 나타내는 배선기관이 완성된다.

도 29는 본 발명배선기관의 제 15 실시형태를 나타내는 단면도이다. 본 실시형태는, 표면층에 형성한 불전극을 LSI칩의 플립칩 본딩용으로서 사용하는 것은 아니고, 프린트배선 등과의 접속용으로서 사용하고, 베이스(1)를 선택적 에칭함으로써 형성한 단자(45)를 형성하고, LSI칩의 플립칩 본딩용의 전극으로서 사용하는 것이다. 한편, 베이스(1)의 선택적 에칭에 의해 단자(45)뿐만 아니라, 댐/접지 단자(46), 보강/댐(47)도 동시에 형성하여, 댐/접지 단자(46), 보강/댐(47)을 포토에칭에 의한 수지밀봉시에서의 수지의 흐름을 막는 역할, 즉 댐으로서의 역할을 다 하도록 하고 있으며, 그리고, 댐/접지 단자(46)에 있어서는 접지로서의 역할도 다하여, 보강/댐(47)에 있어서는 배선기관의 보강 수단으로서의 역할도 다하게 하도록 하고 있다.

도 30(A), (B)는 도 29에 나타내는 배선기관의 제조방법을 공정순서로 나타내는 단면도이다.

(A) 예컨대, 도 2(A)~(C)에 나타난 것과 같은 프로세스를 지나서 도 30에 나타난 바와 같이 불전극(8)을 형성한 상태로 한다.

(B) 다음에, 도 30(B)에 나타난 바와 같이, 베이스(1)를, 그 이면으로부터 선택적으로 에칭함으로써, LSI칩(11)이 플립칩 본딩되는 단자(45), 댐/접지 단자(46), 보강/댐(47)를 동시에 형성한다.

도 31(A), (B)는 LSI칩(11)의 탑재방법을 공정순서로 나타내는 단면도이다.

(A) 도 31(A)에 나타난 바와 같이, 베이스(1)로 이루어지는 단자(45)에 LSI칩(본 예에서는 복수의 LSI칩)(11)의 전극(35)을 본딩한다. 즉, 플립칩 본딩을 한다.

(B) 다음에, 도 31(B)에 나타난 바와 같이, LSI칩(11)과 배선기관사이를 수지(12)로 봉하여 막는다.

이에 따라, 도 29에 나타내는 배선기관이 완성된다.

도 32는 본 발명배선기관의 제 16 실시형태를 나타내는 단면도이다. 본 실시형태는 제 15에 나타내는 배선기관을 트랜스퍼볼딩에 의해 봉하여 막도록 한 것이고, 그 이외의 점에서는 차이가 없다.

도 33은 본 발명배선기판의 제 17 실시형태를 나타내는 단면도이다. 본 실시형태는 절연층(6)상에 배선막(51)을 더욱 형성하고, 베이스(1)의 절연막(2)측에 형성하는 배선의 층수를 1에서 2로 늘린 것이며, 보다 배선의 형성밀도를 높일 수 있다. 52는 배선막(51)상을 덮는 절연막으로, 이 절연막의 개구에 불전극(8)이 형성되어 있다.

이와 같은 베이스(1)의 표면측 배선의 층수를 2로 하는 것은, 절연막(6)을 선택적으로 형성후, 무전해도금에 의해 표면상에 Ni 막을 전면적으로 형성하고, 도금레지스트막을 선택적으로 형성후, 전해도금에 의해 동으로 이루어지는 배선막(51)을 형성하고, 그 후, 그 레지스트막을 제거하고, 그런 후, Ni 막을 제거하여 각 배선막(51)을 독립시킴으로써 형성할 수 있다. 또한, 이러한 공정을 반복함으로써 배선층을 2층보다도 많은 층수로 할 수 있다.

도 34(A)~(D)는 본 발명배선기판의 제 18 실시형태의 제조방법을 공정순서로 나타내는 단면도이다.

(A) 동으로 이루어지는 베이스(1)의 한쪽 주면(표면측의 면)에 감광성의 절연막(2)을 도포하고, 다음에, 해당 감광성 절연수지층(2)을 노광하여, 현상함으로써 상하배선간 접속용개구(3)를 가지며, 더 나중에 LSI칩의 전극과 본딩되어야 할 부분을 덮지 않는 패턴으로 패터닝한다. 그 후, 예컨대 Pd 활성화처리를 실시하고, 무전해 Ni-P 도금 등에 의해 도전층(메탈라이즈층)(4)을 전면적으로 형성하고, 상기 베이스(1)의 표면에 레지스트막을 마스크로서 배선막(5)을 형성한다. 그 후, 그 마스크로서 사용한 레지스트막을 제거하고, 그런 후, 레지스트막 제거전에 전면적으로 형성되어 있던 상기 도전층(4)을 얇은 에칭에 의해 제거하고, 그런 후, 배선막(5)이 서로 쇼트하지 않은 상태로 한다. 도 34(A)는 그 제거후의 상태를 나타낸다.

(B) 다음에, 불전극형성용 개구(7)를 가지며, 또한 동으로 이루어지는 배선막(5)의 후에 LSI칩의 전극과 접속되는 리드선단이 되는 부분을 덮지 않는 패턴의 제 2 절연막(6)을 형성한다. 도 34(B)는 해당 절연막(6)형성후의 상태를 나타낸다.

(C) 그 후, 상기 불전극형성용 개구(7)에, 전해도금에 의해, 불전극(8)을 형성한다. 해당 전극(8)은 예컨대 Ni 도금막과 금도금막으로 이루어진다. 도 34(C)는 불전극(8)형성후의 상태를 나타낸다.

(D) 다음에, 베이스(1)의 뒷편을, 레지스트막을 마스크로 하는 선택적 에칭에 의해 배선막(5)의 LSI칩의 전극과 접속해야 할 부분을 노출시킴과(이에 따라, 저절로 디바이스홀이 생긴다) 동시에, 베이스(1)로 이루어지는 단자(45)를 형성한다. 그 후, 단자표면처리를 실시한다. 도 34(D)는 그에 따라 완성된 배선기판을 나타낸다.

다음에, 도 35(A)~(B)에 나타낸 바와 같이, LSI칩(11)의 탑재를 한다.

(E) 우선, 도 35(A)에 나타낸 바와 같이, 배선막(5)의 안끝단에 LSI칩(11)의 전극을 싱글포인트 본딩에 의해 접속한다.

(F) 다음에, 도 35(B)에 나타낸 바와 같이, 수지(12)에 의해 봉하여 막는다. 이에 따라 LSI칩(11) 탑재배선기판이 1개 완성된다.

이러한 배선기판(1)을 여러개 포개고, 그 후, 뿔납리플로우에 의해 각 배선기판사이를 접속함에 의해 다단의 배선기판을 얻도록 하여도 좋다.

도 36(A)~(C)는 본 발명배선기판의 제 19 실시형태의 제조방법을 공정순서로 나타내는 단면도이다.

(A) 도 34(A)에 나타낸 것과 같은 공정에 의해 배선막(5)을 형성하여, 그 후, 제 2 절연막(6)을 형성한다. 도 36(A)은 해당 절연막(6)형성후의 상태를 나타낸다.

(B) 그 후, 상기 불전극형성용 개구(7)에, 전해도금에 의해, 불전극(8)을 형성한다. 해당 전극(8)은 예컨대 Ni 도금막과 뿔납으로 이루어진다. 도 36(B)은 불전극(8)형성후의 상태를 나타낸다.

(C) 다음에, 베이스(1)를 이면측에서 선택적으로 에칭함으로써 베이스(1)로 이루어지는 단자(45)를 형성한다. 그 후, 단자표면처리를 실시한다. 도 36(C)은 그것에 의하여 생긴 배선기판을 나타낸다.

다음에, 도 37(A)~(C)에 나타낸 바와 같이, LSI칩(11)의 탑재를 한다.

(D) 우선, 도 37(A)에 나타낸 바와 같이, 배선기판의 상기 베이스(1)의 선택적 에칭에 의해 노출한 절연막(2) 및 배선막(5)의 이면에 LSI칩(11)을 다이본딩한다.

(E) 다음에, 도 37(B)에 나타낸 바와 같이, 배선막(5)과 LSI칩(11)의 전극과의 사이를 와이어 본딩하고, 그 후, 해당 LSI칩(11) 및 와이어본딩부를 수지(12)에 의해 봉하여 막는다.

(F) 다음에, 도 37(C)에 나타낸 바와 같이, 뿔납볼 전극(8)을 리플로우한다. 이에 따라 LSI칩(11) 탑재배선기판이 1개 완성된다.

이러한 배선기판(1)은 여러개 포개어, 뿔납리플로우에 의해 각 배선기판사이를 접속함으로써 다단의 배선기판을 얻도록 하여도 좋다.

한편, 상기 제 17 실시형태 이외의 실시형태에 있어서도, 베이스(1)표면상에 형성하는 배선을 다층배선에게도 좋다. 또한, 베이스(1)를 얇게 한 부분에 의해 배선막을 형성하고, 또한 그 위를 절연막을 덮도록 한 실시형태에 있어서도 더욱 그 위에 한층 내지 다층의 배선막을 형성하도록 하여도 좋다.

도 38은 본 발명배선기판의 제 20 실시형태를 나타내는 단면도이다. 1은 동으로 이루어지는 베이스로, 선택적으로 에칭되어 LSI칩 탑재영역을 둘러싸는 둘러싸는 벽(50,50a)을 이루고, 특히 복수의 LSI칩탑재영역사이를 분리하는 둘러싸는 벽(50a)은 접지선도 이룬다.

2는 상기 베이스(1)의 표면에 형성된 절연막으로, 개구(3)를 가지며, 4는 메탈라이즈막, 5는 전해도금에 의한 동으로 이루어지는 배선막(1층번째의 배선막), 2a는 해당 배선막(5)을 덮는 절연막, 3a는 해당 절연막(2a)의 개구, 4a는 메탈라이즈막, 5a는 전해도금에 의한 동으로 이루어지는 배선막(2층번째의 배선막), 6은 1층번째, 2층번째의 배선막으로 이루어지는 다층배선을 덮는 절연막으로, 돌기형성용 개구(7)를 가지며, 해당 개구(7)에 도금에 의한 볼전극(8)이 형성되어 있다. 본 배선은 다층배선이지만, 각 층의 배선은 예컨대 도 1에 나타난 본 발명배선기판의 제 1 실시형태의 배선의 형성방법과 같은 방법을 2회 되풀이함으로써 형성할 수 있다.

상기 베이스(1)의 선택적 에칭에 의해 형성된 둘러싸는 벽(50,50a)에 둘러싸인 각 LSI칩 탑재영역내에는 LSI칩(11,11)이 다이본딩되어 있다. 구체적으로는, 베이스(1)의 에칭에 의해 노출한 절연막(2) 및 배선막(5)의 노출면상에 다이본딩되어 있으며, 그리고, 상기 LSI칩(11,11)의 각 전극과 상기 배선막(5)과의 사이가 와이어(27)에 의해 본딩되고, 수지(12)로 LSI칩(11,11) 및 와이어 본딩부가 밀봉되어 있다.

도 39(A)~(C)는 도 38에 나타내는 배선기판의 제조방법을 공정순서로 나타낸다.

(A) 베이스(1)상에, 개구(3)를 갖는 절연막(2)을 형성하고, 그 후, 예컨대 도 1에 나타내는 배선기판과 같은 방법으로 동전해도금에 의한 배선막(5)을 형성한다. 그리고, 또한 개구(3a)를 갖는 절연막(2a)을 형성하고 그 후, 배선막(5a)을 형성한다. 이 절연막(2a) 및 배선막(5a)의 형성은, 절연막(2) 및 배선막(5)과 같은 형성방법으로 행한다. 그 후, 돌기전극형성용 개구(7)를 갖는 절연막(6)을 형성한다. 도 38(A)은 해당 절연막(6)형성후의 상태를 나타낸다.

(B) 다음에, 도 39(B)에 나타난 바와 같이, 상기 돌기형성용개구(7)에 볼전극(8)을 형성한다.

(C) 다음에, 도 39(C)에 나타난 바와 같이, 상기 베이스(1)를 선택적으로 에칭함으로써 둘러싸는 벽(50,50a)을 형성한다. 이에 따라 배선기판이 완성된다.

도 40(A) 및 40(B)는 완성된 배선기판에의 LSI칩의 탑재방법을 공정순서로 나타내는 단면도이다.

(D) 도 40(A)에 나타난 바와 같이, 상기 베이스(1)의 선택적 에칭에 의해 형성된 둘러싸는벽(50,50a)에 의하여 둘러싸인 각 LSI칩탑재영역내에 LSI칩(11,11)을 다이본딩한다.

(E) 다음에, 도 40(B)에 나타난 바와 같이, 상기 배선막(5)과 상기 LSI칩(11)의 전극과의 사이를 와이어(27)에 의해 본딩한다.

한편, 그 후, 수지(12)로 봉하여 막으면 도 38에 나타내는 상태가 된다.

도 42(A) 내지 42(D) 및 도 43(A) 내지 43(D)는 본 발명의 21실시에에 따른 배선기판의 제조방법의 하나를 공정순서로 나타내는 단면도이다.

(A)예컨대 동 혹은 동합금으로부터 이루어지는 베이스메탈(61)을 준비하고, 해당 베이스메탈(61)의 한쪽 측의 표면에 제 1 뾰납막(62)을 선택적으로 형성한다. 해당 뾰납막(62)의 형성은, 예컨대, 포토레지스트막을 노광, 현상함으로써 패터닝하고, 해당 포토레지스트막을 마스크로서 전해도금함으로써 행한다. 해당 뾰납막(62)의 형성위치는, 후술하는 높이가 2가지 있는 금속돌기중의 높이가 낮은 쪽의 금속돌기를 형성해야 할 위치와 대응한 것이다. 도 42(A)은 뾰납막(62) 형성후의 상태를 나타낸다.

(B)다음에, 상기 베이스메탈(61)의 상기 한쪽 측의 표면에, 뾰납막(62)형성부도 포함하여, 해당 뾰납막(62)보다도 적당히 두꺼운 동막(63)을 전면적 도금에 의해 형성한다. 도 1(B)은 해당 동막(63)형성후의 상태를 나타낸다.

(C)다음에, 상기 동막(63)상에 절연성수지로 이루어지는 막, 예컨대 폴리이미드막(65)을 형성하고, 해당 폴리이미드막(65)을 선택적으로 에칭함에 의해 개구(66)를 형성한다. 해당 개구부(66)는 상기 베이스메탈(61)과 나중에 형성되는 배선막을 접속하는 개구, 즉 상하간 접속용 개구이며, 후술하는 하부 금속돌기가 형성되는 부분에 대응하는 위치와, 상부 금속돌기가 형성되는 부분에 대응하는 위치에 설치된다.

(D)다음에, 상기 폴리이미드막(65)상에 예컨대 동으로 이루어지는 배선막(67)을 무전해도금 및 전해도금에 의해 형성한다. 구체적으로는, 예컨대 Pd 활성화처리를 실시하고, 그 후, 무전해 Ni-P 도금 등에 의해 얇은 도전층을 전면적으로 형성하며, 그 후, 형성해야할 패턴에 대하여 네거티브의 패턴의 포토레지스트막을 형성하고, 해당 포토레지스트막을 마스크로서 동을 도금함에 의해 배선막(67)을 형성하며, 그 후, 상기 포토레지스트막을 제거하고, 그런 후, 배선막(67)을 마스크로서, 상기 얇은 도전층을 에칭한다는 방법으로 배선막(67)을 형성한다. 도 42(D)은 배선막(67)형성후의 상태를 나타낸다.

(E)다음에, 상기 배선막(67)상에 절연성수지로 이루어지는 절연막(68)을 선택적으로 형성한다. 해당 절연막(68)은 나중에 LSI 칩의 전극에 와이어를 접속되는 단자부분이 되는 부분을 노출시키는 개구(69)를 갖는다. 도 43(A)는 해

당 개구(69)를 갖는 절연막(68)의 형성후의 상태를 나타낸다. (F)그 후, 상기 배선막(67)의 상기 개구(69)를 통하여 노출하는 부분 및 베이스메탈(61)의 다른쪽(이면측)면의 후술하는 상부 금속돌기를 형성해야 할 부분에 뱀납막(70,71)을 도금에 의해 형성한다. 도 2 (F)는 뱀납막(70,71)형성후의 상태를 나타낸다. 뱀납막(70)은 배선막(67)의 개구(69)에 노출하는 부분에 형성된 뱀납막, 뱀납막(71)의 베이스메탈(61)의 이면측의 면에 형성된 뱀납막이다.

(G)다음에, 상기 뱀납막(62,71)에 대해서는 침투할수 없고, 등에 대해서는 침투할 수 있는 에칭액을 사용하여 상기 베이스메탈(61) 및 동막(63)에 대한 이면측으로부터의 에칭을 한다. 바꿔 말하면, 뱀납막(62,71)을 마스크로 하는 베이스메탈(61) 및 동막(63)에 대한 선택적 에칭을 한다. 그렇게 하면, 도 43(C)에 나타난 바와 같이, 뱀납막(71)으로 덮힌 부분에는 베이스메탈(61) 및 동막(63)으로 이루어지는 금속돌기(72)가 형성되고, 뱀납막(62)으로 덮힌 부분에는 동막(63)으로 이루어지는 금속돌기(73)가 형성된다. 금속돌기(72)는 베이스메탈(61) 및 동막(63)으로 이루어지기 때문에, 그 높이는 대략 베이스메탈(61)과 동막(63)의 합이 되고, 높아짐에 대해서, 금속돌기(73)는 동막(63)으로만 이루어지기 때문에, 그 높이는 대략 동막(63)의 두께가 되고, 낮아진다.

(H) 그 후, 리플로우처리함으로써, 금속돌기(72,73)를 덮는 뱀납막(22,71)을 정형하면, 도 43(D)에 나타내는 바와 같은 배선기관(74)이 만들어진다.

즉, 본 배선기관(74)은, 개구(66)를 갖는 절연성수지막(폴리이미드)(65)의 한쪽 측(겉쪽)에는, 배선막(67)이 형성되고, 해당 배선막(67)상에는 후술하는 LSI 칩의 전극과 접속되는 단자부분을 노출시키는 개구(69)인 절연막(68)이 형성되고, 해당 개구(69)에는 뱀납막(70)이 형성되어 있다.

또한, 상기 절연성수지막(65)의 다른쪽 측(이면측)에는, 그 개구(66)를 통하여 상기 배선막(67)과 전기적으로 접속된 높이가 다른 금속돌기(72,73)가 형성되어 있다. 그리고, 해당 금속돌기(72,73)는 뱀납(62,71)으로 덮힌 상태가 되고 있다. 하부 금속돌기(73)는 LSI 칩의 플립칩 본딩용으로서 사용할 수 있고, 상부 금속돌기(72)는 배선기관(74)의 외부단자로서 사용할 수 있다.

도 44(A)~(D)는 도 2(H)에 나타난 배선기관(74)에의 LSI 칩(75,76)의 탑재방법을 공정순차로 나타내는 단면도이다.

(A)배선기관(74)의 뒷면에 LSI 칩(75)을 하부 금속돌기(73)로써 플립칩 본딩함에 의해 탑재한다. 도 44(A)은 LSI 칩(75)의 플립칩 본딩후의 상태를 나타낸다.

(B)다음에, 도 44(B)에 나타난 바와 같이, 상기 배선기관(74)과 LSI 칩(75)사이를 수지(17)로 봉하여 막는다.

(C)그 후, 배선기관(74) 표면에 LSI 칩(76)을 본딩하여, 해당 LSI 칩(76)의 각 전극과, 배선막(67)의 단자의 뱀납막(70)과의 사이를 와이어(78)에 의해 접속한다. 도 44(C)은 와이어 본딩후의 상태를 나타낸다.

(D)그런 후, 도 44 (D)에 나타난 바와 같이 LSI 칩(76)을 수지(79)로 하여 막는다.

본 배선기관(74)에 의하면, 상하간 도통용개구(66)를 갖는 절연성수지막(폴리이미드막)(65)의 표면에 배선막(67)이 형성되고, 해당 절연성수지막(65)의 뒷면에 상기 개구(66)를 통하여 상기 배선막(67)에 접속된 서로 2가지의 다른 높이의 금속돌기(72,73)가 형성되어 있기 때문에, 절연성수지막(65)의 표면과 이면측 양쪽에 LSI 칩(75,76)을 탑재할 수 있고, 배선기관(74)의 설치밀도를 높일 수 있다.

한편, 도 43(D)에 나타난 배선기관(74)은, 상기 절연성수지막(65)의 표면의 배선이 일층 배선이지만, 이 배선은 2층 배선 혹은 그 이상의 다층배선이어도 좋다.

또한, 상기 배선기관(74)의 제조방법에 있어서는, 도 43(C)에 나타난 에칭공정의 종료후, 도 43(D)로 나타내는 뱀납막(62,71)을 리플로우처리하는 공정에 의해 금속돌기(72,73)가 뱀납으로 덮힌 형상으로 정형되도록 하지만, 반드시 그와 같게 하는 것은 불가결한 것이 아니라, 에칭공정의 종료후, 뱀납막(62,71)을 박리에 의해 제거하도록 하여도 좋다. 도 45(A)는 그와 같은 뱀납막(62,71)을 박리한 경우의 배선기관의 예(74a)를 나타내는 단면도이며, 45(B)는 그 배선기관(74a)에 하나의 LSI 칩(76)을 탑재한 예를 나타내는 단면도이다.

도 46은 배선기관(74) 및 (84)을 두개 적층한 사용예를 개시하는 단면도이며, 이러한 양태라도 배선기관을 사용할 수 있다. 배선기관(74)은 도 43(D)에 나타난 것과 동일하지만, 배선기관(84)은 배선기관(74)의 뱀납막(70)대신에 뱀납돌기(80)를 형성한 것으로, 배선기관(74,84)의 이면측에는 각각 하부 금속돌기(73)로써 LSI 칩(85)이 탑재되어 있다. 배선기관(74)의 곁에는 LSI 칩(76)이 탑재되어 있지만 배선기관(84)의 곁에는 LSI 칩(76)을 설치하지 않고, 뱀납돌기(80)를 프린트배선기관(81)의 배선막(82)과의 접속단자로서 사용한다. 그리고, 배선기관(74)의 상부 금속돌기(74)와 배선기관(84)의 상부 금속돌기(72)끼리를 예컨대 뱀납(83)등에 의해 접속하여 이룬다. 이에 따라 배선기관을 복수적층하여 보다 설치밀도의 향상을 도모할 수 있다.

도 47은 4단계로 조립된 다수개의 배선기관으로의 적용예를 나타낸 단면도이다. 도 47에서 나타난 바와 같이, LSI 칩으로서, 다이내믹 랜덤액세스 메모리(DRAM)(90a, 90b, 90c, 90d, 90e, 90f), DRAM 컨트롤러(91),스태틱램(SRAM)(92a), (92b), 플래쉬 메모리(93), 디지털 신호처리장치(DSP)(94), 직렬 인터페이스(95), 타이머(96), 버스 컨트롤러(97), 동화상 전송기 그룹(MPGE)(98), IEEE 1394 직렬 인터페이스(99)가 마련되고, 각 배선기관은 하부금속 돌기(100) 및 상부금속 돌기(101)를 가진다. DRAM(90a) 및 (90b)들은 배선(102)를 통하여 배선기관에 각각 접속되며, 수지(103)로 밀봉된다.

도 48은 8단계로 조립된 다수개의 배선기관으로의 적용예를 나타낸 단면도이다. 도 48에서 나타난 바와 같이, LSI 칩으로서, 다이내믹 랜덤액세스 메모리(DRAM)(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h, 110i, 110j,

100k, 100l, 100m), DRAM 콘트롤러(111), 스테틱 램(SRAM)(112a),(112b), 플래쉬 메모리(113), 디지털 신호처리장치(DSP)(114), 직렬 인터페이스(115), 타이머(116), 버스 콘트롤러(117), 동화상 전문가 그룹(MPGA)(118), IEEE 1394 직렬 인터페이스(119)가 마련되고, 각 배선기판은 하부금속 돌기 및 상부금속 돌기를 가진다.

발명의 효과

상술한 바와 같이, 본 발명의 배선기판에 있어서는, 금속베이스상에 절연막을 통해 전해도금에 의한 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 베이스(1)를 선택적으로 에칭하여 이루어지기 때문에, 베이스를 배선기판의 구성에 사용할 수 있고, 또한 배선기판의 기계적 강도의 확보에도 이용할 수 있다.

본 발명의 배선기판 제조방법에 의하면, 금속베이스위에 절연막을 통해 전해도금에 의한 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 베이스(1)를, 선택적으로 에칭하기 때문에, 상술한 배선기판을 얻을 수가 있다.

배선기판에 의하면, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하고, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막(도전막)으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선의 형성영역상에 제 2 절연막을 일부를 제외하여 형성하고, 상기 베이스를, 선택에칭하여 상기 배선막의 이면을 노출시켜 이루어지기 때문에, 우선, 상기 베이스와 상기 배선막을 상기 개구를 통하여 전기적으로 접속할 수 있고, 베이스에 배선 등의 기능을 갖게 할 수 있게 되고, 그 개구의 형성에 드릴, 형성형가공 등의 특별한 작업이 필요하지는 않다.

또한, 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖기 때문에, 배선막의 형성을 막질의 안정성 등에 뛰어난 전해도금에 의해 행할 수 있게 되고, 배선막의 막질을 향상시키고 형성속도를 높일 수 있다.

배선기판에 의하면, 베이스가 접지층, 전원 플레인, 단자, 댐 및/또는 보강부를 이루도록 부분적으로 제거(선택에칭)되어, 제 1 절연막에 형성된 개구가, 배선막에 의해 묻혀짐으로써 상기 베이스로 이루어지는 접지층 및/또는 전원 플레인과 상기 배선막과의 사이를 접속하는 접속수단을 이루고 있기 때문에, 접지층 및/또는 전원플레인을 특별히 형성할 필요가 없어진다. 또한, 베이스에 의해 댐 및/또는 보강부를 형성한 경우에는, 댐 및/또는 보강부를 형성하기 위해서 특별한 층을 형성하고, 그것을 패터닝할 필요가 없다.

배선기판에 있어서는, 메탈라이즈막이 배선막재료와 선택에칭성이 있는 재료로 이루어지기 때문에, 베이스를 선택적으로 에칭할 때에 있어서 그 메탈라이즈막을 배선막의 에칭을 저지하는 에칭스토퍼용으로서 기능시킬 수 있고, 에칭스토퍼용으로서 일부러 막을 형성할 필요는 없다.

배선기판에 있어서는, 부분적으로 제거된(선택에칭된) 베이스에 의해 다른 부재와 접속되는 단자가 구성되었기 때문에, 그 베이스로 이루어지는 단자를 불전극 대신에 사용할 수 있고, 또한, 해당 단자를 에컨대 LSI칩의 전극과의 플립칩용단자로서 사용하여, 배선기판의 반베이스측면에 에컨대 불전극을 형성하여 해당 불전극을 다른 부재와의 접속단자로서 사용하도록 할 수도 있다.

배선기판에 있어서는, 배선의 형성영역상의 제 2 절연막을 제거하여 형성된 일부에 단자를 형성하고, 베이스의 해당 단자와 대응하는 위치에 완충재충전구멍을 형성하여, 해당 완충재 충전구멍내에 완충재를 충전하여 되기 때문에, 단자와 에컨대 LSI칩의 전극등과의 접속시에 가해지는 충격을 해당 완충재에 흡수시킬 수 있게 되며, 나아가서는, 해당 접속시에 충격에 의해 LSI칩 등에 크랙이 생기는 것을 방지할 수가 있다.

배선기판에 있어서, 배선의 형성영역상에 제 2 절연막의 일부가 제외된 부분이 배선의 일부를 노출되는 돌기전극형성용 개구를 이뤄, 해당 돌기전극형성용개구에 LSI칩과 플립칩접속되는 돌기전극을 형성하였기 때문에, 해당 돌기전극으로써 LSI칩을 플립칩 본딩에 의해 탑재할 수가 있다.

배선기판에 있어서, 배선의 형성영역상에 제 2 절연막의 일부가 제외된 부분이 배선의 일부를 노출되는 돌기전극형성용 개구를 이뤄, 해당 돌기전극형성용개구에 다른 부재와 접속되는 돌기전극을 형성하였기 때문에, 배선기판의 반대 베이스측에서 해당 돌기전극으로써 배선부재를 접속할 수가 있다.

배선기판의 제조방법에 있어서, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 제 2 절연막을 일부를 제외하고 형성하는 공정과, 상기 베이스와 선택적 에칭하여 상기 배선막의 이면을 노출시키는 공정을 적어도 갖기 때문에, 상기 배선기판을 얻을 수 있다.

제조방법에 있어서, 베이스의 선택적 에칭에 의해 배선막의 이면을 노출시킨 뒤, 그 노출면에 귀금속을 도금하기 때문에, 배선막의 이면에만 귀금속을 형성하여 그 접속성을 높일 수 있게 되고, 그 이외의 부분에 귀금속이 도착한다는 낭비를 없앨 수 있으며, 나아가서는 재료비를 절감할 수 있다.

배선기판의 제조방법에 있어서, 메탈라이즈처리에 의해 형성하는 메탈라이즈막을, 배선막을 이루는 금속과 선택에칭성이 있는 금속에 의해 형성하여, 베이스의 선택적 에칭을 상기 메탈라이즈막을 에칭스토퍼로 하는 에칭에 의해 행하기 때문에, 베이스의 선택에칭시에 배선막의 에칭을 저지하기 위한 에칭스토퍼를 만드는 공정을 일부러 설치할 필요가 없다.

배선기판에 있어서, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하여, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하여, 상기 배선의 형성영역상에 돌기전극형성용 개구를 갖는 제 2 절연막을 형성하고, 상기 돌기전극형성용개구에 전해도금막으로 이루어지는 돌기전극을 형성하여, 상기 베이스에 의해 다른 부재에 접속되는 단자를 형성하여 이루어지기

때문에, 배선기판에 예컨대 돌기전극으로써 LSI칩을 탑재하고, 배선기판을 상기 베이스로 이루어지는 단자으로써 배선부재에 탑재할 수가 있다.

배선기판의 제조방법에 있어서, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 돌기전극형성용개구에 전해도금막으로 이루어지는 돌기전극을 형성하는 공정과, 상기 베이스를 이면측에서 선택적으로 에칭함으로써 다른 부재에 접속되는 단자를 형성하는 공정을 적어도 갖기 때문에, 상기의 배선기판을 얻일 수 있다. 그리고, 배선막의 하부가 메탈라이즈막(도전막)으로 이루어지기 때문에, 배선막의 형성을 막질의 안정성 등이 우수한 전해도금에 의해 행하는 수 있어, 배선막의 막질을 향상시키고 형성속도를 높일 수 있다.

배선기판에 있어서, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하고, 상기 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하여, 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하고, 상기 베이스에 의해 다른 부재에 접속되는 단자를 형성하여 되기 때문에, 상기 배선의 접속용개구으로써 예컨대 LSI칩의 전극과의 접속을 하여, 상기 단자으로써 다른 부재와의 접속할 수 있게 된다.

배선기판에 있어서, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 베이스에 의해 다른 부재에 접속되는 단자를 형성하기 때문에, 상기의 배선기판을 얻을 수 있다.

배선기판에 있어서, 제 1 절연막상의 배선막의 하부를 베이스로 선택에칭성이 있고, 또한 LSI칩과 마이크로접합 가능한 재료로 형성하여 되기 때문에, 배선막의 형성을 막질의 안정성 등이 우수한 전해도금에 의해 행할 수 있고, 배선막의 막질을 향상시켜 형성속도를 높일 수 있음과 동시에, LSI칩과 마이크로접합가능하게 하기 위해서만의 공정을 설치하는 일없이 이러한 마이크로접합이 가능하게 된다.

제조방법에 의하면, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 베이스에 의해 다른 부재에 접속되는 단자를 형성하는 공정을 갖기 때문에, 상기 와 같은 배선기판을 얻을 수 있다.

배선기판에 있어서, 베이스에 의해 접지층, 전원 플레인 및/또는 보강부가 구성되어 있기 때문에, 접지층, 전원 플레인 및/또는 보강부를 구성하기 위해서 특별한 층, 부재를 형성하는 것이 필요없게 된다.

배선기판은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하고, 상기 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하고 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하며, 상기 베이스에 의해 스티프너를 형성하여 이루어지기 때문에, 스티프너를 후부부착으로 부착할 필요가 없고, 스티프너의 위치결정도 베이스의 선택에칭에 있어서의 가공정밀도로 위치결정이 가능하며, 위치 결정 정밀도를 높일 수 있다.

배선기판의 제조방법은, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상기 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 돌기전극형성용개구에 돌기전극을 형성하는 공정과, 상기 베이스를 이면에서 선택적 에칭에 의해 디바이스호스를 형성함으로써 스티프너를 형성하는 공정을 갖기 때문에, 청구항 20의 배선기판을 얻을 수 있고, 스티프너를 후부부착에 의해 부착할 필요가 없고, 스티프너의 위치결정도 베이스의 선택에칭에 있어서의 가공정밀도로 위치 결정이 가능하고, 위치 결정 정밀도를 높일 수 있다.

배선기판은, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하여, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하여, 상기 배선의 형성영역상에 돌기전극형성용 개구를 갖는 제 2 절연막을 형성하고, 상기 돌기전극형성용 개구에 전해도금막으로 이루어지는 돌기전극을 형성하며, 상기 베이스를 부분적으로 얇게 하고, 그 얇게 된 베이스에 의한 배선막을 형성하여, 상기 얇게 된 배선막상에 돌기전극형성용 개구를 갖는 절연막을 형성하였기 때문에, 상기 베이스가 얇게 한 부분에 의해서도 배선을 구성할 수 있다.

따라서, 배선기판을 보다 다층화할 수가 있고, 나아가서는 배선기판의 집적밀도를 보다 높일 수 있다.

배선기판의 제조방법은, 금속으로 이루어지는 베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 돌기전극형성용개구에 전해도금막으로 이루어지는 돌기전극을 형성하는 공정과, 상기 베이스를 부분적으로 얇게 하기 위해서 그 이면에서 하부에 에칭하는 공정과, 상기 베이스의 상기 얇게 된 부분을 선택적으로 에칭에 의해 배선막을 형성하는 공정과, 상기 베이스의 상기 얇게 형성된 부분으로 이루어지는 배선막상에 돌기전극형성용개구를 갖는 절연막을 형성하는 공정을 갖기 때문에, 상기의 배선기판을 얻을 수 있게 된다.

배선기판은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하고, 해당 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하고 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하며, 상기 돌기전극형성용개구에 전해도금막으로 이루어져, 다른 부재에 접속되는 돌기전극을 형성하고, 상기 베이스에 의해 LSI칩에 접속되는 단자를 구성하였기 때문에, 해당 단자으로써 LSI칩을 플립칩본딩하고, 상기 돌기전극으로써 다른 부재와 접속되도록 할 수가 있다.

배선기판의 제조방법은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하는 공정과, 상기 개구를 포함하는 상기 제 1 절연막상에 하부가 메탈라이즈막으로 이루어지는 배선막을 갖는 1층 또는 다층의 배선을 형성하는 공정과, 상기 배선의 형성영역상에 돌기전극형성용개구를 갖는 제 2 절연막을 형성하는 공정과, 상기 돌기전극형성용개구에 전해도금막으로부터 이루어지며, 다른 부재에 접속되는 돌기전극을 형성하는 공정과, 상기 베이스를 선택적으로 에칭함으로써, 적어도 LSI칩에 접속되는 단자를 형성하는 공정을 갖기 때문에, 상기의 배선기판을 얻을 수 있다.

배선기판은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하고, 상기 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하고 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하고, 상기 접속용개구에 돌기전극을 형성하여, 상기 베이스의 선택적 에칭에 의해 상기 배선막을 부분적으로 노출시켜, 상기 베이스의 이면에 LSI칩을 고정하고, 상기 배선막의 노출한 부분이 LSI칩의 전극에 본딩되도록 하였기 때문에, LSI칩의 전극을 배선막 및 돌기전극을 통해 집어낼 수 있는 배선기판을 얻을 수 있게 된다.

배선기판은, 베이스의 돌기전극과 대응하는 부분에 완충재충전구멍을 형성하고 상기 완충재충전구멍내에 완충재를 충전하여 되기 때문에, 단자와 에컨대 다른 부재와의 접속시에 가해지는 충격을 해당 완충재에 흡수시킬 수 있게 되며, 나아가서는, 해당 접속시에 충격에 의해 LSI칩 등에 크랙이 생기는 것을 방지할 수 있다.

배선기판은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하고, 해당 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하며, 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하고, 상기 접속용개구에 돌기전극을 형성하며, 상기 베이스의 선택적 에칭에 의해 디바이스홀을 형성하여 상기 배선막을 부분적으로 노출시켜, 상기 디바이스홀내에 LSI칩이 위치되고, 해당 LSI칩의 각 전극이 상기 배선막의 상기 디바이스홀내에 노출한 부분에 본딩되도록 하였기 때문에, CSP 타입의 배선기판을 구성할 수 있고, 또한 베이스의 디바이스홀의 주위에 닿는 부분을 그대로 스티프너로서 기능시킬 수 있고, 스티프너를 후부부착에 의해 부착할 필요가 없고, 스티프너의 위치결정도 베이스의 선택적 에칭에 있어서의 가공정밀도로 위치 결정이 가능하며, 위치 결정 정밀도를 높일 수 있다.

배선기판은, 금속베이스상에 개구를 갖는 제 1 절연막을 형성하여, 해당 개구를 포함하는 상기 제 1 절연막상에 배선막을 갖는 1층 또는 다층의 배선을 형성하고 상기 배선의 형성영역상에 접속용개구를 갖는 제 2 절연막을 형성하여, 상기 접속용개구에 돌기전극을 형성하여, 상기 베이스의 선택적 에칭에 의해 상기 배선막을 부분적으로 노출시키고, 상기 베이스의 이면에 LSI칩이 다이본딩되고, 해당 LSI칩의 전극과 상기 배선막의 노출부와의 사이가 와이어 본딩되도록 하였기 때문에, LSI칩의 전극을 와이어, 배선막 및 돌기전극을 통해 집어낼 수 있는 배선기판을 얻을 수 있다.

배선기판에 있어서는, 베이스의 돌기전극과 대응하는 부분에 완충재충전구멍을 형성하고, 상기 완충재 충전구멍내에 완충재를 충전하여 되기 때문에, 단자와 에컨대 다른 부재와의 접속시에 가해지는 충격을 해당 완충재에 흡수시킬 수 있고, 나아가서는, 해당 접속시에 충격에 의해 LSI칩 등에 크랙이 생기는 것을 방지할 수가 있다.

배선기판은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 절연막을 형성하며, 상기 개구를 포함하는 상기 절연막상에, 선단부가 상기 베이스의 선택적 에칭에 의해 상기 단자형성영역에서 외측에 비어져 나오게 된 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선상에 절연재료를 통해 LSI칩이 표면부에서 다이본딩되어, 상기 배선막의 상기 비어져 나오게 된 부분이 상기 LSI칩표면부 바깥둘레의 전극에 본딩되도록 하여 이루어지기 때문에, LSI칩표면의 바깥둘레의 전극을 상기 배선막 및 상기 베이스로 이루어지는 단자를 통해 도출하는 배선기판을 얻을 수 있다.

배선기판은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 절연막을 형성하여, 상기 개구를 포함하는 상기 절연막상에, LSI칩과의 접속부가 노출되어진 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선상에 절연재료를 통해 LSI칩이 이면부에서 다이본딩되어, 상기 배선막의 상기 노출되어진 부분이 상기 LSI칩표면부의 전극에 와이어 본딩되도록 하여 이루어지기 때문에, LSI칩표면의 바깥둘레의 전극을 와이어, 상기 배선막 및 상기 베이스로 이루어지는 단자를 통해 도출하는 배선기판을 얻을 수 있다.

배선기판은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 절연막을 형성하여, 상기 개구를 포함하는 상기 절연막상에, LSI칩과 접속되는 내단부가 노출되어진 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선막의 내단부표면에 LSI칩의 전극이 본딩되도록 하여 이루어지기 때문에, LSI칩의 전극을 상기 배선막 및 상기 베이스로 이루어지는 단자를 통해 도출하는 배선기판을 얻을 수 있다.

배선기판은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 제 1 절연막을 형성하여, 상기 개구를 포함하는 상기 절연막상에 상기 단자와 해당 개구를 통하여 접속된 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선상에 돌기전극형성용 개구를 갖는 제 2 절연막을 형성하고, 상기 돌기전극형성용 개구에 돌기전극을 형성하여, 상기 돌기전극에 LSI칩의 전극이 접속되도록 하여 이루어지기 때문에, LSI칩의 전극을, 상기 돌기전극, 상기 배선막 및 상기 베이스로 이루어지는 단자를 통하여 도출하는 배선기판을 얻을 수 있다.

배선기판은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 제 1 절연막을 형성하며, 상기 개구를 포함하는 상기 절연막상에 상기 단자와 해당 개구를 통하여 접속된 배선막을 갖는 1층 또는 다층의 배선을 형성하여, 상기 배선상에 돌기전극형성용 개구를 갖는 제 2 절연막을 형성하고 상기 돌기전극형성용 개구에 돌기전극을 형성하여, 상기 돌기전극에 LSI칩의 전극이 접속되고, 해당 LSI칩과 상기 제 2 절연막간 혹은 해당 제 2 절연막 및 해당 LSI칩이 수지밀봉되도록 하여 이루어지기 때문에, LSI칩의 전극을, 상기 돌기전극, 상기 배선막 및 상기 베이스로 이루어지는 단자를 통해 도출하여, 수지밀봉할 수가 있는 배선기판을 얻을 수 있다.

배선기관은, 금속으로 이루어지는 베이스의 선택적 에칭에 의해, 다른 부재와 접속되는 단자와, 인접 LSI칩배치영역사이에 위치하는 댄부와 기판바깥둘레부에 위치하는 댄부를 형성하고, 상기 베이스로 이루어지는 단자상에 개구를 갖는 제 1 절연막을 형성하며, 상기 개구를 포함하는 상기 절연막상에 상기 단자와 해당 개구를 통하여 접속된 배선막을 갖는 1층 또는 다층의 배선을 형성하고 상기 배선상에 돌기전극형성용 개구를 갖는 제 2 절연막을 형성하고, 상기 돌기전극형성용 개구에 돌기전극을 형성하여, 복수의 LSI칩이 그 전극을 상기 베이스로 이루어지는 상기 단자에 접속되는 것에 의해 탑재되어, 해당 LSI칩-상기 제 2 절연막간 혹은 해당 제 2 절연막 및 해당 LSI칩이 수지밀봉될 때 상기 댄부가 수지를 막도록 하여 이루어지기 때문에, 복수의 LSI칩의 전극을, 상기 돌기전극, 상기 배선막 및 상기 돌기전극을 통해 도출하는 수 있으며, 또한, 수지밀봉할 수가 있고 또한 그 수지를 댄부에서 막을 수 있는 배선기관을 얻을 수 있다.

배선기관은, 베이스상에 개구를 갖는 절연막을 형성하여, 상기 개구도 포함시켜 상기 절연막상에 형성된 배선막을 갖는 1층 또는 다층의 배선을 형성하고, 상기 배선상에 돌기전극형성용개구를 갖는 절연막을 형성하여, 상기 돌기전극형성용개구에 돌기전극을 형성하여, 상기 베이스의 선택적으로 에칭함에 의해 복수의 LSI칩탑재영역을 설치하여, 상기 각 LSI칩탑재영역에 LSI칩을 탑재하고, 상기 LSI칩의 각 전극과, 상기 베이스의 선택적 에칭에 의해 노출한 상기 배선막과의 사이를 와이어로 본딩하도록 하여 이루어지기 때문에, 복수의 LSI칩의 각 전극을 와이어, 도전막 및 볼전극을 통해 도출할 수 있는 배선기관을 얻을 수 있다.

본 발명의 배선기관에 의하면, 상하간 도통용 개구를 갖는 절연성수지막의 한측 (표면측)에 일층 또는 다층의 배선막이 형성되고, 해당 절연성수지막의 다른측 (이면측)에 상기 개구를 통하여 상기 배선막에 접속된 서로 2가지의 다른 높이의 금속돌기가 형성되어 있기 때문에, 절연성수지막의 표면과 이면측이 낮은 금속돌기가 있는 부분의 양쪽에 LSI 칩을 탑재할 수 있고, 배선기관의 설치밀도를 높일 수 있다.

이 배선기관에 따르면, 플립칩 본딩용의 돌기로서의 하부금속돌기 및 LSI칩들은 하부 금속돌기에 본딩된다. 또한 배선기관에 따르면, LSI 칩들은 상하부 도통용 개구를 가지는 수지막의 한측에 배설되며, 1층 또는 다층의 배선막이 형성된다.

본 발명의 배선기관의 제조방법에 의하면, 베이스메탈의 한편의 주면에 제 1 댄납막을 선택적으로 형성하여, 그 주면상에 상기 댄납막상도 포함시켜 금속막을 형성하고, 해당 금속막상에 절연막을 통하여 배선막을 형성하고, 상기 베이스메탈의 다른쪽의 주면상에 제 2 댄납막을 형성하여, 그 후, 상기 제 2 댄납막을 마스크로서 상기 베이스메탈을 에칭함과 동시에, 상기 제 2 댄납막 및 상기 제 1 댄납막을 마스크로서 상기 금속막을 에칭하여 제 2 댄납막과 베이스메탈로 이루어지는 높은 금속돌기와, 제 1 댄납막과 상기 금속막으로 이루어지는 낮은 금속돌기를 형성하기 때문에, 상기 본발명의 배선기관을 얻을 수 있게 된다. 또한, 금속돌기의 형성후, 마스크로서 사용한 댄납막에 대한 리플로우처리를 실시함으로써, 그 댄납으로 금속돌기를 덮고, 그 댄납을 댄납뱀프로서 이용할 수 있다.

(57) 청구의 범위

청구항 1.

개구를 갖는 수지막의 한쪽측에 형성된 적어도 1층의 배선막과;

상기 수지막의 다른쪽 측에 상기 개구를 통하여 상기 배선막에 접속된 2가지의 서로 다른 높이로 형성된 금속돌기를 포함하여 구성되는 배선기관.

청구항 2.

제 1 항에 있어서, 하부 금속돌기가 플립칩 본딩용 돌기로 되고, 상기 하부 금속돌기에 LSI 칩이 본딩되는 배선기관.

청구항 3.

제 1 항에 있어서, LSI 칩은 배선막층이 형성되는 수지막의 한쪽에 배치되는 배선기관.

청구항 4.

베이스메탈의 한쪽 주면에 제 1 댄납막을 선택적으로 형성하는 공정과;

상기 베이스메탈의 상기 주면상에 상기 제 1 댄납막도 포함시켜 금속막을 형성하는 공정과;

상기 금속막상에, 나중에 형성되는 금속돌기와 대응하는 위치에 개구가 있는 절연막을 형성하는 공정과;

상기 절연막상에 적어도 일층의 배선막을 형성하는 공정과;

상기 베이스메탈의 다른쪽의 주면상에 상부 금속돌기를 형성해야 할 위치에 제 2 댄납막을 형성하는 공정; 및

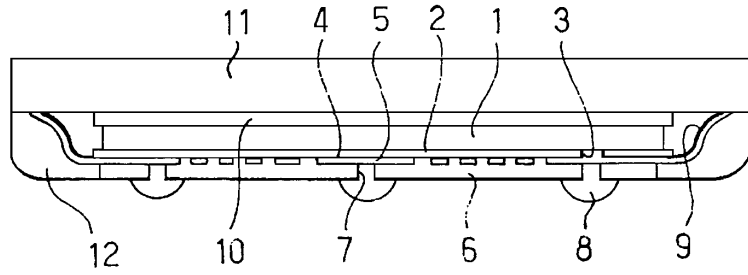
상기 제 2 댄납막을 마스크로 사용하여 상기 베이스메탈을 상기 다른쪽의 주면측에서 에칭함과 동시에, 상기 제 2 댄납막 및 상기 제 1 댄납막을 마스크로 사용하여 상기 금속막을 에칭하여 상기 금속막과 상기 베이스메탈로 이루어지는 상부 금속돌기와, 상기 금속막으로 이루어지는 상기 하부 금속돌기를 형성하는 공정을 갖는 것을 특징으로 하는 배선기관의 제조방법.

청구항 5.

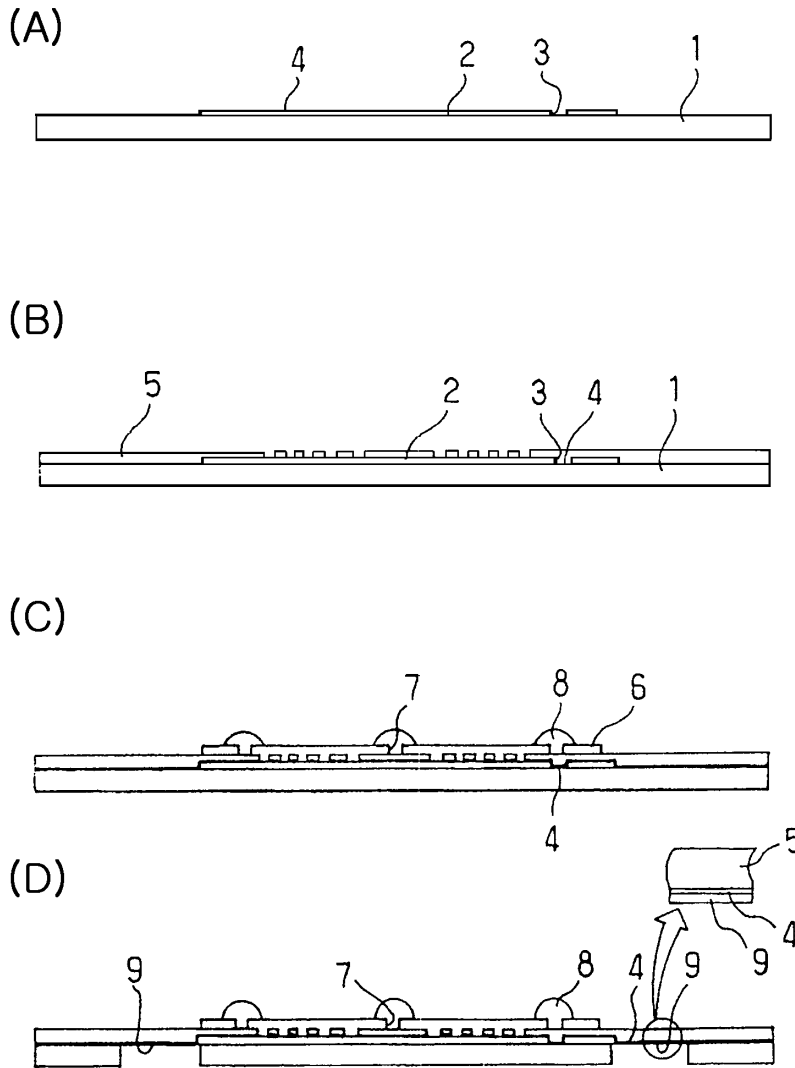
제 4 항에 있어서, 상부 금속돌기 및 하부금속돌기를 형성한 후에 제 1 및 제 2 뿔납막에 리플로우 처리가 가해지고, 상부 금속돌기 및 하부 금속돌기들은 제 1 및 제 2 뿔납막의 뿔납으로 덮여지는 배선기판의 제조방법.

도면

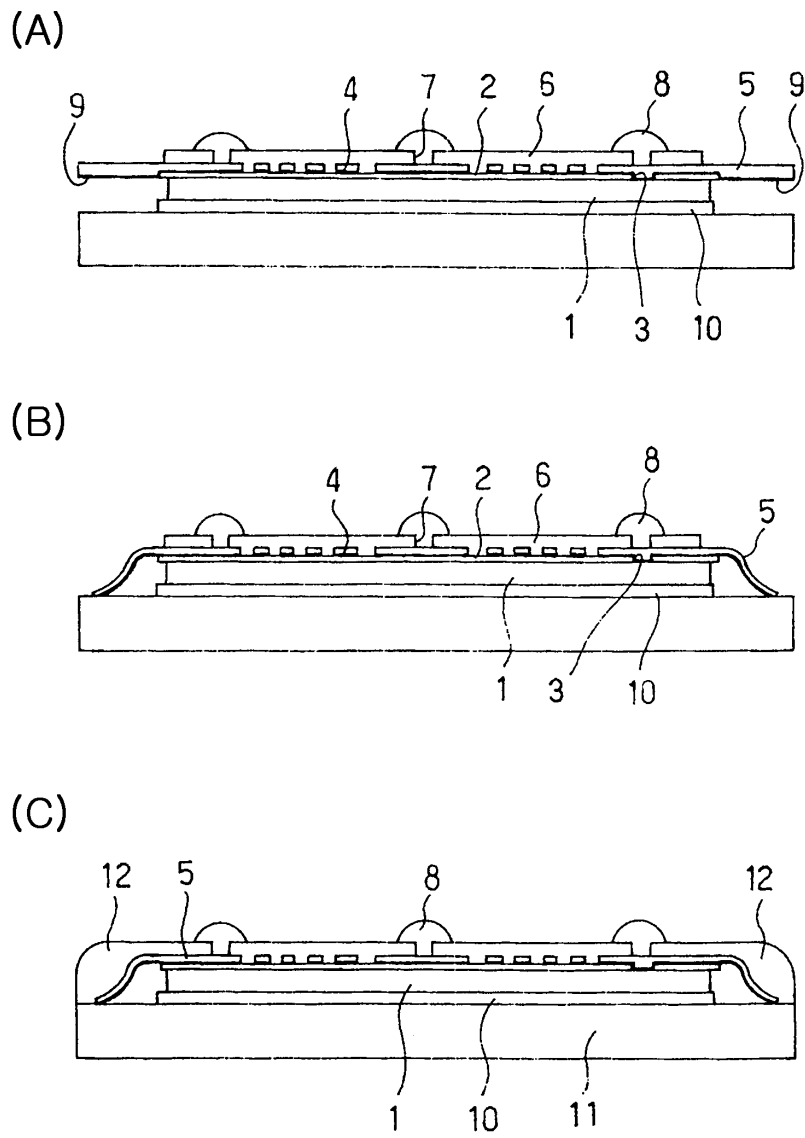
도면1



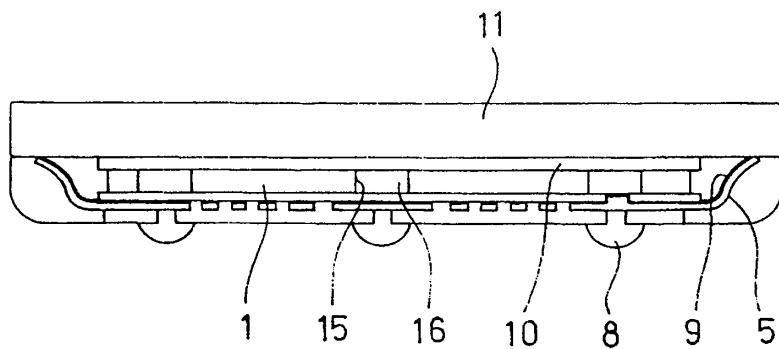
도면2



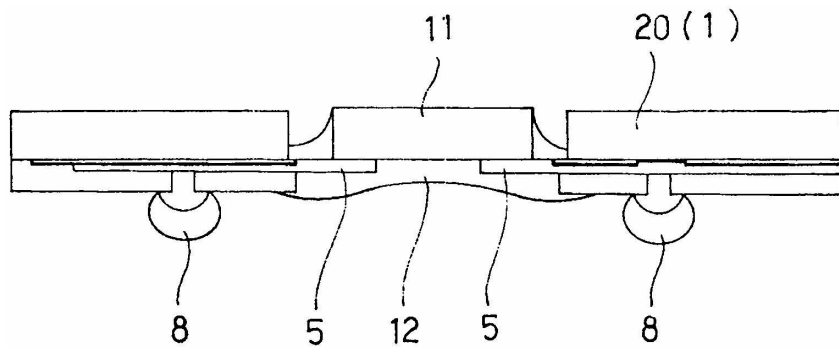
도면3



도면4

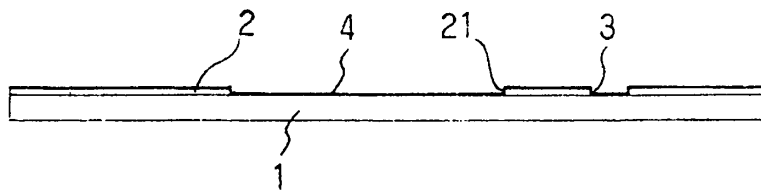


도면5

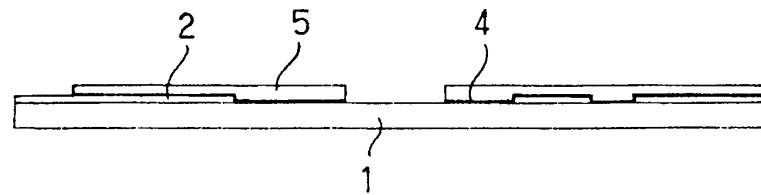


도면6

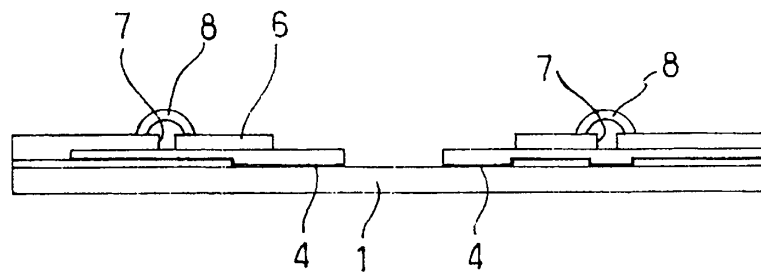
(A)



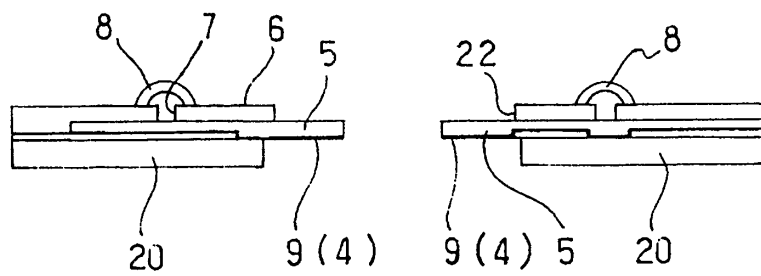
(B)



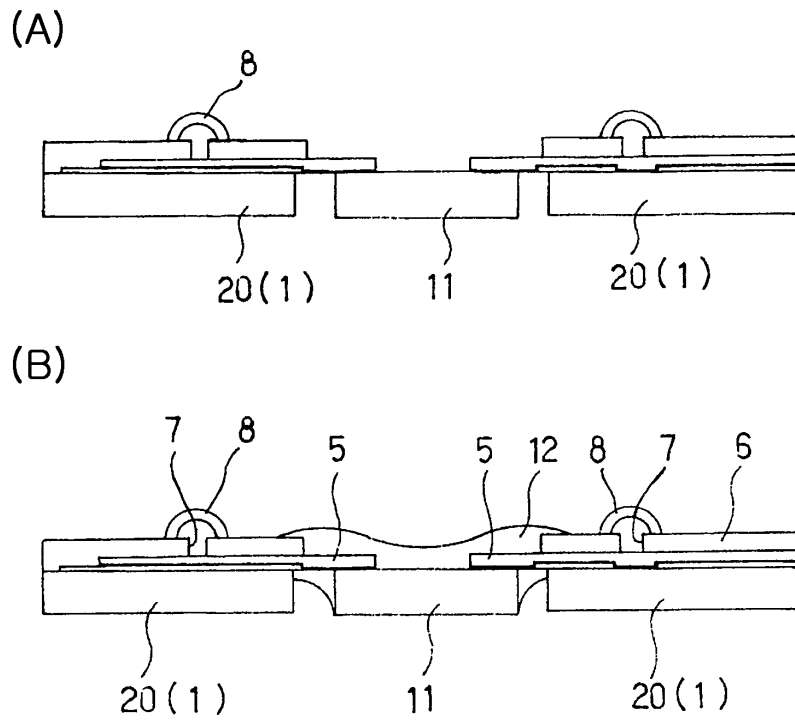
(C)



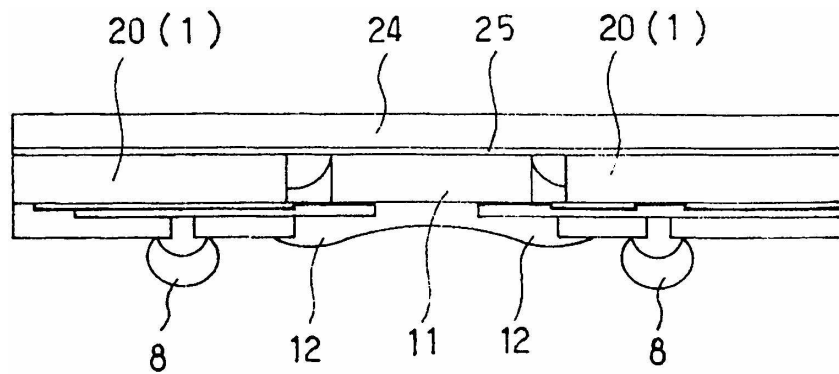
(D)



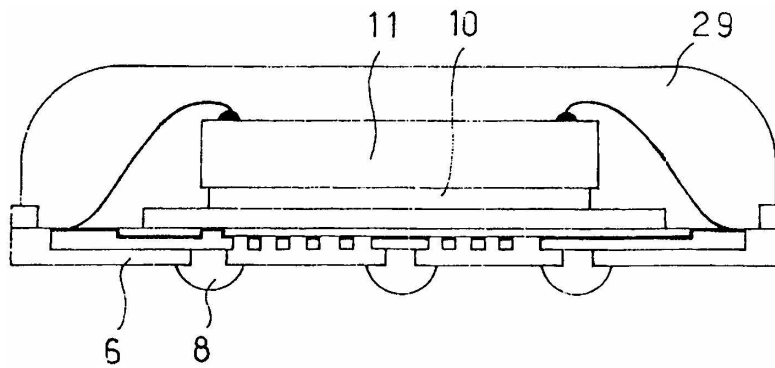
도면7



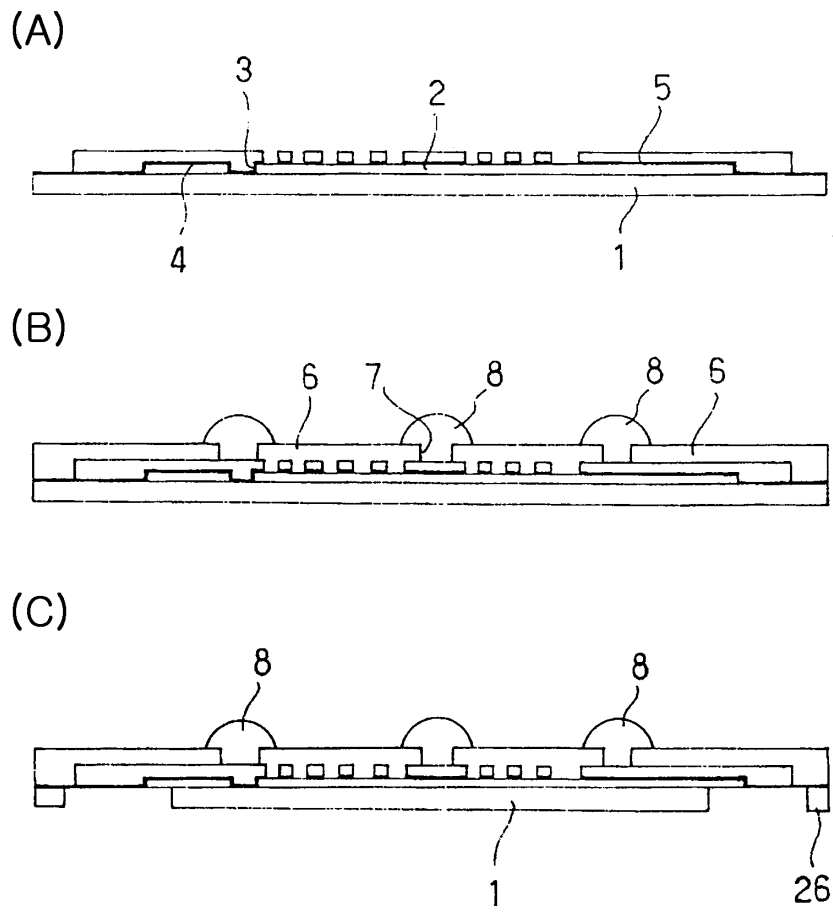
도면8



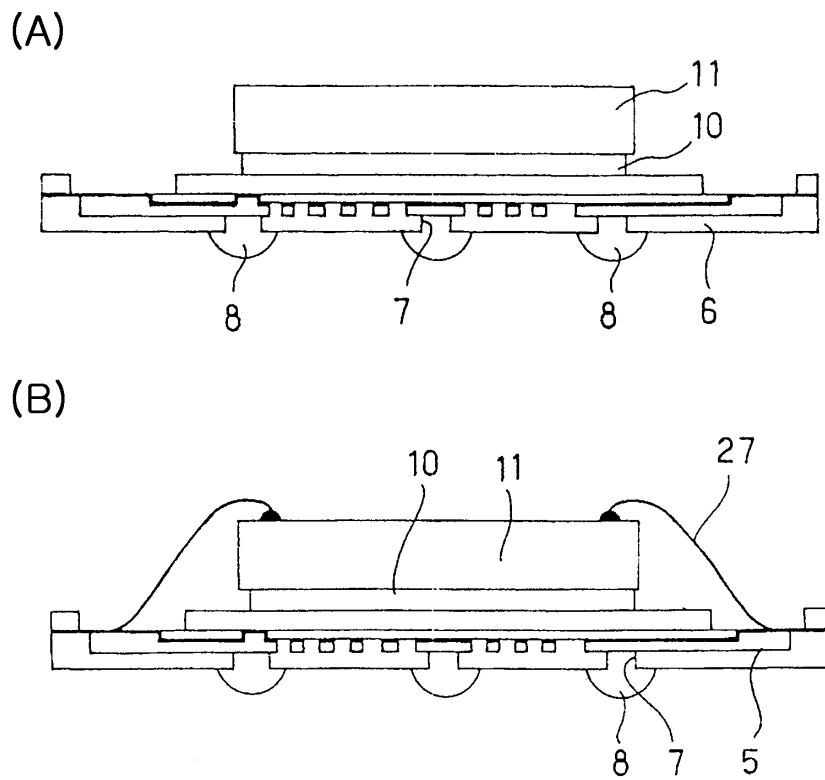
도면9



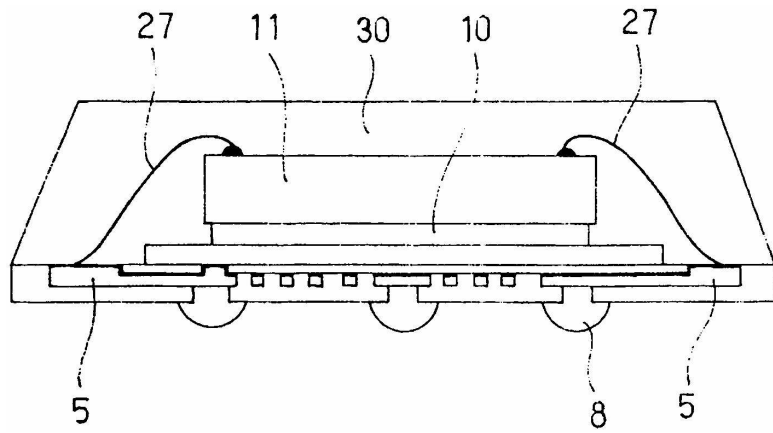
도면10



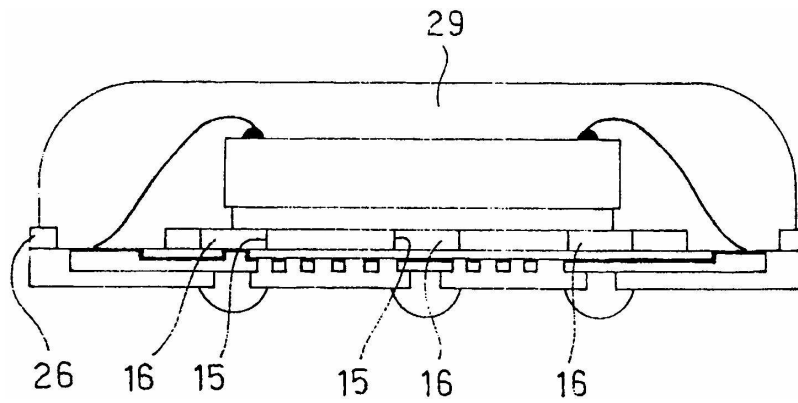
도면11



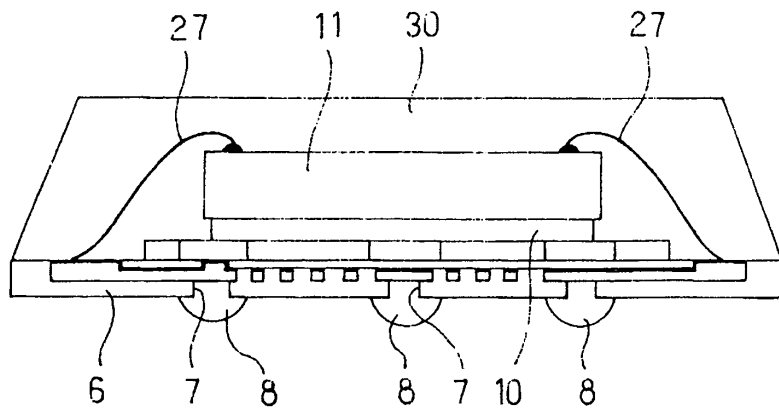
도면12



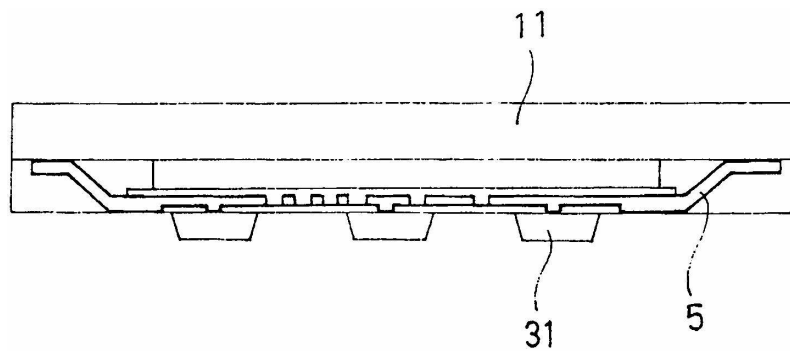
도면13



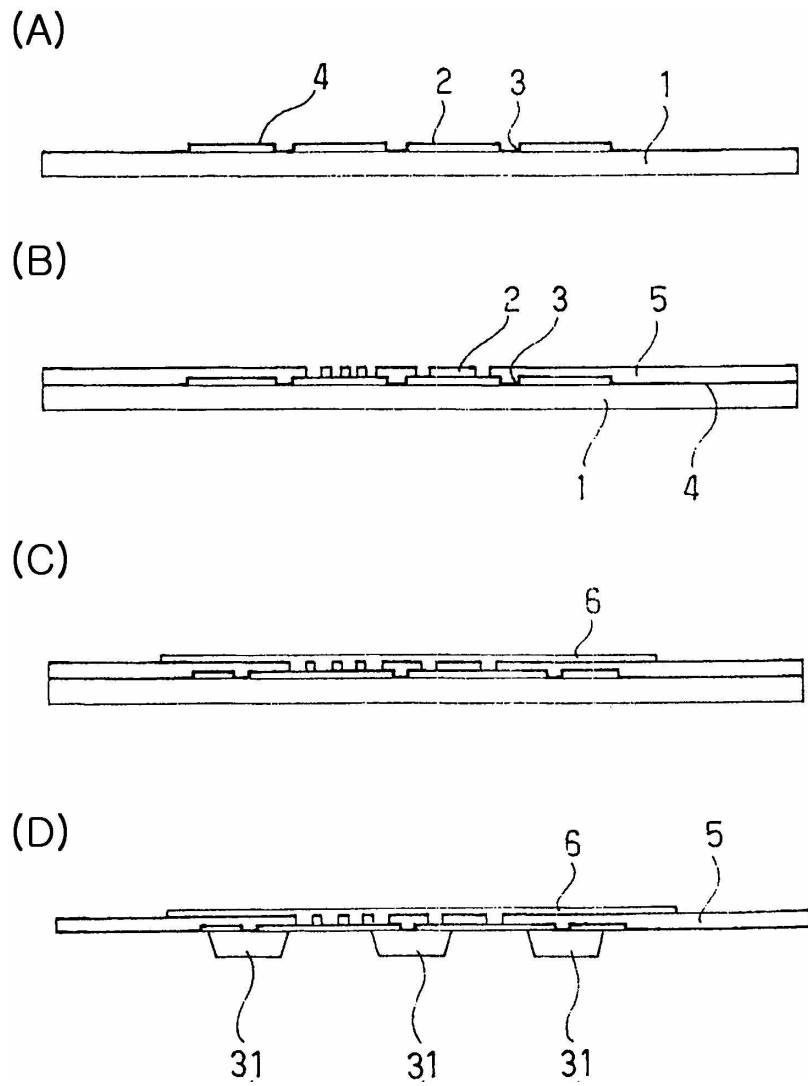
도면14



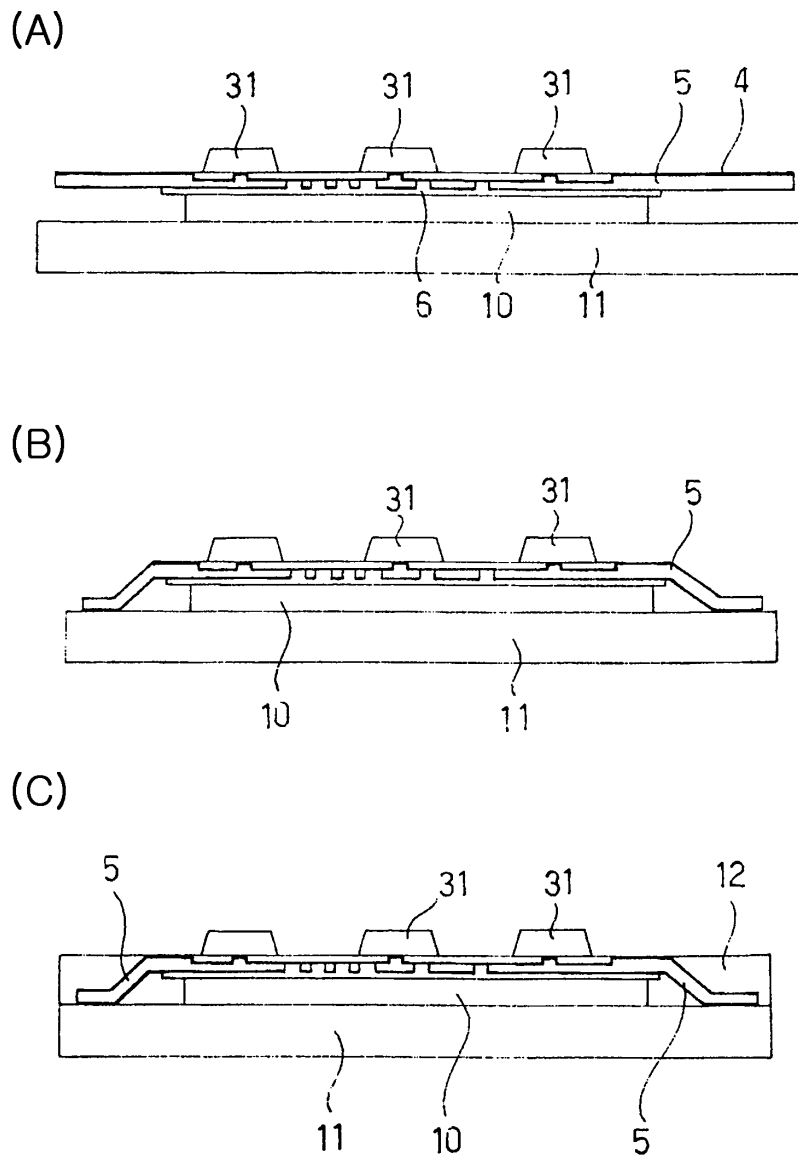
도면15



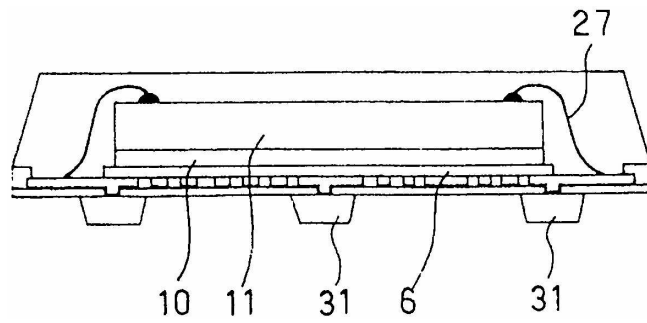
도면16



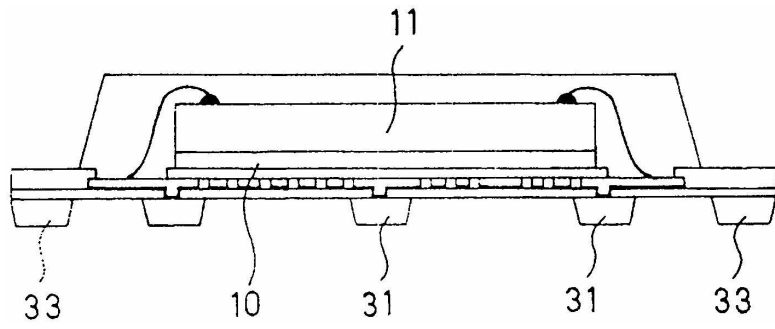
도면17



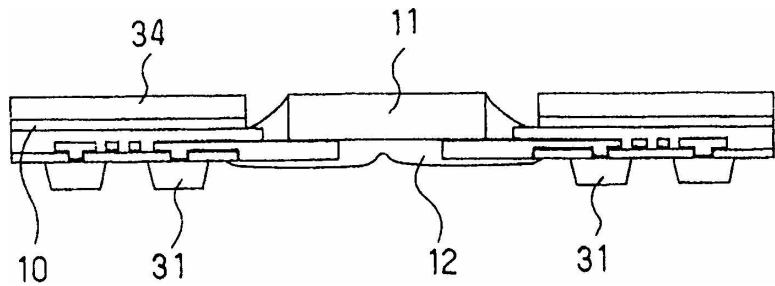
도면18



도면19

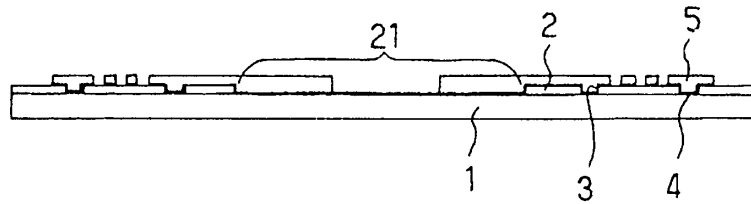


도면20

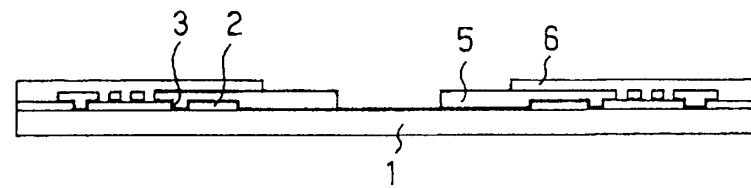


도면21

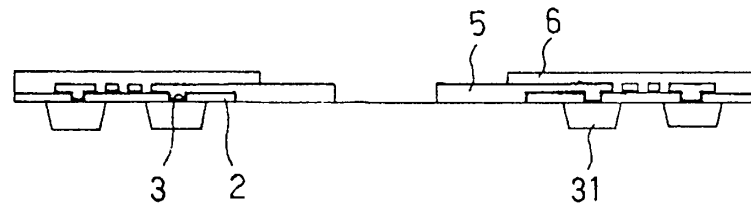
(A)



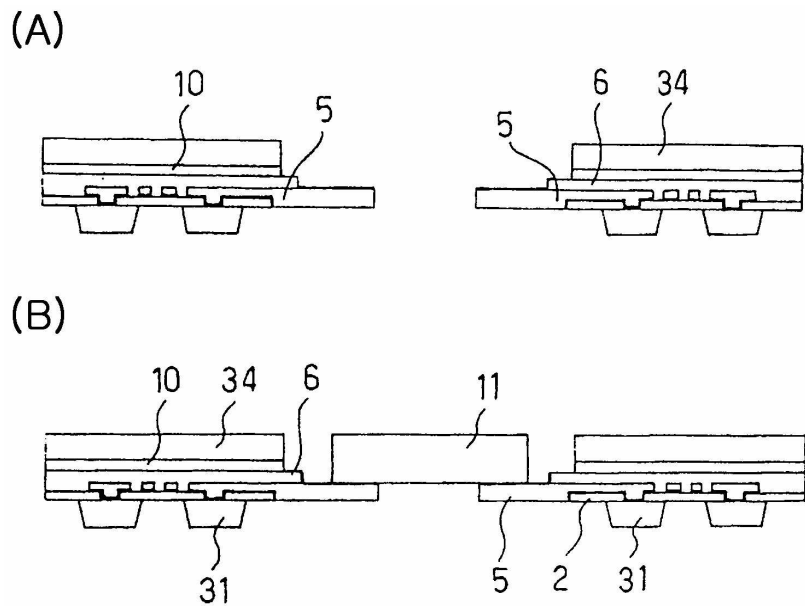
(B)



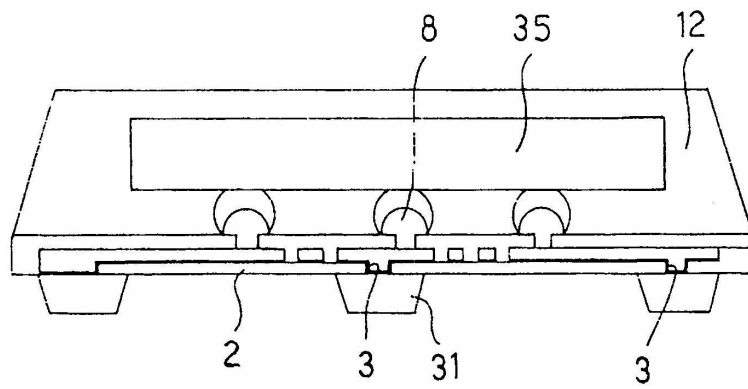
(C)



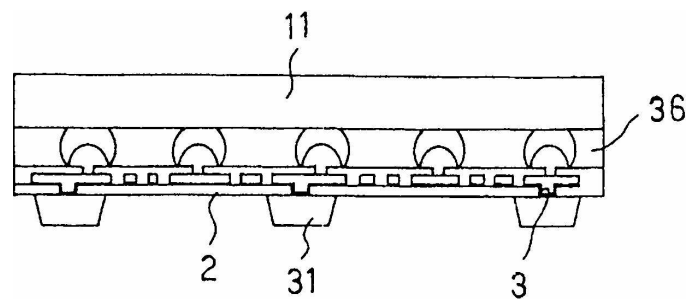
도면22



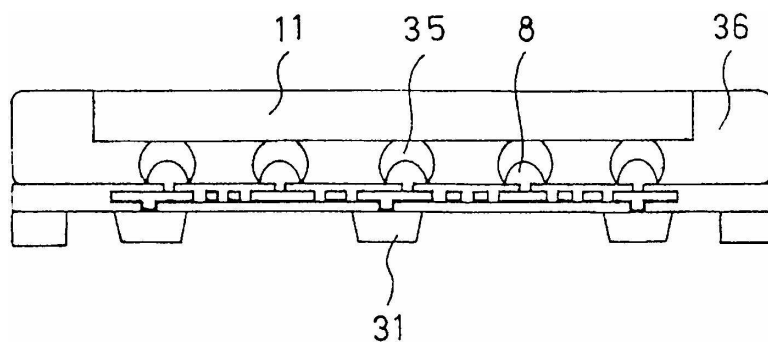
도면23



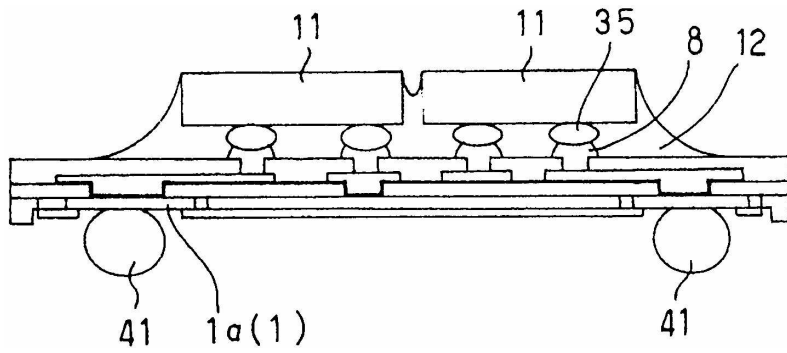
도면24



도면25

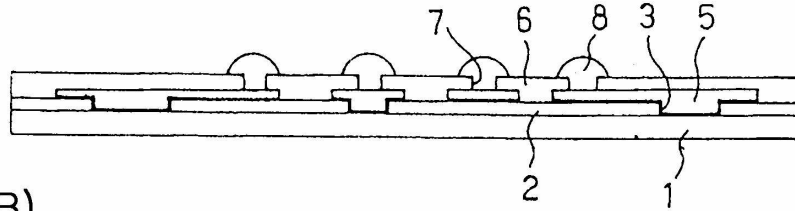


도면26

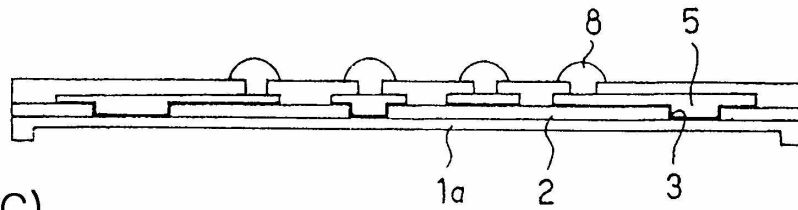


도면27

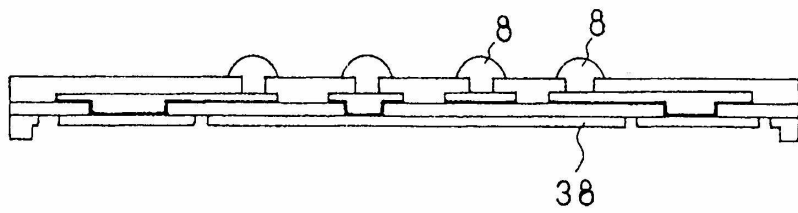
(A)



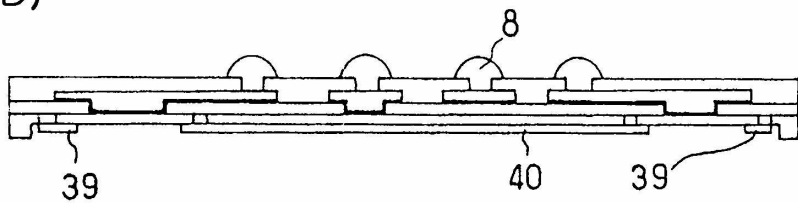
(B)



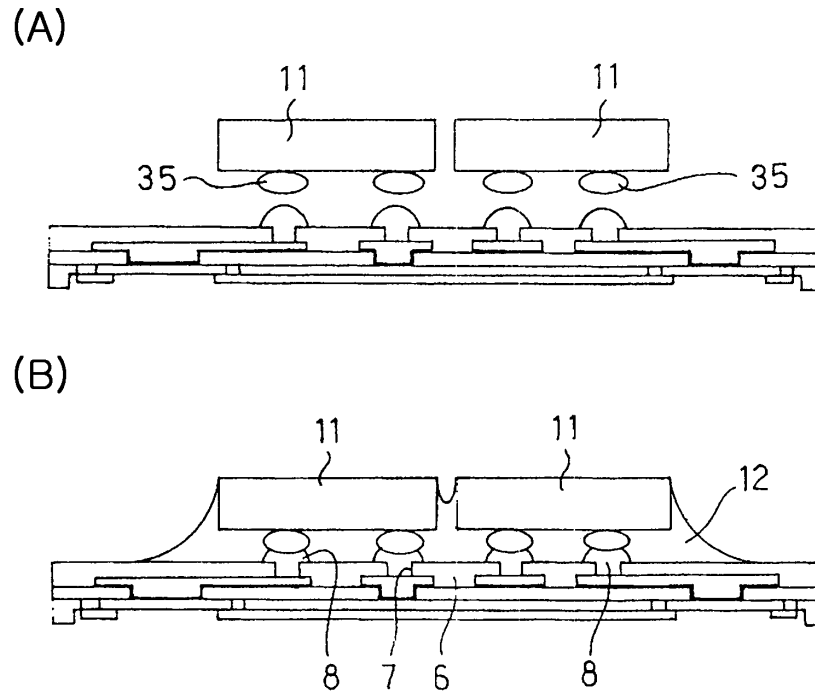
(C)



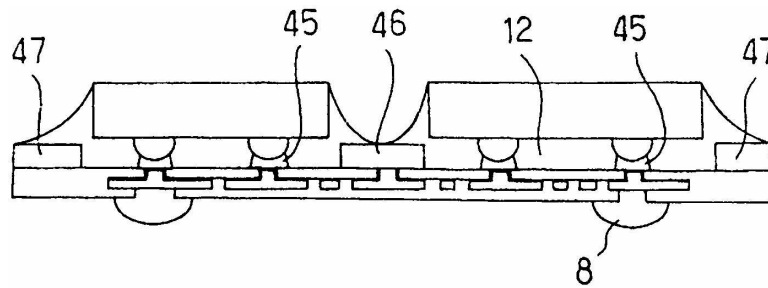
(D)



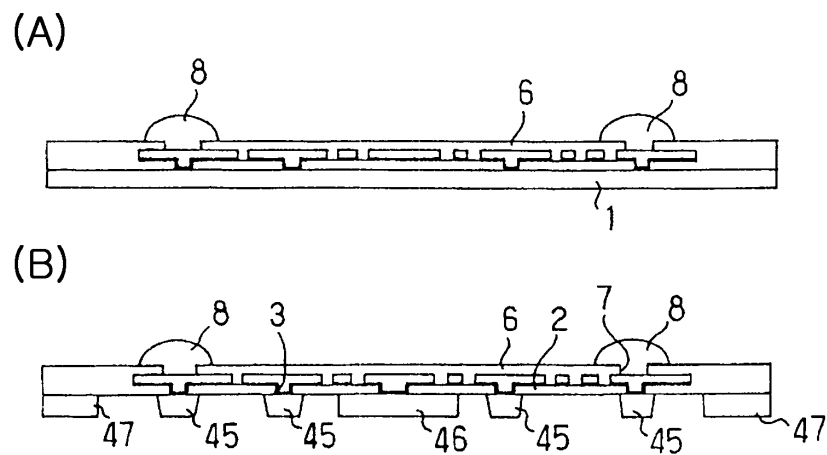
도면28



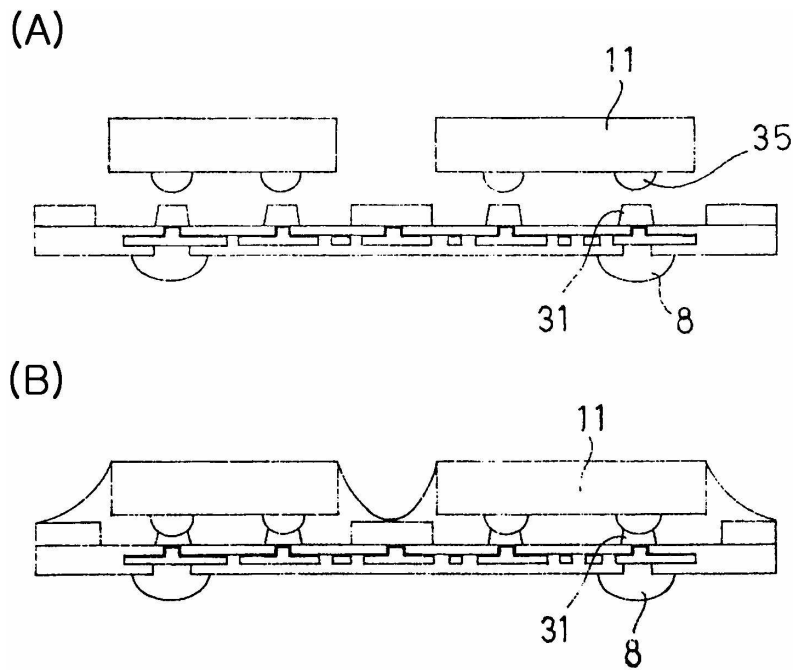
도면29



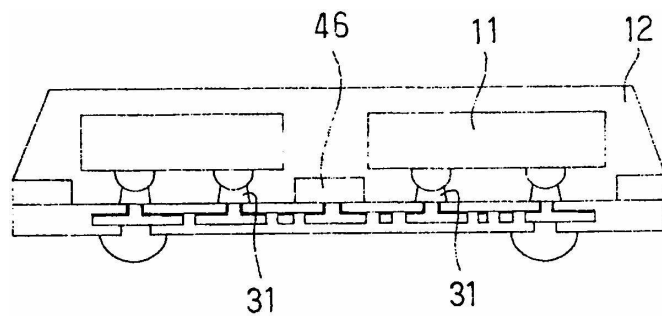
도면30



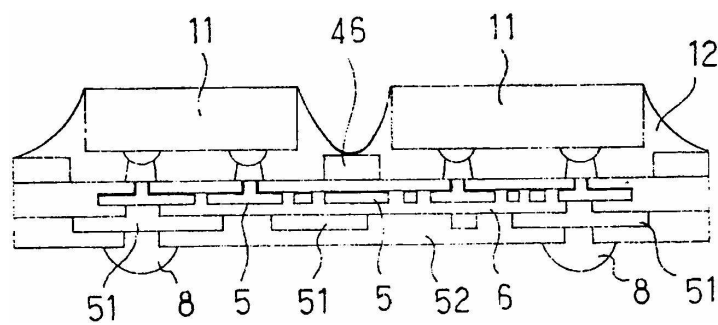
도면31



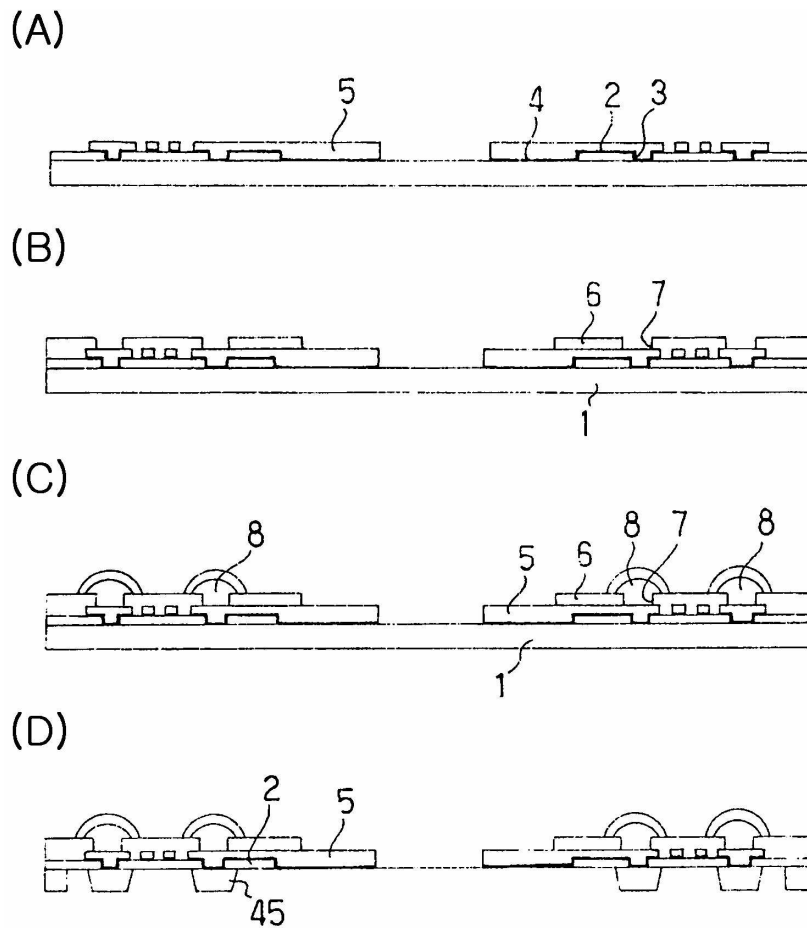
도면32



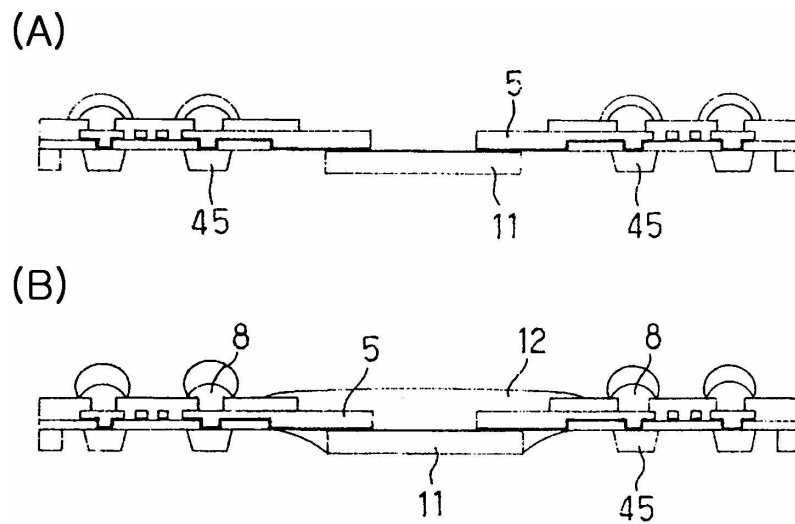
도면33



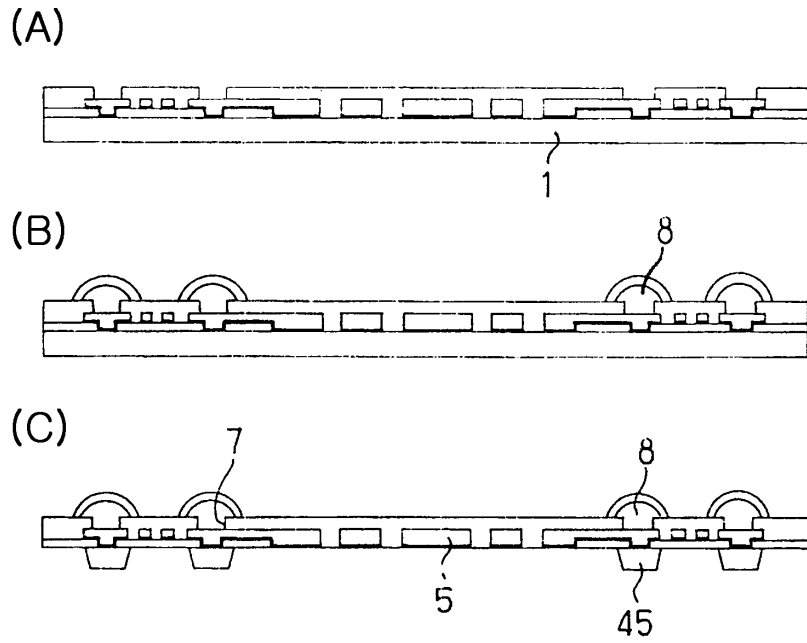
도면34



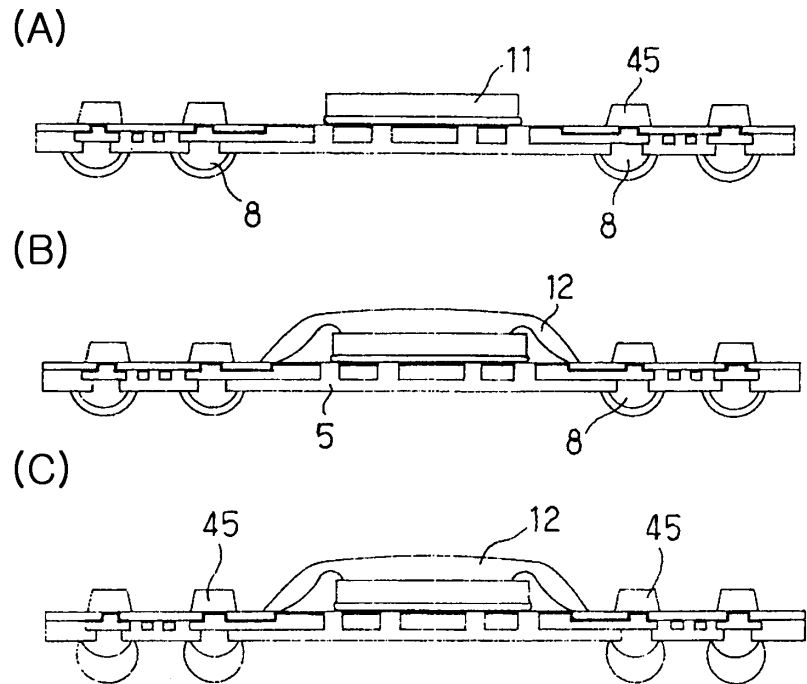
도면35



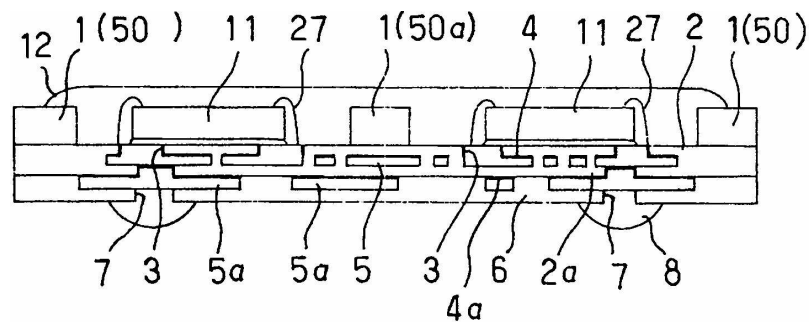
도면36



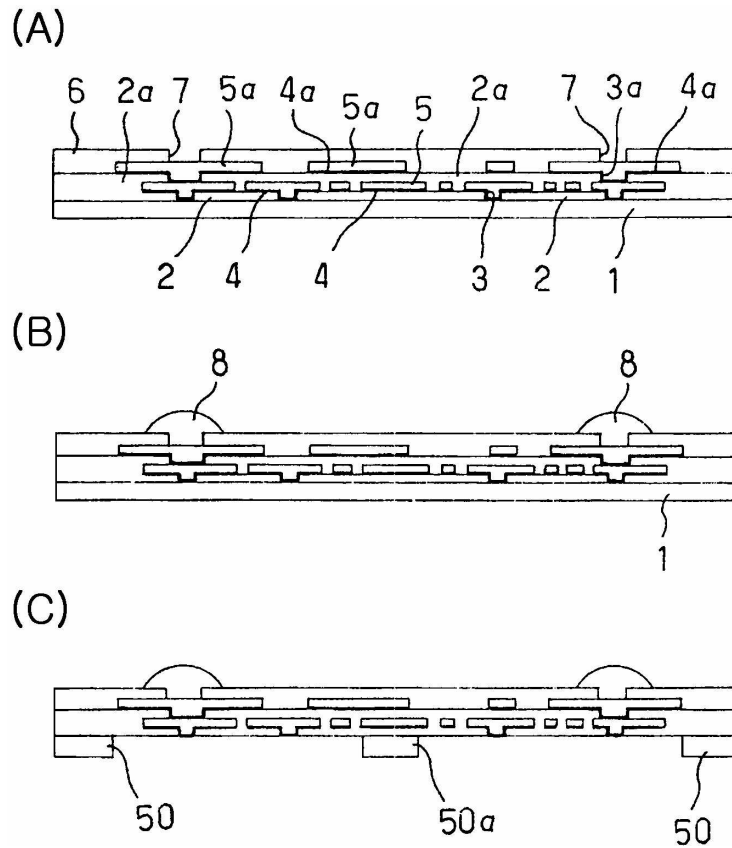
도면37



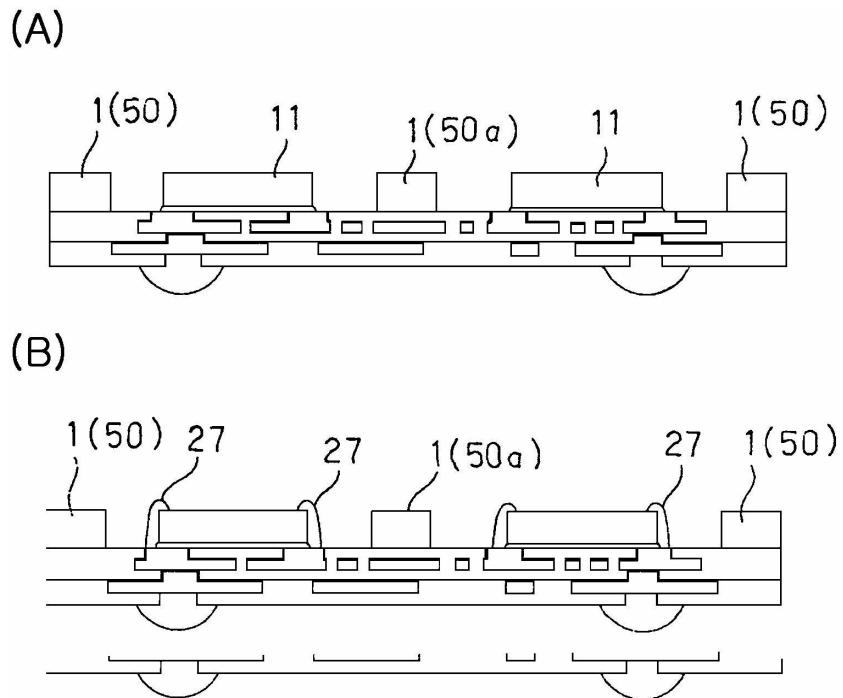
도면38



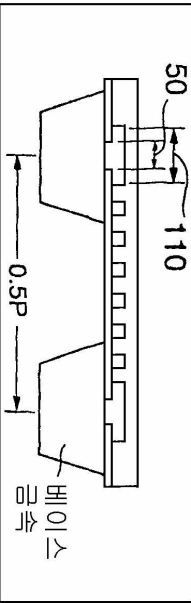
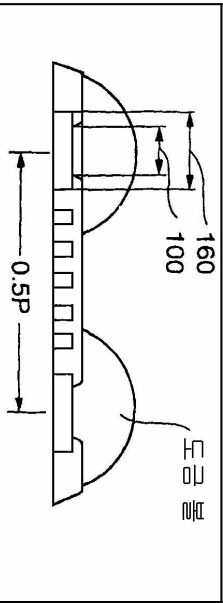
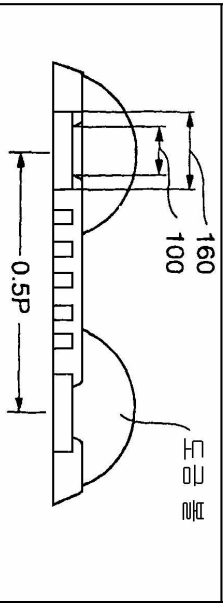
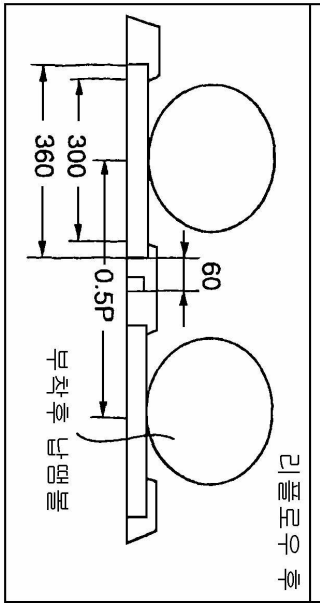
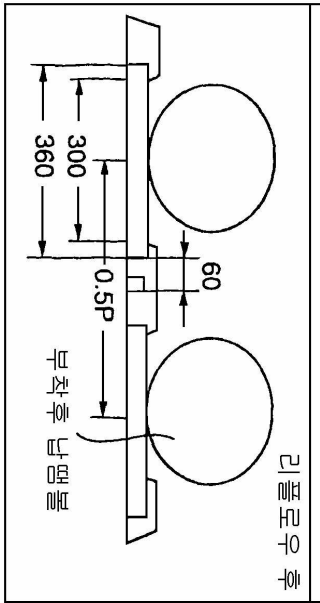
도면39



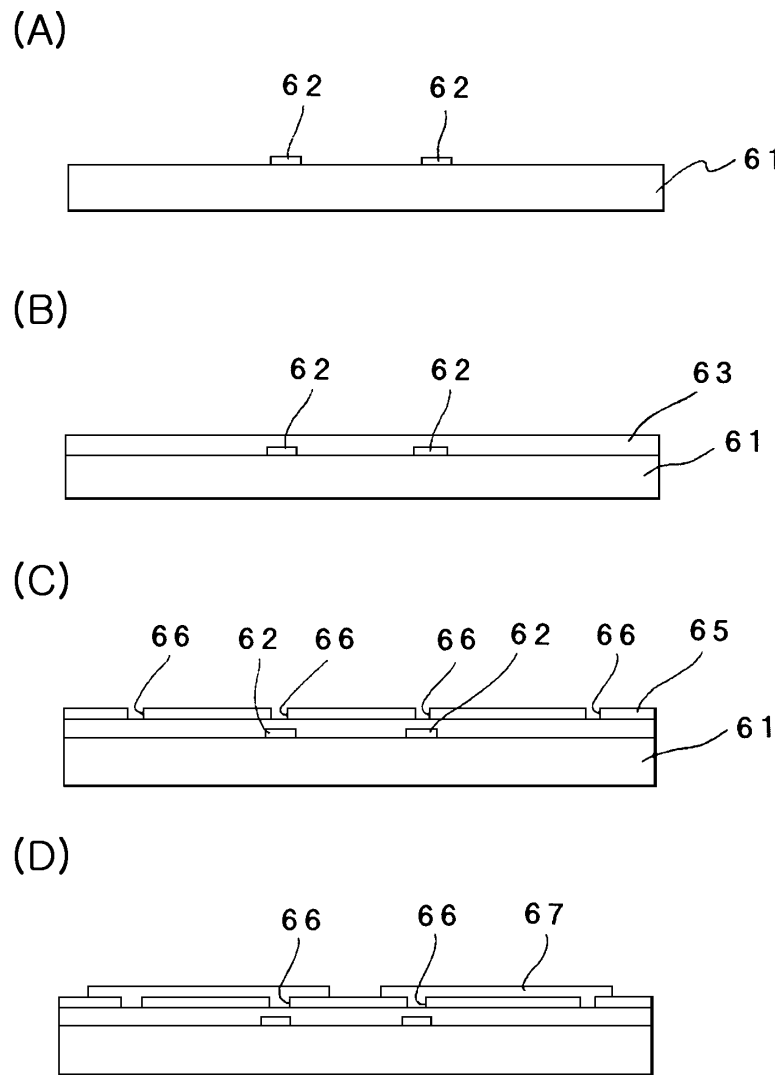
도면40



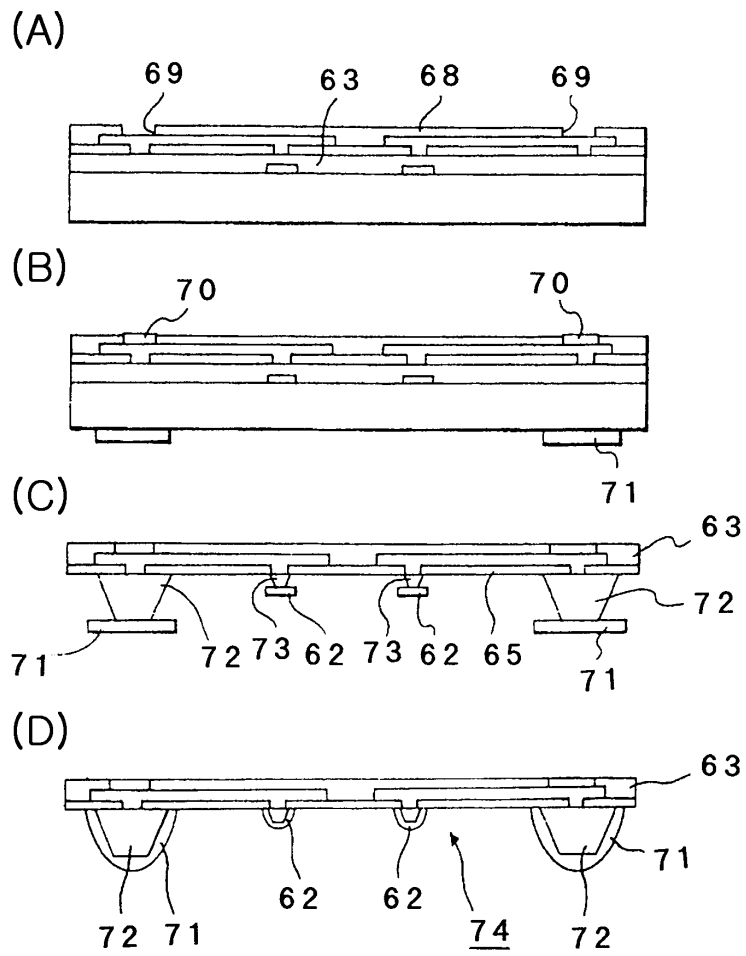
도면41

	<p>볼 구조</p>	<p>인접한 볼들 사이의 리드 의 수 0.5mm 피치</p>	<p>개구직경</p>	<p>배선(L/S)</p>
	<p>베이스 금속</p>	<p>6라인</p>	<p>50 μ</p>	<p>30/30 μ</p>
	<p>도금 볼</p>	<p>5라인</p>	<p>100 μ</p>	<p>30/30 μ</p>
	<p>리프트오우 후</p>	<p>1라인 또는 2라인</p>	<p>300 μ</p>	<p>30/30 μ</p>
	<p>부착후 남떨볼</p>	<p>1라인 또는 2라인</p>	<p>300 μ</p>	<p>30/30 μ</p>

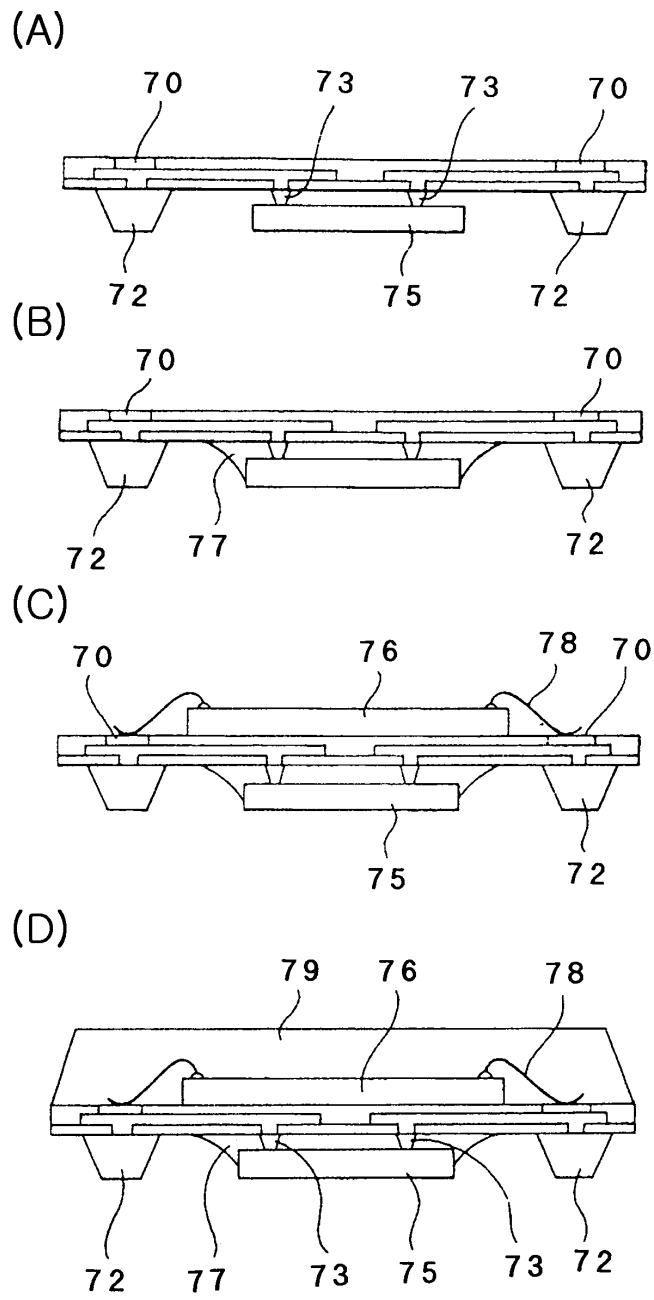
도면42



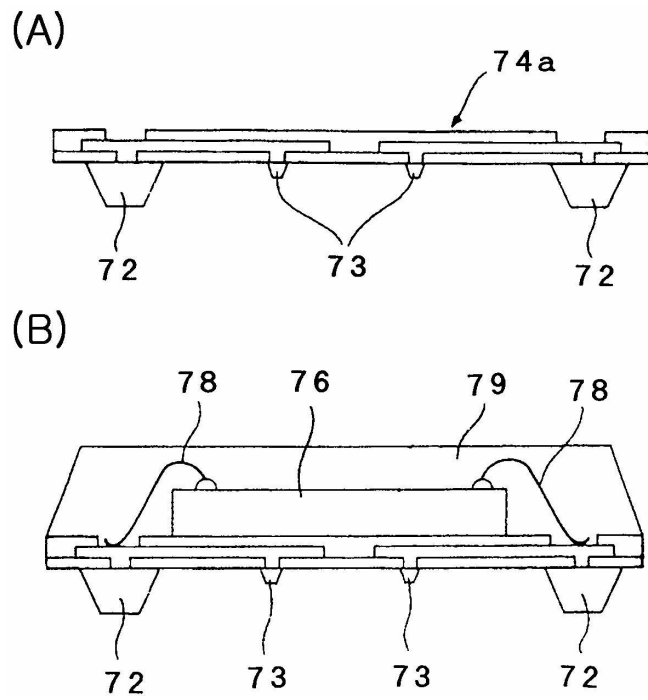
도면43



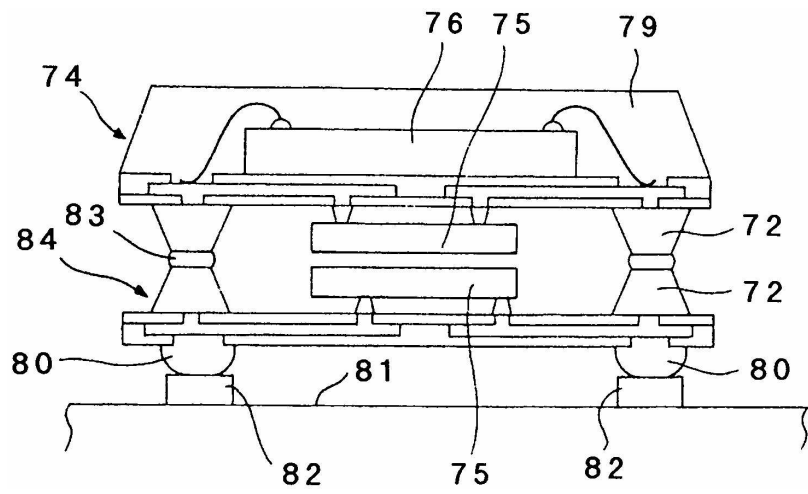
도면44



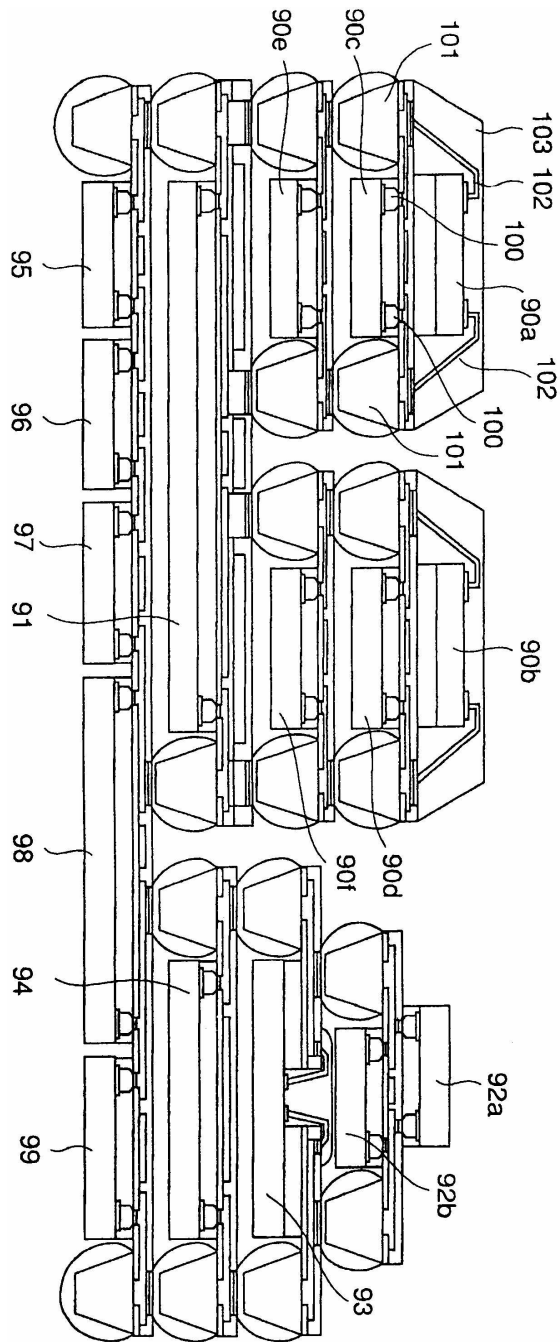
도면45



도면46



도면47



도면48

