

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



(10) 国際公開番号

WO 2020/031496 A1

(51) 国際特許分類:

G01S 7/486 (2006.01) *G01S 17/10* (2006.01)
G01S 7/497 (2006.01) *H01L 31/107* (2006.01)

(21) 国際出願番号: PCT/JP2019/023197

(22) 国際出願日: 2019年6月12日(12.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-148675 2018年8月7日(07.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

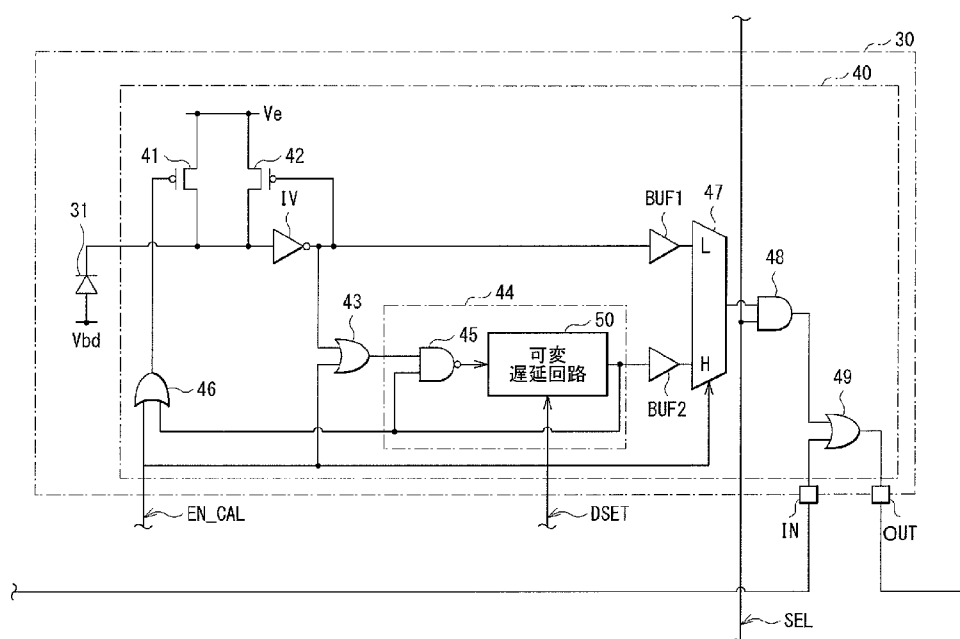
(72) 発明者: 廣野 大輔 (HIRONO, Daisuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: TIME MEASUREMENT DEVICE AND TIME MEASUREMENT APPARATUS

(54) 発明の名称: 時間計測デバイスおよび時間計測装置



50 Variable delay circuit

(57) **Abstract:** A time measurement device according to this disclosure comprises a pixel that has a light reception element and a delay circuit capable of changing a delay time, is capable of, in a first operation mode, outputting a pulse signal including a light reception pulse having a pulse width corresponding to the delay time as an output signal, and is capable of, in a second operation mode, forming a ring oscillator using the delay circuit and outputting the oscillation signal of the ring oscillator as an output signal, and a time measurement unit capable of carrying out time measurement processing

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

on the basis of the output signal.

(57) 要約: 本開示の時間計測デバイスは、受光素子と、遅延時間を変更可能な遅延回路とを有し、第1の動作モードにおいて、遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第2の動作モードにおいて、遅延回路を用いてリングオシレータを構成可能であり、リングオシレータにおける発振信号を出力信号として出力可能な画素と、出力信号に基づいて時間計測処理を行うことが可能な時間計測部とを備える。

明 細 書

発明の名称： 時間計測デバイスおよび時間計測装置

技術分野

[0001] 本開示は、光を射出したタイミングから光を検出したタイミングまでの時間を計測する時間計測デバイスおよび時間計測装置に関する。

背景技術

[0002] 計測対象物までの距離を測定する際、しばしば、TOF (Time Of Flight) 法が用いられる。このTOF法では、光を射出するとともに、計測対象物により反射された反射光を検出する。そして、TOF法では、光を射出したタイミングおよび反射光を検出したタイミングの間の時間差を計測することにより、計測対象物までの距離を計測する。

[0003] ところで、受光素子には、しばしばアバランシェフォトダイオードが用いられる。特許文献1には、アバランシェフォトダイオードおよび抵抗素子が直列接続された光受信装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平9-200142号公報

発明の概要

[0005] このような受光素子を含む回路では、光子を検出した後に、しばらくの間、次の光子を検出しにくい期間がある。この期間の長さは、デッドタイムとも呼ばれる。時間計測デバイスでは、このデッドタイムが短いことが望まれる。

[0006] デッドタイムを短くすることができる時間計測デバイスおよび時間計測装置を提供することが望ましい。

[0007] 本開示の一実施の形態における時間計測デバイスは、画素と、時間計測部とを備える。画素は、受光素子と、遅延時間を変更可能な遅延回路とを有し、第1の動作モードにおいて、遅延時間に応じたパルス幅を有する受光パル

スを含むパルス信号を出力信号として出力可能であり、第2の動作モードにおいて、遅延回路を用いてリングオシレータを構成可能であり、リングオシレータにおける発振信号を出力信号として出力可能に構成される。時間計測部は、出力信号に基づいて時間計測処理を行うことが可能に構成される。

[0008] 本開示の一実施の形態における時間計測装置は、光源と、画素と、時間計測部とを備える。光源は、光を射出可能に構成される。画素は、光に対応する反射光を検出可能な受光素子と、遅延時間を変更可能な遅延回路とを有し、第1の動作モードにおいて、遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第2の動作モードにおいて、遅延回路を用いてリングオシレータを構成可能であり、リングオシレータにおける発振信号を出力信号として出力可能に構成される。時間計測部は、出力信号に基づいて時間計測処理を行うことが可能に構成される。

[0009] 本開示の一実施の形態における時間計測デバイスおよび時間計測装置では、受光素子と、遅延時間を変更可能な遅延回路とを用いて、画素が構成される。第1の動作モードでは、遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号が、画素から出力される。第2の動作モードでは、遅延回路を用いてリングオシレータが構成され、このリングオシレータにおける発振信号が、画素から出力される。そして、この画素から出力された信号に基づいて、時間計測処理が行われる。

[0010] 本開示の一実施の形態における時間計測デバイスおよび時間計測装置によれば、第2の動作モードにおいて、画素が発振信号を出力し、時間計測部がこの信号に基づいて時間計測処理を行うようにしたので、デッドタイムを短くすることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

図面の簡単な説明

[0011] [図1]本開示の一実施の形態に係る時間計測装置の一構成例を表す構成図である。

[図2]図1に示した時間計測デバイスの一構成例を表すブロック図である。

[図3]図1に示した画素アレイの一構成例を表す説明図である。

[図4]図3に示した画素の一構成例を表す回路図である。

[図5A]図4に示したリングオシレータの一構成例を表す回路図である。

[図5B]図4に示したリングオシレータの他の構成例を表す回路図である。

[図5C]図4に示したリングオシレータの他の構成例を表す回路図である。

[図5D]図4に示したリングオシレータの他の構成例を表す回路図である。

[図5E]図4に示したリングオシレータの他の構成例を表す回路図である。

[図6]可変遅延回路の遅延時間の調整処理の一例を表す説明図である。

[図7]図2に示した時間計測デバイスの実装例を表す説明図である。

[図8]図1に示した時間計測装置の一動作例を表すタイミング波形図である。

[図9]図4に示した画素の一動作例を表す説明図である。

[図10]図4に示した画素の一動作例を表すタイミング波形図である。

[図11]図2に示した時間計測デバイスの一動作例を表すタイミング図である。
。

[図12]図4に示した画素の他の動作例を表す説明図である。

[図13]図2に示した時間計測デバイスの他の動作例を表すタイミング図である。
。

[図14]比較例に係る画素の一構成例を表す回路図である。

[図15]他の比較例に係る画素の一構成例を表す回路図である。

[図16]図4に示した画素の一構成例を表す回路図である。

[図17]変形例に係る画素の一構成例を表す回路図である。

[図18]他の変形例に係る可変遅延回路の遅延時間の調整処理の一例を表す説明図である。

[図19]他の変形例に係る可変遅延回路の遅延時間の調整処理の一例を表す説明図である。

[図20]適用例に係る時間計測装置の一構成例を表す構成図である。

[図21]車両制御システムの概略的な構成の一例を示すブロック図である。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 適用例
3. 移動体への応用例

[0013] <1. 実施の形態>

[構成例]

図1は、一実施の形態に係る時間計測装置（時間計測装置1）の一構成例を表すものである。時間計測装置1は、光を射出するとともに、計測対象物により反射された反射光を検出し、光を射出したタイミングおよび反射光を検出したタイミングの間の時間差を計測するように構成される。時間計測装置1は、光源11と、光源駆動部12と、拡散レンズ13と、集光ミラー14と、時間計測デバイス20とを備えている。

[0014] 光源11は、光源駆動部12により駆動され、光を射出するように構成される。光源11は、例えば、パルスレーザ光源を用いて構成される。

[0015] 光源駆動部12は、発光トリガ信号TRGに基づいて光源11を駆動するように構成される。具体的には、光源駆動部12は、時間計測デバイス20から供給された発光トリガ信号TRGに基づいて、光源11が発光トリガ信号TRGに含まれるトリガパルスに応じたタイミングで光を射出するように、光源11の動作を制御するようになっている。

[0016] 拡散レンズ13は、光源11から射出した光を所定の角度範囲内に拡散させるように構成される。そして、拡散レンズ13により拡散された光（出射光L1）は、時間計測装置1から射出されるようになっている。

[0017] 集光ミラー14は、計測対象物9により反射されて時間計測装置1に入射した光（反射光L2）を、時間計測デバイス20の受光面Sに向けて反射させるように構成される。

[0018] 時間計測デバイス20は、集光ミラー14により反射された光を検出し、

光源 11 が光を射出したタイミングおよび時間計測デバイス 20 の受光素子 31（後述）が光を検出したタイミングの間の時間差を計測するように構成される。時間計測デバイス 20 に入射する光は、計測対象物 9 により反射されて時間計測装置 1 に入射した光と実質的に同じであるので、以下では、説明の便宜上、時間計測デバイス 20 に入射する光を反射光 L2 と呼ぶ。また、時間計測デバイス 20 は、発光トリガ信号 TRG を生成し、生成した発光トリガ信号 TRG を光源駆動部 12 に供給する動作をも行うようになっている。

[0019] また、時間計測デバイス 20 は、キャリブレーションモードにおいて、後述するように、画素 30 に含まれる可変遅延回路 50 の遅延時間を調整するキャリブレーション処理をも行うようになっている。

[0020] 図 2 は、時間計測デバイス 20 の一構成例を表すものである。時間計測デバイス 20 は、画素アレイ 21 と、選択信号生成部 22 と、信号生成部 23 と、同期部 24 と、加算部 25 と、ヒストグラム生成部 26 と、処理部 27 と、制御部 28 とを備えている。

[0021] 画素アレイ 21 は、マトリクス状に配置された複数の画素 30 を有している。

[0022] 図 3 は、画素アレイ 21 の一構成例を表すものである。この図 3 は、画素アレイ 21 における複数の画素 30 のうちの 4 個（ $= 2 \times 2$ ）の画素 30 を図示している。図 4 は、画素 30 の一構成例を表すものである。画素 30 は、受光素子 31 と、画素回路 40 とを有している。

[0023] 受光素子 31 は、光を検出する光電変換素子であり、例えば、シングルフォトンアバランシェダイオード（SPAD）を用いて構成される。受光素子 31 のアノードには電圧 V_{bd} が供給され、カソードは画素回路 40 に接続されている。

[0024] 画素回路 40 は、図 4 に示したように、トランジスタ 41、42 と、インバータ I V と、論理和（OR）回路 43 と、リングオシレータ 44 と、論理和回路 46 と、レベル変換回路 BUF 1、BUF 2 と、セクタ 47 と、論

理積（AND）回路４８と、論理和回路４９とを有している。

- [0025] トランジスタ４１，４２は、Ｐ型のＭＯＳ（Metal Oxide Semiconductor）トランジスタである。トランジスタ４１のソースには電圧 V_e が供給され、ゲートは論理和回路４６の出力端子に接続され、ドレインは受光素子３１のカソード、トランジスタ４２のドレイン、およびインバータ１Ｖの入力端子に接続される。トランジスタ４２のソースには電圧 V_e が供給され、ゲートはインバータ１Ｖの出力端子、論理和回路４３の第１の入力端子、およびレベル変換回路ＢＵＦ１の入力端子に接続され、ドレインは受光素子３１のカソード、トランジスタ４１のドレイン、およびインバータ１Ｖの入力端子に接続される。
- [0026] インバータ１Ｖの入力端子は受光素子３１のカソードおよびトランジスタ４１，４２のドレインに接続され、出力端子はトランジスタ４２のゲート、論理和回路４３の第１の入力端子、およびレベル変換回路ＢＵＦ１の入力端子に接続される。
- [0027] 論理和回路４３の第１の入力端子はインバータ１Ｖの出力端子、トランジスタ４２のゲート、およびレベル変換回路ＢＵＦ１の入力端子に接続され、第２の入力端子には制御信号 EN_CAL が供給され、出力端子はリングオシレータ４４に接続される。
- [0028] リングオシレータ４４は、反転論理積（NAND）回路４５と、可変遅延回路５０とを有している。反転論理積回路４５の第１の入力端子は論理和回路４３の出力端子に接続され、第２の入力端子は可変遅延回路５０の出力端子、レベル変換回路ＢＵＦ２の入力端子、および論理和回路４６の第２の入力端子に接続され、出力端子は可変遅延回路５０の入力端子に接続される。可変遅延回路５０は、反転論理積回路４５から供給された信号を、制御信号 $DSET$ に応じた遅延時間の分だけ遅延するように構成される。可変遅延回路５０の入力端子は反転論理積回路４５の出力端子に接続され、出力端子はレベル変換回路ＢＵＦ２の入力端子、反転論理積回路４５の第２の入力端子、および論理和回路４６の第２の入力端子に接続される。

[0029] リングオシレータ 44 では、反転論理積回路 45 は、第 1 の入力端子での信号が高レベルである場合には、第 2 の入力端子での信号を反転し、反転された信号を出力する。これにより、リングオシレータ 44 は、発振動作を行い、可変遅延回路 50 における遅延時間に応じた周波数を有する発振信号 S_O を生成する。また、反転論理積回路 45 は、第 1 の入力端子での信号が低レベルである場合には、高レベルを出力する。これにより、リングオシレータ 44 は、発振動作を停止するようになっている。

[0030] 図 5 A ~ 5 E は、リングオシレータ 44 の具体的な構成例を表すものである。これらのリングオシレータ 44 は、可変遅延回路 50 の構成が互いに異なっている。

[0031] 図 5 A に示したリングオシレータ 44 (リングオシレータ 44 A) は、可変遅延回路 50 A を有している。可変遅延回路 50 A は、4 つのインバータ 51 ~ 54 と、電流源 59 A とを有している。4 つのインバータ 51 ~ 54 のそれぞれは、例えば、CMOS (complementary metal oxide semiconductor) インバータである。インバータ 51 の入力端子は可変遅延回路 50 A の入力端子 T_{in} に接続され、出力端子はインバータ 52 の入力端子に接続される。インバータ 52 の入力端子はインバータ 51 の出力端子に接続され、出力端子はインバータ 53 の入力端子に接続される。インバータ 53 の入力端子はインバータ 52 の出力端子に接続され、出力端子はインバータ 54 の入力端子に接続される。インバータ 54 の入力端子はインバータ 53 の出力端子に接続され、出力端子は可変遅延回路 50 A の出力端子 T_{out} に接続される。インバータ 51 ~ 54 の電源端子は電流源 59 A に接続される。電流源 59 A は、一端から他端に向かって電流を流すとともに、制御信号 D S E T に基づいて、その電流の電流値を変更可能に構成される。電流源 59 A の一端には電圧 V_e が供給され、他端はインバータ 51 ~ 54 の電源端子に接続される。

[0032] リングオシレータ 44 A では、可変遅延回路 50 A における遅延時間が、電流源 59 A が生成する電流の電流値に応じて変化する。具体的には、例え

ば、電流源 5 9 A が生成する電流の電流値が大きい場合には、インバータ 5 1 ~ 5 4 における遅延時間が短くなり、電流源 5 9 A が生成する電流の電流値が小さい場合には、インバータ 5 1 ~ 5 4 における遅延時間が長くなる。このようにして、リングオシレータ 4 4 A は、可変遅延回路 5 0 A における遅延時間に応じた周波数で発振動作を行うようになっている。

[0033] 図 5 B に示したリングオシレータ 4 4 (リングオシレータ 4 4 B) は、可変遅延回路 5 0 B を有している。可変遅延回路 5 0 B は、4 つのインバータ 5 1 ~ 5 4 と、4 つの電流源 5 1 B, 5 2 B, 5 3 B, 5 4 B とを有している。電流源 5 1 B, 5 2 B, 5 3 B, 5 4 B のそれぞれは、一端から他端に向かって電流を流すとともに、制御信号 D S E T に基づいて、その電流の電流値を変更可能に構成される。電流源 5 1 B の一端には電圧 V_e が供給され、他端はインバータ 5 1 の電源端子に接続される。電流源 5 2 B の一端には電圧 V_e が供給され、他端はインバータ 5 2 の電源端子に接続される。電流源 5 3 B の一端には電圧 V_e が供給され、他端はインバータ 5 3 の電源端子に接続される。電流源 5 4 B の一端には電圧 V_e が供給され、他端はインバータ 5 4 の電源端子に接続される。

[0034] リングオシレータ 4 4 B では、可変遅延回路 5 0 B における遅延時間が、電流源 5 1 B, 5 2 B, 5 3 B, 5 4 B が生成する電流の電流値に応じて変化する。具体的には、例えば、電流源 5 1 B が生成する電流の電流値が大きい場合には、インバータ 5 1 における遅延時間が短くなり、電流源 5 1 B が生成する電流の電流値が小さい場合には、インバータ 5 1 における遅延時間が長くなる。インバータ 5 2 ~ 5 4 についても同様である。これにより、リングオシレータ 4 4 B は、可変遅延回路 5 0 B における遅延時間に応じた周波数で発振動作を行うようになっている。

[0035] 図 5 C に示したリングオシレータ 4 4 (リングオシレータ 4 4 C) は、可変遅延回路 5 0 C を有している。可変遅延回路 5 0 C は、4 つのインバータ 5 1 ~ 5 4 と、4 つの可変容量素子 5 1 C, 5 2 C, 5 3 C, 5 4 C とを有している。4 つの可変容量素子 5 1 C, 5 2 C, 5 3 C, 5 4 C のそれぞれ

は、制御信号 D S E T に基づいて容量値を変更可能に構成される。可変容量素子 5 1 C の一端はインバータ 5 1 の出力端子およびインバータ 5 2 の入力端子に接続され、他端は接地される。可変容量素子 5 2 C の一端はインバータ 5 2 の出力端子およびインバータ 5 3 の入力端子に接続され、他端は接地される。可変容量素子 5 3 C の一端はインバータ 5 3 の出力端子およびインバータ 5 4 の入力端子に接続され、他端は接地される。可変容量素子 5 4 C の一端はインバータ 5 3 の出力端子および反転論理積回路 4 5 の第 2 の入力端子に接続され、他端は接地される。

[0036] リングオシレータ 4 4 C では、可変遅延回路 5 0 C における遅延時間が、可変容量素子 5 1 C, 5 2 C, 5 3 C, 5 4 C の容量値に応じて変化する。具体的には、例えば、可変容量素子 5 1 C の容量値が小さい場合には、インバータ 5 1 における遅延時間が短くなり、可変容量素子 5 1 C の容量値が大きい場合には、インバータ 5 1 における遅延時間が長くなる。インバータ 5 2 ~ 5 4 についても同様である。このようにして、リングオシレータ 4 4 C は、可変遅延回路 5 0 C における遅延時間に応じた周波数で発振動作を行うようになっている。

[0037] 図 5 D に示したリングオシレータ 4 4 (リングオシレータ 4 4 D) は、可変遅延回路 5 0 D を有している。可変遅延回路 5 0 D は、2 つのインバータ 5 1, 5 2 と、電流源 5 1 D と、可変容量素子 5 7 D とを有している。インバータ 5 2 の出力端子は、可変遅延回路 5 0 D の出力端子 T_{out} に接続される。電流源 5 1 D は、一端から他端に向かって電流を流すとともに、制御信号 D S E T に基づいて、その電流の電流値を変更可能に構成される。電流源 5 1 D の一端には電圧 V_e が供給され、他端はインバータ 5 1 の電源端子に接続される。可変容量素子 5 7 D は、制御信号 D S E T に基づいて容量値を変更可能に構成される。可変容量素子 5 7 D の一端はインバータ 5 1 の出力端子およびインバータ 5 2 の入力端子に接続され、他端は接地される。

[0038] リングオシレータ 4 4 D では、可変遅延回路 5 0 D における遅延時間が、電流源 5 1 D が生成する電流の電流値、および可変容量素子 5 7 D の容量値

に応じて変化する。具体的には、例えば、電流源 5 1 D が生成する電流の電流値が大きく、可変容量素子 5 7 D の容量値が小さい場合には、インバータ 5 1 における遅延時間が短くなる。また、例えば、電流源 5 1 D が生成する電流の電流値が小さく、可変容量素子 5 7 D の容量値が大きい場合には、インバータ 5 1 における遅延時間が長くなる。このようにして、リングオシレータ 4 4 D は、可変遅延回路 5 0 D における遅延時間に応じた周波数で発振動作を行う。リングオシレータ 4 4 D では、電流源 5 1 D および可変容量素子 5 7 D を設けるようにしたので、インバータ 5 1 における遅延時間の可変範囲を広くすることができ、その結果、可変遅延回路 5 0 D におけるインバータの数を減らすことができる。

[0039] 図 5 E に示したリングオシレータ 4 4 (リングオシレータ 4 4 E) は、可変遅延回路 5 0 E を有している。可変遅延回路 5 0 E は、6 つのインバータ 5 1 ~ 5 6 と、セレクト 5 8 とを有している。インバータ 5 2 の出力端子は、インバータ 5 3 の入力端子およびセレクト 5 8 の第 1 の入力端子に接続される。インバータ 5 4 の出力端子は、インバータ 5 5 の入力端子およびセレクト 5 8 の第 2 の入力端子に接続される。インバータ 5 5 の入力端子はインバータ 5 4 の出力端子に接続され、出力端子はインバータ 5 6 の入力端子に接続される。インバータ 5 6 の入力端子はインバータ 5 5 の出力端子に接続され、出力端子はセレクト 5 8 の第 3 の入力端子に接続される。セレクト 5 8 は、制御信号 D S E T に基づいて、第 1 の入力端子における信号、第 2 の入力端子における信号、および第 3 の入力端子における信号のうちの 1 つを選択し、選択された信号を出力端子から出力するように構成される。セレクト 5 8 の第 1 の入力端子はインバータ 5 2 の出力端子およびインバータ 5 3 の入力端子に接続され、第 2 の入力端子はインバータ 5 4 の出力端子およびインバータ 5 5 の入力端子に接続され、第 3 の入力端子はインバータ 5 6 の出力端子に接続され、出力端子は可変遅延回路 5 0 E の出力端子 T_{out} に接続される。

[0040] リングオシレータ 4 4 E では、可変遅延回路 5 0 E における遅延時間が、

セクタ 58 における選択動作に応じて変化する。具体的には、例えば、可変遅延回路 50E における遅延時間は、セクタ 58 が第 1 の入力端子における信号を選択した場合には、2 つのインバータ 51, 52 における遅延時間およびセクタ 58 における遅延時間の合計時間になり、セクタ 58 が第 2 の入力端子における信号を選択した場合には、4 つのインバータ 51 ~ 54 における遅延時間およびセクタ 58 における遅延時間の合計時間になり、セクタ 58 が第 3 の入力端子における信号を選択した場合には、6 つのインバータ 51 ~ 56 における遅延時間およびセクタ 58 における遅延時間の合計時間になる。このようにして、リングオシレータ 44E は、可変遅延回路 50E における遅延時間に応じた周波数で発振動作を行うようになっている。

[0041] このように、リングオシレータ 44 では、可変遅延回路 50 は、制御信号 D S E T に基づいて、遅延時間を変更可能に構成される。図 6 に示したように、画素アレイ 21 では、可変遅延回路 50 の遅延時間は、エリア A R 単位で調整される。この例では、画素アレイ 21 は、32 個 ($= 4 \times 8$) のエリア A R に区分される。複数のエリア A R のそれぞれは、複数の画素 30 を含む。1 つのエリア A R に属する複数の画素 30 における可変遅延回路 50 には、1 つの制御信号 D S E T が供給される。これにより、1 つのエリア A R に属する複数の可変遅延回路 50 における遅延設定は互いに同じになる。このようにして、可変遅延回路 50 の遅延時間は、エリア A R 単位で調整されるようになっている。

[0042] 論理和回路 46 (図 4) の第 1 の入力端子には制御信号 E N _ C A L が供給され、第 2 の入力端子は可変遅延回路 50 の出力端子、レベル変換回路 B U F 2 の入力端子、および反転論理積回路 45 の第 2 の入力端子に接続され、出力端子はトランジスタ 41 のゲートに接続される。

[0043] レベル変換回路 B U F 1, B U F 2 は、入力端子における信号の電圧レベルを変換し、変換された信号を出力端子から出力するように構成される。レベル変換回路 B U F 1 の入力端子はインバータ 1V の出力端子、トランジス

タ 4 2 のゲート、および論理和回路 4 3 の第 1 の入力端子に接続され、出力端子はセクタ 4 7 の第 1 の入力端子に接続される。レベル変換回路 B U F 2 の入力端子は可変遅延回路 5 0 の出力端子、反転論理積回路 4 5 の第 2 の入力端子、および論理和回路 4 6 の第 2 の入力端子に接続され、他端はセクタ 4 7 の第 2 の入力端子に接続される。

[0044] セクタ 4 7 は、制御信号 E N _ C A L に基づいて、第 1 の入力端子における信号および第 2 の入力端子における信号のうち的一方を選択し、選択された信号を出力端子から出力するように構成される。セクタ 4 7 の第 1 の入力端子はレベル変換回路 B U F 1 の出力端子に接続され、第 2 の入力端子はレベル変換回路 B U F 2 の出力端子に接続され、出力端子は論理積回路 4 8 の第 1 の入力端子に接続される。セクタ 4 7 は、制御信号 E N _ C A L が低レベル（L）である場合には、第 1 の入力端子における信号を選択し、制御信号 E N _ C A L が高レベル（H）である場合には、第 2 の入力端子における信号を選択するようになっている。

[0045] 論理積回路 4 8 の第 1 の入力端子は、セクタ 4 7 の出力端子に接続され、第 2 の入力端子には選択信号 S E L が供給され、出力端子は論理和回路 4 9 の第 1 の入力端子に接続される。

[0046] 論理和回路 4 9 の第 1 の入力端子は論理積回路 4 8 の出力端子に接続され、第 2 の入力端子は画素 3 0 の入力端子 I N に接続され、出力端子は画素 3 0 の出力端子 O U T に接続される。

[0047] この構成により、画素 3 0 では、制御信号 E N _ C A L が低レベルである場合には、受光素子 3 1 が反射光 L 2 を受光する度に、可変遅延回路 5 0 の遅延時間に応じたパルス幅を有する受光パルス P L を生成し、セクタ 4 7 がこの受光パルス P L を含むパルス信号 S P を出力する。また、制御信号 E N _ C A L が高レベルである場合には、画素 3 0 はキャリブレーションモードで動作し、リングオシレータ 4 4 が発振動作を行うことにより発振信号 S O を生成し、セクタ 4 7 がこの発振信号 S O を出力するようになっている。

[0048] 図2に示したように、画素アレイ21において横方向に並設された1行分の画素30のうち一番左側の画素30の入力端子INには、信号生成部23から供給された信号SINが入力される。また、この1行分の画素30のうち一番左側の画素30以外の画素30の入力端子INは、図3に示したように、その画素30の左側に隣り合う画素30の出力端子OUTに接続されている。そして、この1行分の画素30のうち一番右側の画素30の出力端子OUTは、図2に示したように、同期部24に接続されている。そして、この一番右側の画素30は、信号S1を出力する。このように、画素アレイ21では、図2における横方向に並設された1行分の画素30が、いわゆるデジチェーン接続されるようになっている。

[0049] また、画素アレイ21において縦方向に並設された1列分の画素30には、1つの選択信号SELが供給され、互いに異なる列に属する画素30には、互いに異なる選択信号SELが供給される。言い換えれば、横方向に並設された1行分の画素30には、対応する選択信号SELがそれぞれ供給される。この構成により、画素アレイ21では、複数の画素30が、選択信号SELを用いて、1列分の画素30を単位として選択されるようになっている。

[0050] 選択信号生成部22は、制御部28から供給された制御信号に基づいて、複数の選択信号SELを生成するように構成される。選択信号生成部22は、これらの複数の選択信号SELを、画素アレイ21における画素30の複数の列にそれぞれに供給する。これにより、選択信号生成部22は、複数の画素30を、列単位で順次選択することができるようになっている。

[0051] 信号生成部23は、制御部28から供給された制御信号に基づいて、リファレンスパルスPRを含む信号SINを生成するように構成される。このリファレンスパルスPRは、光源11が発光するタイミングに応じたタイミングで生成されるようになっている。

[0052] 同期部24は、画素アレイ21から供給された複数の信号S1を、制御部28から供給されたクロック信号CKでそれぞれサンプリングすることによ

り、複数の信号S 2をそれぞれ生成するように構成される。同期部2 4は、複数のフリップフロップ6 4を有している。複数のフリップフロップ6 4は、画素アレイ2 1における画素3 0の複数の行に対応して設けられている。複数のフリップフロップ6 4のそれぞれは、対応する画素3 0の行から供給された信号S 1をクロック信号C Kでサンプリングすることにより信号S 2を生成するように構成される。

[0053] 加算部2 5は、同期部2 4から供給された複数の信号S 2、および制御部2 8から供給された制御信号に基づいて、加算処理を行うことにより、複数の信号S 3を生成するように構成される。加算部2 5は、複数の加算回路6 5を有している。複数の加算回路6 5は、画素アレイ2 1における、エリアA Rの複数の行に対応して設けられている。例えば、図6に示したように、画素アレイ2 1が、8行分のエリアA Rを有する場合には、加算部2 5は、8個の加算回路6 5を有している。複数の加算回路6 5のそれぞれは、対応するエリアA Rの行に係る複数のフリップフロップ6 4から出力された複数の信号S 2に基づいて加算処理を行うことにより、信号S 3を生成するように構成される。

[0054] ヒストグラム生成部2 6は、加算部2 5から供給された複数の信号S 3、および制御部2 8から供給された制御信号に基づいて、ヒストグラム生成処理を行うように構成される。ヒストグラム生成部2 6は、複数のヒストグラム生成回路6 6を有している。複数のヒストグラム生成回路6 6は、複数の加算回路6 5に対応して設けられている。複数のヒストグラム生成回路6 6のそれぞれは、対応する加算回路6 5から供給された信号S 3に基づいてヒストグラム生成処理を行うことにより、ヒストグラムを生成するように構成される。

[0055] 処理部2 7は、ヒストグラム生成部2 6から供給されたヒストグラムについての情報、および制御部2 8から供給された制御信号に基づいて、デプス画像P I Cを生成するように構成される。デプス画像P I Cに含まれる複数の画素値のそれぞれはデプス値を示す。処理部2 7は、生成したデプス画像

P I Cを出力するようになっている。

[0056] 処理部 27 は、遅延時間計測部 27 A を有している。遅延時間計測部 27 A は、時間計測デバイス 20 がキャリブレーションモードで動作する場合に、ヒストグラム生成部 26 から供給されたヒストグラムについての情報、および制御部 28 から供給された制御信号に基づいて、可変遅延回路 50 の遅延時間を計測するように構成される。そして、遅延時間計測部 27 A は、計測した遅延時間に関する情報を制御部 28 に供給するようになっている。

[0057] 制御部 28 は、画素アレイ 21、選択信号生成部 22、信号生成部 23、同期部 24、加算部 25、ヒストグラム生成部 26、および処理部 27 に対して制御信号を供給するとともに、光源駆動部 12 に対して発光トリガ信号 T R G を供給することにより、時間計測装置 1 の動作を制御するように構成される。制御部 28 は、発光タイミング設定部 28 A と、遅延制御部 28 B とを有している。

[0058] 発光タイミング設定部 28 A は、光源 11 における発光タイミングを指示する発光トリガ信号 T R G を生成するように構成される。発光トリガ信号 T R G は、複数のトリガパルスを含んでいる。制御部 28 は、この発光トリガ信号 T R G を光源駆動部 12 に供給することにより、光源 11 が、この発光トリガ信号 T R G に含まれるトリガパルスに応じたタイミングで発光するように、光源 11 の動作を制御するようになっている。

[0059] 遅延制御部 28 B は、画素 30 の可変遅延回路 50 の遅延時間を制御するように構成される。具体的には、遅延制御部 28 B は、キャリブレーションモードで動作する際、制御信号 E N _ C A L を高レベル（アクティブ）に設定する。そして、遅延制御部 28 B は、処理部 27 の遅延時間計測部 27 A から供給された情報に基づいて、エリア A R 単位で、画素アレイ 21 における複数の画素 30 のそれぞれの可変遅延回路 50 の遅延時間の設定を決定する。そして、遅延制御部 28 B は、決定結果に基づいて、制御信号 D S E T を生成する。これにより、複数の可変遅延回路 50 のそれぞれでは、遅延時間が所定の長さの時間になるように設定されるようになっている。

[0060] 時間計測デバイス 20 は、例えば、互いに重ね合わされた 2 枚の半導体基板に形成される。

[0061] 図 7 は、時間計測デバイス 20 の一構成例を表すものである。時間計測デバイス 20 は、この例では、重ね合わされた 2 枚の半導体基板 111, 112 を用いて構成される。この半導体基板 111 には、画素アレイ 21 における受光素子 31 が形成される。よって、時間計測デバイス 20 において、半導体基板 111 が配置された面が受光面 S である。半導体基板 112 のうち、半導体基板 111 において受光素子 31 が形成された領域に対応する領域には、画素アレイ 21 における画素回路 40 が形成される。また、この半導体基板 112 には、さらに、選択信号生成部 22、信号生成部 23、同期部 24、加算部 25、ヒストグラム生成部 26、処理部 27、および制御部 28 が形成されている。これらの半導体基板 111 および半導体基板 112 は、互いに重ね合わされ、例えば Cu-Cu 接合により電氣的に接続されるようになっている。

[0062] ここで、可変遅延回路 50 は、本開示における「遅延回路」の一具体例に対応する。同期部 24、加算部 25、ヒストグラム生成部 26、および処理部 27 は、本開示における「時間計測部」の一具体例に対応する。トランジスタ 41 は、本開示における「スイッチ」の一具体例に対応する。セレクト 47 は、本開示における「セクタ」の一具体例に対応する。

[0063] [動作および作用]

続いて、本実施の形態の時間計測装置 1 の動作および作用について説明する。

[0064] (全体動作概要)

まず、図 1, 2 を参照して、時間計測装置 1 の全体動作概要を説明する。制御部 28 の発光タイミング設定部 28A は、光源 11 における発光タイミングを指示する発光トリガ信号 TRG を生成する。光源駆動部 12 は、発光トリガ信号 TRG に基づいて光源 11 を駆動する。光源 11 は、発光トリガ信号 TRG に含まれるトリガパルスに応じたタイミングで光を射出する。拡

散レンズ 13 は、光源 11 から射出した光を所定の角度範囲内に拡散させる。拡散レンズ 13 により拡散された光（出射光 L1）は、時間計測装置 1 から射出される。集光ミラー 14 は、計測対象物 9 により反射されて時間計測装置 1 に入射した光（反射光 L2）を、時間計測デバイス 20 の受光面 S に向けて反射させる。

[0065] 時間計測デバイス 20 は、集光ミラー 14 により反射された光を検出することによりデプス画像 P1C を生成する。具体的には、選択信号生成部 22 は、制御部 28 から供給された制御信号に基づいて、複数の選択信号 SEL を生成することにより、画素アレイ 21 における複数の画素 30 を列単位で順次選択する。信号生成部 23 は、制御部 28 から供給された制御信号に基づいて信号 SIN を生成する。画素アレイ 21 における選択された列に属する複数の画素 30 は、反射光 L2 に応じた受光パルス PL を含むパルス信号 SP をそれぞれ出力する。これにより、画素アレイ 21 は、これらのパルス信号 SP を複数の信号 S1 として出力する。同期部 24 は、複数の信号 S1 をクロック信号 CK でそれぞれサンプリングすることにより、複数の信号 S2 をそれぞれ生成する。加算部 25 は、複数の信号 S2 に基づいて加算処理を行うことにより、複数の信号 S3 を生成する。ヒストグラム生成部 26 は、複数の信号 S3 に基づいてヒストグラム生成処理を行う。処理部 27 は、ヒストグラム生成部 26 から供給されたヒストグラムについての情報に基づいて、デプス画像 P1C を生成する。

[0066] 時間計測デバイス 20 がキャリブレーションモードで動作する場合には、制御部 28 の遅延制御部 28B は、制御信号 EN__CAL を高レベル（アクティブ）に設定する。選択信号生成部 22 は、制御部 28 から供給された制御信号に基づいて、複数の選択信号 SEL を生成することにより、画素アレイ 21 における複数の画素 30 を列単位で順次選択する。画素アレイ 21 における選択された列に属する複数の画素 30 では、リングオシレータ 44 が発振動作を行う。これにより、これらの複数の画素 30 は、可変遅延回路 50 における遅延時間に応じた周波数を有する発振信号 SO をそれぞれ出力す

る。これにより、画素アレイ 21 は、これらの発振信号 S0 を複数の信号 S1 として出力する。同期部 24 は、複数の信号 S1 をクロック信号 CK でそれぞれサンプリングすることにより、複数の信号 S2 をそれぞれ生成する。加算部 25 は、複数の信号 S2 に基づいて加算処理を行うことにより、複数の信号 S3 を生成する。ヒストグラム生成部 26 は、複数の信号 S3 に基づいてヒストグラム生成処理を行う。処理部 27 の遅延時間計測部 27A は、ヒストグラム生成部 26 から供給されたヒストグラムについての情報に基づいて、可変遅延回路 50 の遅延時間を計測する。そして、遅延時間計測部 27A は、計測した遅延時間に関する情報を制御部 28 に供給する。制御部 28 の遅延制御部 28B は、遅延時間計測部 27A から供給された情報に基づいて、エリア AR 単位で、画素アレイ 21 における複数の画素 30 のそれぞれの可変遅延回路 50 の遅延時間の設定を決定する。そして、遅延制御部 28B は、決定結果に基づいて、制御信号 DSET を生成する。これにより、複数の可変遅延回路 50 のそれぞれでは、遅延時間が所定の長さの時間になるように設定される。

[0067] (詳細動作)

図 8 は、時間計測装置 1 の一動作例を表すものであり、(A) は光源 11 から射出された出射光 L1 の波形を示し、(B) は画素アレイ 21 における左から 1 列目の画素 30 (1) の動作を示し、(C) は画素アレイ 21 における左から 2 列目の画素 30 (2) の動作を示し、(D) は画素アレイ 21 における左から 3 列目の画素 30 (3) の動作を示し、(E) は画素アレイ 21 における一番右の列 (N 列目) の画素 30 (N) の動作を示し、(F) は制御信号 EN__CAL の波形を示す。図 8 (B) ~ (E) において、網掛けされた部分は、画素 30 が選択されていることを示し、網掛けされていない部分は、画素 30 が選択されていないことを示す。

[0068] 時間計測装置 1 は、計測期間 T1 において、光を射出するとともに、計測対象物 9 により反射された反射光を検出することにより、デプス画像を生成する。また、時間計測装置 1 は、互いに隣り合う 2 つの計測期間 T1 の間の

期間（ブランキング期間 T_2 ）において、画素30に含まれる可変遅延回路50の遅延時間を調整するキャリブレーション処理を行う。以下に、この動作について詳細に説明する。

[0069] タイミング t_1 において計測期間 T_1 が開始すると、まず、遅延制御部28Bは、制御信号 EN_CAL を低レベルにする（図8（F））。そして、タイミング $t_1 \sim t_2$ の期間において、選択信号生成部22は、1列目の画素30（1）を選択する（図8（B））。また、発光タイミング設定部28Aは、発光トリガ信号 TRG を生成する。光源駆動部12は、この発光トリガ信号 TRG に基づいて、このタイミング $t_1 \sim t_2$ の期間において、光源11が光パルス所定の発光周期（発光周期 T ）で複数回出射するように、光源11の動作を制御する（図8（A））。これにより、画素30（1）は、入射された反射光 L_2 に応じた受光パルス PL を含むパルス信号 SP を出力する。画素アレイ21は、このパルス信号 SP を信号 S_1 として出力する。

[0070] 同期部24は、このタイミング $t_1 \sim t_2$ の期間において、複数の信号 S_1 をクロック信号 CK でそれぞれサンプリングすることにより、複数の信号 S_2 をそれぞれ生成する。加算部25は、複数の信号 S_2 に基づいて加算処理を行うことにより、複数の信号 S_3 を生成する。ヒストグラム生成部26は、複数の信号 S_3 に基づいてヒストグラム生成処理を行う。このようにして、1列目の画素30（1）に係るヒストグラムが生成される。

[0071] 次に、タイミング $t_2 \sim t_3$ の期間において、選択信号生成部22は、2列目の画素30（2）を選択する（図8（C））。そして、光源駆動部12は、発光トリガ信号 TRG に基づいて、このタイミング $t_2 \sim t_3$ の期間において、光源11が光パルスを発光周期 T で複数回出射するように、光源11の動作を制御する（図8（A））。これにより、画素30（2）は、入射された反射光 L_2 に応じた受光パルス PL を含むパルス信号 SP を出力する。画素アレイ21は、このパルス信号 SP を信号 S_1 として出力する。

[0072] 同期部24は、このタイミング $t_2 \sim t_3$ の期間において、複数の信号 S

1 をクロック信号CKでそれぞれサンプリングすることにより、複数の信号S2をそれぞれ生成する。加算部25は、複数の信号S2に基づいて加算処理を行うことにより、複数の信号S3を生成する。ヒストグラム生成部26は、複数の信号S3に基づいてヒストグラム生成処理を行う。このようにして、2列目の画素30(2)に係るヒストグラムが生成される。

[0073] このようにして、時間計測装置1は、タイミングt1～t4の期間(計測期間T1)において、画素アレイ21における複数の画素30を列単位で順次選択する。これにより、各列の画素30に係るヒストグラムがそれぞれ生成される。

[0074] そして、処理部27は、このタイミングt1～t4の期間(計測期間T1)において生成されたヒストグラムに基づいて、デプス画像を生成する。

[0075] タイミングt4においてブランキング期間T2が開始すると、制御部28の遅延制御部28Bは、制御信号EN__CALを高レベル(アクティブ)に設定する(図8(F))。そして、タイミングt4～t5の期間において、選択信号生成部22は、1列目の画素30(1)を選択する(図8(B))。これにより、画素30(1)のリングオシレータ44は、発振動作を行い、画素30(1)は、可変遅延回路50における遅延時間に応じた周波数を有する発振信号SOを出力する。画素アレイ21は、この発振信号SOを信号S1として出力する。

[0076] 同期部24は、このタイミングt4～t5の期間において、複数の信号S1をクロック信号CKでそれぞれサンプリングすることにより、複数の信号S2をそれぞれ生成する。加算部25は、複数の信号S2に基づいて加算処理を行うことにより、複数の信号S3を生成する。ヒストグラム生成部26は、複数の信号S3に基づいてヒストグラム生成処理を行う。このようにして、1列目の画素30(1)に係るヒストグラムが生成される。

[0077] そして、タイミングt5より前のタイミングにおいて、遅延制御部28Bは、制御信号EN__CALを低レベル(非アクティブ)に設定する(図8(F))。

- [0078] 次に、タイミング $t_5 \sim t_6$ の期間において、選択信号生成部 22 は、2 列目の画素 30 (2) を選択する (図 8 (C))。これにより、画素 30 (2) のリングオシレータ 44 は、発振動作を行い、画素 30 (2) は、可変遅延回路 50 における遅延時間に応じた周波数を有する発振信号 S_0 を出力する。画素アレイ 21 は、この発振信号 S_0 を信号 S_1 として出力する。
- [0079] 同期部 24 は、このタイミング $t_5 \sim t_6$ の期間において、複数の信号 S_1 をクロック信号 CK でそれぞれサンプリングすることにより、複数の信号 S_2 をそれぞれ生成する。加算部 25 は、複数の信号 S_2 に基づいて加算処理を行うことにより、複数の信号 S_3 を生成する。ヒストグラム生成部 26 は、複数の信号 S_3 に基づいてヒストグラム生成処理を行う。このようにして、2 列目の画素 30 (2) に係るヒストグラムが生成される。
- [0080] そして、タイミング t_6 より前のタイミングにおいて、遅延制御部 28B は、制御信号 EN_CAL を低レベル (非アクティブ) に設定する (図 8 (F))。
- [0081] このようにして、時間計測装置 1 は、タイミング $t_4 \sim t_7$ の期間 (ブランキング期間 T_2) において、画素アレイ 21 における複数の画素 30 を列単位で順次選択する。これにより、各列の画素 30 に係るヒストグラムがそれぞれ生成される。
- [0082] そして、処理部 27 の遅延時間計測部 27A は、ヒストグラム生成部 26 から供給されたヒストグラムについての情報に基づいて、可変遅延回路 50 の遅延時間を計測する。制御部 28 の遅延制御部 28B は、遅延時間計測部 27A から供給された情報に基づいて、エリア AR 単位で、画素アレイ 21 における複数の画素 30 のそれぞれの可変遅延回路 50 の遅延時間の設定を決定する。そして、遅延制御部 28B は、決定結果に基づいて、制御信号 $DSET$ を生成する。これにより、複数の可変遅延回路 50 のそれぞれでは、遅延時間が所定の長さの時間になるように設定される。
- [0083] そして、タイミング t_7 において、次の計測期間 T_1 が開始する。
- [0084] この例では、ブランキング期間 T_2 においてキャリブレーション処理を行

うようにしたが、全てのブランキング期間 T_2 においてキャリブレーション処理を行わなくてもよい。例えば、所定数のブランキング期間 T_2 に1回の割合で、キャリブレーション処理を行うようにすることができる。

[0085] (時間計測処理について)

図9は、計測期間 T_1 における、選択された画素30の動作を模式的に表すものである。計測期間 T_1 では制御信号 EN_CAL が低レベルであるので、セクタ47は、第1の入力端子における信号を出力する。受光素子31が反射光 L_2 を検出すると、受光素子31のカソードの電圧が所定の長さの期間において低レベルになる。これに応じて、インバータ1Vの出力電圧が所定の長さの期間において高レベルになる。このようにして、画素30では受光パルス PL が生成される。そして、この受光パルス PL を含むパルス信号 SP が、レベル変換回路 BUF_1 、セクタ47、論理積回路48、および論理和回路49を介して出力される。

[0086] 図10は、計測期間 T_1 における、選択された画素30の動作を表すものであり、(A)は受光素子31のカソードにおける電圧(カソード電圧)の波形を示し、(B)はインバータ1Vの出力電圧の波形を示し、(C)は論理和回路43の出力電圧の波形を示し、(D)は可変遅延回路50の出力電圧の波形を示し、(E)は論理和回路46の出力電圧の波形を示す。

[0087] 受光素子31が反射光 L_2 を検出すると、タイミング t_{11} において、受光素子31のカソード電圧が電圧 V_e から低下する(図10(A))。このカソード電圧の変化に応じて、インバータ1Vは、タイミング t_{12} において、出力電圧を低レベルから高レベルに変化させる(図10(B))。これにより、トランジスタ42はオフ状態になる。

[0088] そして、このインバータ1Vの出力電圧の変化に応じて、論理和回路43は、タイミング t_{13} において、出力電圧を低レベルから高レベルに変化させる(図10(C))。すなわち、この計測期間 T_1 では、制御信号 EN_CAL は低レベルであるので、論理和回路43は、インバータ1Vの出力電圧の変化に応じて、出力電圧を低レベルから高レベルに変化させる。

[0089] そして、この論理和回路43の出力電圧の変化に応じて、反転論理積回路45は出力電圧を高レベルから低レベルに変化させ、この反転論理積回路45の出力電圧の変化に応じて、可変遅延回路50は、タイミングt14において、出力電圧を高レベルから低レベルに変化させる（図10（D））。すなわち、タイミングt13では、可変遅延回路50の出力電圧は高レベルであるので、反転論理積回路45は、論理和回路43の出力電圧の変化に応じて、出力電圧を高レベルから低レベルに変化させる。そして、可変遅延回路50は、この反転論理積回路45の出力電圧の変化に応じて、制御信号DSETに応じた遅延時間の分だけ遅れたタイミングで、出力電圧を高レベルから低レベルに変化させる。このタイミングt13とタイミングt14との間の時間は、反転論理積回路45の遅延時間と、可変遅延回路50の遅延時間との合計時間（遅延時間td）である。可変遅延回路50の遅延時間は、反転論理積回路45の遅延時間よりも十分に長いので、遅延時間tdは、可変遅延回路50の遅延時間と同程度である。

[0090] そして、この可変遅延回路50の出力電圧の変化に応じて、論理和回路46は、タイミングt15において、出力電圧を高レベルから低レベルに変化させる（図10（E））。すなわち、この計測期間T1では、制御信号ENCALは低レベルであるので、論理和回路46は、可変遅延回路50の出力電圧の変化に応じて、出力電圧を高レベルから低レベルに変化させる。

[0091] この論理和回路46の出力電圧の変化に応じて、トランジスタ41がオン状態になり、タイミングt16において、受光素子31のカソード電圧が上昇し電圧Veになる（図10（A））。このカソード電圧の変化に応じて、インバータIVは、タイミングt17において、出力電圧を高レベルから低レベルに変化させる（図10（B））。これにより、トランジスタ42はオン状態になる。

[0092] そして、このインバータIVの出力電圧の変化に応じて、論理和回路43は、タイミングt18において、出力電圧を高レベルから低レベルに変化させる（図10（C））。

[0093] また、タイミング t_{14} における可変遅延回路 50 の出力電圧の変化に応じて、反転論理積回路 45 は出力電圧を低レベルから高レベルに変化させ、この反転論理積回路 45 の出力電圧の変化に応じて、可変遅延回路 50 は、タイミング t_{19} において、出力電圧を低レベルから高レベルに変化させる（図 10（D））。

[0094] そして、この可変遅延回路 50 の出力電圧の変化に応じて、論理和回路 46 は、タイミング t_{20} において、出力電圧を低レベルから高レベルに変化させる（図 10（E））。これにより、トランジスタ 41 はオフ状態になる。

[0095] このように、選択された画素 30 では、図 10（B）に示したように、受光素子 31 が反射光 L_2 を受光する度に、受光パルス P_L が生成される。この受光パルス P_L のパルス幅は、遅延時間 t_d により制御される。言い換えれば、受光パルス P_L のパルス幅は、可変遅延回路 50 の遅延時間により制御される。このようにして、選択された画素 30 では、受光素子 31 が反射光 L_2 を受光する度に、可変遅延回路 50 の遅延時間に応じたパルス幅を有する受光パルス P_L が生成される。そして、この画素 30 は、この受光パルス P_L を含むパルス信号 S_P を出力する。

[0096] 次に、計測期間 T_1 における時間計測デバイス 20 の動作を、選択された 1 列分の画素 30 のうちのある画素 30 に係る動作を例に説明する。

[0097] 図 11 は、計測期間 T_1 における時間計測デバイス 20 の一動作例を表すものであり、（A）は信号 S_{IN} の波形を示し、（B）は信号 S_1 の波形を示し、（C）は信号 S_2 の波形を示し、（D）は信号 S_3 の波形を示す。図 11（C）、（D）では、波形を、クロック周期 T_{CK} を用いて図示している。

[0098] タイミング t_{21} において、信号生成部 23 は、信号 S_{IN} の電圧を低レベルから高レベルに変化させ、タイミング t_{22} において、信号 S_{IN} の電圧を高レベルから低レベルに変化させる（図 11（A））。このリファレンスパルス P_R は、光源 11 が発光するタイミングに応じたタイミングで生成

される。このリファレンスパルスPRは、画素アレイ21における、デジタイゼーション接続された一行分の画素30を介して伝わっていく。

[0099] そして、タイミングt23において、画素アレイ21は、信号S1の電圧を低レベルから高レベルに変化させ、タイミングt24において、この信号S1の電圧を高レベルから低レベルに変化させる（図11（B））。このようにして、画素アレイ21は、信号生成部23から供給されたリファレンスパルスPRを出力する。

[0100] そして、あるタイミングで、画素30が反射光L2を検出すると、その後のタイミングt25において、画素アレイ21は、信号S1の電圧を低レベルから高レベルに変化させ、タイミングt26において、この信号S1の電圧を高レベルから低レベルに変化させる（図11（B））。このようにして、画素アレイ21は、1つめの受光パルスPL（受光パルスPL1）を出力する。

[0101] そして、別のあるタイミングで、その画素30が反射光L2を検出すると、その後のタイミングt27において、画素アレイ21は、信号S1の電圧を低レベルから高レベルに変化させ、タイミングt28において、この信号S1の電圧を高レベルから低レベルに変化させる（図11（B））。このようにして、画素アレイ21は、2つめの受光パルスPL（受光パルスPL2）を出力する。

[0102] 同期部24のフリップフロップ64は、この信号S1をクロック信号CKでサンプリングすることにより信号S2を生成する（図11（C））。加算部25の加算回路65は、複数のフリップフロップ64から出力された複数の信号S2に基づいて加算処理を行うことにより、信号S3を生成する（図11（D））。ヒストグラム生成部26のヒストグラム生成回路66は、この信号S3に基づいてヒストグラム生成処理を行うことによりヒストグラムを生成する。

[0103] そして、処理部27は、この信号S3に基づいて、光源11が光を射出したタイミングおよび時間計測デバイス20の受光素子31が光を検出したタ

イメージの間の時間差 Δt を計測する。具体的には、処理部27は、リファレンスパルスPRに係るヒストグラムおよび受光パルスPL1に係るヒストグラムに基づいて時間差 Δt_1 を計測し、リファレンスパルスPRに係るヒストグラムおよび受光パルスPL2に係るヒストグラムに基づいて時間差 Δt_2 を計測する。処理部27は、例えば、ヒストグラムにおけるピークタイミングを用いて時間差 Δt を計測してもよいし、ヒストグラムにおけるエッジタイミングを用いて時間差 Δt を計測してもよい。

[0104] そして、処理部27は、これらの時間差 Δt に基づいてデプス画像PICを生成する。

[0105] (キャリブレーション処理について)

図12は、キャリブレーションモードにおける、選択された画素30の動作を模式的に表すものである。制御信号EN__CALが高レベルである期間において、セクタ47は、第2の入力端子における信号を出力する。また、制御信号EN__CALが高レベルである期間において、論理和回路43は高レベルを出力するので、リングオシレータ44は発振動作を行う。これにより、リングオシレータ44は、可変遅延回路50における遅延時間に応じた周波数を有する発振信号SOを生成する。この発振信号SOは、レベル変換回路BUF2、セクタ47、論理積回路48、および論理和回路49を介して出力される。

[0106] 次に、キャリブレーションモードにおける時間計測デバイス20の動作を、選択された1列分の画素30のうちのある画素30に係る動作を例に説明する。

[0107] 図13は、キャリブレーションモードにおける時間計測デバイス20の一動作例を表すものであり、(A)は制御信号EN__CALの波形を示し、(B)は信号S1の波形を示し、(C)は信号S2の波形を示し、(D)は信号S3の波形を示す。図13(C)、(D)では、波形を、クロック周期TCKを用いて図示している。

[0108] タイミングt31において、制御部28の遅延制御部28Bは、制御信号

EN_CALの電圧を低レベルから高レベルに変化させる（図13（A））。これにより、画素30では、リングオシレータ44が発振動作を行い、可変遅延回路50における遅延時間に応じた周波数を有する発振信号S0を生成する。

[0109] そして、タイミングt32において、画素アレイ21は、この発振信号S0を信号S1として出力する（図13（B））。

[0110] 同期部24のフリップフロップ64は、この信号S1をクロック信号CKでサンプリングすることにより信号S2を生成する（図13（C））。加算部25の加算回路65は、複数のフリップフロップ64から出力された複数の信号S2に基づいて加算処理を行うことにより、信号S3を生成する（図13（D））。ヒストグラム生成部26のヒストグラム生成回路66は、この信号S3に基づいてヒストグラム生成処理を行うことによりヒストグラムを生成する。

[0111] そして、処理部27の遅延時間計測部27Aは、この信号S3に基づいて、可変遅延回路50の遅延時間を計測する。具体的には、遅延時間計測部27Aは、発振信号S0が高レベルである期間の時間長tHを計測する。遅延時間計測部27Aは、例えば、ヒストグラムにおける両端のエッジタイミングを用いて時間長tHを計測することができる。この時間長tHは、リングオシレータ44における、反転論理積回路45の遅延時間と、可変遅延回路50の遅延時間との合計時間（図10に示した遅延時間td）に対応する。可変遅延回路50の遅延時間は、反転論理積回路45の遅延時間よりも十分に長いので、計測した時間長tHは、可変遅延回路50の遅延時間と同程度である。このようにして、遅延時間計測部27Aは、可変遅延回路50の遅延時間を計測する。

[0112] 遅延時間計測部27Aは、計測した遅延時間に関する情報を制御部28に供給する。制御部28の遅延制御部28Bは、遅延時間計測部27Aから供給された情報に基づいて、エリアAR単位で、画素アレイ21における複数の画素30のそれぞれの可変遅延回路50の遅延時間の設定を決定する。そ

して、遅延制御部 28 B は、決定結果に基づいて、制御信号 D S E T を生成する。これにより、複数の可変遅延回路 50 のそれぞれでは、遅延時間が所定の長さの時間になるように設定される。

[0113] このように、時間計測デバイス 20 では、各画素 30 にトランジスタ 41 を設け、受光素子 31 が反射光 L2 を受光することにより受光素子 31 のカソード電圧が低下してから所定の時間が経過したタイミングで、このトランジスタ 41 をオン状態にするようにした。これにより、時間計測デバイス 20 では、例えば、図 14 に示すように、トランジスタ 41 を設けずに、受光素子 31 および抵抗素子 41 R を直列接続した構成と比べて、デッドタイムを短くすることができる。

[0114] また、時間計測デバイス 20 では、各画素 30 に可変遅延回路 50 を設け、この可変遅延回路 50 の遅延時間に応じたパルス幅を有する受光パルス P L を含むパルス信号 S P を生成するようにした。そして、時間計測デバイス 20 では、キャリブレーションモードにおいて、この可変遅延回路 50 の遅延時間を計測し、この計測結果に基づいて、可変遅延回路 50 の遅延時間を、所定の長さの時間になるように設定した。これにより、時間計測デバイス 20 では、デッドタイムを短くすることができる。すなわち、例えば、図 15 に示すように、可変遅延回路 50 の代わりに、遅延回路 50 R を用いてリングオシレータ 44 R を構成した場合には、プロセスばらつき、電源電圧変動、温度変動などにより、遅延回路 50 R における遅延時間が変化してしまう。この場合には、デッドタイムの長さも変化するため、デッドタイムが長くなるおそれがある。一方、時間計測デバイス 20 では、可変遅延回路 50 の遅延時間を、所定の長さの時間になるように設定したので、デッドタイムの長さの変化を抑制することができるとともに、デッドタイムを短くすることができる。

[0115] また、時間計測デバイス 20 では、キャリブレーションモードにおいて、可変遅延回路 50 を用いてリングオシレータ 44 を構成し、このリングオシレータ 44 の発振信号 S O に基づいて可変遅延回路 50 の遅延時間を計測す

るようにした。これにより、発振信号 S O の半周期分の時間に基づいて、可変遅延回路 5 0 の遅延時間を計測することができるので、シンプルな方法で可変遅延回路 5 0 の遅延時間を計測することができる。

[0116] また、時間計測デバイス 2 0 では、時間計測処理において用いる同期部 2 4、加算部 2 5、ヒストグラム生成部 2 6 を用いて、キャリブレーション処理を行うようにした。これにより、キャリブレーション処理を行うために追加する回路を少なくすることができるので、回路構成をシンプルにすることができる。

[0117] [効果]

以上のように本実施の形態では、各画素にトランジスタ 4 1 を設け、受光素子が反射光を受光することにより受光素子のカソード電圧が低下してから所定の時間が経過したタイミングで、このトランジスタをオン状態にするようにしたので、デッドタイムを短くすることができる。

[0118] 本実施の形態では、各画素に可変遅延回路を設け、この可変遅延回路の遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を生成するようにした。そして、キャリブレーションモードにおいて、この可変遅延回路の遅延時間を計測し、この計測結果に基づいて、可変遅延回路の遅延時間を、所定の長さの時間になるように設定するようにした。これにより、デッドタイムを短くすることができる。

[0119] 本実施の形態では、キャリブレーションモードにおいて、可変遅延回路を用いてリングオシレータを構成し、このリングオシレータの発振信号に基づいて可変遅延回路の遅延時間を計測するようにしたので、シンプルな方法で可変遅延回路の遅延時間を計測することができる。

[0120] 本実施の形態では、時間計測処理において用いる同期部、加算部、ヒストグラム生成部を用いて、キャリブレーション処理を行うようにしたので、回路構成をシンプルにすることができる。

[0121] [変形例 1]

上記実施の形態では、図 1 6 に示すように、受光素子 3 1 のカソードを画

素回路40に接続したが、これに限定されるものではない。これに代えて、例えば、図17に示すように、受光素子のアノードを画素回路に接続してもよい。本変形例に係る画素は、受光素子31Aと、画素回路40Aとを有している。受光素子31Aのアノードは画素回路40Aに接続され、カソードには電圧V1が供給される。画素回路40Aは、トランジスタ41A、42Aと、インバータ1Vとを有している。トランジスタ41A、41Bは、N型のMOSトランジスタである。トランジスタ41Aのドレインは受光素子31Aのアノード、トランジスタ42Aのドレイン、およびインバータ1Vの入力端子に接続され、ソースには電圧V2が供給される。トランジスタ42Aのドレインは受光素子31Aのアノード、トランジスタ41Aのドレイン、およびインバータ1Vの入力端子に接続され、ゲートはインバータ1Vの出力端子に接続され、ソースには電圧V2が供給される。

[0122] [変形例2]

上記実施の形態では、図6に示したように、画素アレイ21を32個(=4×8)のエリアARに区分し、可変遅延回路50の遅延時間をエリアAR単位で調整した。すなわち、この例では、画素アレイ21を横方向および縦方向に区分したが、これに限定されるものではなく、例えば、図18に示したように、縦方向にのみ区分してもよい。この例では、画素アレイ21を8個に区分している。また、例えば、図19に示したように、画素アレイ21を区分しなくてもよい。この場合には、画素アレイ21における全ての可変遅延回路50における遅延設定を互いに同じにすることができる。

[0123] <2. 適用例>

上記実施の形態では、本技術を、図1に示した構成を有する時間計測装置に適用したが、これに限定されるものではない。例えば、時間計測装置を、図20に示す構成を有する時間計測装置に適用してもよい。この時間計測装置2は、レンズ71と、画素アレイ72と、レンズ73と、画素アレイ74と、時間計測部75とを備えている。

[0124] レンズ71は、光源11から射出した光を所定の角度範囲内に拡散させる

ように構成される。また、レンズ 7 1 は、光源 1 1 から射出した光の一部を、画素アレイ 7 2 に向かって反射させるようになっている。

[0125] 画素アレイ 7 2 は、レンズ 7 1 により反射された光をリファレンス光として検出するように構成される。画素アレイ 7 2 は、例えば、上記実施の形態に係る画素アレイ 2 1 と同様の構成を有する。

[0126] レンズ 7 3 は、画素アレイ 7 4 の受光面 S において像を結像させるように構成される。このレンズ 7 3 には、計測対象物 9 により反射された光（反射光 L 2）が入射するようになっている。

[0127] 画素アレイ 7 4 は、反射光 L 2 を検出するように構成される。この画素アレイ 7 4 は、上記実施の形態に係る画素アレイ 2 1 と同様の構成を有する。

[0128] 時間計測部 7 5 は、画素アレイ 7 2, 7 4 から供給された信号 S 1 に基づいて、光を射出したタイミングおよび反射光を検出したタイミングの間の時間差を計測することにより、デプス画像 P I C を生成するように構成される。

[0129] < 3. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0130] 図 2 1 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0131] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 1 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、

音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0132] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0133] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0134] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0135] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光

であっても良い。

[0136] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0137] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0138] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0139] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0140] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 21 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0141] 図 22 は、撮像部 12031 の設置位置の例を示す図である。

[0142] 図 22 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0143] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0144] なお、図 22 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100

を上方から見た俯瞰画像が得られる。

[0145] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0146] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0147] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0148] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出す

る赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0149] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。これにより、車両制御システム12000では、デッドタイムが短くなるので、計測精度を高めることができる。その結果、車両制御システム12000では、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等の精度を高めることができる。

[0150] 以上、実施の形態および変形例、ならびにそれらの具体的な応用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0151] 例えば、画素30は、図4に示した構成に限定されるものではなく、可変遅延回路50を用いて受光パルスPLのパルス幅を設定可能な様々な構成を用いることができる。

[0152] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0153] なお、本技術は以下のような構成とすることができる。

[0154] (1) 受光素子と、遅延時間を変更可能な遅延回路とを有し、第1の動作モードにおいて、前記遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第2の動作モードにおいて、前記遅延回路を用いてリングオシレータを構成可能であり、前記リングオシレータにおける発振信号を前記出力信号として出力可能な画素と、

前記出力信号に基づいて時間計測処理を行うことが可能な時間計測部とを備えた時間計測デバイス。

(2) 前記時間計測処理は、前記第2の動作モードにおいて、前記発振信号に基づいて、前記遅延回路の前記遅延時間を計測することを含む

前記(1)に記載の時間計測デバイス。

(3) 前記発振信号は、第1の論理レベルと第2の論理レベルとの間で遷移し、

前記時間計測処理は、前記第1の論理レベルが継続される時間の長さを計測することにより、前記遅延回路の前記遅延時間を計測することを含む

前記(2)に記載の時間計測デバイス。

(4) 前記時間計測部が計測した前記遅延時間に基づいて、前記遅延回路の前記遅延時間を調整可能な遅延制御部をさらに備えた

前記(2)または(3)に記載の時間計測デバイス。

(5) 前記画素を複数備え、

複数の前記画素における前記遅延回路の前記遅延時間は、1つの遅延設定に基づいて設定され、

前記時間計測処理は、前記第2の動作モードにおいて、前記複数の画素からそれぞれ出力された複数の前記発振信号に基づいて、前記複数の画素における前記遅延回路の前記遅延時間を計測することを含み、

前記遅延制御部は、前記時間計測部が計測した前記遅延時間に基づいて、前記遅延設定を生成可能である

前記(4)に記載の時間計測デバイス。

(6) 前記時間計測処理は、前記第1の動作モードにおいて、前記パルス信

号に基づいて、前記受光素子の受光タイミングを検出することを含む

前記（１）から（５）のいずれかに記載の時間計測デバイス。

（７）前記画素は、オン状態になることにより受光ノードと第１の電源ノードとを接続可能なスイッチを有し、

前記受光素子は、前記受光ノードと第２の電源ノードとの間に挿設され、

前記遅延回路は、前記第１の動作モードにおいて、前記受光ノードの電圧に応じた信号を遅延し、

前記スイッチは、前記第１の動作モードにおいて、前記遅延回路により遅延された信号に基づいてオン状態になることが可能である

前記（１）から（６）のいずれかに記載の時間計測デバイス。

（８）前記画素は、セレクトラをさらに有し、

前記パルス信号は、前記受光ノードの電圧に応じた信号であり、

前記セレクトラは、前記第１の動作モードにおいて前記パルス信号を前記出力信号として選択可能であり、前記第２の動作モードにおいて前記発振信号を前記出力信号として選択可能である

前記（７）に記載の時間計測デバイス。

（９）前記受光素子は、第１の半導体基板に形成され、

前記遅延回路および前記スイッチは、前記第１の半導体基板に重ね合わされた第２の半導体基板に形成された

前記（７）または（８）に記載の時間計測デバイス。

（１０）前記受光素子は、シングルフォトンアバランシェダイオードである

前記（１）から（９）のいずれかに記載の時間計測デバイス。

（１１）光を射出可能な光源と、

前記光に対応する反射光を検出可能な受光素子と、遅延時間を変更可能な遅延回路とを有し、第１の動作モードにおいて、前記遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第２の動作モードにおいて、前記遅延回路を用いてリングオシレータを構成可能であり、前記リングオシレータにおける発振信号を前記出力信号とし

て出力可能な画素と、

前記出力信号に基づいて時間計測処理を行うことが可能な時間計測部と
を備えた時間計測装置。

[0155] 本出願は、日本国特許庁において2018年8月7日出願された日本特許出願番号2018-148675号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0156] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 受光素子と、遅延時間を変更可能な遅延回路とを有し、第1の動作モードにおいて、前記遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第2の動作モードにおいて、前記遅延回路を用いてリングオシレータを構成可能であり、前記リングオシレータにおける発振信号を前記出力信号として出力可能な画素と、
- 前記出力信号に基づいて時間計測処理を行うことが可能な時間計測部と
- を備えた時間計測デバイス。
- [請求項2] 前記時間計測処理は、前記第2の動作モードにおいて、前記発振信号に基づいて、前記遅延回路の前記遅延時間を計測することを含む
- 請求項1に記載の時間計測デバイス。
- [請求項3] 前記発振信号は、第1の論理レベルと第2の論理レベルとの間で遷移し、
- 前記時間計測処理は、前記第1の論理レベルが継続される時間の長さを計測することにより、前記遅延回路の前記遅延時間を計測することを含む
- 請求項2に記載の時間計測デバイス。
- [請求項4] 前記時間計測部が計測した前記遅延時間に基づいて、前記遅延回路の前記遅延時間を調整可能な遅延制御部をさらに備えた
- 請求項2に記載の時間計測デバイス。
- [請求項5] 前記画素を複数備え、
- 複数の前記画素における前記遅延回路の前記遅延時間は、1つの遅延設定に基づいて設定され、
- 前記時間計測処理は、前記第2の動作モードにおいて、前記複数の画素からそれぞれ出力された複数の前記発振信号に基づいて、前記複数の画素における前記遅延回路の前記遅延時間を計測することを含み

、

前記遅延制御部は、前記時間計測部が計測した前記遅延時間に基づいて、前記遅延設定を生成可能である

請求項 4 に記載の時間計測デバイス。

[請求項6] 前記時間計測処理は、前記第 1 の動作モードにおいて、前記パルス信号に基づいて、前記受光素子の受光タイミングを検出することを含む

請求項 1 に記載の時間計測デバイス。

[請求項7] 前記画素は、オン状態になることにより受光ノードと第 1 の電源ノードとを接続可能なスイッチを有し、

前記受光素子は、前記受光ノードと第 2 の電源ノードとの間に挿設され、

前記遅延回路は、前記第 1 の動作モードにおいて、前記受光ノードの電圧に応じた信号を遅延し、

前記スイッチは、前記第 1 の動作モードにおいて、前記遅延回路により遅延された信号に基づいてオン状態になることが可能である

請求項 1 に記載の時間計測デバイス。

[請求項8] 前記画素は、セレクトをさらに有し、

前記パルス信号は、前記受光ノードの電圧に応じた信号であり、

前記セレクトは、前記第 1 の動作モードにおいて前記パルス信号を前記出力信号として選択可能であり、前記第 2 の動作モードにおいて前記発振信号を前記出力信号として選択可能である

請求項 7 に記載の時間計測デバイス。

[請求項9] 前記受光素子は、第 1 の半導体基板に形成され、

前記遅延回路および前記スイッチは、前記第 1 の半導体基板に重ね合わされた第 2 の半導体基板に形成された

請求項 7 に記載の時間計測デバイス。

[請求項10] 前記受光素子は、シングルフォトンアバランシェダイオードである

請求項 1 に記載の時間計測デバイス。

[請求項11]

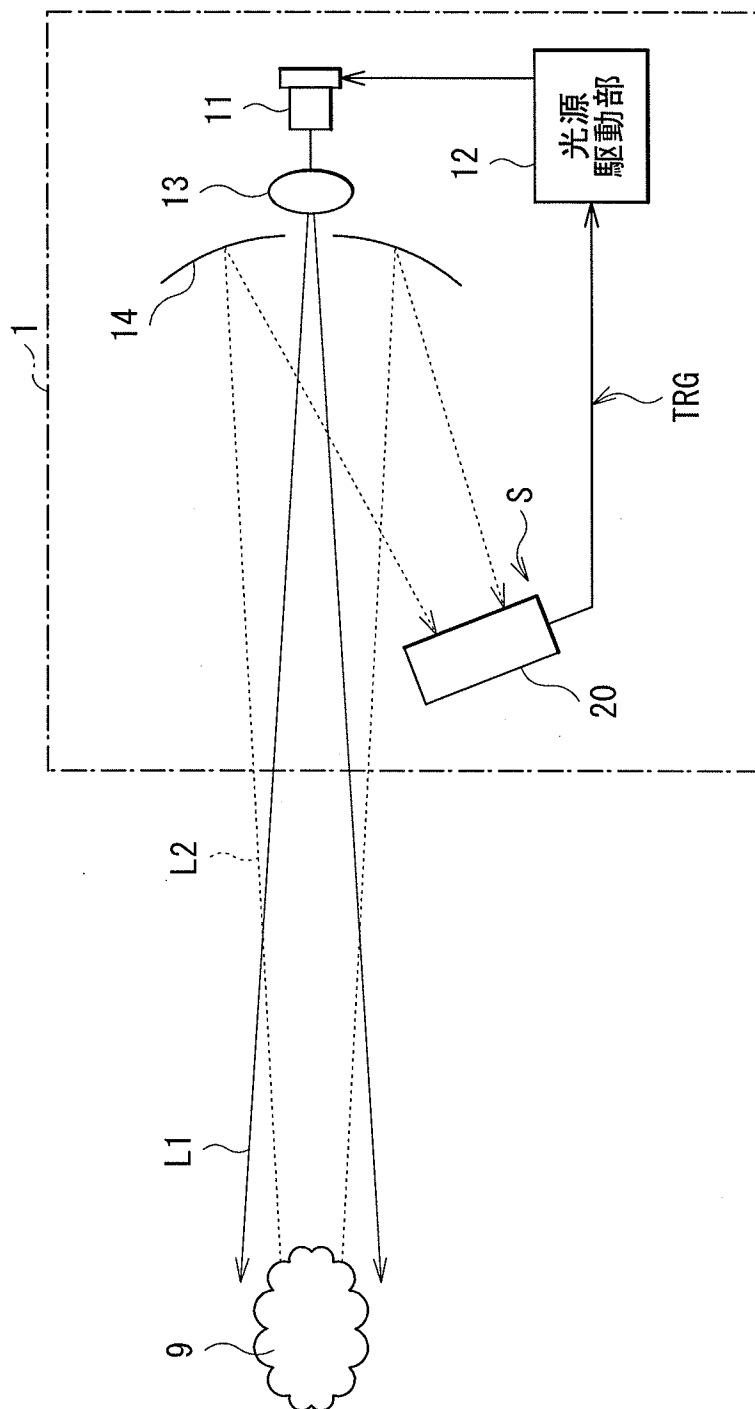
光を射出可能な光源と、

前記光に対応する反射光を検出可能な受光素子と、遅延時間を変更可能な遅延回路とを有し、第 1 の動作モードにおいて、前記遅延時間に応じたパルス幅を有する受光パルスを含むパルス信号を出力信号として出力可能であり、第 2 の動作モードにおいて、前記遅延回路を用いてリングオシレータを構成可能であり、前記リングオシレータにおける発振信号を前記出力信号として出力可能な画素と、

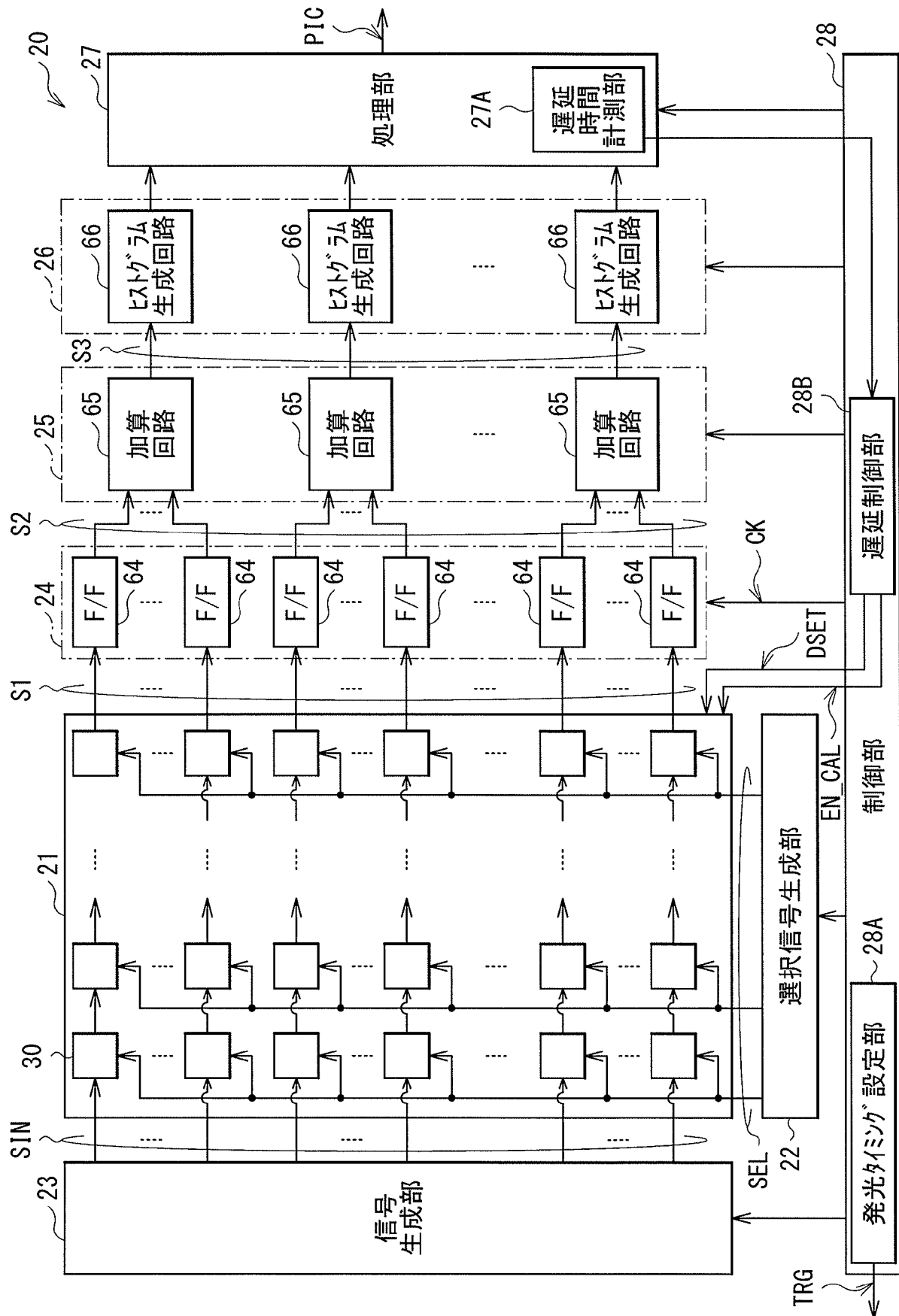
前記出力信号に基づいて時間計測処理を行うことが可能な時間計測部と

を備えた時間計測装置。

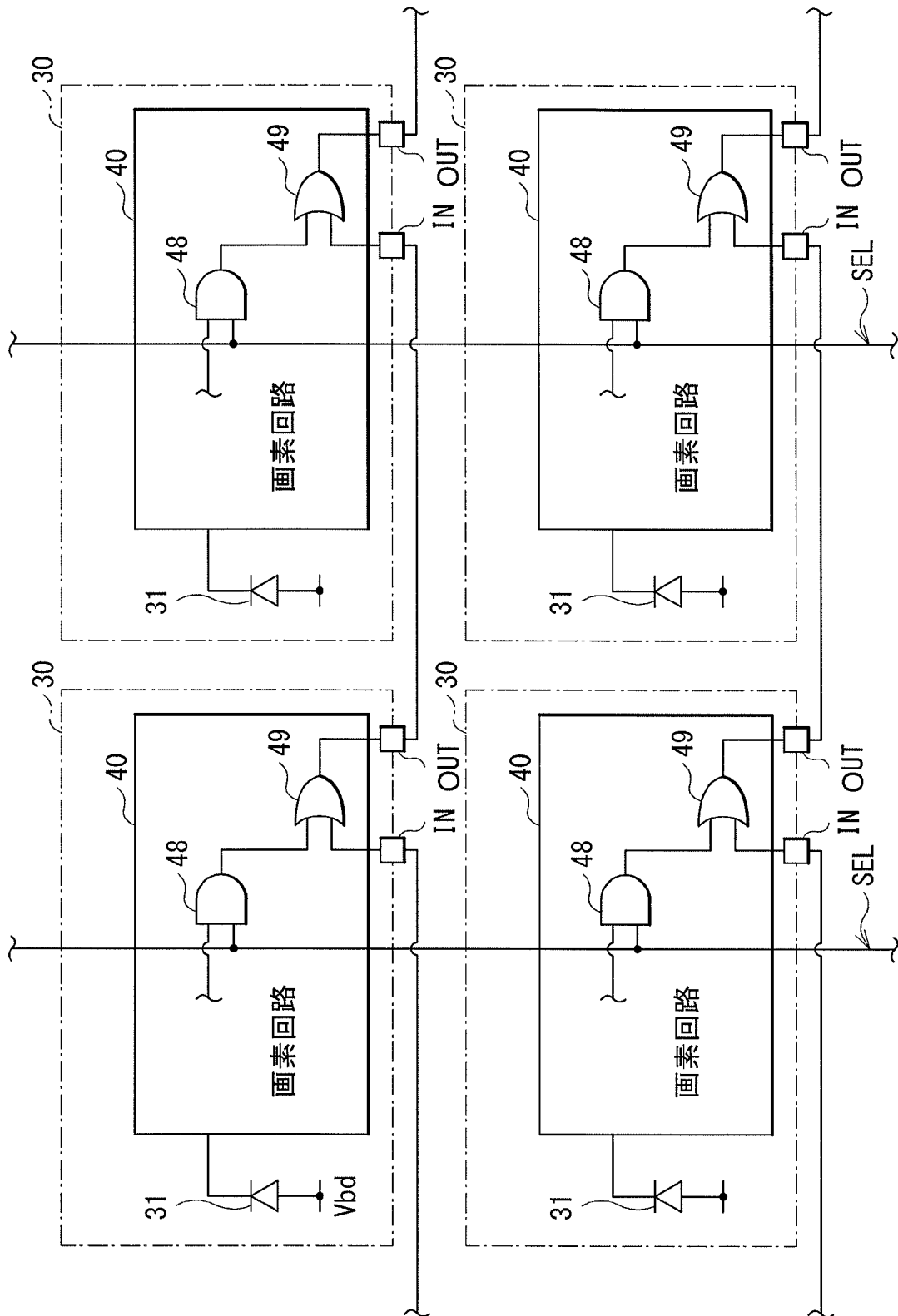
[図1]



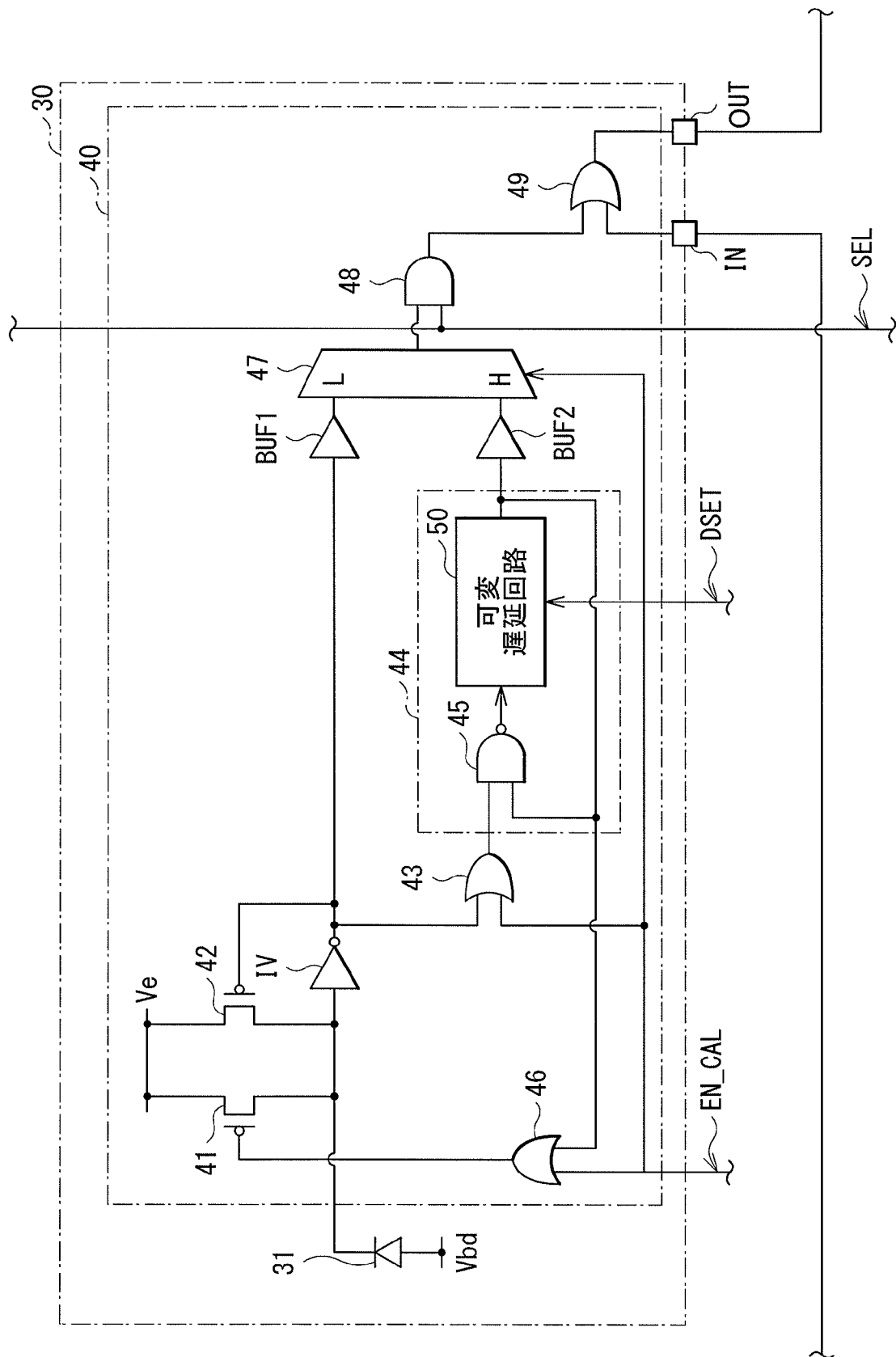
[図2]



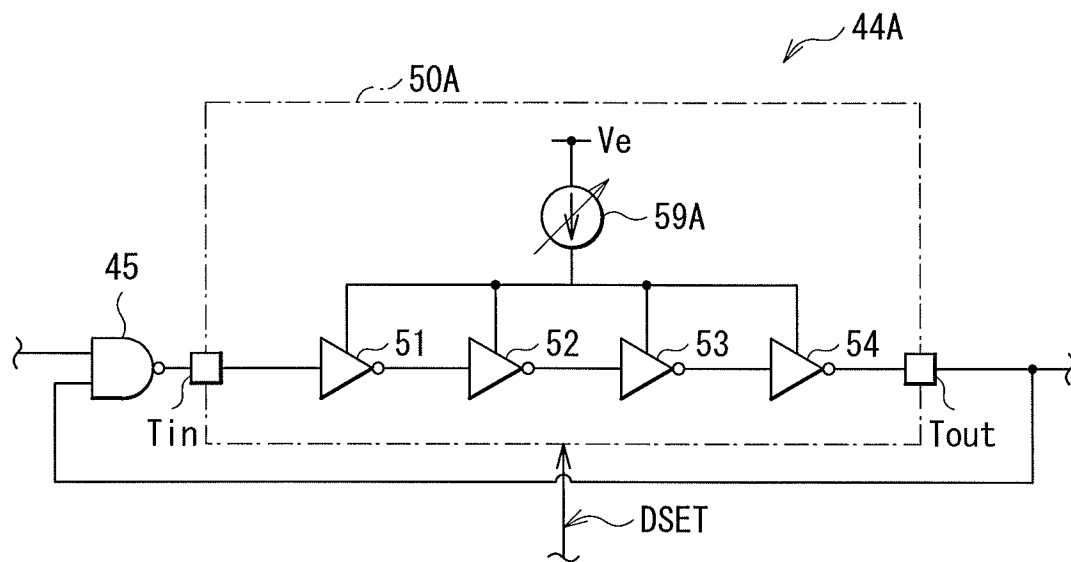
[図3]



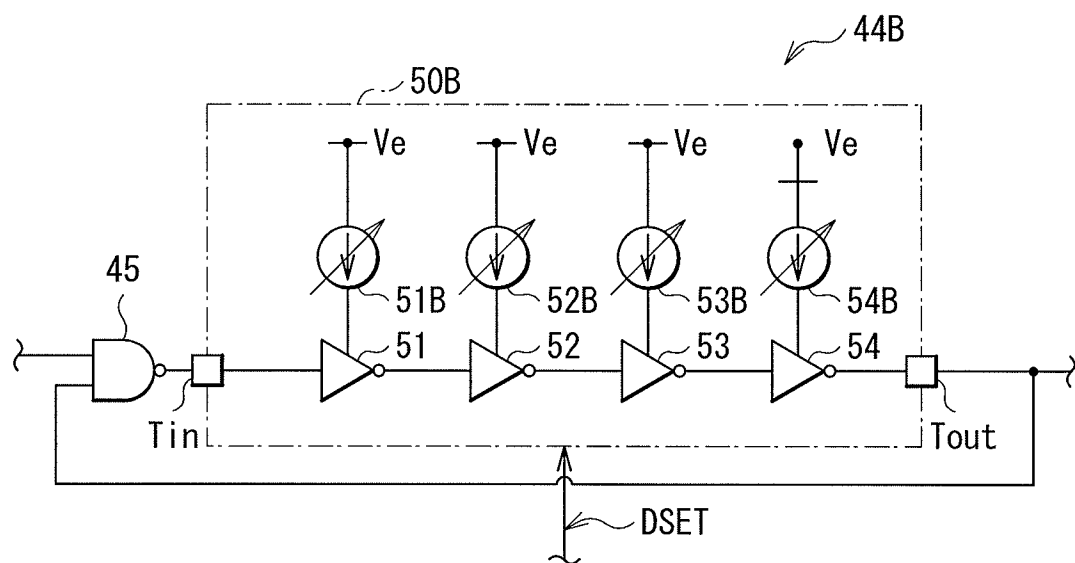
[図4]



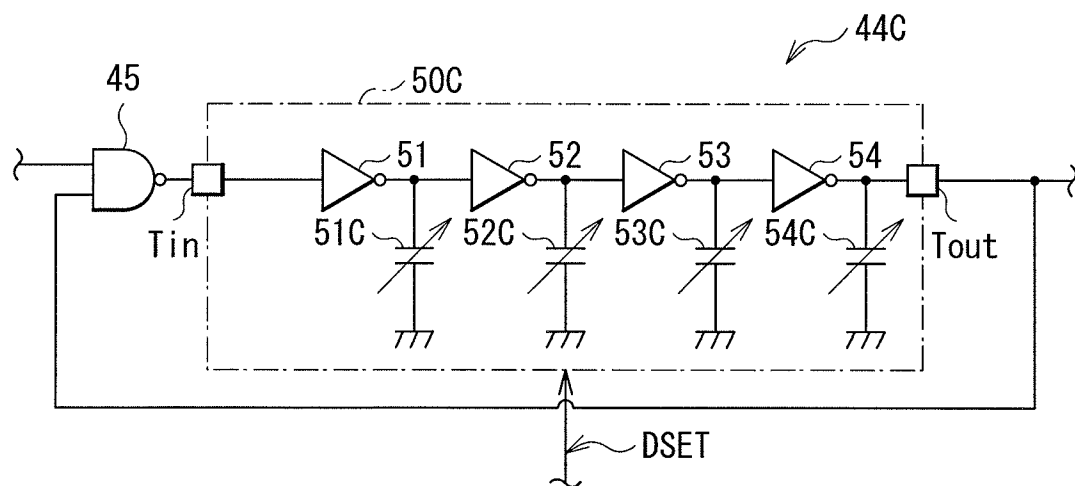
[図5A]



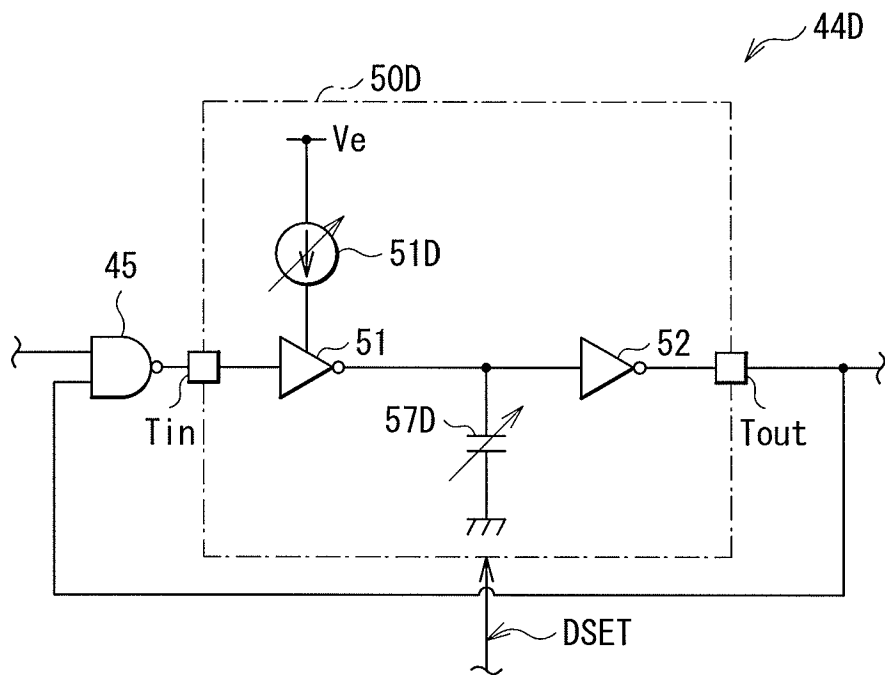
[図5B]



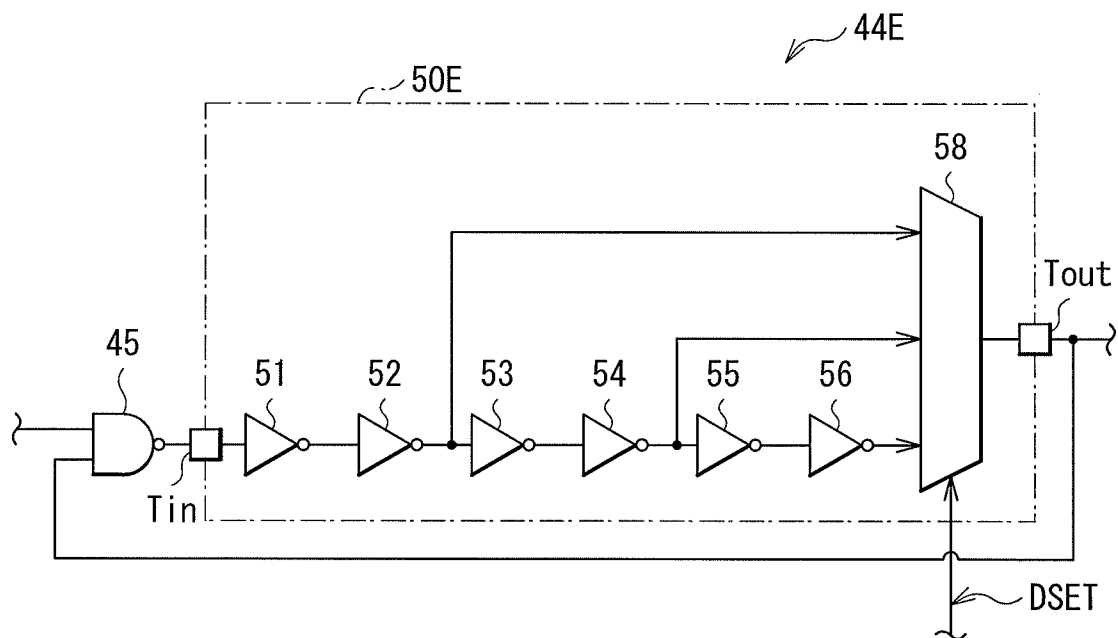
[図5C]



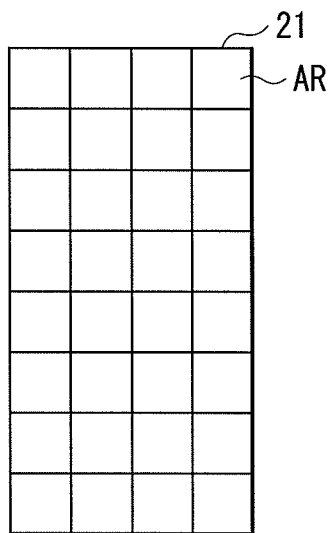
[図5D]



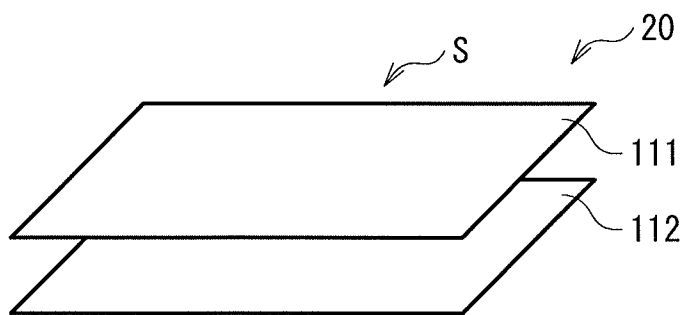
[図5E]



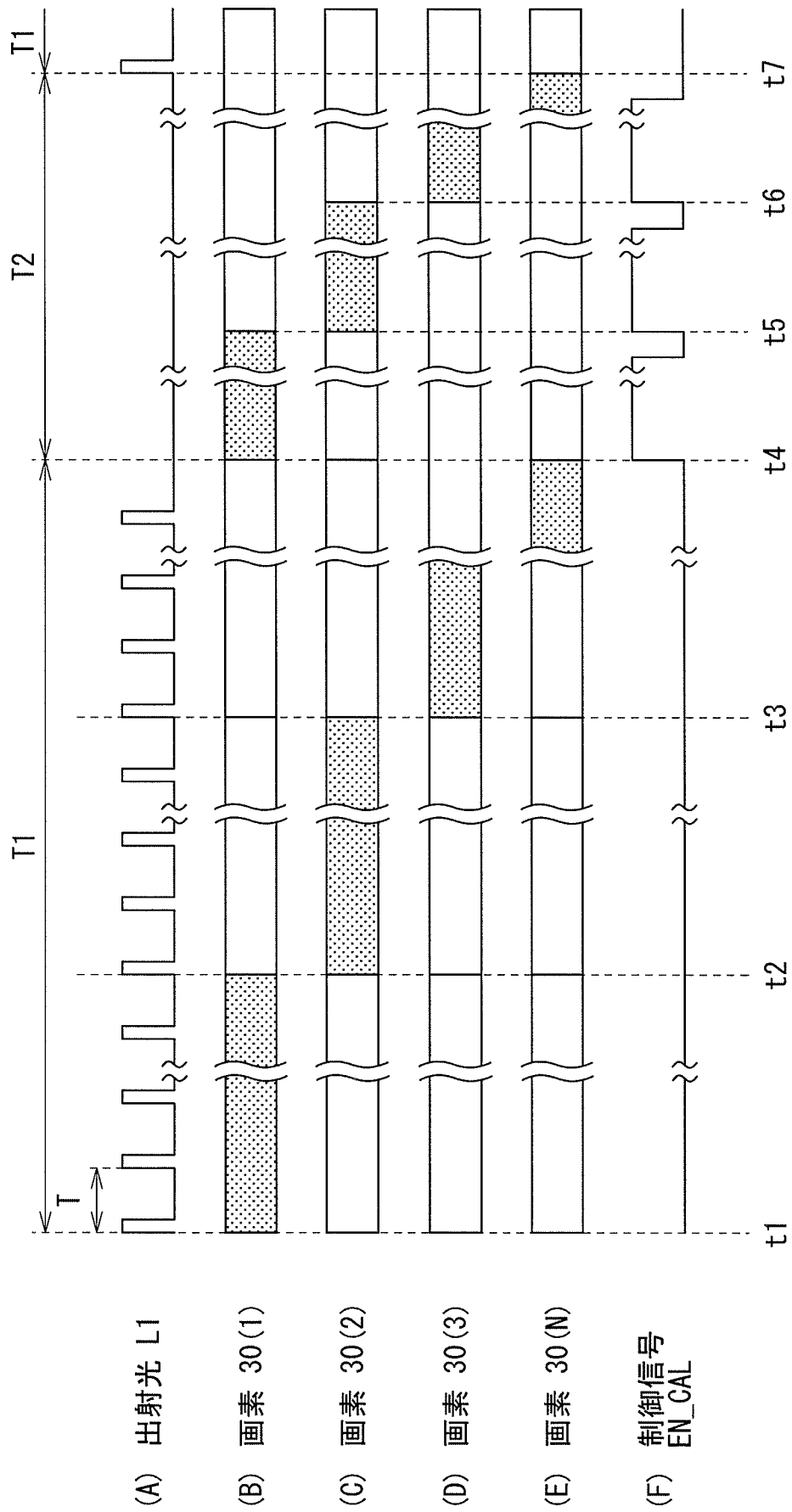
[図6]



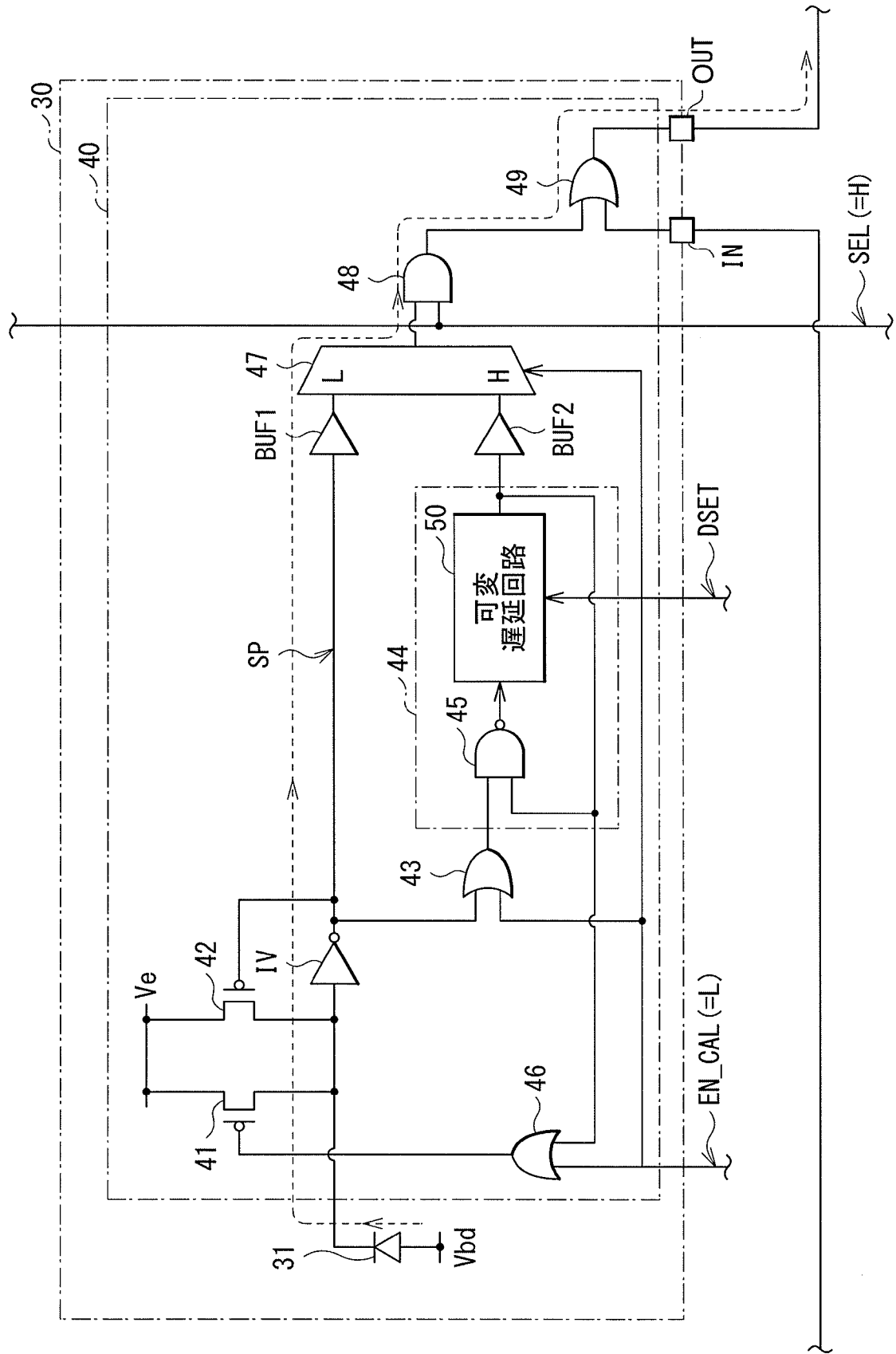
[図7]



[図8]

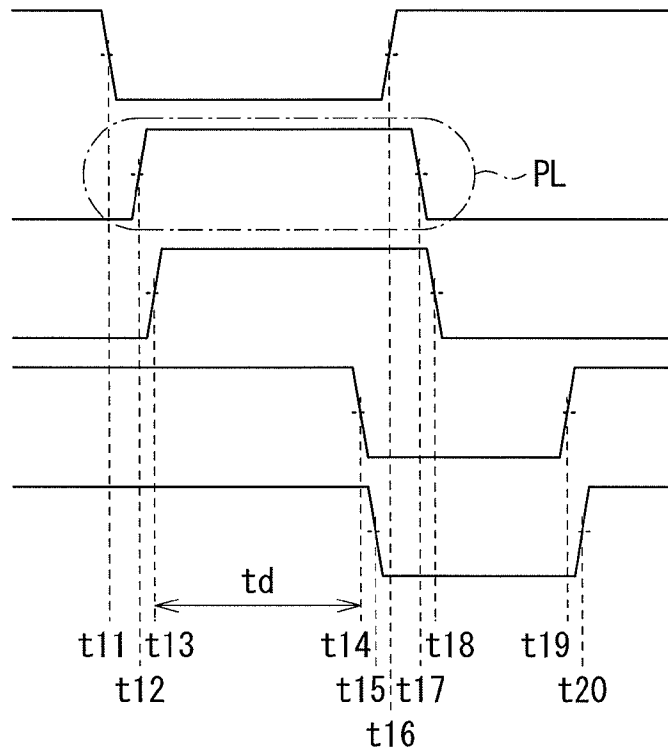


[図9]

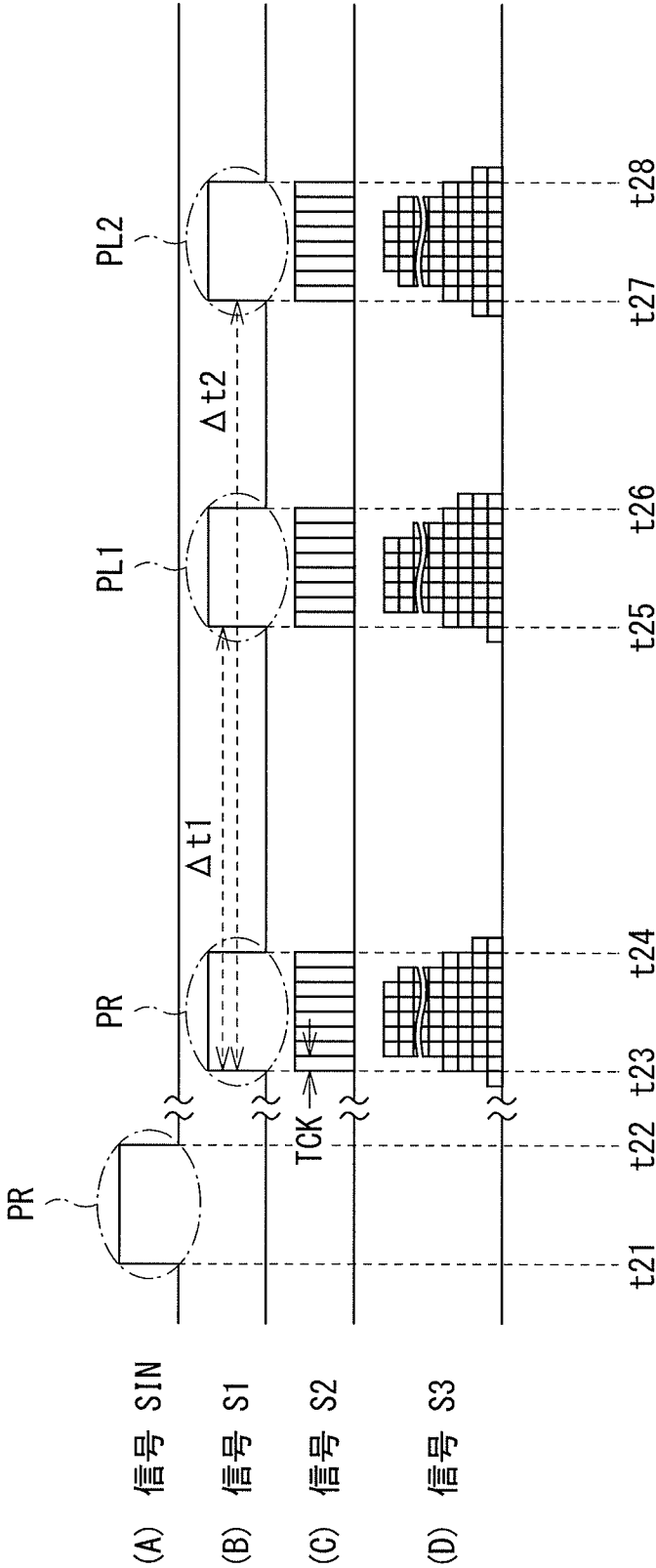


[図10]

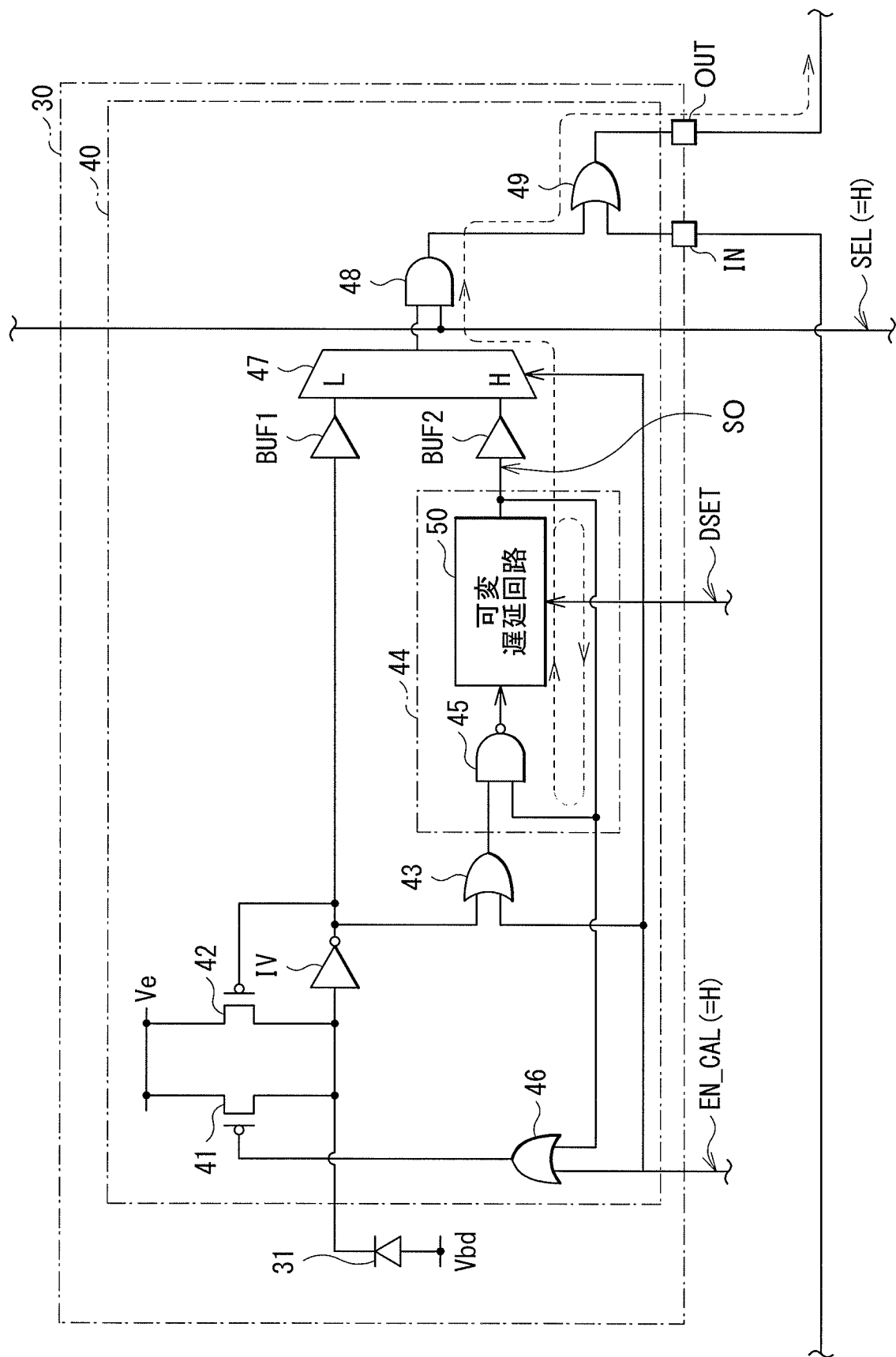
- (A) 受光素子31の
カソード電圧
- (B) インバータIVの
出力電圧
- (C) 論理和回路43の
出力電圧
- (D) 可変遅延回路50の
出力電圧
- (E) 論理和回路46の
出力電圧



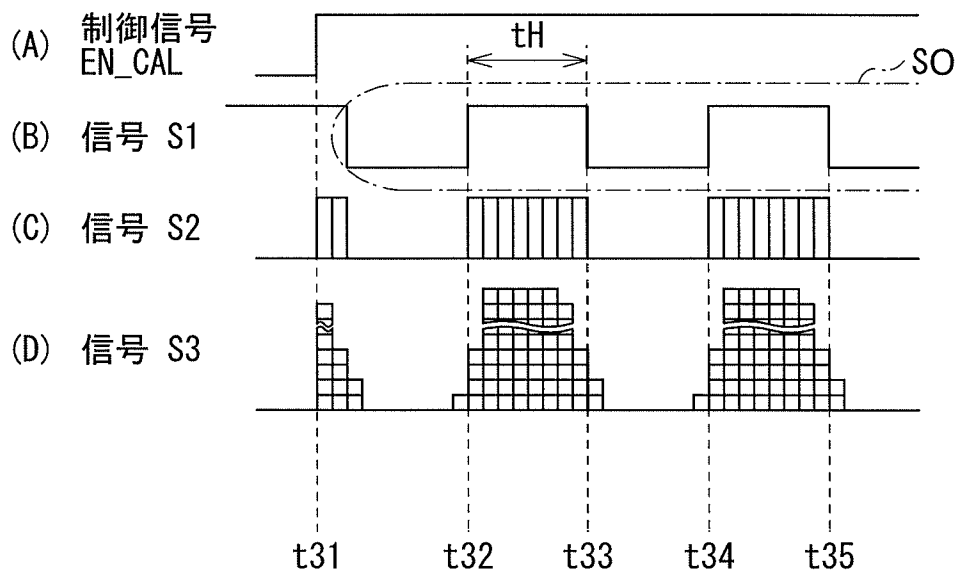
[図11]



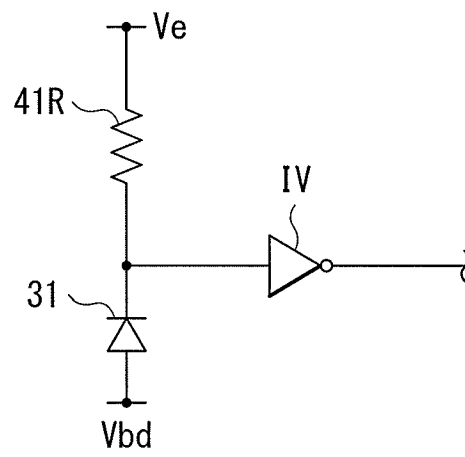
[図12]



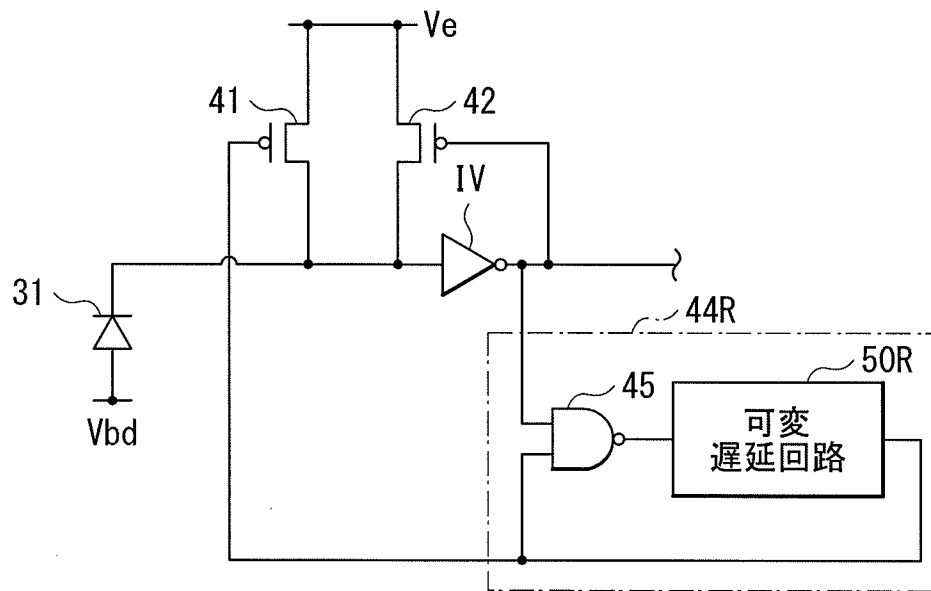
[図13]



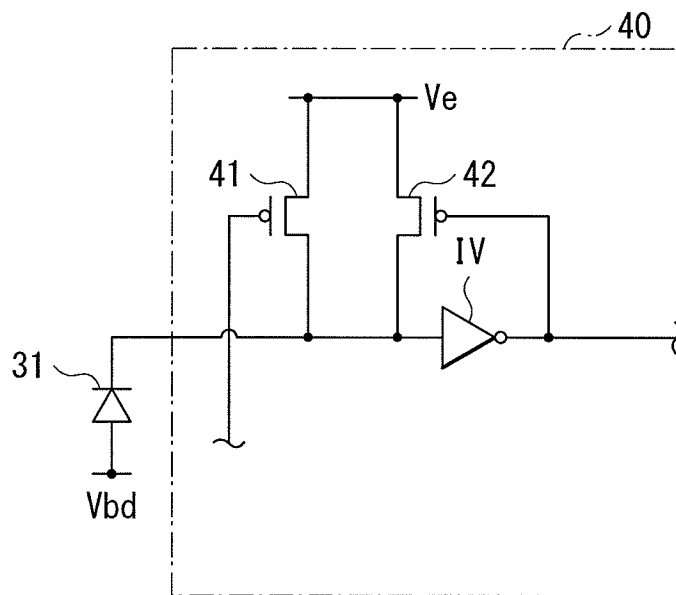
[図14]



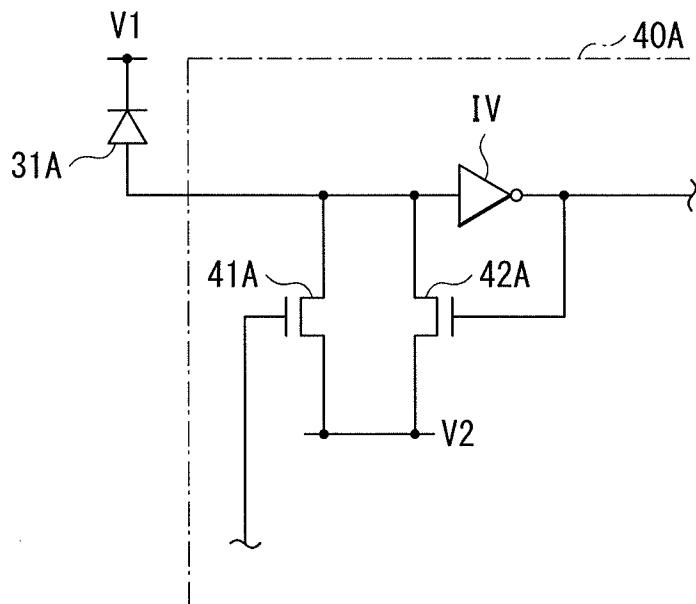
[図15]



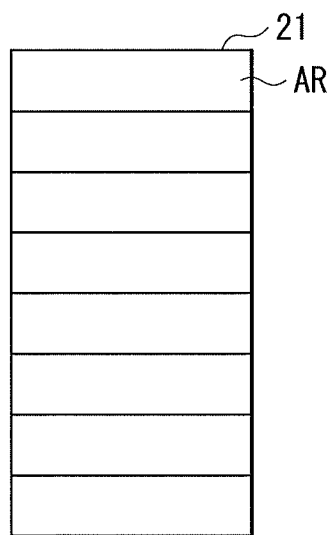
[図16]



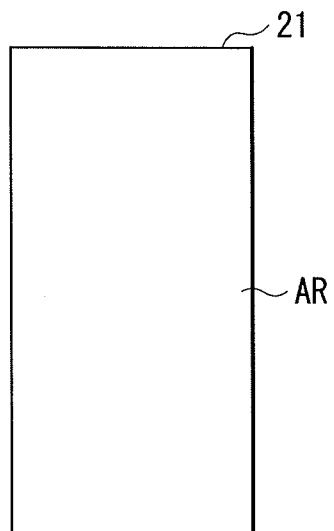
[図17]



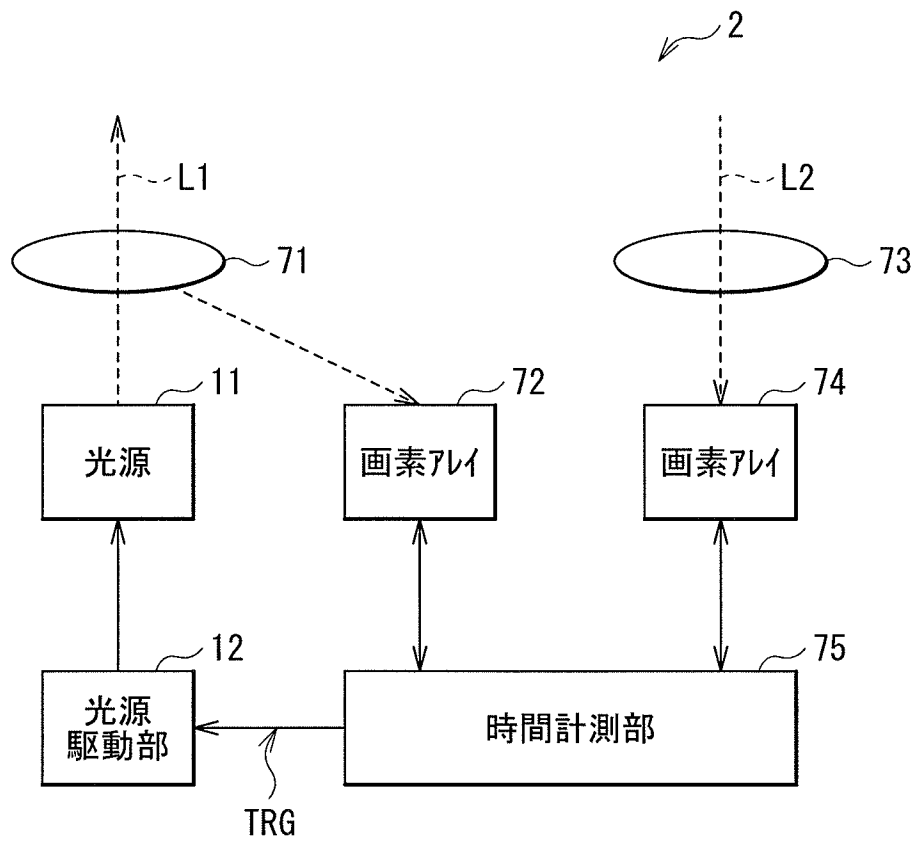
[図18]



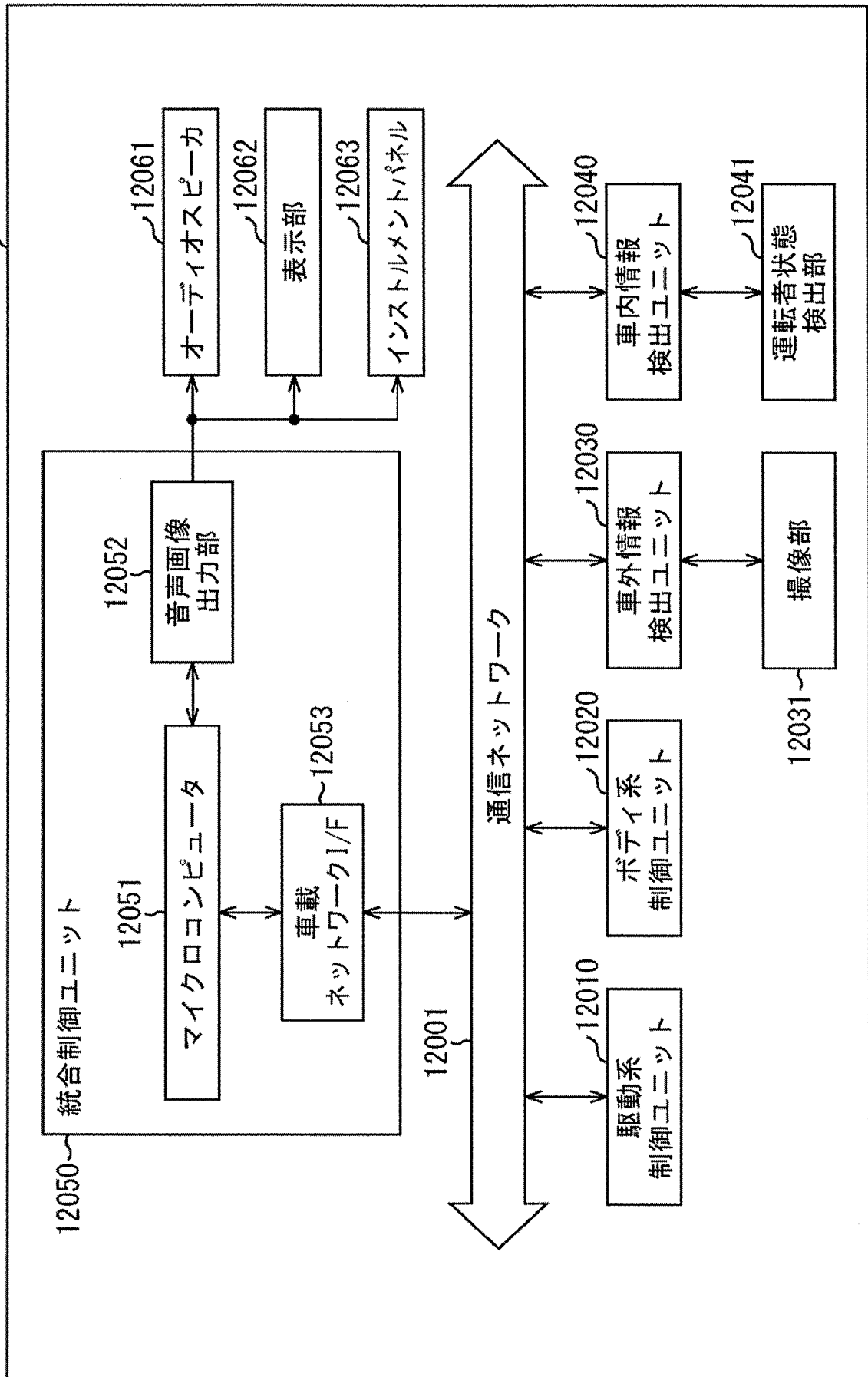
[図19]



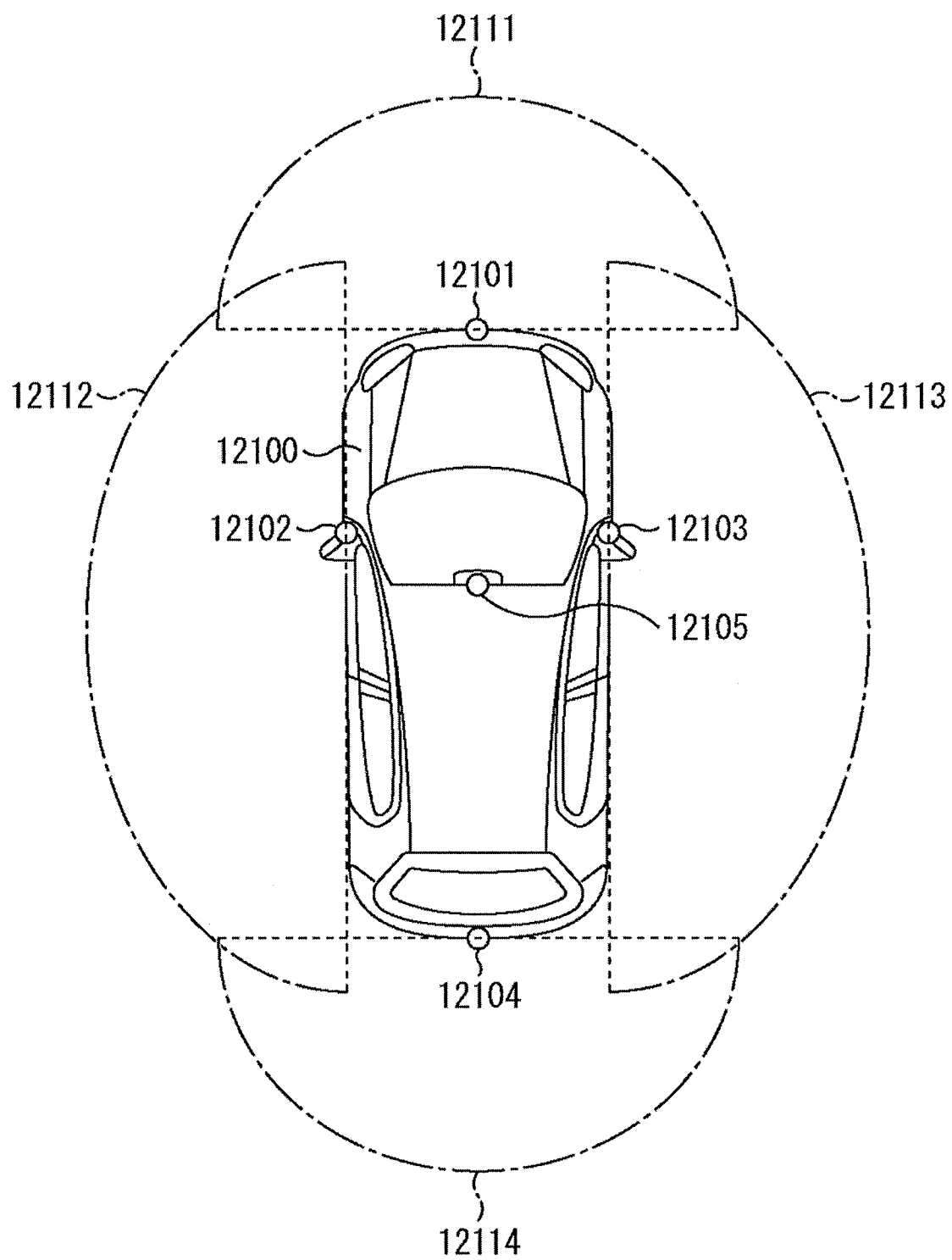
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023197

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G01S7/486(2006.01)i, G01S7/497(2006.01)i, G01S17/10(2006.01)i, H01L31/107(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G01S7/48-7/51, G01S17/00-17/95, H01L31/107, H04N3745, G01J1/42, H03M1/56, H03K3/017, H03K5/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-542706 A (SENSL TECHNOLOGIES LTD.) 27 November 2008, paragraphs [0049]-[0061], [0090]-[0092], fig. 1-3, 7, 8 & US 2008/0290259 A1, paragraphs [0048], [0049], [0061]-[0066], [0093]-[0095], fig. 1-3, 7, 8 & GB 2426575 A & WO 2006/126026 A1	1-11
Y	US 2007/0182949 A1 (NICLASS, C.) 09 August 2007, paragraphs [0047]-[0065], fig. 1-11 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05.09.2019	Date of mailing of the international search report 17.09.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/023197

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-094403 A (ROHM CO., LTD.) 06 April 2001, paragraphs [0003], [0006]-[0012], fig. 1 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01S7/486(2006.01)i, G01S7/497(2006.01)i, G01S17/10(2006.01)i, H01L31/107(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01S7/48-7/51, G01S17/00-17/95, H01L31/107, H04N3745, G01J1/42, H03M1/56, H03K3/017, H03K5/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-542706 A (センスル・テクノロジーズ・リミテッド) 2008.11.27, 段落 0049-0061, 0090-0092, 図 1-3, 7-8 & US 2008/0290259 A1, 段落 0048-0049, 0061-0066, 0093-0095, 図 1-3, 7-8 & GB 2426575 A & WO 2006/126026 A1	1-11
Y	US 2007/0182949 A1 (NICLASS, Cristiano) 2007.08.09, 段落 0047-0065, 図 1-11 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山下 雅人

2S

9303

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-094403 A (ローム株式会社) 2001.04.06, 段落 0003, 0006-0012, 図 1 (ファミリーなし)	1-11