



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UTBM

<b>DOMANDA NUMERO</b>	<b>101996900536574</b>
<b>Data Deposito</b>	<b>05/08/1996</b>
<b>Data Pubblicazione</b>	<b>05/02/1998</b>

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

SISTEMA PER PRODURRE MODULI DI MEMORIA SIMM UTILIZZANDO CHIP DI MEMORIA ARAM E PER IL LORO COLLAUDO

DESCRIZIONE

RM 96 A 000 562

a corredo di una domanda di brevetto avente per titolo:

"Sistema per produrre moduli di memoria SIMM utilizzando chip di memoria ARAM e per il loro collaudo"

a nome: TEXAS INSTRUMENTS ITALIA S.p.A.

Inventori: DI ZENZO Maurizio, PISTILLI Pasquale

---

La presente invenzione si riferisce in linea generale alle memorie ARAM e concerne, in modo particolare, un sistema per l'impiego di tali memorie in ambienti nei quali le specifiche richiederebbero memorie di migliori prestazioni.

Ancora più particolarmente l'invenzione si riferisce ad un sistema per ovviare alle difettosità delle memoria ARAM almeno in misura sufficiente per permetterne l'impiego in applicazioni aventi delle specifiche più stringenti, ad esempio la realizzazione di moduli SIMM per calcolatori e simili.

Le memorie DRAM Audio, denominate memorie ARAM, sono memorie DRAM dinamiche affette da una certa difettosità, cioè esse presentano locazioni di bit fallenti in posizioni casuali o randomiche. Le memorie ARAM vengono impiegate in applicazioni audio, quali i risponditori telefonici o le segreterie telefoniche, perchè la loro difettosità è tale che un messaggio vocale immagazzinato per mezzo di esse può essere replicato senza difetto apprezzabile perchè l'orecchio umano è in grado di supplire alle informazioni che mancano, tramite meccanismi di integrazione ed interpolazione.

ING. BARZANO & ZANARDO ROMA S.p.A.

L'impiego di queste memorie in queste applicazioni non presenta, quindi, problemi a meno che non vengano superati certi limiti di difettosità. Per esempio, esse non sarebbero comunque utilizzabili, qualora avessero delle righe o delle colonne completamente fallenti: neanche l'orecchio umano, infatti, sarebbe in grado di supplire per integrazione o per interpolazione ad una lacuna di informazioni così rilevante. Quindi, le specifiche di queste memorie tendono non solo a stabilire il limite massimo di difettosità, ma aggiungono l'ulteriore vincolo che la difettosità debba in ogni caso essere ubicata in posizioni casuali.

In aggiunta a questi vincoli, anche se il 99,9% delle locazioni di memoria fossero appropriatamente funzionanti, tali memorie ARAM non potrebbero essere impiegate in convenzionali applicazioni di calcolatori, proprio perchè gli indirizzi dei bit difettosi sono dispersi casualmente nella matrice di memoria.

In altre parole, considerando una memoria ARAM convenzionale, si può pensare di mettere a punto un sistema per correggere i bit difettosi, facendo ricorso ad un sistema di correzione assimilabile ad un canale trasmissivo: cioè ad un canale in qualche modo affetto da rumore. Il problema delle memorie difettose può essere risolto assimilando la memoria e quindi la spazzolatura della memoria ad una stringa di bit da correggere con le stesse tecniche dei canali trasmissivi.

Mentre, però, nei canali trasmissivi si può parlare di una stringa che è eminentemente sequenziale, nelle applicazioni dei calcolatori la

stringa da considerare non è certamente sequenziale, ma randomica. Quindi, bisogna studiare un codice di errore che sia adeguato ad una informazione immagazzinabile nella memoria oppure estraibile da essa in maniera randomica.

Per risolvere il problema della applicabilità delle memorie ARAM ai calcolatori bisogna partire da una analisi della difettosità di tali memorie.

Soltanto analizzando in dettaglio la topologia di difettosità di una popolazione rappresentativa di memorie ARAM, combinate in modo da implementare una parola di codice (8 bit di dati e 4 bit di ridondanza), diventa possibile specificare una circuiteria che possa correggere i dati affetti da errori. Utilizzando la teoria delle probabilità, si analizza la probabilità di avere una parola interamente buona, oppure una parola affetta da un solo errore o da un doppio errore o da più di due errori. Dopo aver analizzato le probabilità di errore, subentrano delle considerazioni matematiche e di costo: perchè la soluzione del problema è sempre matematicamente possibile, ma il costo annesso può rendere la soluzione inattuabile.

Più specificamente, le categorie di difettosità per ciascuna parola di codice in un banco di memoria sono le seguenti:

A - difettosità coinvolgente un singolo bit in una parola di codice;

B - difettosità coinvolgente una molteplicità di bit in una parola di codice, ciascun bit provenendo da un diverso chip di memoria;

C - difettosità coinvolgente una molteplicità di bit in una parola di codice che si verificano in uno stesso chip di memoria.

Come sopra accennato, la soluzione generale del problema è relativamente semplice e la letteratura fornisce diversi esempi di soluzione. Tuttavia, tutte le soluzioni note affrontano principalmente il problema del miglioramento della affidabilità in sistemi di memoria di grandi dimensioni. Inoltre, tali soluzioni sono costose e non certamente adatte alla utilizzazione in applicazioni che debbono essere di basso costo.

In modo specifico, le soluzioni della tecnica precedente non sono adatte alla utilizzazione in moduli SIMM (Single In-Line Memory Modules) per applicazioni in calcolatori (PC).

Lo scopo generale che la presente invenzione si propone è quello di illustrare una proposta per minimizzare la ridondanza necessaria per la correzione dell'errore (EC) e per minimizzare il costo di un circuito integrato specifico per applicazione (ASIC) che implementi tale funzionalità all'interno del modulo di memoria SIMM.

L'idea solutiva è quella di avere un codice di correzione dell'errore (ECC) di tipo multi-stadio, nel senso di mettere a punto una procedura multi-stadio nella quale, come riportato nel seguito, ciascuno stadio riduca di un grado il livello di difettosità, consentendo allo stadio successivo di operare in un ambiente di minore complessità.

Ricordando le categorie di difettosità precedentemente illustrate, si attua la seguente procedura:

- poiché la difettosità di tipo C non è molto frequente (uno su diverse centinaia di milioni), è concepibile la implementazione di una piccola memoria associativa all'interno dell'ASIC per immagazzinare/recuperare l'indirizzo (identificato in occasione del collaudo) ed i dati (generati durante il funzionamento) delle locazioni fallenti;

- la difettosità di tipo B viene risolta convertendo la condizione in cui si verificano  $m$  errori in una parola in una condizione in cui si verificano  $m$  parole affette ciascuna da un singolo errore; una speciale circuiteria deve essere implementata nell'ASIC, come si vedrà, ed uno speciale lay-out del PCB (Printed Circuit Board) deve essere messo a punto allo scopo di avere ciascun chip di memoria connesso ad un bus di indirizzi dedicato;

- la difettosità di tipo A, a questo punto, è definitivamente costituita da singoli bit fallenti che possono essere corretti applicando un codice di correzione di errore (ECC) di tipo classico normale, per esempio un codice di Hamming compatto.

A questo punto, rimangono ancora, naturalmente, un numero elevato di byte che falliscono, per la ragione che, combinando ad esempio due memorie, anche aventi ciascuna una difettosità ammissibile, si ha la probabilità non trascurabile che, accoppiandole, il limite di difettosità ammissibile venga superato.

Visto che, comunque, il numero di errori è basso ed è completamente randomico, l'idea secondo la presente invenzione è quella di ricondizionare gli indirizzi che vanno ad una delle due

memorie. Con il termine di ricondizionare o *scrambling* si intende una funzione di trasformazione matematica lineare dello spazio di indirizzi di una delle due memorie rispetto all'altra, in maniera assolutamente congruente e biunivoca, così che non vi sia mai un indirizzo con due bit fallenti in coincidenza.

Come si vedrà, il modo più conveniente per eseguire questo ricondizionamento di indirizzo è quello di aggiungere all'indirizzo una costante ed il suo effetto è quello di eliminare le condizioni di doppio errore, riconducendole a condizioni di errore singolo.

Ulteriori particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati in cui la preferita forma di realizzazione è rappresentata a titolo illustrativo e non restrittivo.

Nei disegni:

la Figura 1 mostra la architettura di un modulo SIMM secondo la presente invenzione, in cui vengono usati un bus di indirizzo interno specifico per ciascun chip di memoria ed un modulo ASIC che implementa le funzionalità già accennate;

la Figura 2 mostra i dettagli del modulo ASIC della Figura 1;

la Figura 3 mostra il sistema di collaudo computerizzato per i moduli SIMM secondo la presente invenzione;

la Figura 4 mostra i dettagli dei moduli ASIC impiegati nelle apparecchiature di collaudo secondo la Figura 3;

la Figura 5 mostra uno schema a blocchi della funzione di ricondizionamento (scrambling) degli indirizzi, come eseguita nella presente invenzione;

la Figura 6 mostra una diversa forma di realizzazione del circuito ASIC di interfacciamento.

Dettagliando quanto già sopra spiegato e con riferimento alle Figure 1 e 2 dei disegni, il modulo ASIC in questione è progettato per l'interfacciamento di chip di memoria difettosi, in particolare rispondenti alle specifiche ARAM, montati su moduli SIMM a 72 piedini. L'ASIC seleziona, a ciascun accesso alla memoria, una parola completa, o un singolo byte, sulle quattro disponibili.

Le implementazioni delle matrici di memoria prese in considerazione sono le seguenti:

- 1M x 32 con l'uso di dodici chip 1M x 4
- 1M x 32 con l'uso di tre chip 1M x 16
- 2M x 32 con l'uso di sei chip 1M x 16
- 1M x 32 con l'uso di due chip 1M x 16 e quattro chip 1M x 4
- 4M x 4 con l'uso di dodici chip 4M x 4.

Due soluzioni vengono usate per correggere i dati difettosi o le locazioni di memoria:

- la prima è basata su un codice di Hamming, capace di correggere un singolo bit in errore in una stringa di dodici bit (otto bit di dati e quattro bit di parità);

- la seconda, per ciascun indirizzo di riga, seleziona i chip che hanno righe pienamente funzionali per quell'indirizzo specifico, in modo

da fornire alla Host CPU parole di dati prive di errore: non viene fornita alcuna correzione di errore o generazione di bit di parità.

Le due summenzionate procedure presentano delle intrinseche limitazioni:

- il codice Hamming non è in grado di gestire più di un bit difettoso per byte;

- la ridondanza di riga non è in grado di fornire dati privi di errori se tutti i chip di memoria hanno righe fallenti allo stesso indirizzo di riga.

Per superare queste limitazioni, il proposto circuito ASIC fornisce due particolari meccanismi:

- un ricondizionamento degli indirizzi di riga in modo da disperdere gli errori che si verificano nello stesso indirizzo di riga su una molteplicità di righe: il ricondizionamento degli indirizzi viene effettuato utilizzando due costanti identificate in occasione del collaudo;

- l'inserimento nel circuito ASIC di una memoria associativa per rimpiazzare fisicamente le celle di memoria difettose nella matrice. Ogni volta che la Host CPU seleziona una di queste celle di memoria, il circuito ASIC effettua internamente l'immagazzinamento (o il recupero) dei dati utilizzando le locazioni di memoria associativa.

La funzione di ECC ha luogo ritardando l'accesso alla matrice di memoria per calcolare i bit di parità per ciascun byte: per mantenere al minimo questo ritardo, i cicli di scrittura iniziali di queste celle di

memoria vengono convertite dall'ASIC in una operazione di scrittura ritardata.

Nel modo a ridondanza, i dati vengono recuperati da una memoria SRAM on-chip per configurare un multiplexer interno che incanala i dati a/dai locazioni di memoria prive di errori. La parola di dati di ingresso viene suddivisa in quattro byte che vengono ricomposti nella parola di uscita di sei byte, notandosi che soltanto quattro dei sei byte verranno mappati in locazioni di memoria prive di errori. Anche nel modo a ridondanza ha luogo la conversione da ciclo di scrittura iniziale a ciclo di scrittura ritardato.

Inoltre, come si vedrà ancora, una speciale funzionalità viene fornita per collaudare la memoria escludendo la circuiteria di ECC e per individuare le locazioni di memoria difettose: sulla base della mappa di difettosità o fail map le costanti di ricondizionamento degli indirizzi e le locazioni di memoria associativa sono appropriatamente programmate in fase di collaudo.

Per quanto riguarda la funzionalità di correzione di errore, se l'appropriato bit di selezione viene settato nel Configuration Register, il circuito ASIC calcola in ciascun ciclo di scrittura quattro bit di parità per ciascun byte, generando una stringa di dati di 36 bit ed ignorando l'eventuale bit di parità fornito dalla Host CPU. In ciascun ciclo di lettura, i dati vengono corretti utilizzando i bit di parità ed il bit di parità esterno viene fornito alla Host CPU. L'accesso ad un singolo byte in una parola viene concesso nel modo di lettura o di scrittura senza corrompere i restanti bit di dati.

Per quanto riguarda la funzionalità di ridondanza di riga, essa può essere impiegata quando la implementazione della matrice di memoria non consente l'accesso alle singole parole di codice. In questo caso, la parola di dati esterna di 32 bit viene convertita tramite un blocco multiplexer in una parola interna di 48 bit ed i bit di dati vengono immagazzinati nella o recuperati dalla matrice di memoria soltanto utilizzando celle di memoria prive di errori.

Il circuito ASIC in questione, nel modo di lettura, utilizza una memoria SRAM on-chip (5 bit per 512) per selezionare i quattro byte buoni sui sei disponibili, mentre, nel modo di scrittura, la memoria SRAM viene usata per riconvertire i quattro byte di dati in quattro byte buoni della memoria sui sei disponibili.

Per convertire una memoria ARAM in una buona memoria DRAM, è necessario individuare tutte le locazioni difettose (mapping test) e questa specifica operazione di collaudo deve essere effettuata in fabbrica in modo da identificare le costanti di ricondizionamento degli indirizzi di riga, e nonchè gli indirizzi che debbono essere immagazzinati nelle locazioni di memoria associativa in modo da rendere la matrice di memoria completamente funzionale. Una volta generata, questa informazione deve essere memorizzata in una memoria esterna non volatile, costituita da una memoria EEPROM.

Per ridurre il tempo di collaudo, è possibile impiegare una specifica tecnica di ECC diversa da quella usata all'interno del modulo SIMM.

Attraverso questa tecnica è possibile

- evitare che venga generato un qualsiasi segnale di errore quando la difettosità rientra nei limiti specificati ed è correggibile con il codice di ECC a livello di SIMM;

- interrompere la CPU che esegue il programma di collaudo soltanto quando gli errori interessano una molteplicità di chip e deve essere attivata la procedura di scrambling degli indirizzi;

- evitare che venga generato un qualsiasi segnale di errore quando una molteplicità di errori interessano un singolo chip ad un indirizzo specifico, registrando automaticamente l'indirizzo difettoso.

Come si vede nella Figura 3, il computer testa in parallelo, per mezzo di una architettura a multiprocessore, le quattro codeword arrays del SIMM, mentre il modulo ASIC ivi previsto interfaccia la CPU con i bus interni del SIMM generando le configurazioni dei dati ed analizzando i dati di lettura allo scopo di verificare la loro correttezza.

Come mostrato nella Figura 4, il circuito ASIC genera le configurazioni di dati, effettua la verifica degli errori e filtra le condizioni di errore correggibili alla CPU.

Il flusso di collaudo che dovrebbe essere implementato comprende le seguenti operazioni:

- collaudo parametrico per identificare le condizioni di aperto e corto sia attraverso il connettore sia attraverso i siti di collaudo o test sites per accedere a reti non disponibili attraverso i piedini del connettore;

- procedura di mappatura per determinare l'insieme delle costanti e degli indirizzi per la memoria associativa che rendono il SIMM funzionale ad un collaudo di massima;

- pieno collaudo di funzionalità del SIMM a conveniente livello di bontà (si dovrebbe notare che le memorie ARAM non sono completamente testate);

- rielaborazione delle unità che non possono essere mappate;

- ulteriore procedura di mappatura per i SIMM che falliscono il collaudo di funzionalità.

Riepilogando sotto l'aspetto hardware, è stato finora descritto un modulo SIMM basato su chip di memoria ARAM incorporante un modulo ASIC strutturato in modo da comprendere genericamente

- mezzi per lo svolgimento di una funzione di codificazione ECC,

- mezzi per lo svolgimento di una funzione di decodificazione ECC,

- mezzi per lo svolgimento di una funzione di generazione di parità,

- mezzi per lo svolgimento di una funzione di ricondizionamento o scrambling di indirizzi,

- mezzi per la segnalazione di condizioni di anomalità,

- mezzi per lo svolgimento di una funzione di ricondizionamento dei segnali di strobe esterni in modo da implementare una corretta sequenza di temporizzazione (lettura e scrittura) con inclusione dei

ritardi dovuti alle operazioni di scrambling e codificazione/decodificazione,

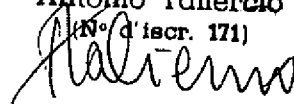
- mezzi per la lettura/scrittura di una memoria di dati non volatile (interna nella implementazione dell'ASIC, esterna per prototipizzazione),

- mezzi per lo svolgimento di una funzione di appropriata impostazione delle costanti usate per la funzione di scrambling degli indirizzi,

- mezzi per lo svolgimento della funzione di generazione on-board e quindi all'interno del modulo SIMM del reset della circuiteria ASIC.

In quel che precede è stata descritta la preferita forma di realizzazione, ma deve essere sottinteso che gli esperti nel ramo potranno apportare modifiche e varianti senza con ciò uscire dall'ambito di protezione della presente privativa industriale.

UN MANDATARIO  
per se e per gli altri  
Antonio Taliencio  
(N° d'iscr. 171)



ING. BARZANO & ZANARDO ROMA S.p.A.



RM 96 A 000 562

## RIVENDICAZIONI

1. Modulo di memoria SIMM (Single In-Line Memory Module) per l'impiego in calcolatori ed analoghe applicazioni a bassa difettosità comprendente chip di memoria ARAM (Audio DRAM) con bus di indirizzi interno per ciascun chip di memoria ed un modulo ASIC (Application Specific Integrated Circuit) di interfacciamento con l'esterno adatto alla correzione delle seguenti categorie di difettosità:

A - difettosità coinvolgente un singolo bit in una parola di codice;

B - difettosità coinvolgente una molteplicità di bit in una parola di codice, ciascun bit provenendo da un diverso chip di memoria;

C - difettosità coinvolgente una molteplicità di bit in una parola di codice che si verificano in uno stesso chip di memoria.

2. Modulo di memoria SIMM secondo la rivendicazione 1, caratterizzato dal fatto che detto modulo ASIC comprende:

- un blocco funzionale codificatore,
- un blocco funzionale decodificatore,
- un blocco funzionale di ricondizionamento o scrambling di indirizzi, collegato al bus di indirizzi del sistema,
- un blocco funzionale di memoria associativa,
- un blocco funzionale multiplexer (mux),
- un blocco funzionale di controllo di temporizzazione che riceve i segnali di strobe del sistema e fornisce i segnali di strobe interni,

detto blocco di memoria associativa essendo collegato fra detto blocco di ricondizionamento di indirizzi e, attraverso detto blocco multiplexer, detto blocco decodificatore.

3. Modulo di memoria SIMM secondo la rivendicazione 1, caratterizzato dal fatto che detto modulo ASIC è strutturato in modo da comprendere genericamente:

- mezzi per lo svolgimento di una funzione di codificazione ECC,
- mezzi per lo svolgimento di una funzione di decodificazione ECC,
- mezzi per lo svolgimento di una funzione di generazione di parità,
- mezzi per lo svolgimento di una funzione di ricondizionamento o scrambling di indirizzi,
- mezzi per la segnalazione di condizioni di anomalità,
- mezzi per lo svolgimento di una funzione di ricondizionamento dei segnali di strobe esterni in modo da implementare una corretta sequenza di temporizzazione (lettura e scrittura) con inclusione dei ritardi dovuti alle operazioni di scrambling e codificazione/decodificazione,
- mezzi per la lettura/scrittura di una memoria di dati non volatile (interna nella implementazione dell'ASIC, esterna per prototipizzazione),

- mezzi per lo svolgimento di una funzione di appropriata impostazione delle costanti usate per la funzione di scrambling degli indirizzi,

- mezzi per lo svolgimento della funzione di generazione on-board e quindi all'interno del modulo SIMM del reset della circuiteria ASIC.

4. Modulo di memoria SIMM secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende mezzi per correggere le difettosità di categoria A coinvolgenti un singolo bit in una parola di codice mediante applicazione di un convenzionale codice di correzione di errore (ECC), ad esempio un codice Hamming; mezzi per correggere le difettosità di categoria B coinvolgenti una molteplicità di bit in una parola di codice, provenendo ciascun bit da un diverso chip di memoria, mediante conversione da una condizione di  $m$  errori in una parola di codice ad una condizione di  $m$  parole di codice ciascuna affetta da un errore; e mezzi per correggere le difettosità di categoria C coinvolgenti una molteplicità di bit in una parola di codice che si verificano nello stesso chip di memoria, tramite una memoria associativa incorporata in detto modulo ASIC per immagazzinare/recuperare gli indirizzi identificati in fase di collaudo ed i dati generati nel funzionamento normale relativi alle locazioni difettose.

5. Sistema per il collaudo computerizzato di moduli di memoria SIMM secondo le precedenti rivendicazioni 1-4, caratterizzato dal fatto che il computer testa in parallelo, per mezzo di una architettura a

multiprocessore, i quattro codeword array del modulo SIMM tramite moduli ASIC che interfacciano le CPU ai bus interni del modulo SIMM generando le configurazioni di dati ed analizzando i dati di lettura per verificare la loro correttezza in confronto con dati internamente memorizzati.

6. Sistema secondo la rivendicazione 5, caratterizzato dal fatto che detti moduli ASIC comprendono mezzi per lo svolgimento di funzioni di generazione di configurazione di dati, mezzi per lo svolgimento di funzioni di verifica degli errori e mezzi per lo svolgimento di funzioni di filtrazione delle condizioni di errori correggibili alle CPU.

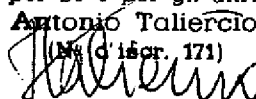
Roma, - 5 AGO. 1996

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.

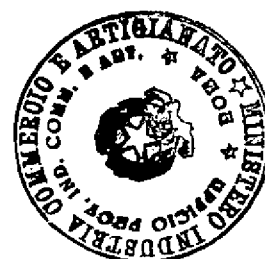
ING. BARZANO' & ZANARDO ROMA S.p.A.

TA/gg

UN MANDATARIO  
per se e per gli altri  
Antonio Taliercio  
(M. C. iscr. 171)



ING. BARZANO' & ZANARDO ROMA S.p.A.





2/4

SIMM SOTTO TEST

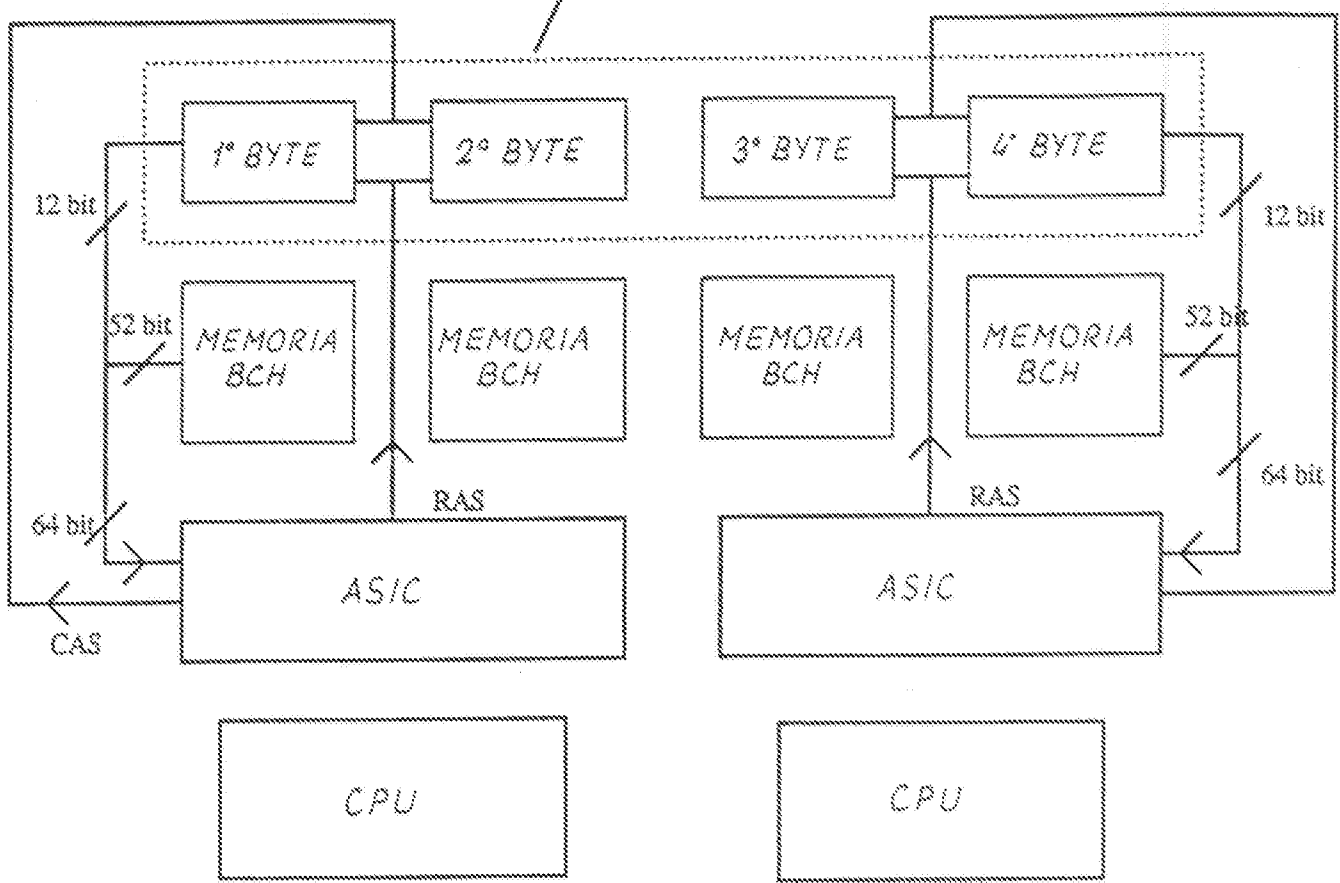
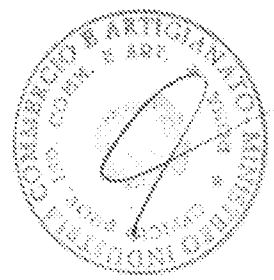


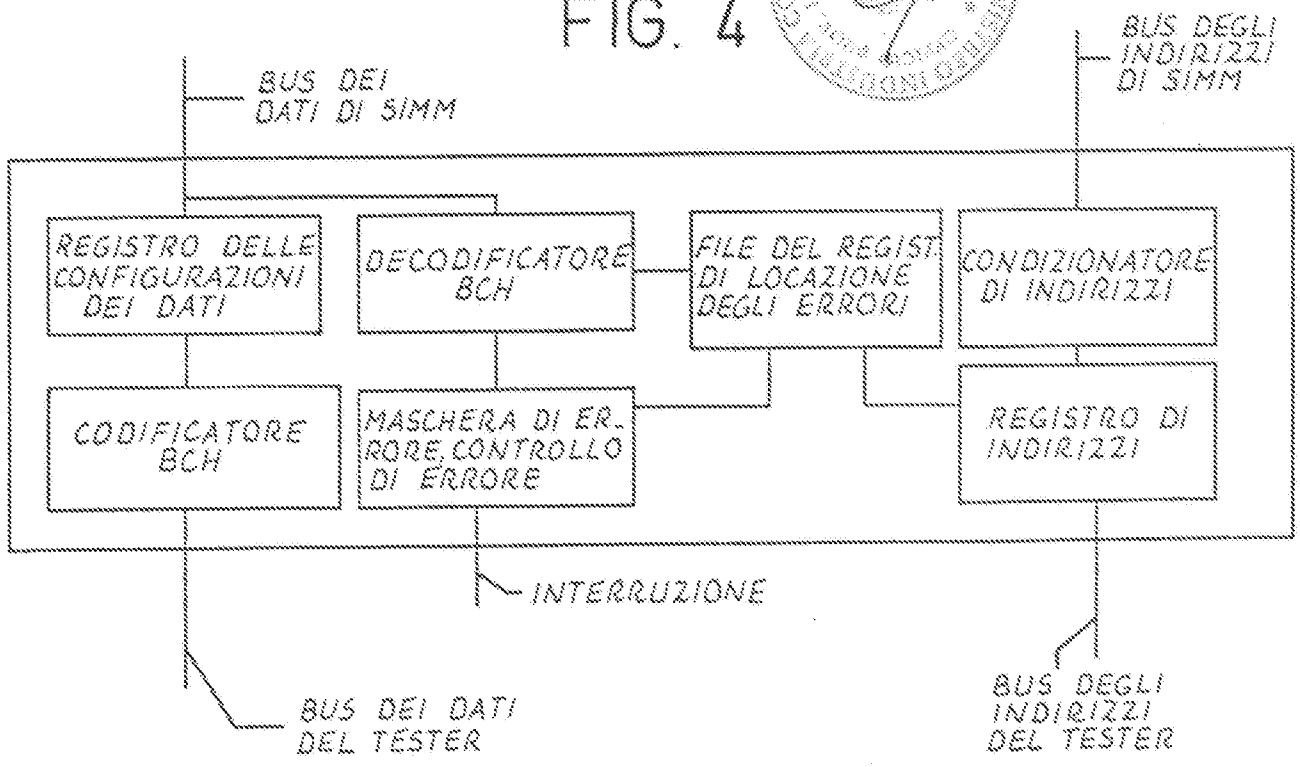
FIG. 3

FIG. 4

UN MANDATARIO  
 per se o per gli altri  
 Antonio Taliercio  
 (IN d'iscr. 171)



*Taliercio*



3/4

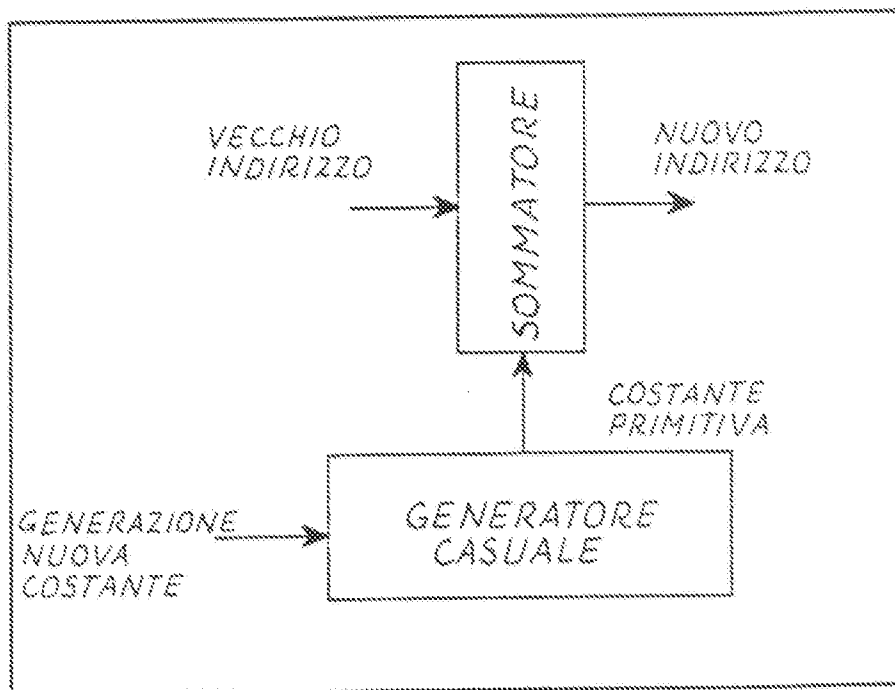


FIG. 5

d.p.: TEXAS INSTRUMENTS ITALIA S.p.A.  
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO  
per ed e per gli altri  
Antonio Tubercio  
n° 11962-43

*Antonio Tubercio*

