

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-87606  
(P2014-87606A)

(43) 公開日 平成26年5月15日(2014.5.15)

|                               |                      |             |
|-------------------------------|----------------------|-------------|
| (51) Int.Cl.                  | F I                  | テーマコード (参考) |
| <b>A 6 3 F 7/02 (2006.01)</b> | A 6 3 F 7/02 3 2 6 Z | 2 C 0 8 8   |
|                               | A 6 3 F 7/02 3 3 4   |             |

審査請求 未請求 請求項の数 1 O L (全 25 頁)

|            |                                     |          |                                 |
|------------|-------------------------------------|----------|---------------------------------|
| (21) 出願番号  | 特願2013-196722 (P2013-196722)        | (71) 出願人 | 391010943                       |
| (22) 出願日   | 平成25年9月24日 (2013. 9. 24)            |          | 株式会社藤商事                         |
| (62) 分割の表示 | 特願2012-238061 (P2012-238061)<br>の分割 | (74) 代理人 | 100100376                       |
| 原出願日       | 平成24年10月29日 (2012. 10. 29)          |          | 弁理士 野中 誠一                       |
|            |                                     | (72) 発明者 | 矢次 謙                            |
|            |                                     |          | 大阪府大阪市中央区内本町一丁目1番4号<br>株式会社藤商事内 |
|            |                                     | Fターム(参考) | 2C088 BC62 CA13                 |

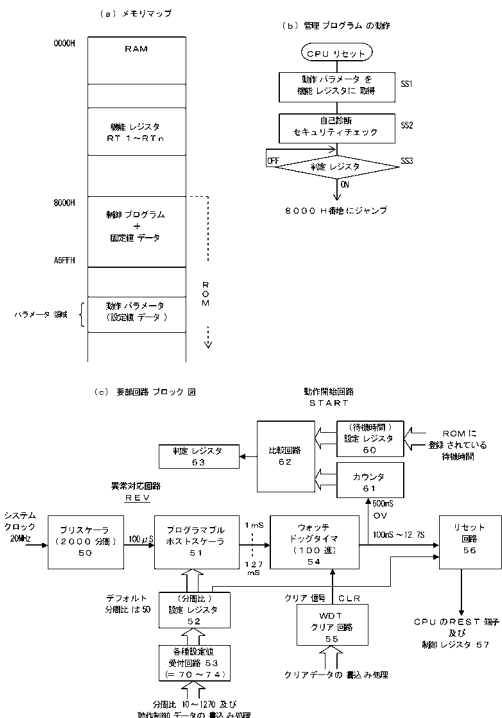
(54) 【発明の名称】 遊技機

(57) 【要約】

【課題】メモリ空間や回路スペースを浪費することなく、適切な制御動作を実行することができる遊技機を提供する。

【解決手段】主制御部21は、監視時間に至るまでにクリアデータを受けないと、CPUをリセット状態にする異常対応回路REVをCPUと共に内蔵する電子素子21Aを有し、待機時間が経過するまで、異常対応回路REVを機能させない待機手段SS3と、待機動作が完了すると、制御プログラムの動作に基づいて異常対応回路REVを機能させる開始手段ST3と、を設ける。開始手段は、特定の機能レジスタ70に所定の設定データを書き込むことで実現される。

【選択図】図5



## 【特許請求の範囲】

## 【請求項 1】

所定のスイッチ信号に起因する抽選処理を実行して、その抽選結果を特定する制御コマンドを出力する主制御手段と、制御コマンドが特定する抽選結果に対応する演出動作を実行する演出制御手段と、を有して構成され、

前記主制御手段は、抽選処理を含んだ制御動作を実行するCPUと、制御動作時に適宜にアクセスされるRAMと、制御動作を規定する制御プログラム、及び、制御動作に必要な動作パラメータを固定的に記憶するROMと、所定の監視時間に至るまでにクリア処理がされないと、CPUをリセット状態にする異常対応手段と、素子内部の動作を規定するデータを設定可能な機能レジスタと、を内蔵する単一の電子素子を有して構成され、

前記動作パラメータで規定される待機時間が経過するまで、前記異常対応手段を機能させない待機手段と、

前記待機手段の待機動作が完了すると、前記制御プログラムの動作に基づいて前記異常対応手段を機能させる開始手段と、を設け、

前記開始手段は、特定の機能レジスタに所定の設定データを書き込むことで実現されるよう構成されている遊技機。

## 【請求項 2】

異常対応手段を機能させた後は、その機能を停止できないよう構成されている請求項 1 に記載の遊技機。

## 【請求項 3】

所定の機能レジスタに所定のキーワードを書き込むことで、CPUのリセットが回避されるよう構成されている請求項 1 又は 2 に記載の遊技機。

## 【請求項 4】

特定単一の機能レジスタに単一のキーワードを書き込むことで、CPUのリセットを回避するか、

特定複数の機能レジスタに各々キーワードを書き込むことで、CPUのリセットを回避するかが選択可能に構成されている請求項 1 ~ 3 の何れかに記載の遊技機。

## 【請求項 5】

間違ったキーワードを機能レジスタに書き込むと、その後、CPUがリセットされるよう構成されている請求項 3 又は 4 に記載の遊技機。

## 【請求項 6】

異常対応手段が機能してCPUがリセットされた後、RAMへのデータ書込みを許可するか否かは、動作パラメータによって予め設定可能に構成されている請求項 1 ~ 5 の何れかに記載の遊技機。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、遊技動作に起因する抽選処理によって大当り状態を発生させる遊技機に関し、特に、メモリの浪費を防止しつつ高度な制御動作を実現できる遊技機に関する。

## 【背景技術】

## 【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示時間変動される。その後、7 - 7 - 7 などの所定の態様で図柄が停止すると大当り状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

## 【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件

10

20

30

40

50

に実行される大当り抽選で決定されており、上記の図柄変動動作やその他の演出動作は、この抽選結果を踏まえたものとなっている。

【0004】

そして、この種の遊技機では、演出動作を豊富化するため、CPUを搭載した複数の回路基板で構成されており、大当り抽選処理を実行してその抽選結果を特定する制御コマンドを出力する主制御基板と、制御コマンドを受けて各種の演出動作を実行するサブ制御基板とに区分されるのが一般的である（特許文献1、特許文献2）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-104072号公報

【特許文献2】特開2002-224400号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところが、複雑高度な演出を実行しようとする、サブ制御基板が動作開始状態に立上るまでの初期動作が手間取り、サブ制御基板の初期動作中に伝送された制御コマンドが読み落とされるという問題が生じる。

【0007】

そのため、主制御基板において、時間消費処理を設ける提案もあるが（例えば、特許文献1）、このような構成を採るとメモリ空間の消費が無視できないという問題が生じる。すなわち、大当り抽選処理などの主要な制御動作は、8ビットCPUで実行すべきことが義務付けられ、しかも、この制御動作のためのメモリ空間も限られているので、複雑高度な遊技制御を実現するには、数バイトでもメモリの使用を節約したいところである。

【0008】

また、この種の遊技機は、セキュリティ対策が重要であるが、むやみにメモリ空間を浪費することなく、且つ、ハードウェア構成を複雑化することなく、必要なセキュリティレベルを確保すると共に、高度な制御動作を安定的に実行できる構成が望まれる。

【0009】

本発明は、上記の問題点に鑑みてなされたものであって、メモリ空間や回路スペースを浪費することなく、適切な制御動作を実行することができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記の目的を達成するため、本発明は、所定のスイッチ信号に起因する抽選処理を実行して、その抽選結果を特定する制御コマンドを出力する主制御手段と、制御コマンドが特定する抽選結果に対応する演出動作を実行する演出制御手段と、を有して構成され、前記主制御手段は、抽選処理を含んだ制御動作を実行するCPUと、制御動作時に適宜にアクセスされるRAMと、制御動作を規定する制御プログラム、及び、制御動作に必要な動作パラメータを固定的に記憶するROMと、所定の監視時間に至るまでにクリア処理がされない、CPUをリセット状態にする異常対応手段と、素子内部の動作を規定するデータを設定可能な機能レジスタと、を内蔵する単一の電子素子を有して構成され、前記動作パラメータで規定される待機時間が経過するまで、前記異常対応手段を機能させない待機手段と、前記待機手段の待機動作が完了すると、前記制御プログラムの動作に基づいて前記異常対応手段を機能させる開始手段と、を設け、前記開始手段は、特定の機能レジスタに所定の設定データを書き込むことで実現されるよう構成されている。

【0011】

本発明では、異常対応手段がCPUと共に単一の電子素子に内蔵されているので、異常対応手段のために回路スペースが別途消費されることがない。また、異常対応手段が外部に露出しないのでセキュリティ上も有効である。

10

20

30

40

50

## 【 0 0 1 2 】

本発明では、制御プログラムを機能させることなく、待機動作が実行できるので、例えば、サブ制御部が立上るのを待機するために、メモリ空間を消費するような問題が生じない。また、この待機動作が如何に長引いても、CPUがリセットされるおそれはない。

## 【 0 0 1 3 】

前記開始手段は、特定の機能レジスタに所定の設定データを書き込むことで実現されるので、異常対応手段を機能させるための制御プログラムの処理負担が少なく、また、異常対応手段を機能させない状態を維持することもできる。

## 【 0 0 1 4 】

ところで、この種の異常対応手段は、通常、CPUを内蔵する電子素子とは別のハードウェアで実現されるため（例えば、特許文献2）、その分だけ回路スペースを消費するが、本発明ではそのような問題も生じない。しかも、待機時間を動作パラメータによって任意に設定する構成を採ることもできるので、機器設計上の自由度が高い。すなわち、待機時間を変更するための回路変更は全く不要であり、しかも、コンデンサの充放電時間を利用する通常のWDT回路のように、待機時間の設定に制限が生じることもない。

## 【 0 0 1 5 】

異常対応手段を機能させた後は、その機能を停止できないよう構成するのがセキュリティ上有効である。また、所定の機能レジスタに所定のキーワードを書き込むことで、CPUのリセットが回避されるよう構成されているのが好ましい。また、特定単一の機能レジスタに単一のキーワードを書き込むことで、CPUのリセットを回避するか、特定複数の機能レジスタに各々キーワードを書き込むことで、CPUのリセットを回避するかが選択可能に構成されていると汎用性が高まる。

## 【 0 0 1 6 】

また、間違ったキーワードを機能レジスタに書き込むと、その後、CPUがリセットされるよう構成されているとセキュリティ上も有効である。また、異常対応手段が機能してCPUがリセットされた後、RAMへのデータ書き込みを許可するか否かは、動作パラメータによって予め設定可能に構成されているのも好適である。

## 【 発明の効果 】

## 【 0 0 1 7 】

上記した通り、本発明によれば、メモリ空間や回路スペースを浪費することなく、適切な制御動作を実行することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 8 】

【 図 1 】 実施例に示すパチンコ機の斜視図である。

【 図 2 】 図 1 のパチンコ機の遊技盤を図示した正面図である。

【 図 3 】 図 1 のパチンコ機の全体構成を示すブロック図である。

【 図 4 】 ワンチップマイコンの内部回路を示す回路図である。

【 図 5 】 メモリ回路のメモリマップ、管理プログラムの動作を示すフローチャート、及び、ワンチップマイコン内部の回路構成を示すブロック図である。

【 図 6 】 異常対応回路の構成を示す回路ブロック図である。

【 図 7 】 WDTクリア回路の回路構成を示すブロック図である。

【 図 8 】 主制御部のメイン処理を説明するフローチャートである。

【 図 9 】 主制御部のタイマ割込み処理を説明するフローチャートである。

## 【 発明を実施するための形態 】

## 【 0 0 1 9 】

以下、本発明の実施例について詳細に説明する。図 1 は、本実施例のパチンコ機 GM を示す斜視図である。このパチンコ機 GM は、島構造体に着脱可能に装着される矩形枠状の木製外枠 1 と、外枠 1 に固着されたヒンジ 2 を介して開閉可能に枢着される前枠 3 とで構成されている。この前枠 3 には、遊技盤 5 が、裏側からではなく表側から着脱自在に装着され、その前側には、ガラス扉 6 と前面板 7 とが夫々開閉自在に枢着されている。

10

20

30

40

50

## 【 0 0 2 0 】

ガラス扉 6 の外周には、LED ランプなどによる電飾ランプが、略 C 字状に配置されている。前面板 7 には発射用の遊技球を貯留する上皿 8 が装着され、前枠 3 の下部には、上皿 8 から溢れ出し又は抜き取った遊技球を貯留する下皿 9 と、発射ハンドル 1 0 とが設けられている。発射ハンドル 1 0 は発射モータと連動しており、発射ハンドル 1 0 の回転角度に応じて動作する打撃槌によって遊技球が発射される。

## 【 0 0 2 1 】

上皿 8 の外周面には、チャンスボタン 1 1 が設けられている。このチャンスボタン 1 1 は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル 1 0 から右手を離すことなくチャンスボタン 1 1 を操作できる。このチャンスボタン 1 1 は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

10

## 【 0 0 2 2 】

上皿 8 の右部には、カード式球貸し機に対する球貸し操作用の操作パネル 1 2 が設けられ、カード残額を 3 桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

## 【 0 0 2 3 】

図 2 に示すように、遊技盤 5 には、金属製の外レールと内レールとからなるガイドレール 1 3 が環状に設けられ、その内側の遊技領域 5 a の略中央には、液晶カラーディスプレイ D I S P が配置されている。また、遊技領域 5 a の適所には、図柄始動口 1 5、大入賞口 1 6、複数個の普通入賞口 1 7 (大入賞口 1 6 の左右に 4 つ)、通過口であるゲート 1 8 が配設されている。これらの入賞口 1 5 ~ 1 8 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

20

## 【 0 0 2 4 】

液晶ディスプレイ D I S P は、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この液晶ディスプレイ D I S P は、中央部に特別図柄表示部 D a ~ D c と右上部に普通図柄表示部 1 9 を有している。そして、特別図柄表示部 D a ~ D c では、大当たり状態の招来を期待させるリーチ演出が実行されたり、特別図柄表示部 D a ~ D c 及びその周りでは、当否結果を不確定に報知する予告演出などが実行される。

30

## 【 0 0 2 5 】

普通図柄表示部 1 9 は普通図柄を表示するものであり、ゲート 1 8 を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート 1 8 の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止するようになっている。

## 【 0 0 2 6 】

図柄始動口 1 5 は、左右一対の開閉爪 1 5 a を備えた電動式チューリップで開閉されるよう例えば構成され、普通図柄表示部 1 9 の変動後の停止図柄が当り図柄を表示した場合には、開閉爪 1 5 a が所定時間だけ、若しくは、所定個数の遊技球を検出するまで開放されるようになっている。

40

## 【 0 0 2 7 】

図柄始動口 1 5 に遊技球が入賞すると、特別図柄表示部 D a ~ D c の表示図柄が所定時間だけ変動し、図柄始動口 1 5 への遊技球の入賞タイミングに応じた抽選結果に基づいて決定される停止図柄で停止する。なお、特別図柄表示部 D a ~ D c 及びその周りでは、一連の図柄演出の間に、予告演出が実行される場合がある。

## 【 0 0 2 8 】

大入賞口 1 6 は、例えば前方に開放可能な開閉板 1 6 a で開閉制御されるが、特別図柄表示部 D a ~ D c の図柄変動後の停止図柄が「 7 7 7 」などの大当たり図柄のとき、「大当

50

りゲーム」と称する特別遊技が開始され、開閉板 16a が開放されるようになっている。

【0029】

大入賞口 16 の開閉板 16a が開放された後、所定時間が経過し、又は所定数（例えば 10 個）の遊技球が入賞すると開閉板 16a が閉じる。このような動作は、最大で例えば 15 回まで特別遊技が継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 Da ~ Dc の変動後の停止図柄が特別図柄のうちの特定期間であった場合には、特別遊技の終了後のゲームが高確率状態（以下、確変状態という）となるという特典が付与される。

【0030】

図 3 は、上記した各動作を実現するパチンコ機 GM の全体回路構成を示すブロック図である。図中の一点破線は、主に、直流電圧ラインを示している。

10

【0031】

図示の通り、このパチンコ機 GM は、AC 24V を受けて各種の直流電圧やシステムリセット信号（電源リセット信号）SYS などを出力する電源基板 20 と、遊技制御動作を中心統括的に担う主制御基板 21 と、主制御基板 21 から受けた制御コマンド CMD に基づいてランプ演出及び音声演出を実行する演出制御基板 22 と、演出制御基板 22 から受けた制御コマンド CMD' に基づいて液晶ディスプレイ DISP を駆動する画像制御基板 23 と、主制御基板 21 から受けた制御コマンド CMD" に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 24 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 25 と、を中心に構成されている。

20

【0032】

但し、この実施例では、主制御基板 21 が出力する制御コマンド CMD は、コマンド中継基板 26 と演出インタフェース基板 27 を経由して、演出制御基板 22 に伝送される。また、演出制御基板 22 が出力する制御コマンド CMD' は、演出インタフェース基板 27 を経由して、画像制御基板 23 に伝送され、主制御基板 21 が出力する制御コマンド CMD" は、主基板中継基板 28 を経由して、払出制御基板 24 に伝送される。

【0033】

これら主制御基板 21、演出制御基板 22、画像制御基板 23、及び払出制御基板 24 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 21 ~ 24 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 21、演出制御部 22、画像制御部 23、及び払出制御部 24 と言うことがある。なお、演出制御部 22、画像制御部 23、及び払出制御部 24 の全部又は一部がサブ制御部である。

30

【0034】

ところで、このパチンコ機 GM は、図 3 の破線で囲む枠側部材 GM1 と、遊技盤 5 の背面に固定された盤側部材 GM2 とに大別されている。枠側部材 GM1 には、ガラス扉 6 や前面板 7 が枢着された前枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 GM2 は、機種変更に対応して交換され、新たな盤側部材 GM2 が、元の盤側部材の代わりに枠側部材 GM1 に取り付けられる。なお、枠側部材 GM1 を除く全てが、盤側部材 GM2 である。

40

【0035】

図 3 の破線枠に示す通り、枠側部材 GM1 には、電源基板 20 と、払出制御基板 24 と、発射制御基板 25 と、枠中継基板 32 とが含まれており、これらの回路基板が、前枠 3 の適所に各々固定されている。一方、遊技盤 5 の背面には、主制御基板 21、演出制御基板 22、画像制御基板 23 が、液晶ディスプレイ DISP やその他の回路基板と共に固定されている。そして、枠側部材 GM1 と盤側部材 GM2 とは、一箇所に集中配置された接続コネクタ C1 ~ C4 によって電氣的に接続されている。

【0036】

電源基板 20 は、接続コネクタ C2 を通して、主基板中継基板 28 に接続され、接続コ

50

ネクタC3を通して、電源中継基板30に接続されている。そして、主基板中継基板28は、電源基板20から受けたシステムリセット信号SYS、RAMクリア信号DEL、電圧降下信号ABN、バックアップ電源BAK、DC12V、DC32Vを、そのまま主制御部21に出力している。同様に、電源中継基板30も、電源基板20から受けたシステムリセット信号SYSや、交流及び直流の電源電圧を、そのまま演出インタフェース基板27に出力している。なお、演出インタフェース基板27は、受けたシステムリセット信号SYSを、そのまま演出制御部22と画像制御部23に出力している。

#### 【0037】

一方、払出制御基板24は、中継基板を介することなく、電源基板20に直結されており、主制御部21が受けると同様の、システムリセット信号SYS、RAMクリア信号DEL、電圧降下信号ABN、バックアップ電源BAKを、その他の電源電圧と共に直接的に受けている。

10

#### 【0038】

ここで、電源基板20が出力するシステムリセット信号SYSは、電源基板20に交流電源24Vが投入されたことを示す電源リセット信号であり、この電源リセット信号によって各制御部21～24のワンチップマイコンその他のIC素子が電源リセットされるようになっている。

#### 【0039】

主制御部21及び払出制御部24が、電源基板20から受けるRAMクリア信号DELは、各制御部21、24のワンチップマイコンの内蔵RAMの全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチSWTのON/OFF状態に対応した値を有している。

20

#### 【0040】

主制御部21及び払出制御部24が、電源基板20から受ける電圧降下信号ABNは、交流電源24Vが降下し始めたことを示す信号であり、この電圧降下信号ABNを受けることによって、各制御部21、24では、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源BAKは、営業終了や停電により交流電源24Vが遮断された後も、主制御部21と払出制御部24のワンチップマイコンの内蔵RAMのデータを保持するDC5Vの直流電源である。したがって、主制御部21と払出制御部24は、電源遮断前の遊技動作を電源投入後に再開できることになる(電源バックアップ機能)。このパチンコ機では少なくとも数日は、各ワンチップマイコンのRAMの記憶内容が保持されるよう設計されている。

30

#### 【0041】

一方、演出制御部22と画像制御部23には、上記した電源バックアップ機能が設けられていない。しかし、先に説明した通り、演出制御部22と画像制御部23には、電源中継基板30と演出インタフェース基板27を経由して、システムリセット信号SYSが共通して供給されており、他の制御部21、24と、ほぼ同期したタイミングで電源リセット動作が実現される。

#### 【0042】

図示の通り、主制御部21は、主基板中継基板28を経由して、払出制御部24に制御コマンドCMDを送信する一方、払出制御部24からは、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステイタス信号CONを受信している。ステイタス信号CONには、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。

40

#### 【0043】

また、主制御部21は、遊技盤中継基板29を経由して、遊技盤5の各遊技部品に接続されている。そして、遊技盤上の各入賞口16～18に内蔵された検出スイッチのスイッチ信号を受け一方、電動チューリップなどのソレノイド類を駆動している。なお、スイッチ信号には、図柄始動口15から主制御部21に伝送される入賞スイッチ信号SGが含まれる。

50

## 【 0 0 4 4 】

図 4 は、主制御部 2 1 のワンチップマイコン 2 1 A の内部構成の一部を図示したものである。ここでは、遊技盤中継基板 2 9 を経由して、図柄始動口 1 5 の検出スイッチから入賞スイッチ信号 S G を受ける部分も含めて図示している。

## 【 0 0 4 5 】

図示の通り、ワンチップマイコン 2 1 A は、Z 8 0 C P U ( Z i l o g 社 ) 相当の C P U コアと、Z 8 0 C T C ( c o u n t e r t i m e r c i r c u i t ) 相当のカウンタタイマ回路 C T C と、R O M 及び R A M のメモリ回路と、後述する設定レジスタを含んだ各種の機能レジスタ R T 1 ~ R T n と、R O M に記憶されている制御プログラム ( ユーザプログラム ) の実行動作開始タイミングを適宜に規定する動作開始回路 S T A R T と、異常動作時に C P U コアをリセットする異常対応回路 R E V と、抽選用の乱数値 R N D を生成する乱数生成回路 G N R と、入力ポート I N P と、を主要に内蔵している。

10

## 【 0 0 4 6 】

図柄始動口 1 5 からの入賞スイッチ信号 S G は、遊技盤中継基板 2 9 に配置されたバッファ回路 B U F を経由して、ワンチップマイコン 2 1 A の乱数生成回路 G N R と、入力ポート I N P に重複して供給されている。また、入力ポート I N P には、図柄始動口 1 5 に限らず、大入賞口 1 6 やゲート 1 8 の検出スイッチからのスイッチ信号も、合わせて供給されている。

## 【 0 0 4 7 】

遊技盤中継基板 2 9 のバッファ回路 B U F は、オープンコレクタ型の出力部を有し、入力側が 1 2 V にプルアップされ、出力側が 5 V にプルアップされている。そして、遊技球が図柄始動口 1 5 を通過して入賞状態となると、バッファ回路 B U F は、正論理の O N 信号として、入賞スイッチ信号 S G を出力する。

20

## 【 0 0 4 8 】

乱数生成回路 G N R は、所定の数値範囲を循環するカウンタ C N T と、入賞スイッチ信号 S G が変化する変化エッジに同期して、カウンタ C N T のカウンタ値を乱数値 R N D として保持するラッチ回路 L T と、を有して構成されている。

## 【 0 0 4 9 】

図示の通り、入賞スイッチ信号 S G は、乱数生成回路 G N R に重複して、入力ポート I N P にも供給されている。そのため、C P U コアは、入力ポート I N P からの入力データに基づき、入賞スイッチ信号 S G の変化エッジを把握することができ、この把握の後に、ラッチ回路 L T から乱数値 R N D を取得して、大当たり抽選を実行するようになっている。

30

## 【 0 0 5 0 】

図 5 ( a ) は、ワンチップマイコン 2 1 A のメモリ回路 ( R A M + R O M ) と各種の機能レジスタ R T 1 ~ R T n についてのメモリマップを図示したものである。図示の通り、この実施例では、遊技機メーカーが作成した制御プログラムと、この制御プログラムが参照する固定値データとは、例えば、8 0 0 0 H 番地以降に格納される。

## 【 0 0 5 1 】

また、固定値データとは別に、C P U リセット時に、機能レジスタ R T i に転送される動作パラメータを記憶可能なパラメータ領域も R O M に確保されている。ここで、動作パラメータには、制御プログラムが機能し始めるまでの待機時間を規定する設定値が含まれる。

40

## 【 0 0 5 2 】

ところで、この種の遊技機では、法規制上、制御プログラムや固定値データの容量は、厳格に制限されており ( 例えば、各々 3 K バイト程度 ) 、この限られた記憶容量でセキュリティ処理を含んだ高度な処理を実現する必要が生じる。そこで、本実施例では、機能レジスタ R T i を有効活用することで、制御プログラムのプログラム量の抑制や、セキュリティレベルの向上を図っている ( 詳細については更に後述する ) 。

## 【 0 0 5 3 】

また、本実施例のワンチップマイコン 2 1 A は、C P U リセット後、8 0 0 0 H 番地以

50

降の制御プログラムが実行される前に、管理プログラムが実行されるよう構成されている。ここで、管理プログラムとは、チップメーカーが作成した一種のマイクロプログラムであり、具体的な動作内容は、例えば、図5(b)に示す通りである。

【0054】

図示の通り、CPUリセット後、ROMに記憶されている動作パラメータが、これに対応する機能レジスタRTiに転送される(SS1)。先に説明した通り、動作パラメータには、制御プログラムが機能し始めるまでの待機時間を規定する設定値データが含まれており、この設定値データは、機能レジスタRTiたる待機時間設定レジスタ60(図5(c)参照)に転送される。

【0055】

また、分周比設定レジスタ52には、分周比デフォルト値として50が書き込まれ、ウォッチドッグタイマ54の機能を停止させるための制御データとしてデフォルト値0が維持される。したがって、その後の待機処理(SS3)が如何に長引いても、CPUコアが、ウォッチドッグタイマ54のオーバーフロー信号OVによってリセットされるおそれはない。

【0056】

次に、セキュリティーキーの正当性を判定する判定処理を含んでワンチップマイコンの正常動作を確認する自己診断処理が実行される(SS2)。そして、その後は、ステップSS1の処理で設定レジスタ60に転送された動作パラメータ(待機時間)で規定される動作開始タイミングまで、制御プログラムの動作開始を待機し(SS3)、所定時間待機後に、8000H番地以降の制御プログラムの動作が開始される。

【0057】

したがって、本実施例によれば、サブ制御部の初期動作が完了するまで、数秒~数10秒程度待機する待機処理を、制御プログラムによって実現する必要がなくなり、限定されたメモリ領域を効果的に使用することができる。例えば、20MHzのシステムクロックで動作するCPUコアにおいて、数10秒の時間を消費する待機処理を実現するには、それなりのプログラム容量を消費するので、この待機処理を不要にできる本実施例の効果は大きい。

【0058】

図5(c)は、上記の動作を実現する動作開始回路STARTと、異常対応回路REVについて、その回路構成を示す回路ブロック図である。本実施例では、プリスケラ50には、20MHzのシステムクロックが供給され、受付回路53とWDTクリア回路は、CPUコアから直接アクセス可能に構成されている(図6(a)参照)。そして、リセット回路56の出力は、CPUコアのリセット端子と、機能レジスタRTiたる制御レジスタ57に供給されている。なお、制御レジスタ57は、具体的には、図6のRSフリップフロップ57で実現される。

【0059】

以上を踏まえて説明を続けると、異常対応回路REVは、システムクロックのパルス周期を固定数(N)倍に分周するプリスケラ50と、プリスケラ50の出力のパルス周期を任意倍数(X)に分周するプログラマブル・ポストスケラ51と、ポストスケラ51の分周比やその他の動作パラメータを記憶する設定レジスタ52と、設定レジスタ52に設定すべき動作パラメータをCPUコアから受ける受付回路53と、ポストスケラ51の出力を所定の数値範囲でカウントするウォッチドッグタイマ54と、ウォッチドッグタイマ54のカウント値を強制的に初期値に戻すWDTクリア回路55と、ウォッチドッグタイマ54のカウント値が所定の数値範囲を一巡したことを示すオーバーフロー信号OVを受けて、CPUリセット信号を出力するリセット回路56と、を有して構成されている。

【0060】

先に説明した通り、機能レジスタRTiたる設定レジスタ52には、ステップSS1のタイミングで、デフォルト値として分周比50が書き込まれるが、その後、制御プログラ

10

20

30

40

50

ムによって、10～1270の任意の分周比が設定可能に構成されている。そのため、ウォッチドッグタイマ54に供給される計数クロックの周期を、遊技機メーカーにおいて任意に設定できることになり、オーバーフロー信号OVの出力周期を適宜に設定できることになる。

#### 【0061】

また、設定レジスタ52には、リセット回路56を機能させるか否かを規定する動作パラメータ（制御データ）も、制御プログラムによって任意に設定可能に構成されている。そのため、遊技機メーカーにおいて、異常対応回路REVの動作を禁止することも可能となる。なお、異常対応回路REVの動作を禁止しても、動作開始回路STARTの動作には影響を与えない。

10

#### 【0062】

ところで、リセット回路56の出力は、CPUコアのリセット端子に供給されることで、CPUコアが強制的にリセットされる。また、リセット回路56の出力は、制御レジスタ57に記憶されることで、CPUコアが強制的にリセットされた後は、RAMのアクセスが一部禁止される。禁止状態は適宜に設定されるが、この実施例では、RAMのリード（memory read）動作が許可されるが、ライト動作（memory write）を禁止するようにしている。

#### 【0063】

システムクロックは、この実施例では20MHzであり、プリスケアラ50の分周比は2000となっている。そのため、プリスケアラ50の出力パルスのパルス周期は100μsとなる。また、受付回路53を経由して設定レジスタ52に設定される分周比は、10～1270の数値範囲であるが、電源投入後のデフォルト分周比は50となっている（SS1）。

20

#### 【0064】

そのため、ポストスケアラ51の出力パルスのパルス周期は、デフォルト値として5ms（ $= 50 \times 100 \mu s$ ）となり、その後の制御プログラムによる設定値（10～1270）に基づいて、1ms～127msの範囲のパルス周期となる。

#### 【0065】

ウォッチドッグタイマ54は、この実施例では、100進カウンタであり、0～99の数値範囲を一巡する毎に、オーバーフロー信号OVを出力するよう構成されている。ポストスケアラ51の出力パルスのパルス幅は、デフォルト値が5msであって、その後は、制御プログラムによる設定に基づいて1ms～127msの何れかの値となる。そのため、ウォッチドッグタイマ54が出力するオーバーフロー信号OVの出力周期Tは、デフォルト値T0が、500ms（ $= 5ms \times 100$ ）であり、その後は、100ms～127msの範囲内の設定値Tsとなる。

30

#### 【0066】

このようなオーバーフロー信号OVは、リセット回路56を経由してCPUリセット信号となるので、WDTクリア回路55が機能しない限り、CPUコアは、オーバーフロー信号OVの出力周期Tsで繰り返しリセットされることになる。なお、設定レジスタ52の初期設定値に基づいて、リセット回路56の動作を禁止できるが、一度、許可したウォッチドッグタイマ機能を、遊技動作中に禁止することはできない。したがって、例えば、違法プログラムを間欠的に動作させるために、適宜にウォッチドッグタイマ機能を禁止制御するような違法動作は不可能となる。

40

#### 【0067】

次に、図5(c)に基づいて、動作開始回路STARTの回路構成を説明する。図示の動作開始回路STARTにおいて、設定レジスタ60は、ステップSS1の処理によって、ROMのパラメータ領域に登録されている設定値データ（待機時間）が転送されており、判定レジスタ63は、CPUから直接アクセス可能に構成されている。

#### 【0068】

以上を踏まえて説明すると、動作開始回路STARTは、ROMに記憶されている待機

50

時間を受ける設定レジスタ60と、ウォッチドッグタイマ54のオーバーフロー信号OVを受けるカウンタ61と、カウンタ61のカウンタ値を、設定レジスタ60の設定値と比較して一致するか否かを判定する比較回路62と、比較回路62が出力する一致信号を記憶する判定レジスタ63と、を有して構成されている。

【0069】

比較回路62が出力する一致信号は、一致判定時にはONレベルとなり、それ以外はOFFレベルである。そして、判定レジスタ63の出力値(一致信号)は、管理プログラム(図5(b)参照)のステップSS3の処理で繰り返し判定され、出力値がONレベルとなるまで待機処理を繰り返す。

【0070】

一方、オーバーフロー信号OVの出力周期T0は、このタイミングでは、デフォルト値の500msであるので、本実施例によれば、設定レジスタ60の設定値を、例えば、2、4、6、・・・、50、60とすることで、1秒、2秒、3秒、・・・、25秒、30秒の待機時間を確保することができる。

【0071】

このように、本実施例では、ROMのパラメータ領域に、適宜な設定値データ(待機時間)を登録しておくことで、CPUリセット後、サブ制御部が確実に立ち上がるまでの最適な待機時間を確保することができる。なお、この待機処理に制御プログラム領域を消費しないことの利点は、先に説明した通りである。

【0072】

図6(a)は、異常対応回路REVの具体的な回路構成を示す回路ブロック図である。図示の通り、受付回路53は、詳細には、CPUコアが設定値データを書き込む入力レジスタ70と、入力レジスタ70の出力値を記憶する分周比制御レジスタ71と、分周比制御レジスタ71の出力値と入力レジスタ70への入力値とを比較する一致判定回路72と、一致判定回路72の出力値をS入力端子に受けるRSフリップフロップ73と、を有して構成されている。

【0073】

ここで、入力レジスタ70と分周比制御レジスタ71は、分周比設定レジスタ52や入力レジスタ91などと同様に、電源投入時に電源リセットされて、その出力値がクリア状態となる。なお、分周比設定レジスタ52は、電源リセット後、直ちに、デフォルト値(=分周比50)に設定されるが、これに関連する回路構成については、図示を省略している。

【0074】

一致判定回路72は、分周比制御レジスタ71の出力値と、入力レジスタ70の入力値とが一致する場合には、制御端子OE(output enable)がHレベルであることを条件に、Lレベルの判定値を出力し、それ以外のタイミングではHレベルの判定値を出力する。なお、一致判定回路72の回路構成は、基本的に、図7に示す減算回路及びゲート回路と同等である。そして、一致判定回路72の判定出力は、分周比設定レジスタ52のクロック端子CKに供給されている。

【0075】

また、分周比制御レジスタ71の出力は、一致判定回路72と分周比設定レジスタ52の入力端子に共通的に供給されている。ここで、分周比設定レジスタ52は、クロック端子CKに、Lレベルの信号を受けると、入力端子の信号をラッチするよう構成されている。そのため、分周比設定レジスタ52には、分周比制御レジスタ71の出力値と入力レジスタ70の入力値とが一致するタイミングで、分周比制御レジスタ71の出力値が記憶されることになる。

【0076】

ところで、一致判定回路72の出力を受けるRSフリップフロップ73のR入力端子は、Hレベルに固定されている。また、Qバー出力端子は、NOTゲートによる遅延回路を経由して、ANDゲート74の入力端子に供給されている。そして、このRSフリップフ

10

20

30

40

50

ロップ73は、電源投入時に、クリア端子CLRに電源リセット信号を受けて電源リセットされるので、その後のQバー出力端子は、Hレベルとなる。

【0077】

また、入力レジスタ70及び分周比制御レジスタ71は、CPUコアが出力するアドレス信号に基づいて生成されるチップセレクト信号CS(Lアクティブ)に基づいて、データバスのデータ(設定値データ)をラッチするよう構成されている。但し、入力レジスタ70は、チップセレクト信号CSの立下りエッジで、設定値データをラッチし、分周比制御レジスタ71は、適宜に遅延されたチップセレクト信号CS'の立上りエッジで、設定値データをラッチするよう構成されている。

【0078】

一方、論理反転されたチップセレクト信号CS'は、ANDゲート74の入力端子に供給されている。先に説明した通り、ANDゲート74の他方側の入力端子は、電源リセット後にHレベルを維持するので、論理反転されたチップセレクト信号CS'は、そのレベルのまま、一致判定回路の74の制御端子OEに供給されることになる。

【0079】

ここで、制御端子OE(output enable)は、一致判定回路72の出力動作を制御する機能を有しており、チップセレクト信号CSが定常レベル(H)に戻ったタイミングで、反転チップセレクト信号CS'と共にLレベルに戻り、その結果、一致判定回路72の出力は、反転チップセレクト信号CS'の変化に対応して、定常レベル(H)に戻るようになる。

【0080】

また、その後、CPUコアのデータバスのデータ値が、たまたま分周比制御レジスタ71の出力値と一致することがあっても、一致判定回路72の出力値がLレベルに変化することはない。そのため、分周比設定レジスタ52に一旦設定された設定値は、その後、変化することがなく、したがって、オーバーフロー信号OVの出力周期Tsなど、ウォッチドッグタイマ54の動作条件が変化するおそれはない。また、違法プログラムを意図通りに動作させるために、オーバーフロー信号OVの出力周期Tsを長く設定し直したり、事後的にウォッチドッグタイマ機能を禁止しようとしても、そのような動作は不可能である。

【0081】

以上の回路動作を踏まえて、図6(b)に基づいて、CPUコアによる設定値データの書込み動作を説明する。ここで、設定値データXは、ポストスケラ回路51の分周比データと、ウォッチドッグタイマ54などの動作可否を規定する制御データとを含んで構成されている。

【0082】

図6(b)に示すように、CPUコアは、設定値データXを入力レジスタ70に書き込んだ後(ST30)、再度、同じ設定値データXを入力レジスタ70に書き込む(ST31)。そして、一回目の書き込み動作におけるチップセレクト信号CSの立下りエッジで、設定値データXが入力レジスタ70にラッチ(記憶保持)され、入力レジスタ70にラッチされた設定値データXは、遅延状態のチップセレクト信号CS'の立上りエッジで、分周比制御レジスタ71にラッチされる。

【0083】

なお、ステップST30のタイミングでは、RSフリップフロップ73のQバー出力がHレベルであるので、論理反転したアクティブレベルのチップセレクト信号CS'が、一致判定回路72の制御端子OEに加わることになる。しかし、チップセレクト信号CS'がアクティブレベルを維持するタイミングでは、CPUコアから供給される設定値データXと、電源投入後にクリアされる分周比制御レジスタ71の出力値とが一致することはないので、一致判定回路72の出力は変化することなく、Hレベルを維持する。

【0084】

その後、再度、同じ設定値データXが入力レジスタ70に書き込まれると(ST31)

10

20

30

40

50

、その時のチップセレクト信号CSの立下りタイミングで、一致判定回路72に供給される2種類のデータが一致することになる。すなわち、分周比制御レジスタ71からは、1回目に出力された設定値データXが出力され、CPUコアからは、2回目の設定値データXが出力される。

【0085】

このように、本実施例では、正常な設定処理(ST30, ST31)を実行する限り、2度目の書き込み処理(ST31)で2種類のデータが一致するので、一致判定回路72の出力はLレベルに変化し、この立下りエッジに同期して、分周比設定レジスタ52には、1回目に出力された設定値データXが記憶される。そして、この設定値データXに基づいて、ポストスケラ回路51の分周比が設定される。

10

【0086】

一致判定回路72の出力がLレベルに変化すると、RSフリップフロップ73は、LレベルのS端子入力に基づいてセット動作をする(図6(c)参照)。その結果、RSフリップフロップ73のQバー出力は、Lレベルに変化することになり、この変化が所定の遅延時間後にANDゲート74に伝わるので、その後、一致判定回路72の制御端子OEがLレベルとなり、一致判定回路72の出力も、定常レベルのHレベルに戻る。

【0087】

そのため、RSフリップフロップ73のQバー出力は、その後もLレベルに維持されることになり(図6(c)参照)、その後は一致判定回路72が機能することはない。すなわち、本実施例では、ポストスケラ51の分周比の設定処理は一回に限定され、その後

20

【0088】

ところで、設定値データXには、ポストスケラ回路51の分周比データだけでなく、ウォッチドッグタイマ54などの動作可否を規定する制御データも含まれている。そして、この制御データは、ウォッチドッグタイマ54の機能を活用する場合には、Hレベルであり、機能を使用しない場合にはLレベルに設定される。但し、Hレベルの制御データに基づいて動作を開始したウォッチドッグタイマ機能を、その後に禁止できないことは、先に説明した図6の回路構成から確認される通りであり、図示の回路構成は、セキュリティ上も有効である。

30

【0089】

図示の通り、分周比設定レジスタ52に記憶された制御データは、そのままNANDゲート56の入力端子に供給されるので、制御データ=Lの場合には、ウォッチドッグタイマ54から出力されるオーバーフロー信号OVがCPUに供給されることなく、ウォッチドッグタイマ54は、事実上、動作禁止状態となる。

【0090】

一方、制御データ=Hの場合には、ウォッチドッグタイマ54から出力されるオーバーフロー信号OVがCPUに供給されてCPUコアをリセット状態にする。また、このオーバーフロー信号OVは、RSフリップフロップ57のS入力端子にも供給される。R入力端子は、Hレベルに固定されているため、ウォッチドッグタイマ54にオーバーフロー状態が発生して、CPUコアが異常リセットされた後は、RSフリップフロップ57のQバー出力がLレベルを維持することになる。

40

【0091】

図示の通り、RSフリップフロップ57のQバー出力は、ANDゲート58の入力端子に供給されている。また、ANDゲート58の他の入力端子には、CPUコアのコントロールバスに出力されるメモリWR信号が供給されている。ここで、メモリWR信号は、RAMのリード(memory read)動作時に、RAMに供給される信号であり、このメモリWR信号のメモリへの供給がANDゲート58で阻止されることで、CPUコアが異常リセットされた後は、RAMのライト動作(memory write)が禁止されることになる。

【0092】

50

この動作もセキュリティ上有効であり、例えば、CPUを意図的にリセットすると、その後は、RAMを書き換えることができないので、その後の違法行為が不可能となる。

【0093】

次に、図6の上部に位置するWDTクリア回路55の回路構成について説明する。図示の通り、WDTクリア回路55は、CPUコアからクリアデータを受けて記憶する入力レジスタ91と、クリア処理用のキーワードを固定的に記憶するキーワードレジスタ92と、入力レジスタ91などの動作順序を制御する動作順序回路93と、入力レジスタ91とキーワードレジスタ92の記憶値が一致するかどうかを判定する一致判定回路90と、を有して構成されている。なお、入力レジスタ91やキーワードレジスタ92は、機能レジスタRTiの一部を構成しており、各々に固有のアドレス番号が付与されている(図5(a)参照)。

10

【0094】

また、入力レジスタ91の記憶値と、キーワードレジスタ92の記憶値とが一致する場合には、一致判定回路90からLレベルのクリア信号が出力され、これがウォッチドッグタイマ54に供給されることで、ウォッチドッグタイマ54のカウント値がゼロクリアされ、オーバフロー信号OVの出力を阻止している。

【0095】

図7は、入力レジスタ91と、キーワードレジスタ92と、動作順序回路93と、一致判定回路90の回路構成をより詳細に図示したものである。図示の通り、入力レジスタ91は、実際には、4個の8ビット長レジスタR0~R3で構成され、各々にはアドレス(ポート番号)N0~N3が付されている。また、キーワードレジスタ92も、4個の8ビット長レジスタR0'~R3'で構成され、各々には、対応する入力レジスタR0~R3と同一のアドレス(ポート番号)N0~N3が付されている。

20

【0096】

ここで、8ビット長レジスタR0~R3の入力端子は、CPUコアのデータバスに接続されており、自らを選択するチップセレクト信号CS0~CS3を受けることを条件に、CPUコアが出力するクリアデータを記憶し出力するよう構成されている。なお、チップセレクト信号CS0~CS3は、ポート番号N0~N3に基づいて生成されるユニーク信号であるのは勿論である。

【0097】

また、8ビット長のキーワードレジスタR0'~R3'の入力端子は、固定的にHレベル又はLレベルに設定されており、各レジスタR0'~R3'は、自らを選択するチップセレクト信号CS0~CS3を受けることを条件に、固有のキーワードを記憶し出力するよう構成されている。何ら限定されないが、レジスタR0'は10Hを記憶し、レジスタR1'は22Hを記憶し、レジスタR2'は33Hを記憶し、レジスタR3'は44Hを記憶するよう構成されている。

30

【0098】

本実施例では、4個の入力レジスタR0~R3と、4個のキーワードレジスタR0'~R3'とが一对一に対応し、一对のレジスタRi, Ri'が、同一のチップセレクト信号CSiで選択されるよう構成されている。そのため、例えば、CPUコアからアドレスN0(入力レジスタR0)に対してクリアデータを出力すると、そのクリアデータが入力レジスタR0に取得されて出力される一方、レジスタR0'からは、固定キーワード10Hが出力されることになる。

40

【0099】

本実施例では、一对のレジスタR0, R0'を使用してウォッチドッグタイマ54をクリアする基本動作態様と、三対のレジスタR1, R1'~R3, R3'を循環的に使用してウォッチドッグタイマ54をクリアする循環動作態様とが選択可能になっている。そして、動作順序回路93は、循環動作態様を採る場合に機能して、三対のレジスタR1, R1'~R3, R3'の動作順序を制御している。

【0100】

50

具体的には、所定の機能レジスタ  $RT_i$  に循環動作態様を採ることが指示されることを条件に出力されるスタートパルスに基づいて、先ず、第1レジスタ対  $R_1, R_1'$  が動作可能となり、第1レジスタ対  $R_1, R_1'$  が動作したことを条件に、第2レジスタ対  $R_2, R_2'$  が動作可能となり、第2レジスタ対  $R_2, R_2'$  が動作したことを条件に、第3レジスタ対  $R_3, R_3'$  が動作可能となり、第3レジスタ対  $R_3, R_3'$  が動作したことを条件に、第1レジスタ対  $R_1, R_1'$  が動作可能となるような循環動作を実現している。

#### 【0101】

具体的な回路構成は図7に示す通りであり、3個の負論理ANDゲート  $G_1 \sim G_3$  と、3個のRSフリップフロップ  $F_1 \sim F_3$  と、スタートパルスとチップセレクト信号  $CS_3$  とを受ける正論理ANDゲート  $G_0$  と、を有して構成されている。ここで、RSフリップフロップ  $F_1 \sim F_3$  は、リセット端子  $R$  やセット端子  $S$  に供給されるチップセレクト信号の立上りエッジで、リセット動作やセット動作をするよう構成されている。

10

#### 【0102】

また、チップセレクト信号  $CS_1 \sim CS_3$  は、定常的にHレベルであり、各入力レジスタ  $R_1 \sim R_3$  (ポート番号  $N_1 \sim N_3$ ) に、クリアデータを書き込むタイミングだけでLレベルとなる。また、RSフリップフロップ  $F_1 \sim F_3$  は、電源投入時に電源リセットされて、各Qバー出力がHレベルとなる。

#### 【0103】

図示の通り、ANDゲート  $G_1$  は、チップセレクト信号  $CS_1$  と、フリップフロップ  $F_3$  のQバー出力とを、入力端子に受けている。そして、負論理動作したAND出力を、第1レジスタ対  $R_1, R_1'$  のチップイネーブル端子に供給している。ANDゲート  $G_2$  も同様であり、チップセレクト信号  $CS_2$  と、フリップフロップ  $F_1$  のQバー出力とを入力端子に受けて、負論理動作したAND出力を、第2レジスタ対  $R_2, R_2'$  のチップイネーブル端子に供給している。また、ANDゲート  $G_3$  は、チップセレクト信号  $CS_3$  と、フリップフロップ  $F_2$  のQバー出力とを入力端子に受けて、負論理動作したAND出力を、第3レジスタ対  $R_3, R_3'$  のチップイネーブル端子に供給している。

20

#### 【0104】

一方、フリップフロップ  $F_1$  は、セット端子  $S$  にチップセレクト信号  $CS_1$  を受け、リセット端子  $R$  にチップセレクト信号  $CS_2$  を受けて動作している。そのため、フリップフロップ  $F_1$  のQバー出力は、電源リセットされてHレベルとなった後、チップセレクト信号  $CS_1$  に基づいてLレベルとなり、チップセレクト信号  $CS_2$  に基づいてHレベルに戻ることになる。

30

#### 【0105】

他のフリップフロップもほぼ同様であり、フリップフロップ  $F_2$  は、セット端子  $S$  にチップセレクト信号  $CS_2$  を受け、リセット端子  $R$  にチップセレクト信号  $CS_3$  を受けるので、そのQバー出力は、電源リセットされてHレベルとなった後、チップセレクト信号  $CS_2$  に基づいてLレベルとなり、チップセレクト信号  $CS_3$  に基づいてHレベルに戻る。

#### 【0106】

一方、フリップフロップ  $F_3$  は、セット端子  $S$  にANDゲート  $G_0$  の出力を受け、リセット端子  $R$  にチップセレクト信号  $CS_1$  を受けるよう構成されている。ANDゲート  $G_0$  は、チップセレクト信号  $CS_3$  と、スタートパルスとを入力端子に受けている。そのため、フリップフロップ  $F_3$  のQバー出力は、電源リセットされてHレベルとなった後、スタートパルスか、チップセレクト信号  $CS_3$  に基づいてLレベルとなり、チップセレクト信号  $CS_1$  に基づいてHレベルに戻ることになる。

40

#### 【0107】

実施例の動作順序回路93は、上記の通りに構成されているので、以下の通りに動作する。先ず、電源投入後は、各フリップフロップ  $F_1 \sim F_3$  がリセット状態となるので、全てのQバー出力がHレベルとなり、ANDゲート  $G_1 \sim G_3$  の一方側の入力端子がHレベルとなる。そのため、CPUコアが、所定のポート番号  $N_1 \sim N_3$  を指定してクリアデー

50

タを出力しても、チップセレクト信号CS<sub>i</sub>が伝送されることはなく、データ出力動作が全て無視される。

【0108】

一方、このような状態で、スタートパルスが出力されると、フリップフロップF<sub>3</sub>がセットされて、ANDゲートG<sub>1</sub>の一方側の入力端子がLレベルに変化する。したがって、その後は、ポート番号N<sub>1</sub>を指定して入力レジスタR<sub>1</sub>にクリアデータを出力した場合だけ、チップセレクト信号CS<sub>1</sub>に基づいて、クリアデータが入力レジスタR<sub>1</sub>に取得されることになる。

【0109】

そして、チップセレクト信号CS<sub>1</sub>の立上りタイミングでは、フリップフロップF<sub>3</sub>がリセットされる一方で、フリップフロップF<sub>1</sub>がセットされる。フリップフロップF<sub>3</sub>がリセットされると、ANDゲートG<sub>1</sub>の入力端子の一方がHレベルとなるので、その後、チップセレクト信号CS<sub>1</sub>はANDゲートG<sub>1</sub>を通過することができず、言い換えると、その後のレジスタR<sub>1</sub>への書込みが禁止される。

10

【0110】

一方、チップセレクト信号CS<sub>1</sub>の立上りタイミングで、フリップフロップF<sub>1</sub>がセットされるので、そのタイミングで、ANDゲートG<sub>2</sub>の入力端子の一方がLレベルに変化し、その後は、チップセレクト信号CS<sub>2</sub>がANDゲートG<sub>2</sub>を通過できることになる。つまり、その後は、レジスタR<sub>2</sub>への書込みだけが許可されることになる。

【0111】

したがって、その後、ポート番号N<sub>2</sub>を指定して入力レジスタR<sub>2</sub>にクリアデータを出力すると、チップセレクト信号CS<sub>2</sub>に基づいて、クリアデータが入力レジスタR<sub>2</sub>に取得される。そして、この動作に対応して、フリップフロップF<sub>1</sub>がリセットされ、フリップフロップF<sub>2</sub>がセットされる。そのため、その後は、チップセレクト信号CS<sub>2</sub>はANDゲートG<sub>2</sub>を通過することができず、レジスタR<sub>2</sub>への書込みが禁止される一方、チップセレクト信号CS<sub>3</sub>はANDゲートG<sub>3</sub>を通過できることになる。

20

【0112】

以下、同様であり、その後、ポート番号N<sub>3</sub>を指定して入力レジスタR<sub>3</sub>にクリアデータを出力すると、チップセレクト信号CS<sub>3</sub>に基づいて、クリアデータが入力レジスタR<sub>3</sub>に取得される。そして、この動作に対応して、フリップフロップF<sub>2</sub>がリセットされ、フリップフロップF<sub>3</sub>がセットされる。そのため、その後は、レジスタR<sub>3</sub>への書込みが禁止される一方、チップセレクト信号CS<sub>1</sub>はANDゲートG<sub>1</sub>を通過することができ、レジスタR<sub>1</sub>への書込みだけが許可される。

30

【0113】

以上の通り、本実施例では、動作順序回路9<sub>3</sub>が機能することで、スタートパルスが出力された後、入力レジスタR<sub>1</sub> 入力レジスタR<sub>2</sub> 入力レジスタR<sub>3</sub> 入力レジスタR<sub>1</sub>・・・の順番でだけ、クリアデータを出力することができ、この順番に従わない場合には、WDTクリア回路5<sub>5</sub>でクリア信号を生成することができず、CPUコアはリセット状態となる。なお、動作順序が正しくても、以下に説明するとおり、クリアデータを間違えれば、CPUコアがリセットされる。

40

【0114】

一致判定回路9<sub>0</sub>は、一对のレジスタR<sub>i</sub>, R<sub>i'</sub>からの出力値を受けて減算処理を実行する減算回路8<sub>0</sub>と、減算回路の出力ビット(実施例では8ビット)を受けてOR演算を実行するNORゲート8<sub>2</sub>と、4個のチップセレクト信号CS<sub>0</sub>~CS<sub>3</sub>を受けてAND演算を実行するNANDゲート8<sub>1</sub>と、NANDゲート8<sub>1</sub>とNORゲート8<sub>2</sub>の出力を受けてAND演算を実行するNANDゲート8<sub>3</sub>と、を有して構成されている。なお、NANDゲート8<sub>3</sub>の出力が、ウォッチドッグタイマ5<sub>4</sub>に供給されるLアクティブのクリア信号CLRとなる。

【0115】

ここで、減算回路8<sub>0</sub>は、一对のレジスタR<sub>i</sub>, R<sub>i'</sub>からの出力値が一致する場合に

50

は、その減算結果である 8 ビット長のゼロを出力する。そして、NOR ゲート 8 2 は、全ての入力値がゼロである場合に限り、その出力値が H レベルとなるので、結局、一对のレジスタ  $R_i$  ,  $R_i'$  からの出力値が一致する場合に限り、NOR ゲート 8 2 の出力値が H レベルになる。

【 0 1 1 6 】

NAND ゲート 8 1 は、4 個のチップセレクト信号  $CS_0 \sim CS_3$  の何れかが L レベルであると、その出力が H レベルとなり、それ以外では L レベルを維持する。そのため、NAND ゲート 8 3 の出力は、一对のレジスタ  $R_i$  ,  $R_i'$  からの出力値が一致する場合であって、且つ、対応するチップセレクト信号  $CS_i$  が L レベルであるタイミングだけ L レベルになり、この信号が、ウォッチドッグタイマ 5 4 をゼロクリアするクリア信号  $CLR$  となる。

10

【 0 1 1 7 】

ところで、本実施例では、ウォッチドッグタイマ 5 4 をクリアするために、常に同一のクリアデータを使用するか、異なる複数 ( 3 個 ) のクリアデータを使用するかを選択可能に構成されている。ここで、同一のクリアデータとは具体的には 1 0 H であり、異なる複数のクリアデータとは、例えば、2 2 H、3 3 H、4 4 H である。

【 0 1 1 8 】

そして、異なるクリアデータを使用する場合には、入力レジスタ  $R_1$  に 2 2 H を出力してウォッチドッグタイマ 5 4 をクリアする一度目のクリア処理と、所定時間後、入力レジスタ  $R_2$  に 3 3 H を出力してウォッチドッグタイマ 5 4 をクリアする 2 度目のクリア処理と、所定時間後、入力レジスタ  $R_3$  に 4 4 H を出力してウォッチドッグタイマ 5 4 をクリアする 3 度目のクリア処理とを循環的に繰り返すようにしている。そのため、ROM の固定データ領域には、入力レジスタ  $R_i$  のアドレスデータと、その入力レジスタ  $R_i$  に書き込むべきキーワードとを対応して記憶している ( 図 7 ( b ) 参照 )。なお、これらのクリア処理については、図 9 に基づいて更に説明する。

20

【 0 1 1 9 】

図 8 及び図 9 は、主制御部 2 1 の制御プログラムを示すフローチャートであり、電源電圧の復旧や投入に基づいて起動されるシステムリセット処理 ( 図 8 ) と、所定時間毎 ( 2 m S ) に起動されるマスク可能なタイマ割込み処理 ( 図 9 ) とで構成されている。

【 0 1 2 0 】

以下、図 8 を参照しつつ、システムリセット処理プログラム ( メイン処理 ) について説明する。メイン処理が開始されるのは、停電状態からの復旧時のように初期化スイッチ  $SWT$  が OFF 状態で電源が ON 状態になる場合と、遊技ホールの開店時のように、初期化スイッチ  $SWT$  が ON 操作されて電源が ON 状態になる場合とがある。なお、異常対応回路  $REV$  が起動して CPU が強制的にリセットされる場合もある。

30

【 0 1 2 1 】

何れの場合でも、CPU コアがリセットされると、図 5 ( b ) に示す管理プログラムが動作を開始する (  $ST_1$  )。そして、ROM のパラメータ領域に登録されている動作パラメータが、対応する機能レジスタ  $RT_i$  に転送される (  $SS_1$  )。先に説明した通り、機能レジスタ  $RT_i$  には、図 5 に示す待機時間設定レジスタ 6 0 が含まれるが、本実施例では、全てのサブ制御部が立ち上がるまでに十分な待機時間 ( 例えば 1 0 秒 ) を確保するため、所定値 ( 例えば 2 0 ) の動作パラメータを ROM のパラメータ領域に登録しており、この動作パラメータがステップ  $SS_1$  の処理で、設定レジスタ 6 0 に設定される。

40

【 0 1 2 2 】

次に、自己診断処理やセキュリティ処理が終わると (  $SS_2$  )、管理プログラムの処理によって、判定レジスタ 6 3 の値が繰り返しチェックされる (  $SS_3$  )。図 5 ( c ) に關して説明した通り、このタイミングでは、オーバーフロー信号  $OV$  のパルス周期は 5 0 0 m S であるので、カウンタ 6 1 は、5 0 0 m s 毎にカウンタ値をインクリメント更新する。

【 0 1 2 3 】

50

このカウンタ 6 1 のカウンタ値は、比較回路 6 2 において、設定レジスタ 6 0 の記憶値 ( 2 0 ) と比較される。そして、カウンタ 6 1 が電源リセットされてから 1 0 秒経過してカウンタ値が 2 0 に達するタイミングで、判定レジスタ 6 3 の値が始めて ON レベルとなるので、ステップ S S 3 の処理によって、約 1 0 秒の待機時間が確保されることになる。

#### 【 0 1 2 4 】

このように本実施例では、制御プログラム ( ユーザプログラム ) を全く使用することなく、所望の時間を消費する待機処理が実行できるので、ROM の記憶領域の浪費を防止することができる。なお、この点は、先に説明した通りである。

#### 【 0 1 2 5 】

このようにして、必要な待機処理が終わると、8 0 0 0 H 番地以降のユーザプログラムが開始され、Z 8 0 CPU は、最初に、CPU 内部のスタックポインタ S P の値を、スタック領域の最終アドレスに対応して初期設定する ( S T 2 ) 。

#### 【 0 1 2 6 】

次に、図 6 の入力レジスタ 7 0 を含んだ各種の機能レジスタ R T i の値を初期設定する ( S T 3 ) 。図 6 に関して説明した通り、入力レジスタ 7 0 には、同一の設定値データ X を 2 回設定する必要がある ( S T 3 0 + S T 3 1 ) 。ここで、設定値データ X は、ポストスケラ回路 5 1 の分周比データと、ウォッチドッグタイマ 5 4 などの動作可否を規定する制御データとを含んでいるが、本実施例では、制御データ = 1 として、ウォッチドッグタイマ機能を活用する。

#### 【 0 1 2 7 】

また、ポストスケラ回路 5 1 の分周比 N は、ステップ S T 4 の処理から、割り込みが許可されるステップ S T 1 6 までの標準処理時間 T 0 ( 図 8 参照 ) と、タイマ割り込み処理において、W D T クリア処理 ( S T 2 1 ) が実行されるまでの経過時間 T 1 ( 図 9 参照 ) との総和 ( T 0 + T 1 ) に基づいて規定される。

#### 【 0 1 2 8 】

すなわち、本実施例では、ポストスケラ 5 1 の出力パルス周期は、 $100 \mu S \times$  分周比 ( N ) の関係にあり、ウォッチドッグタイマ 5 4 が出力するオーバーフロー信号 O V の出力周期 T は、ポストスケラ 5 1 の出力パルス周期の 1 0 0 倍であるので、分周比 N は、 $100 \mu S \times N \times 100 > T 0 + T 1$  の条件で規定される。

#### 【 0 1 2 9 】

なお、前式において  $100 \mu S$  は、システムクロック の周波数 ( 2 0 M H z ) と、プリスケラ 5 0 の分周比 ( 2 0 0 0 ) で決まり、ウォッチドッグタイマ 5 4 が 1 0 0 進カウンタで構成されることに基づいて倍率 1 0 0 が決まるので、各回路の構成が変われば分周比が変わるのは勿論である。但し、何れにしても、オーバーフロー信号 O V の出力周期 T、言い換えると、ウォッチドッグタイマ 5 4 がタイムアウトするまでのタイムアウト時間 T は、 $T > T 0 + T 1$  に設定される。

#### 【 0 1 3 0 】

ここで、ステップ S T 4 の処理から、割り込みが許可されるステップ S T 1 6 までの標準処理時間 T 0 が問題になるが、通常、電圧降下信号 A B N を判定する処理 ( S T 4 ~ S T 5 ) は一回で完了するので、この実施例では余裕を見て、ステップ S T 4 ~ S T 5 の処理が二回実行される場合を基準に、標準処理時間 T 0 を算出している。

#### 【 0 1 3 1 】

以上のような初期設定処理 ( S T 3 ) が終われば、入力ポート I N P から電圧降下信号 A B N を取得し ( S T 4 )、これが正常レベルであることを確認した上で ( S T 5 )、入力ポート I N P から R A M クリア信号 D E L を取得する ( S T 6 )。R A M クリア信号 D E L とは、ワンチップマイコン 2 1 A の内蔵 R A M の全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチ S W T の ON / OFF 状態に対応した値を有している。

#### 【 0 1 3 2 】

次に R A M クリア信号 D E L のレベルが判定されるが ( S T 7 )、R A M クリア信号 D

10

20

30

40

50

ELがON状態であったと仮定すると、内蔵RAMの全領域がゼロクリアされる(ST11)。次に、RAM領域がゼロクリアされたことを報知するための電源投入コマンドを出力する(ST12)。

#### 【0133】

次に、タイマ割込み動作(図9)を起動する割込み信号INTを出力するCTCを初期設定する(ST13)。そして、CPUを割込み禁止状態にセットした状態で(ST14)、各種のカウンタについて更新処理を実行し(ST15)、その後、CPUを割込み許可状態に戻して(ST16)、ステップST14に戻る。なお、ステップST15で更新されるカウンタには、例えば、停止図柄の抽選などに使用される。

#### 【0134】

ステップST7の判定処理に戻って説明すると、CPUコアが異常対応回路REVなどによって強制的にリセットされた場合や、停電状態からの復旧時には、RAMクリア信号DELはOFF状態である。そして、このような場合には、ステップST7の判定に続いて、バックアップフラグBFLの内容が判定される(ST8)。バックアップフラグBFLとは、電源監視処理(ST20)においてバックアップ処理が実行されたことを示すデータであり、この実施例では、電源遮断時にバックアップフラグBFLが5AHとされ、電源復帰後のステップST20の処理でゼロクリアされる。

#### 【0135】

そのため、電源投入時や、停電状態からの復旧時である場合には、バックアップフラグBFLの内容が5AHの筈である。但し、何らかの理由でプログラムが暴走状態となり、異常対応回路REVの動作によるCPUリセット動作が生じたような場合には、バックアップフラグBFL=00Hである。したがって、BFL=5AH(通常はBFL=00H)となる場合には、ステップST8からステップST11の処理に移行させて遊技機の動作を初期状態に戻す。

#### 【0136】

一方、バックアップフラグBFL=5AHであれば、チェックサム値を算出するためのチェックサム演算を実行する(ST9)。ここで、チェックサム演算とは、内蔵RAMのワーク領域を対象とする8ビット加算演算である。そして、チェックサム値が算出されたら、この演算結果を、RAMのSUM番地の記憶値と比較をする(ST10)。

#### 【0137】

SUM番地には、電圧降下時に実行される電源監視処理(ST20)において、同じチェックサム演算によるチェックサム値が記憶されている。なお、記憶された演算結果は、内蔵RAMの他のデータと共に、バックアップ電源によって維持されている。したがって、本来は、ステップST7の判定によって両者が一致する筈である。

#### 【0138】

しかし、電源降下時にチェックサム演算の実行できなかった場合や、実行できても、その後、メイン処理のチェックサム演算(ST9)の実行時までの間に、ワーク領域のデータが破損している場合もあり、このような場合にはステップST10の判定結果は不一致となる。

#### 【0139】

そこで、判定結果の不一致によりデータ破損が検出された場合には、ステップST11の処理に移行させてRAMクリア処理を実行し、遊技機の動作を初期状態に戻す。一方、ステップST10の判定において、チェックサム演算(ST9)によるチェックサム値と、SUM番地の記憶値とが一致する場合には、上記したステップST13の処理に移行することになる。

#### 【0140】

続いて、上記したメイン処理を中断させて、2mS毎に開始されるタイマ割込み処理プログラム(図9)を説明する。タイマ割込みが生じると、CPUのレジスタを保存することなく、直ちに電源監視処理が実行される(ST20)。これは、タイマ割込み処理が起動されるタイミングが、ステップST16の直後に固定されているためである。

10

20

30

40

50

## 【 0 1 4 1 】

電源監視処理 ( S T 2 0 ) では、電源基板 2 0 から供給されている電圧降下信号 A B N のレベルを判定し、異常レベルであれば、バックアップフラグ B F L を 5 A H に設定し、チェックサム値を算出して、 S U M 番地に記憶した上で、電源が遮断されるのを待つ。

## 【 0 1 4 2 】

このような電源監視処理 ( S T 2 0 ) が終わると、ワンチップマイコンに内蔵されている異常対応回路 R E V のウォッチドッグタイマ 5 4 について、これをクリアする W D T クリア処理を実行する ( S T 2 1 )。 W D T クリア処理 ( S T 2 1 ) には二種類あるが、その何れか一方が実行される。

## 【 0 1 4 3 】

先ず、簡易構成の W D T クリア処理は、図 9 ( b ) に示す通りであり、図 7 に示す入力レジスタ 9 1 のうち、特に、ポート番号 N 0 の入力レジスタ R 0 に、規定値であるクリアデータ 1 0 H を書き込む ( S T 4 0 )。その結果、減算回路 8 0 ( 図 7 ) から一致データであるゼロが出力され、 N A N D ゲート 8 3 からアクティブレベルのクリア信号 C L R 信号が出力される。そして、ウォッチドッグタイマ 5 4 は、このクリア信号 C L R によってゼロクリアされるので、オーバフロー信号 O V が出力されることが未然に回避され、 C P U コアがリセットされることも回避される。

## 【 0 1 4 4 】

上記のような W D T クリア処理でも足りるが、セキュリティレベルを上げるには、図 9 ( c ) の構成を採るのが好適である。この高レベル構成を採る場合には、 R O M の固定値データ領域に、ポート番号とキーワードを予め記憶しておくと共に、循環動作するポインタ P T を使用するのが好適である。なお、図 9 ( c ) は、図 7 ( b ) と同一事項を一般的に記載したものである。

## 【 0 1 4 5 】

図 9 ( c ) の処理内容を説明すると、先ず、ポインタ P T が指示する R O M アドレスからレジスタアドレス情報を取得する ( S T 4 1 )。なお、取得されるレジスタアドレス情報は、この実施例では、ポート番号 N 1 ~ N 3 の何れかである ( 図 7 ( b ) 参照 )。

## 【 0 1 4 6 】

次に、ポインタ P T を更新した後、ポインタ P T が指示するアドレスからクリアデータを取得する ( S T 4 2 )。取得されるクリアデータは、ポート番号 N 1 ~ N 3 に対応して、 2 2 H ~ 4 4 H の何れかである ( 図 7 ( b ) 参照 )。

## 【 0 1 4 7 】

そして、ステップ S T 4 2 の処理で取得したクリアデータを、ステップ S T 4 1 の処理で特定される所定レジスタ R i に書き込む ( S T 4 3 )。この処理の結果、図 7 に示す N A N D ゲート 8 3 から、アクティブレベルのクリア信号 C L R 信号が出力され、ウォッチドッグタイマ 5 4 がゼロクリアされ、 C P U コアのリセット動作が未然に防止される。

## 【 0 1 4 8 】

この高レベル構成では、クリアデータが、割込み処理毎に循環的に変化するので、例えば、違法遊技者が、所定の遊技動作を契機として、正規の制御プログラムに代えて違法プログラムを実行させようとしても、違法プログラムの実行時に出力すべきクリアデータが不明であるので、違法動作を容易には成功させることができない。

## 【 0 1 4 9 】

なお、本実施例では、一度でも W D T クリア処理 ( S T 2 1 ) に失敗すると、その後は、 R A M の書き換え動作 ( memory write ) が実行されないことは図 6 の回路構成に示す通りである。

## 【 0 1 5 0 】

以上のようにして W D T クリア処理 ( S T 2 1 ) が終わると、次に、各遊技動作の時間を管理しているタイマについて、タイマ減算処理を実行する ( S T 2 2 )。ここで減算されるタイマは、主として、電動チューリップや大入賞口の開放時間やその他の遊技演出時間を管理するために使用される。

10

20

30

40

50

## 【 0 1 5 1 】

続いて、当り抽選で使用される当りカウンタの値を更新する（ S T 2 3 ）。但し、大当り抽選に使用する乱数値 R N D は、乱数生成回路 G N R で自動生成されるので、プログラム処理による乱数値 R N D の更新処理は存在しない。

## 【 0 1 5 2 】

続いて、図柄始動口 1 5 や大入賞口 1 6 の入賞検出スイッチを含む各種スイッチ類の O N / O F F 信号を入力し、ワーク領域に O N / O F F 信号レベルや、そのエッジ情報を記憶する（ S T 2 4 ）。

## 【 0 1 5 3 】

続いて、エラー管理処理を実行する（ S T 2 5 ）。エラー管理処理は、遊技球の補給が停止したり、遊技球が詰まっていないかなど、機器内部に異常が生じていないかの判定を含んでいる。次に、払出制御部 2 4 から受けた賞球計数信号に基づく管理処理を実行する（ S T 2 6 ）。

10

## 【 0 1 5 4 】

続いて、普通図柄処理を行う（ S T 2 7 ）。普通図柄処理とは、電動チューリップなど、普通電動役物を作動させるか否かの判定を意味する。具体的には、ステップ S T 2 4 のスイッチ入力結果によって遊技球がゲートを通過していると判定された場合に、当りカウンタの値に基づいて当否抽選を実行し、当選状態の記憶値であれば当り中の動作モードに変更する。また、当り中となれば、電動チューリップなど、普通電動役物の作動に向けた処理を行う。

20

## 【 0 1 5 5 】

続いて、特別図柄処理を行う（ S T 2 7 ）。特別図柄処理とは、大入賞口 1 6 など特別電動役物を作動させるか否かの判定である。具体的には、ステップ S T 2 4 のスイッチ入力結果によって入賞スイッチ信号 S G が立上ったと判定される場合には、ラッチ回路 L T から乱数値 R N D を取得して大当り抽選処理を実行し、当選状態の記憶値であれば大当り中の動作モードに変更する。また、大当り中となれば、大入賞口など種特別電動役物の作動に向けた処理を行う。

## 【 0 1 5 6 】

このような特別図柄処理（ S T 2 8 ）の後、主制御部 2 1 で管理する L E D について点灯動作を進行させると共に（ S T 2 9 ）、電動チューリップや大入賞口などの開閉動作を実現するソレノイド駆動処理を実行した後（ S T 3 0 ）、 C P U を割込み許可状態 E I に戻してタイマ割込みを終える（ S T 3 1 ）。その結果、割込み処理ルーチンからメイン処理の無限ループ処理（図 7 ）に戻り、ステップ S T 1 5 の処理が実行される。

30

## 【 0 1 5 7 】

以上、本発明の実施例について詳細に説明したが、具体的な回路構成は適宜に変更可能である。

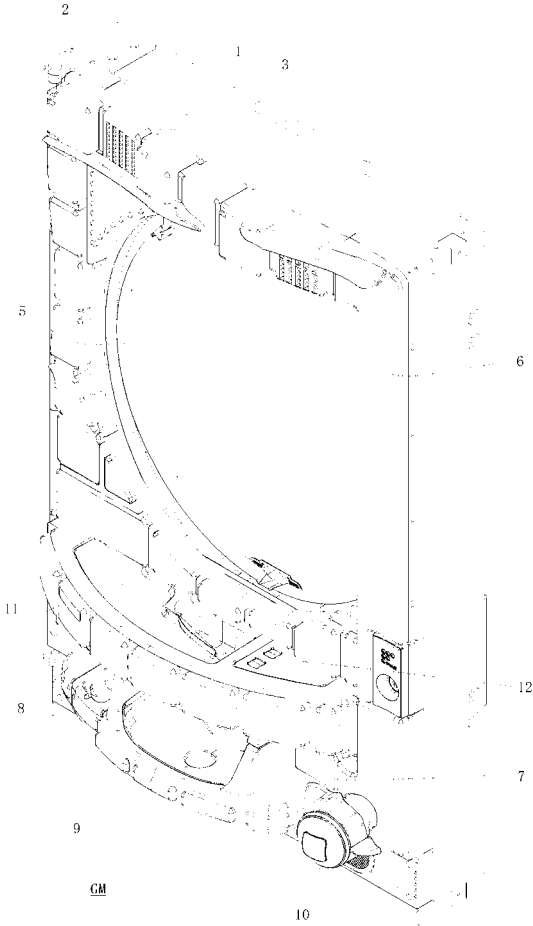
## 【 符号の説明 】

## 【 0 1 5 8 】

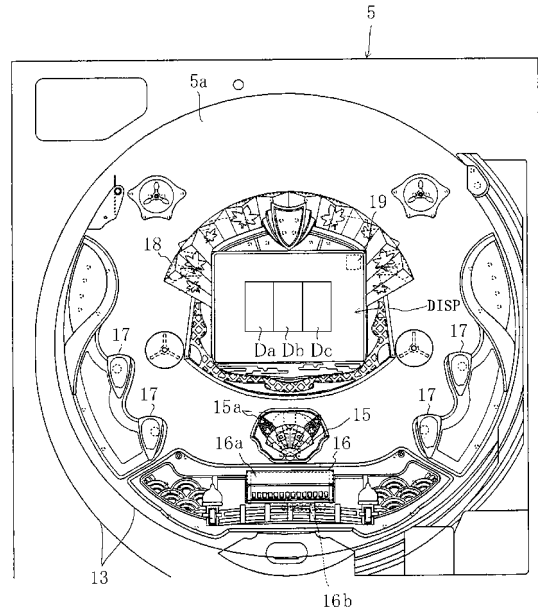
|       |        |
|-------|--------|
| G M   | 遊技機    |
| 2 1   | 主制御手段  |
| 2 2   | 演出制御手段 |
| R E V | 異常対応手段 |
| 2 1 A | 電子素子   |
| S S 3 | 待機手段   |
| S T 3 | 開始手段   |
| 7 0   | 機能レジスタ |

40

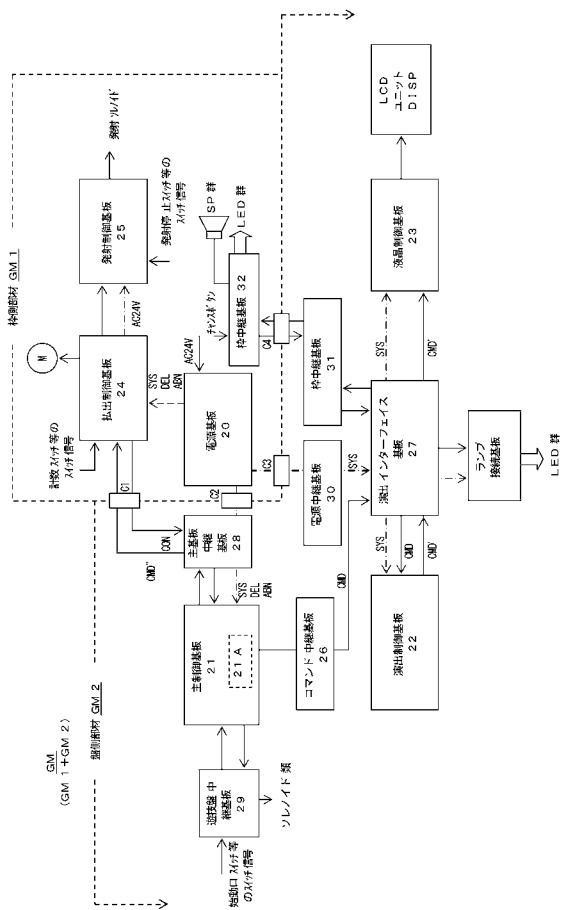
【図1】



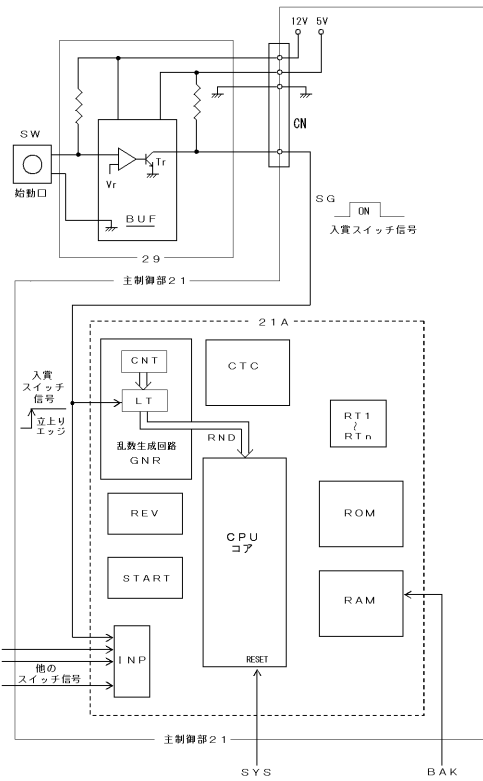
【図2】



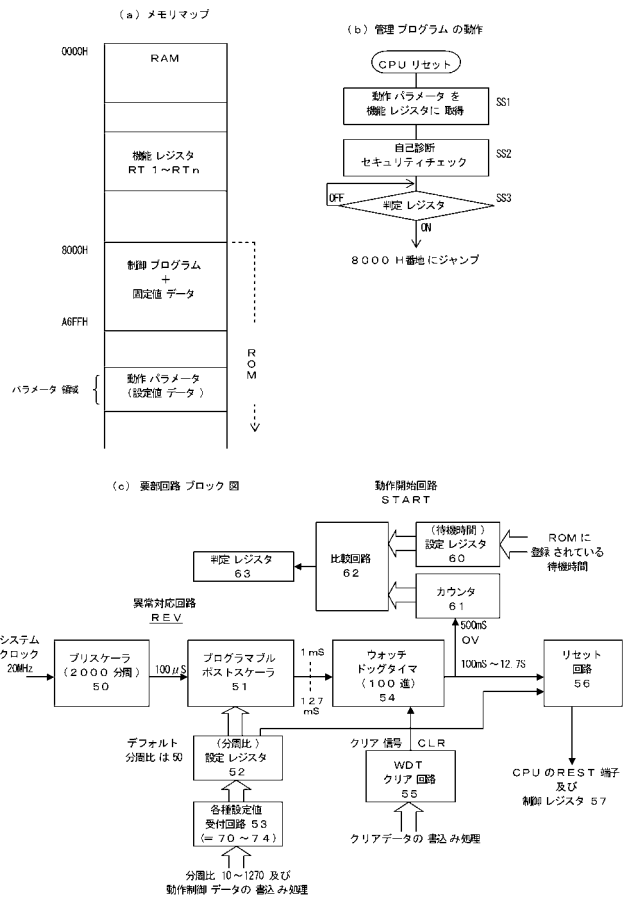
【図3】



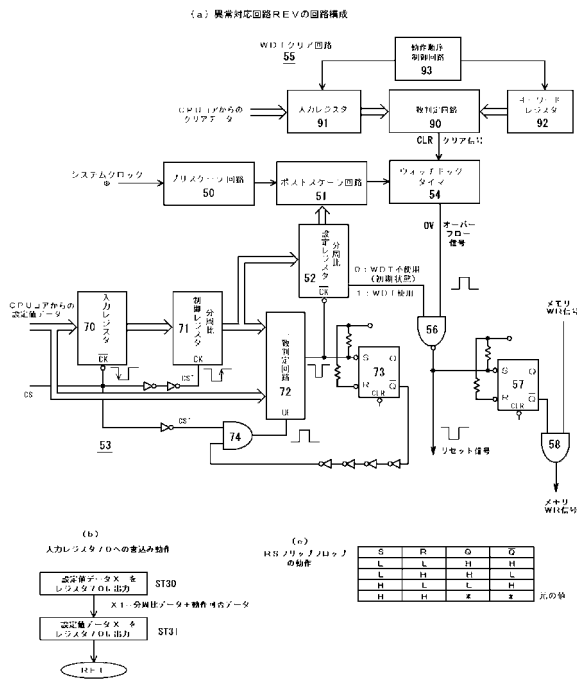
【図4】



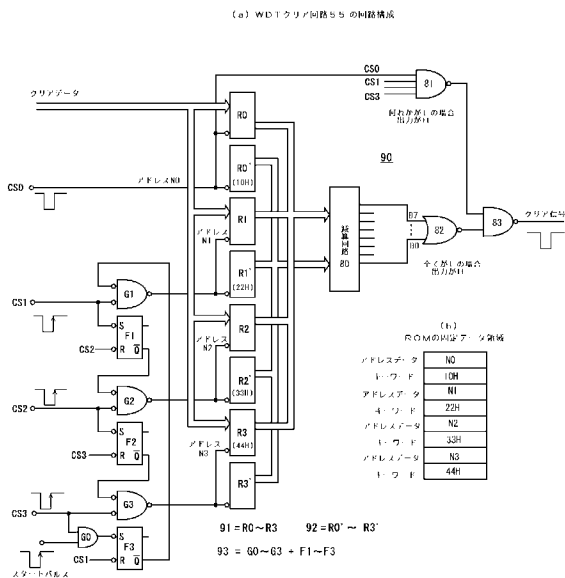
【 図 5 】



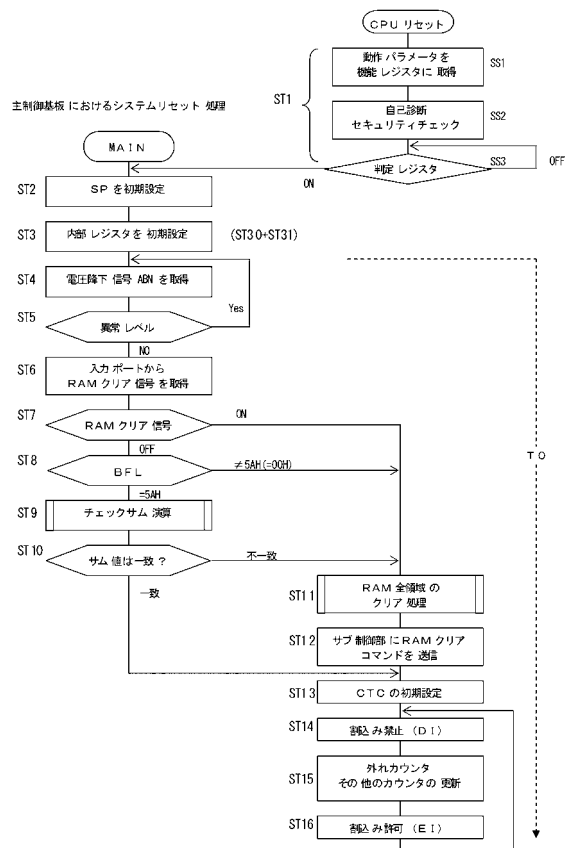
【 図 6 】



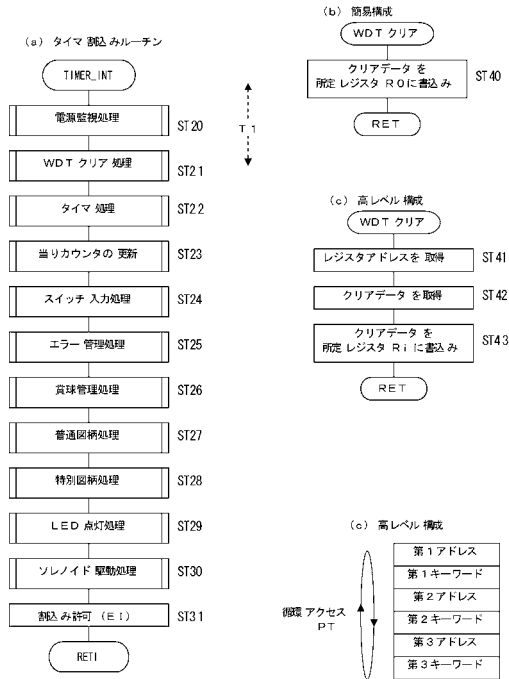
【 図 7 】



【 図 8 】



【 図 9 】



【 手続 補正 書 】

【 提出 日 】 平成 25 年 9 月 24 日 (2013.9.24)

【 手続 補正 1 】

【 補正 対象 書類 名 】 特許 請求 の 範囲

【 補正 対象 項目 名 】 全文

【 補正 方法 】 変更

【 補正 の 内容 】

【 特許 請求 の 範囲 】

【 請求 項 1 】

所定のスイッチ信号に起因する抽選処理を実行して、その抽選結果を特定する制御コマンドを出力する主制御手段と、制御コマンドが特定する抽選結果に対応する演出動作を実行する演出制御手段と、を有して構成され、

前記主制御手段は、抽選処理を含んだ制御動作を実行するCPUと、所定の監視時間に至るまでにクリア処理がされないと、CPUをリセットする異常対応手段と、素子内部の動作を規定するデータを設定可能な機能レジスタと、を内蔵する単一の電子素子を有して構成され、

前記動作パラメータで規定される待機時間が経過するまで、前記異常対応手段を機能させない待機手段と、

前記待機手段の待機動作が完了すると、前記制御プログラムの動作に基づいて前記異常対応手段を機能させる開始手段と、を設け、

前記開始手段は、特定の機能レジスタに所定の設定データを書き込むことで実現されるよう構成されている遊技機。

【 手続 補正 2 】

【 補正 対象 書類 名 】 明細 書

【 補正 対象 項目 名 】 0 0 1 0

【補正方法】変更

【補正の内容】

【0010】

上記の目的を達成するため、本発明は、所定のスイッチ信号に起因する抽選処理を実行して、その抽選結果を特定する制御コマンドを出力する主制御手段と、制御コマンドが特定する抽選結果に対応する演出動作を実行する演出制御手段と、を有して構成され、前記主制御手段は、抽選処理を含んだ制御動作を実行するCPUと、所定の監視時間に至るまでにクリア処理がされないと、CPUをリセットする異常対応手段と、素子内部の動作を規定するデータを設定可能な機能レジスタと、を内蔵する単一の電子素子を有して構成され、前記動作パラメータで規定される待機時間が経過するまで、前記異常対応手段を機能させない待機手段と、前記待機手段の待機動作が完了すると、前記制御プログラムの動作に基づいて前記異常対応手段を機能させる開始手段と、を設け、前記開始手段は、特定の機能レジスタに所定の設定データを書き込むことで実現されるよう構成されている。