(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3924975号
(P3924975)
(45)発行日　平成19年6月6日(2007.6.6)　(24)登録日　平成19年3月9日(2007.3.9)

(51)Int.Cl.　F I
H01L 29/78 (2006.01)　H01L 29/78 655A
H01L 29/739 (2006.01)　H01L 29/78 652C
H01L 29/78 652H
H01L 29/78 653A

請求項の数 10　(全 18 頁)

(21)出願番号　特願平11-28392
(22)出願日　平成11年2月5日(1999.2.5)
(65)公開番号　特開2000-228519(P2000-228519A)
(43)公開日　平成12年8月15日(2000.8.15)
審査請求日　平成15年8月11日(2003.8.11)

(73)特許権者　503361248
富士電機デバイステクノロジー株式会社
東京都品川区大崎一丁目１１番２号
(74)代理人　100133167
弁理士　山本　浩
(72)発明者　吉川　功
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内

審査官　北島　健次

最終頁に続く

(54)【発明の名称】トレンチ型絶縁ゲートバイポーラトランジスタ

(57)【特許請求の範囲】
【請求項１】
第一導電型ドリフト層の表面層に形成された第二導電型ウェル領域と、その第二導電型ウェル領域内に形成された第一導電型エミッタ領域と、第一導電型エミッタ領域から延在し第一導電型ドリフト層に達するトレンチと、そのトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極と、第一導電型エミッタ領域と第二導電型ウェル領域との表面に共通に接触して設けられたエミッタ電極と、第一導電型ドリフト層の裏面側に形成された第二導電型コレクタ層と、その第二導電型コレクタ層の表面に設けられたコレクタ電極とを有するトレンチ型絶縁ゲートバイポーラトランジスタにおいて、前記第二導電型ウェル領域が選択的に形成され、１つのエミッタ電極下における隣接するトレンチの間で第二導電型ウェル領域と第一導電型ドリフト層が表面に露出し、かつ隣接するトレンチの間で前記第二導電型ウェル領域と第一導電型エミッタ領域が各々島状であることを特徴とするトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項２】
表面に露出する第一導電型ドリフト層上に補助ゲート絶縁膜を介して補助ゲート電極を設けることを特徴とする請求項１記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項３】
前記第二導電型ウェル領域が選択的に形成され、第一導電型ドリフト層の表面層の第二導電型ウェル領域が形成されていない部分に第一導電型ドリフト層より高濃度の第一導電型ドープ領域が形成されていることを特徴とする請求項１記載のトレンチ型絶縁ゲートバイ

ポーラトランジスタ。
【請求項４】
第一導電型ドープ領域の表面不純物濃度が$１\times１０^{16}ｃｍ^{-3}$以下であることを特徴とする請求項３記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項５】
第一導電型ドープ領域上に補助ゲート絶縁膜を介して補助ゲート電極を設けることを特徴とする請求項３または４に記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項６】
ゲート電極と補助ゲート電極とを接続することを特徴とする請求項２または５に記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項７】
トレンチが第二導電型ウェル領域および第一導電型エミッタ領域に囲まれていない部分を有することを特徴とする請求項１ないし６のいずれかに記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項８】
トレンチおよび第二導電型ウェル領域がともにストライプ状であり、互いに垂直であることを特徴とする請求項７記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項９】
第二導電型ウェル領域がトレンチにより分断された短冊状であることを特徴とする請求項８記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【請求項１０】
前記第一導電型エミッタ領域がトレンチの長手方向に延在することを特徴とする請求項１記載のトレンチ型絶縁ゲートバイポーラトランジスタ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体基板表面層に形成されたトレンチ内に埋め込まれた形の金属－酸化膜－半導体からなるＭＯＳ構造のゲートを有するトレンチ型絶縁ゲートバイポーラトランジスタ（以下ＩＧＢＴと記す）に関する。
【０００２】
【従来の技術】
パワー半導体デバイスの中で、ＩＧＢＴはバイポーラトランジスタの高耐圧大電流特性とＭＯＳＦＥＴの高周波特性の両方の特性を有する。近年、このＩＧＢＴの高耐圧化、大容量化が進み、その耐圧クラスが２５００Ｖ～４５００Ｖ、電流容量が数１００Ａ～１８００Ａにも達するデバイスが発表されている。これらの大電力用デバイスには、複数個のＩＧＢＴチップが、並列に収納されたモジュール型パッケージ、あるいは、平型パッケージが適用されている。
【０００３】
図１９は、従来のプレーナ型ＩＧＢＴ（以下Ｐ－ＩＧＢＴと略す）の主要部断面図である。ｎ型で低不純物濃度（すなわち高抵抗である）のｎドリフト層１の一方の側の主表面の表面層にｐ型のｐウェル領域２が選択的に形成され、そのｐウェル領域２の表面層に選択的にｎ型のｎソース領域３が形成されている。ｎドリフト層１の表面露出部とｎソース領域３とに挟まれたｐウェル領域２の表面上に、ゲート酸化膜６を介してゲート電極１０が、ｐウェル領域２とｎソース領域３との表面に共通に接触してエミッタ電極１１が設けられている。また、ｎドリフト層１の他方の側の表面層にｐ型のｐコレクタ層４が、ｎドリフト層１とｐコレクタ層４との間にｎ型でｎドリフト層１より高不純物濃度のｎバッファ層５が形成され、ｐコレクタ層４の表面に接触してコレクタ電極１２が設けられている。
【０００４】
次にこのＩＧＢＴの動作を説明する。まず、ターンオンモードについて説明する。コレ

クタ電極１２を正、エミッタ電極１１を負（あるいは、アース）とする電圧を印加した状態で、ゲート電極１０にあるしきい値以上の正の電圧を印加すると、ｐウェル領域２の表面層に反転層（以後チャネルと呼ぶ）が形成される。このチャネルを経由して、ｎソース領域３からｎドリフト層１に電子が注入される。この注入された電子により、ｎバッファ層５の電位がｐコレクタ層４の電位に対して低下し、ｎバッファ層５とｐコレクタ層４との間のｐｎ接合にかかる順方向電圧が約０．６Ｖのえん層電圧以上になると、ｐコレクタ層４からｎバッファ層５を通過してｎドリフト層１に正孔が注入される。この注入された電子と正孔とが、ｎドリフト層１に電気的な中性条件を満たすように蓄積し、ｎドリフト層１は伝導度変調を起こし、その抵抗は極めて小さくなり、オン状態となる。以降、オン状態においてｎドリフト層１に、過剰に蓄積された電子・正孔を指して、蓄積キャリアと称する。オン状態でｐコレクタ層４から注入された正孔は、ｐウェル領域２を通過して、ｐウェル領域２の表面に接触するエミッタ電極１１から流出する。

【０００５】

この動作状態は、ｐコレクタ層４－ｎドリフト層１－ｐウェル領域２からなるｐｎｐトランジスタの動作状態と同一である。オン状態においてある決められた電流（一般的には、定格電流）を流した時のコレクター－エミッタ間の電圧降下を飽和電圧と呼ぶ。

【０００６】

次に、ターンオフモードについて説明する。前記のゲート電極１０の正の電圧を減じると、ｎソース領域３とｎドリフト層１との間のチャネルが消滅し、ｎソース領域３からｎドリフト層１への電子の注入が停止して、ｐコレクタ層４からｎバッファ層５を通過してｎドリフト層１に注入されていた正孔が減じる。ｎドリフト層１中の蓄積キャリアは、ｎドリフト層１中で対となって消滅するか、あるいは、それぞれ、電子はｐコレクタ層４からコレクタ電極１２へ、正孔はｐウェル領域２を通過してエミッタ電極１１へ流出する。蓄積キャリアが全て消失すると、ｎドリフト層１の抵抗は極めて高くなり、オフ状態となる。オン状態から、オフ状態の遷移期間中に発生する損失をターンオフ損失と呼ぶ。

【０００７】

このように、ＩＧＢＴのオン状態・オフ状態はｎドリフト層１中の電子、正孔の挙動によって決定されており、オン状態でｎドリフト層１中の蓄積キャリアが多い場合は、ｎドリフト層１の抵抗は小さくなるため飽和電圧は低くなるが、反面、ターンオフ時に排除すべき蓄積キャリアが多いため、ターンオフ損失は大きくなる。また、逆に、オン状態で半導体基板１中の蓄積キャリアが少ない場合は、ターンオフ時に排除すべき蓄積キャリアが少ないため、ターンオフ損失は小さくなるが、反面、ｎドリフト層１の抵抗は大きくなるため飽和電圧は高くなる。

【０００８】

このように、ＩＧＢＴの通電時の飽和電圧とターンオフ時のターンオフ損失とは、一方を低減すると他方が増大するトレードオフ関係にあり、半導体変換装置への適用に当たっては、発生熱損失の観点から、その飽和電圧－ターンオフ損失間のトレードオフ特性の向上が課題である。

【０００９】

１９８０年代前半にＩＧＢＴが発明されて以降、飽和電圧－ターンオフ損失のトレードオフ特性の向上は、様々な手法でおこなわれている。例えば、ベース層とコレクタ層の間にバッファ層を設ける手法や、ベース層のライフタイムをコントロールする手法が代表的である。

【００１０】

但し、オン状態においてｎドリフト層１に注入されている電子・正孔の総量を変化させるだけでは飽和電圧－ターンオフ損失トレードオフ特性の向上は困難であり、半導体基板１中の電子・正孔の分布を変えることで、はじめて達成可能となる。一般的には、ＩＧＢＴのエミッタ電極側の蓄積キャリア量を増加させることが、飽和電圧－ターンオフ損失トレードオフ特性の改善のためには有利であるとされている。

【００１１】

近年では、半導体基板表面層に形成されたトレンチ内にＭＯＳ構造のゲートを形成する手法により、飽和電圧－ターンオフ損失トレードオフ特性を向上させたＩＧＢＴ（以降、Ｔ－ＩＧＢＴと称する）も報告されている。

【００１２】

図２０は、Ｔ－ＩＧＢＴの一例の主要部断面図である。Ｐ－ＩＧＢＴと同様に低不純物濃度のｎドリフト層１の一方の側の表面層にｐウェル領域２、ｎソース領域３が形成され、そのｎソース領域３の表面からｎドリフト層１に達するトレンチ７が形成されている。そのトレンチ７の内側にゲート酸化膜６を介してゲート電極層１０が埋め込まれている。ｎドリフト層１の他方の側の表面層にｐコレクタ層４、ｎバッファ層５が形成されている。ｎソース領域３とｐウェル領域２との表面に共通に接触するエミッタ電極１１が設けられ、ｐコレクタ層４の表面に接触するコレクタ電極１２が設けられている。

【００１３】

例えば、定格電圧４５００Ｖ、定格電流密度は４０Ａ・ｃｍ$^{-2}$のＴ－ＩＧＢＴとしては、次のようなディメンジョンをとる。ｎドリフト層１の比抵抗は約３２０Ωｃｍ、厚さは４９０μｍ。トレンチ７の深さ６μｍ、底部の短辺２μｍ、間隔１０μｍ。ｐウェル領域２の表面不純物濃度４×１０^{17}ｃｍ$^{-3}$、深さ約５μｍ。ｎソース領域３の表面不純物濃度１×１０^{20}ｃｍ$^{-3}$、深さ約０．５μｍ、幅１μｍ。ゲート絶縁膜６の厚さ８０ｎｍ。絶縁膜８の厚さ約１μｍ。ｎドリフト層１の一部分にライフタイムキラーを導入している。このＴ－ＩＧＢＴの４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約６．３Ｖであった。

【００１４】

ターンオン、ターンオフの動作原理はＰ－ＩＧＢＴの動作原理と同一である。

【００１５】

しかし、Ｐ－ＩＧＢＴのチャネルは、ｎドリフト層１とｐウェル領域２との間のｐｎ接合よりエミッタ電極１１側に生じるため、前記ｐｎ接合から広がる空乏層によって電子電流の経路が狭められて（この作用をＪ－ＦＥＴ効果と呼ぶことがある）飽和電圧が上昇する。そのためＰ－ＩＧＢＴでは飽和電圧－ターンオフ損失トレードオフ特性が悪化するのに対し、Ｔ－ＩＧＢＴのチャネルはｎドリフト層１とｐウェル領域２との間のｐｎ接合よりもコレクタ電極側に生じるため、Ｊ－ＦＥＴ効果が現れない。

【００１６】

従ってＴ－ＩＧＢＴでは、ターンオフ損失を増加させることなく飽和電圧を低減することができるため、飽和電圧－ターンオフ損失トレードオフ特性において有利であり、これはＴ－ＩＧＢＴの優れた点の１つである。

【００１７】

特に、高耐圧のＩＧＢＴほど耐圧を支えるためにｎドリフト層１の比抵抗を高く、かつ厚さを厚くする必要があるため、Ｐ－ＩＧＢＴの飽和電圧－ターンオフ損失トレードオフ特性はＴ－ＩＧＢＴと比較して、高耐圧になるほど悪化し易い。

【００１８】

【発明が解決しようとする課題】

しかし、Ｔ－ＩＧＢＴはＰ－ＩＧＢＴと比較して、エミッタ電極１１側にエミッタ電極１１に接続したｐウェル領域２の占める面積の比率が高い。このため、ｐコレクタ層４から注入された正孔が拡散によってエミッタ電極１１に流れ出しやすく、エミッタ電極１１側の蓄積キャリアの濃度が低下する。この点においては、飽和電圧－ターンオフ損失トレードオフ特性をさらに改善する余地がある。

【００１９】

これまでに、エミッタ電極１１側の蓄積キャリアの濃度を増加させてＴ－ＩＧＢＴの飽和電圧－ターンオフ損失トレードオフ特性を改善した例としては、注入促進型絶縁ゲートバイポーラトランジスタ（ＩＥＧＴ）や、エミッタ電極と電気的に接触していないｐウェル領域をもつＴ－ＩＧＢＴ等が学会で発表されているが、いずれも構造が複雑で、量産には適しないものであった。

【００２０】

このような状況に鑑み本発明の目的は、トレンチ構造のゲートを有するＩＧＢＴ［Ｔ－ＩＧＢＴ］において、簡便な方法でエミッタ電極側の蓄積キャリアの濃度を増加させ、飽和電圧－ターンオフ損失トレードオフ特性を改善したＴ－ＩＧＢＴを提供することにある。

【００２１】

【課題を解決するための手段】

前記の課題解決のため本発明は、第二導電型ウェル領域内に形成された第一導電型エミッタ領域から延在し第一導電型ドリフト層に達するトレンチ内にゲート絶縁膜を介して埋め込まれたゲート電極を有するＴ－ＩＧＢＴにおいて、第二導電型ウェル領域が選択的に形成されており、１つのエミッタ電極下における隣接するトレンチの間で第二導電型ウェル領域と第一導電型ドリフト層が表面に露出し、かつ隣接するトレンチの間で前記第二導電型ウェル領域と第一導電型エミッタ領域が各々島状である構造とする。

【００２２】

そのように、主表面の一部分が第二導電型ウェル領域で覆われていない構造とすることによって、第二導電型コレクタ層から注入された正孔の拡散によるエミッタ電極からの流出が抑制され、エミッタ電極側の蓄積キャリア濃度を増加させることができる。蓄積キャリア濃度が増加すれば、伝導度変調が大きくなって飽和電圧が低減される。

【００２３】

第二導電型ウェル領域が形成されていない部分に、不純物濃度が第一導電型ドリフト層よりも高い第一導電型ドープ領域を形成すると良い。

【００２４】

そのようにすると、従来Ｔ－ＩＧＢＴと比較して、コレクタ領域から注入された正孔が拡散によってエミッタ電極に流れ出すことを抑制するだけでなく、第一導電型ドープ領域の電子を中和するため、第一導電型ドープ領域近傍で正孔濃度が高くなって、蓄積キャリア濃度が一層増加する。これらの効果のため、広い範囲にわたって、エミッタ電極側の蓄積キャリア濃度を増加させることができる。

【００２５】

特に、第一導電型ドープ領域の表面不純物濃度が$1\times10^{16}cm^{-3}$以下であるものとする。

そのような不純物濃度であれば、第二導電型ウェル領域を反転させることなく、しかも十分な量の正孔を誘起して第一導電型ドープ領域近傍の正孔濃度を高くすることができる。

【００２６】

そして、第二導電型ウェル領域が形成されていない第一導電型ドリフト層の表面露出部上、または第二導電型ドープ領域上に、補助ゲート絶縁膜を介してゲート電極を設けるとよい。

【００２７】

その補助ゲート電極を、オン状態時には正電位、オフ状態時には、ゼロもしくは負電位になるように制御すれば、補助ゲート電極直下の表面層に電子が蓄積され、コレクタ領域から注入された正孔はクーロン力によって蓄積層に引き寄せられて正孔濃度も高くなるので、蓄積キャリア濃度を一層増加させることができる。

ゲート電極と補助ゲート絶縁膜とを接続すれば、オン状態時に補助ゲート電極に正電位を印加することができ、かつゲート電源を一つにすることができる。

【００２８】

トレンチが第二導電型ウェル領域および第一導電型エミッタ領域に囲まれていない部分を有するものとすれば、トレンチ内のゲート電極に電圧を印加するとトレンチ側壁の表面層に電子が蓄積され、正孔濃度も高くなるので、蓄積キャリア濃度を一層増加させることができる。

【００２９】

トレンチおよび第二導電型ウェル領域の配置については、トレンチおよび第二導電型ウ

ェル領域がともにストライプ状であり、互いに垂直であるものとする。
そのようにすれば、側壁に第二導電型ウェル領域および第一導電型エミッタ領域の無いトレンチ部分を設けることが容易である。
【００３０】
第二導電型ウェル領域がトレンチにより分断された短冊状であり、第一導電型エミッタ領域がトレンチに平行であっても、トレンチに垂直であってもよい。
また、トレンチが第二導電型ウェル領域で終端した短冊状であり、その短辺に沿って第一導電型エミッタ領域が配置されていてもよい。
【００３１】
いずれの配置でも、側壁に第二導電型ウェル領域および第一導電型エミッタ領域の無いトレンチ部分を容易に設けることができる。
また、第一導電型エミッタ領域がトレンチの長手方向に延在するものとする。
【００３２】
【００３３】
【００３４】
【発明の実施の形態】
以下、幾つかの実施例をもとに本発明の実施の形態を説明する。図１９、２０と同じ記号は同じ部分を意味するものとする。また、ｎまたはｐを冠記した領域や層は、それぞれ電子、正孔を多数キャリアとする領域や層を表している。
【００３５】
［実施例１］
図１は、この発明の第１実施例のＴ－ＩＧＢＴ（以降、Ａ１－Ｔｙｐｅと称する）の主要部の断面図である。以降、実施形態のＴ－ＩＧＢＴも全て定格電圧４５００Ｖ、定格電流密度４０Ａ・ｃｍ$^{-2}$のＩＧＢＴとする
比抵抗約３２０Ωｃｍ、厚さ約４９０μｍのｎドリフト層１の一方の側の主表面に、深さ６μｍ、底部の短辺２μｍのトレンチ７が１００μｍ間隔に形成され、これに並行に、かつ、接するように幅１０μｍ、深さ約５μｍのｐウェル領域２が形成され、そのｐウェル領域２の表面層に幅１μｍ、深さ約０．５μｍのｎソース領域３が形成されている。ｐウェル領域２、ｎソース領域３は、例えばほう素と燐のイオン注入および熱拡散により形成され、その表面不純物濃度はそれぞれ４×１０^{17}ｃｍ$^{-3}$、１×１０^{20}ｃｍ$^{-3}$である。トレンチ７の内側に厚さ８０ｎｍの酸化膜を形成してゲート絶縁膜６とし、多結晶シリコンからなるゲート電極１０が埋め込まれている。ｎソース領域３およびｐウェル領域２の表面の一部を除いて、厚さ約１μｍのほう素燐シリカガラスの絶縁膜８が主表面を覆っている。絶縁膜８に設けられた窓を通じてｎソース領域３およびｐウェル領域２の表面に接するエミッタ電極１１は、図のように絶縁膜８の上に延長されることが多い。ｎドリフト層１の他方の側には、ｎドリフト層１より高不純物濃度のｎ$^{+}$ バッファ層５を介してｐコレクタ層４が形成され、その表面にコレクタ電極１２が設けられている。ｎ$^{+}$ バッファ層５、ｐコレクタ層４は、例えば不純物のイオン注入および熱拡散により形成される。ｎ$^{+}$ バッファ層５の最高不純物濃度は２×１０^{17}ｃｍ$^{-3}$、厚さ５μｍ、ｐコレクタ層４の表面不純物濃度は２×１０^{19}ｃｍ$^{-3}$、厚さ１μｍである。図示しない部分で、ゲート電極１０に接触するゲート金属電極が設けられる。
【００３６】
図２０に示した従来のＴ－ＩＧＢＴと異なっているのは、ｐウェル領域２が選択的に形成されていて、ｎドリフト層１が表面に達している点である。表面に達しているｎドリフト層１の幅は、約８０μｍである。
【００３７】
本実施例のＡ１－Ｔｙｐｅにおいて、ターンオフ損失を約４００ｍＪとしたとき、４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約６．２Ｖであった。すなわち飽和電圧－ターンオフ損失のトレードオフ特性が改善されたことになる。以後の例でも同じターンオフ損失としたときの飽和電圧を比較することにする。

【００３８】
図５に、実施例１と後述する実施例２～４のＴ－ＩＧＢＴ、および比較のための従来のＴ－ＩＧＢＴにおける半導体内部の正孔の濃度分布を示した。縦軸は正孔の濃度、横軸は表面からの深さであり、左がエミッタ電極側、右がコレクタ電極側に当たる。ディメンジョンはそれぞれの実施例のＴ－ＩＧＢＴの通りとし、４０Ａ・ｃｍ$^{-2}$、１２５℃の条件でシミュレーションした結果である。
【００３９】
Ａ１－Ｔｙｐｅでは、特にエミッタ電極側で従来のＴ－ＩＧＢＴに比べ正孔濃度が高く保たれていることがわかる。中性条件によりほぼ同じ量の電子濃度が存在するので、ｎドリフト層１内の蓄積キャリア濃度が多くなる。こうしてｎドリフト領域１の導電率変調が起きて、ＩＧＢＴとしては低い飽和電圧になり、飽和電圧－ターンオフ損失のトレードオフ特性が改善されることが理解できる。
【００４０】
［実施例２］
図２は、この発明の第２の実施例のＴ－ＩＧＢＴ（以降、Ａ２－Ｔｙｐｅと称する）の主要部の断面図である。ｎドリフト層１のトレンチ７の形成された側の主表面全域にｎドリフト層１より高濃度のn^+ ドープ領域９が形成されている点でのみ、実施例１と異なっている。n^+ ドープ領域９は例えば不純物のイオン注入および熱拡散により形成され、表面濃度約１．０×10^{15}ｃｍ$^{-3}$、深さ約５μｍである。ｐウェル領域２の表面濃度は、このn^+ ドープ領域９の表面濃度よりも２桁以上高いために、ｐウェル領域２はｎ型にはならない。
このＡ２－Ｔｙｐｅで同じターンオフ損失としたとき、４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約６．０Ｖであった。
【００４１】
図５に、本実施例２のＡ２－Ｔｙｐｅにおける半導体内部の正孔の濃度分布をも示した。４０Ａ・ｃｍ$^{-2}$、１２５℃の条件でシミュレーションした結果である。このＡ２－Ｔｙｐｅでは、左端近傍でＡ１－Ｔｙｐｅより正孔濃度が高くなっている。これは、n^+ ドープ領域９の電子を中性化するための正孔である。このため、半導体内部で正孔濃度が高く保たれ、ｎドリフト層１内の蓄積キャリア濃度が更に多くなる。これにより、低い飽和電圧が得られることが理解できる。
【００４２】
［実施例３］
図３は、この発明の第３の実施例のＴ－ＩＧＢＴ（以降、Ａ３－Ｔｙｐｅと称する）の主要部の断面図である。Ａ１－Ｔｙｐｅと異なっているのは、ｎドリフト層１が表面に達している部分で、厚さ８０ｎｍの酸化膜からなる補助ゲート絶縁膜６ａを介して、厚さ１μｍの多結晶シリコンからなる補助ゲート電極１３が設けられている点である。そして、この補助ゲート電極１３は、ゲート電極１０と電気的に接続されている。
このＡ３－Ｔｙｐｅで同じターンオフ損失としたとき、４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約５．７Ｖであった。
【００４３】
図５に、Ａ３－Ｔｙｐｅにおける半導体内部の正孔の濃度分布をも示した。４０Ａ・ｃｍ$^{-2}$、１２５℃の条件でシミュレーションした結果である。このＡ３－Ｔｙｐｅでは、左端部分で正孔濃度が高くなっている。これは、補助ゲート電極１３の下方に蓄積された電子を中性化するための正孔である。半導体内部でもＡ２－Ｔｙｐｅより更に正孔濃度が高く保たれている。これにより、ｎドリフト層１内の蓄積キャリア濃度が一層多くなり、低い飽和電圧が得られて、飽和電圧－ターンオフ損失のトレードオフ特性が一層改善される。
【００４４】
［実施例４］
図４は、この発明の第４の実施例のＴ－ＩＧＢＴ（以降、Ａ４－Ｔｙｐｅと称する）の

主要部の断面図である。Ａ２－ＴｙｐｅとＡ３－Ｔｙｐｅとを組み合わせた形のＴ－ＩＧＢＴである。

このＡ３－Ｔｙｐｅで同じターンオフ損失としたとき、４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約５．５Ｖであった。

【００４５】

図５に、Ａ４－Ｔｙｐｅにおける半導体内部の正孔の濃度分布をも示した。４０Ａ・ｃｍ$^{-2}$、１２５℃の条件でシミュレーションした結果である。このＡ４－Ｔｙｐｅでは、Ａ２－ＴｙｐｅとＡ３－Ｔｙｐｅとの効果が合わせて得られ、半導体内部での正孔濃度が高くなっている。こうしてｎドリフト層１内の蓄積キャリア濃度が一層多くなるため、飽和電圧が低減されると考えられる。

表１に、Ａ１、Ａ２、Ａ３、Ａ４－ＴｙｐｅのＴ－ＩＧＢＴの１２５℃、４０Ａ・ｃｍ$^{-2}$の時の飽和電圧を従来Ｔ－ＩＧＢＴのそれとともに示す。

【００４６】

【表１】

Ｔ－ＩＧＢＴ	飽和電圧（４０Ａ・ｃｍ$^{-2}$、１２５℃）［Ｖ］
Ａ１－Ｔｙｐｅ	６．２
Ａ２－Ｔｙｐｅ	６．０
Ａ３－Ｔｙｐｅ	５．７
Ａ４－Ｔｙｐｅ	５．５
従来のＴ－ＩＧＢＴ	６．３

Ａ１－Ｔｙｐｅにn^+ドープ領域９や、補助ゲート電極１３を設けたＡ２－Ｔｙｐｅ、Ａ３－Ｔｙｐｅでは、飽和電圧が効果的に低減され、両方を併設したＡ４－Ｔｙｐｅでは一段と低い飽和電圧が得られている。

【００４７】

また、図５において、Ａ１、Ａ２、Ａ３、Ａ４－Ｔｙｐｅと飽和電圧の低いＴｙｐｅのＴ－ＩＧＢＴほど、表面側の蓄積キャリア濃度が増加していることがわかる。

【００４８】

［実施例５］

図６（ａ）は、この発明の第５の実施例のＴ－ＩＧＢＴ（以降、Ｂ１１－Ｔｙｐｅと称する）の主要部の斜視図である。また、図６（ｂ）、図７（ａ）～（ｃ）は、各々、Ｂ１１－Ｔｙｐｅの半導体表面での平面図、断面Ａ、断面Ｂ、断面Ｃにおける断面図である。

【００４９】

比抵抗約３２０Ωｃｍのｎドリフト層１の一方の側の主表面に、深さ６μｍ、底部の短辺２μｍのトレンチ７が１０μｍ間隔に形成され、これに垂直に幅２０μｍ、深さ約５μｍのｐウェル領域２が８０μｍ間隔に形成され、そのｐウェル領域２の表面層に幅１μｍ、長さ１０μｍ、深さ約０．５μｍのｎソース領域３が形成されている。トレンチ７の内側に厚さ８０ｎｍの酸化膜を形成してゲート絶縁膜６とし、多結晶シリコンからなるゲート電極層１０が埋め込まれている。ｎソース領域３およびｐウェル領域２の表面の一部を除いて、厚さ約１μｍのほう素燐シリカガラスの絶縁膜８が主表面を覆っている。絶縁膜８に設けられた開口を通じてｎソース領域３およびｐウェル領域２の表面に接するエミッタ電極１１は、図のように絶縁膜８の上に延長されることが多い。ｎドリフト層１の他方の側には、n^+バッファ層５を介してｐコレクタ層４が形成され、その表面にコレクタ電極１２が設けられている。

図６（ｂ）に見られるようにこの例では、トレンチ７とｐウェル領域２とが直交するように形成されている。ｎソース領域３はトレンチ７に平行である。

【００５０】

図７（ａ）の断面Ａは、図２０のＴ－ＩＧＢＴの断面図と全く同様であり、トレンチ７間には全面にｐウェル領域２が形成されている。同図（ｂ）の断面Ｂは、トレンチ７に沿った断面であり、これも従来のＴ－ＩＧＢＴのトレンチに沿った断面と同じである。同図（ｃ）の断面Ｃは、従来のＴ－ＩＧＢＴと違って、互いに分離されたｐウェル領域２が見られる。

【００５１】

このＢ１１－Ｔｙｐｅにおいて、ターンオフ損失を４００ｍＪとしたとき、４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約４．８Ｖであった。このＢ１１－Ｔｙｐｅでは、ゲート電極層１０が埋め込まれたトレンチ７の壁面にあたるｎドリフト層１のうち、ｐウェル領域２の形成されていない部分に電子が蓄積され、それに伴って正孔濃度が高くなり、ｎドリフト層１内の蓄積キャリア濃度が一層多くなるため飽和電圧が低くなるのである。

【００５２】

［実施例６］

図８は、この発明の第６の実施例のＴ－ＩＧＢＴ（以降、Ｂ１２－Ｔｙｐｅと称する）の主要部分の斜視図である。Ｂ１１－Ｔｙｐｅと異なっているのは、ｎドリフト層１のトレンチ７の形成された側の主表面全域にn^+ドープ領域９が形成されている点である。n^+ドープ領域９は例えば表面濃度約１．０×１０^{15}ｃｍ$^{-3}$、深さ約５μｍである。

【００５３】

このＢ１２－Ｔｙｐｅの４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約４．５Ｖであった。これは、Ａ２－Ｔｙｐｅのところで説明したような機構によって、ｎドリフト層１内でＢ１１－Ｔｙｐｅより更に蓄積キャリア濃度が高く保たれているためである。

【００５４】

［実施例７］

図９は、この発明の第７の実施例のＴ－ＩＧＢＴ（以降、Ｂ１３－Ｔｙｐｅと称する）の主要部分の斜視図である。Ｂ１１－Ｔｙｐｅと異なっているのは、ｎドリフト層１が表面に達している部分で、厚さ８０ｎｍの酸化膜からなる補助ゲート絶縁膜６ａを介して、厚さ１μｍの多結晶シリコンからなる補助ゲート電極１３が設けられている点である。そして、この補助ゲート電極１３は、ゲート電極１０と電気的に接続されている。なお、この図のように、ｎソース領域３をトレンチ７と垂直に、ｐウェル領域２と平行にすることもできる。

【００５５】

このＢ１３－Ｔｙｐｅの４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約４．２Ｖであった。これは、Ａ３－Ｔｙｐｅのところで説明したような機構によって、半導体内部でＢ１２－Ｔｙｐｅより更に蓄積キャリア濃度が高く保たれているためである。

【００５６】［実施例８］図１０は、この発明の第８実施例のＴ－ＩＧＢＴ（以降、Ｂ１４－Ｔｙｐｅと称する）の主要部分の概略俯瞰図である。Ｂ１２－ＴｙｐｅとＢ１３－Ｔｙｐｅとを組み合わせた形のＴ－ＩＧＢＴであり、主表面全域に表面濃度約１．０×１０^{15}ｃｍ$^{-3}$、深さ約５μｍのn^+ドープ領域９が形成されており、８０ｎｍの補助ゲート絶縁膜６ａを介して、厚さ１μｍの補助ゲート電極層１３が設けられている。補助ゲート電極層１３はゲート電極層１０と電気的に接続されている。

【００５７】

このＢ１４－Ｔｙｐｅの４０Ａ・ｃｍ$^{-2}$、１２５℃での飽和電圧は、約４．０Ｖであった。このＢ１４－Ｔｙｐｅでは、Ｂ１２－ＴｙｐｅとＢ１３－Ｔｙｐｅとの効果が合わせて得られ、半導体内部での蓄積キャリア濃度が高くなっている。これにより、低い飽和電圧が得られることが理解できる。

【００５８】［参考例１］

図１１（ａ）は、この発明の参考例１のＴ－ＩＧＢＴ（以降、Ｂ２１－Ｔｙｐｅと称す

る）の主要部の斜視図である。また、図１１（ｂ）、図１２（ａ）、（ｂ）は各々、Ｂ２１－Ｔｙｐｅの半導体表面に於ける平面図、断面Ａ、断面Ｂにおける断面図である。

【００５９】

比抵抗約３２０Ωｃｍのｎドリフト層１に、深さ６μｍ、底部の短辺２μｍ、底部の長辺２５μｍのトレンチ７が１０μｍ間隔に形成されている。トレンチ７の短辺に接するように幅１０μｍ、深さ約５μｍのｐウェル領域２が形成され、そのｐウェル領域２の表面層に幅１μｍ、深さ約０．５μｍのｎソース領域３が形成されている。トレンチ７の内側に厚さ８０ｎｍの酸化膜を形成してゲート絶縁膜６とし、多結晶シリコンからなるゲート電極層１０が埋め込まれている。ｎソース領域３およびｐウェル領域２の表面の一部を除いて、厚さ約１μｍのほう素燐シリカガラスの絶縁膜８が主表面を覆っている。ｎソース領域３およびｐウェル領域２の表面に接して設けられたエミッタ電極１１は、図のように絶縁膜８の上に延長されることが多い。ｎドリフト層１の他方の側には、n^+ バッファ層５を介してｐコレクタ層４が形成され、その表面にコレクタ電極１２が設けられている。

【００６０】

図１１（ｂ）に見られるようにこの例でも、トレンチ７とｐウェル領域２とが直交するように形成されている。Ｂ１１－Ｔｙｐｅと違ってｎソース領域３もトレンチ７に直交している。

【００６１】

図１２（ａ）の断面Ａは、トレンチ７の長辺方向に沿った断面であり、トレンチ７が断続している様子が見られる。トレンチ７の間には、ｐウェル領域２が形成されている。同図（ｂ）の断面Ｂには、互いに分離されたｐウェル領域２とその表面層のｎソース領域３とが見られる。

【００６２】

このＢ２１－Ｔｙｐｅの４０Ａ・cm^{-2}、１２５℃での飽和電圧は、約５．１Ｖであった。このＢ２１－Ｔｙｐｅでも、ゲート電極層１０が埋め込まれたトレンチ７の壁面にあたるｎドリフト層１のうち、ｐウェル領域２の形成されていない部分に電子が蓄積され、それに伴って正孔濃度が高くなり、半導体内部の蓄積キャリア濃度が一層多くなるため飽和電圧が低くなる。

【００６３】［参考例２］

図１３は、この発明の参考例２のＴ－ＩＧＢＴ（以降、Ｂ２２－Ｔｙｐｅと称する）の主要部分の斜視図である。Ｂ２１－Ｔｙｐｅと異なっているのは、ｎドリフト層１のトレンチ７の形成された側の主表面全域にn^+ ドープ領域９が形成されている点である。n^+ ドープ領域９の表面濃度約１．０×10^{15} cm^{-3}、深さ約５μｍである。

【００６４】

このＢ２２－Ｔｙｐｅの４０Ａ・cm^{-2}、１２５℃での飽和電圧は、約４．８Ｖであった。これは、Ａ２－Ｔｙｐｅのところで説明したような機構によって、半導体内部でＢ２１－Ｔｙｐｅより更に正孔濃度が高く保たれているためである。

【００６５】［参考例３］

図１４は、この発明の参考例３（以降、Ｂ２３－Ｔｙｐｅと称す）のＴ－ＩＧＢＴの主要部分の斜視図である。Ｂ２１－Ｔｙｐｅと異なっているのは、ｎドリフト層１が表面に達している部分で、厚さ８０ｎｍの酸化膜からなる補助ゲート絶縁膜６ａを介して、厚さ１μｍの多結晶シリコンからなる補助ゲート電極１３が設けられている点である。そして、この補助ゲート電極１３は、ゲート電極１０と電気的に接続されている。

【００６６】

このＢ２３－Ｔｙｐｅの４０Ａ・cm^{-2}、１２５℃での飽和電圧は、約４．６Ｖであった。これは、Ａ３－Ｔｙｐｅのところで説明したような機構によって、半導体内部でＢ１２－Ｔｙｐｅより更に正孔濃度が高く保たれているためである。

【００６７】［参考例４］

図１５は、この発明の参考例４のＴ－ＩＧＢＴ（以降、Ｂ２４－Ｔｙｐｅと称する）の主要部分の斜視図である。Ｂ２２－ＴｙｐｅとＢ２３－Ｔｙｐｅとを組み合わせた形のＴ

－ＩＧＢＴであり、主表面全域に表面濃度約１．０×１０^{15}ｃｍ$^{-3}$、深さ約５μｍのｎ$^{+}$ドープ領域９が形成されており、８０ｎｍの補助ゲート絶縁膜６ａを介して、厚さ１μｍの補助ゲート電極層１３が設けられている。補助ゲート電極層１３はゲート電極層１０と電気的に接続されている。

【００６８】

このＢ２４－Ｔｙｐｅの４０Ａｃｍ$^{-2}$、１２５℃での飽和電圧は、約４．４Ｖであった。このＢ２４－Ｔｙｐｅでは、Ｂ２２－ＴｙｐｅとＢ２３－Ｔｙｐｅとの効果が合わせて得られ、半導体内部での正孔濃度が高くなっている。これにより、低い飽和電圧が得られたことが理解できる。

【００６９】

表２に、Ｂ１１、Ｂ１２、Ｂ１３、Ｂ１４、Ｂ２１、Ｂ２２、Ｂ２３、Ｂ２４－ＴｙｐｅのＴ－ＩＧＢＴの１２５℃、４０Ａｃｍ$^{-2}$の時の飽和電圧を示す。

【００７０】

【表２】

Ｔ－ＩＧＢＴ　タイプ	飽和電圧［４０Ａ／ｃｍ^{2}、１２５℃］
Ｂ１１－Ｔｙｐｅ	４．８
Ｂ１２－Ｔｙｐｅ	４．５
Ｂ１３－Ｔｙｐｅ	４．２
Ｂ１４－Ｔｙｐｅ	４．０
Ｂ２１－Ｔｙｐｅ	５．１
Ｂ２２－Ｔｙｐｅ	４．８
Ｂ２３－Ｔｙｐｅ	４．６
Ｂ２４－Ｔｙｐｅ	４．４

いずれの実施例および参考例のＴ－ＩＧＢＴの飽和電圧も、従来のＴ－ＩＧＢＴより低くなっていることがわかる。また、ｎ$^{+}$ ドープ領域９、あるいは、補助ゲート電極１３、もしくは、それらを併用することで、飽和電圧は効果的に低減されている。

【００７１】［参考例５］

図１６は、この発明の参考例５のＴ－ＩＧＢＴ（以降、Ｃ１－Ｔｙｐｅと称する）の主要部の断面図である。

【００７２】

比抵抗約３２０Ωｃｍのｎ型半導体基板１の一方の主表面に、深さ６μｍ、底部の短辺２５μｍのトレンチ７が５μｍ間隔で形成され、その間に深さ約５μｍのｐウェル領域２が形成されている。そのｐウェル領域２の表面層に幅１μｍ、深さ約０．５μｍのｎ型のソース領域３が形成されている。トレンチ７の内側に厚さ８０ｎｍの酸化膜を形成してゲート絶縁膜６とし、多結晶シリコンからなるゲート電極層１０が埋め込まれている。ｎソース領域３およびｐウェル領域２の表面の一部を除いて、厚さ約１μｍのほう素燐シリカガラスの絶縁膜８が主表面を覆っている。ｎソース領域３およびｐウェル領域２の表面に接して設けられたエミッタ電極１１は、図のように絶縁膜８の上に延長されることが多い。ｎドリフト層１の他方の側には、ｎ$^{+}$ バッファ層５を介してｐコレクタ層４が形成され、その表面にコレクタ電極１２が設けられている。他に、トレンチ７底部の幅を２．５～

４５．０μm迄変化させたＴ－ＩＧＢＴを試作した。トレンチ７間のｐウェル領域２の幅は５μｍで一定とした。

【００７３】

図１７は、トレンチ７底部の幅を変化させた時の飽和電圧の変化を示す特性図である。縦軸は接合温度１２５℃、電流密度４０Ａ・ｃｍ$^{-2}$の場合の飽和電圧、横軸は、トレンチ底部の幅（W_t）とｐウェル領域２の幅（W_p）との比W_t／W_pである。

【００７４】W_t／W_p≧１［すなわちトレンチ底部の幅が５．０μｍ以上］で効果的に飽和電圧が低下している。なお、従来の一般的な、Ｔ－ＩＧＢＴのW_t／W_pは０．２５程度であった。

【００７５】

図１８に、Ｃ１－Ｔｙｐｅおよび類似の幾つかのＴ－ＩＧＢＴ、および比較のための従来のＴ－ＩＧＢＴにおける半導体内部の正孔の濃度分布を示した。縦軸は正孔の濃度、横軸は表面からの深さである。４０Ａ／ｃｍ^2、１２５℃の条件でシミュレーションした結果である。W_t／W_pが大きい程、半導体内部の正孔濃度が高く保たれていることがわかる。これにより、低い飽和電圧が得られることが理解できる。

【００７６】

これまで、ｎチャネル型の絶縁ゲートバイポーラトランジスタの例を取り上げたが、ｎ型、ｐ型を反転したｐチャネル型の絶縁ゲートバイポーラトランジスタにも全く同様に適用できることはいうまでも無い。

【００７７】

【発明の効果】

以上説明したように本発明によれば、トレンチ内にゲート絶縁膜を介してゲート電極を埋め込んだ形のトレンチ型絶縁ゲートバイポーラトランジスタにおいて、下記のような構造とすることにより、飽和電圧－ターンオフ損失のトレードオフ特性を改善できることを示した。（1）第二導電型ウェル領域を選択的に形成し、１つのエミッタ電極下における隣接するトレンチの間で第二導電型ウェル領域と第一導電型ドリフト層が表面に露出し、かつ隣接するトレンチの間で前記第二導電型ウェル領域と第一導電型エミッタ領域が各々島状であるものとする。（2）更に、第二導電型ウェル領域を選択的に形成し、第二導電型ウェル領域が形成されていない部分に第一導電型ドリフト層より高濃度の第一導電型ドープ領域を形成する。（3）第一導電型ドリフト層の表面露出部、または第一導電型ドープ領域上に補助ゲート絶縁膜を介して補助ゲート電極を設ける。（4）側壁に第二導電型ウェル領域および第一導電型エミッタ領域の無いトレンチ部分を設ける。（5）第一導電型エミッタ領域がトレンチの長手方向に延在するものとする。

【００７８】

これらの構造は、いずれも蓄積キャリア濃度を増すことに寄与し、その結果飽和電圧を低減することになる。本発明は、単に絶縁ゲートバイポーラトランジスタのスイッチング損失の低減に止まらず、広く電力変換装置の損失低減に大きく貢献するものである。

【図面の簡単な説明】

【図１】　本発明実施例１のＴ－ＩＧＢＴ（Ａ１－Ｔｙｐｅ）の概略断面図

【図２】　本発明実施例２のＴ－ＩＧＢＴ（Ａ２－Ｔｙｐｅ）の概略断面図

【図３】　本発明実施例３のＴ－ＩＧＢＴ（Ａ３－Ｔｙｐｅ）の概略断面図

【図４】　本発明実施例４のＴ－ＩＧＢＴ（Ａ４－Ｔｙｐｅ）の概略断面図

【図５】　Ａ１～Ａ４－Ｔｙｐｅおよび従来のＴ－ＩＧＢＴにおける蓄積キャリア分布図

【図６】　（ａ）は本発明実施例５のＴ－ＩＧＢＴ（Ｂ１１－Ｔｙｐｅ）の概略俯瞰図、（ｂ）はＢ１１－Ｔｙｐｅのシリコン表面の平面図

【図７】　（ａ）はＢ１１－Ｔｙｐｅの断面Ａにおける断面図、（ｂ）は断面Ｂにおける断面図、（ｃ）は断面Ｃにおける断面図

【図８】　本発明実施例６のＴ－ＩＧＢＴ（Ｂ１２－Ｔｙｐｅ）の概略俯瞰図

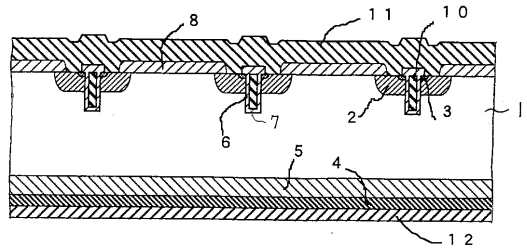
【図９】　本発明実施例７のＴ－ＩＧＢＴ（Ｂ１３－Ｔｙｐｅ）の概略俯瞰図

【図１０】　本発明実施例８のＴ－ＩＧＢＴ（Ｂ１４－Ｔｙｐｅ）の概略俯瞰図

【図１１】　（ａ）は参考例１のＴ－ＩＧＢＴ（Ｂ２１－Ｔｙｐｅ）の概略俯瞰図、（ｂ）はＢ２１－Ｔｙｐｅのシリコン表面の平面図
【図１２】　（ａ）はＢ２１－Ｔｙｐｅの断面Ａにおける断面図、（ｂ）は断面Ｂにおける断面図
【図１３】　参考例２のＴ－ＩＧＢＴ（Ｂ２２－Ｔｙｐｅ）の概略俯瞰図
【図１４】　参考例３のＴ－ＩＧＢＴ（Ｂ２３－Ｔｙｐｅ）の概略俯瞰図
【図１５】　参考例４のＴ－ＩＧＢＴ（Ｂ２４－Ｔｙｐｅ）の概略俯瞰図
【図１６】　参考例５のＴ－ＩＧＢＴ（Ｃ１－Ｔｙｐｅ）の概略断面図
【図１７】　Ｃ１－Ｔｙｐｅの（トレンチ底部幅／ｐウェル領域幅）と飽和電圧との関係を示す特性図
【図１８】　Ｃ１－Ｔｙｐｅおよび従来のＴ－ＩＧＢＴにおける蓄積キャリア分布図
【図１９】　従来のＰ－ＩＧＢＴの概略断面図
【図２０】　従来のＴ－ＩＧＢＴの概略断面図
【符号の説明】

１	ｎドリフト層
２	ｐウェル領域
３	ｎソース領域
４	ｐコレクタ層
５	n^+ バッファ層
６	ゲート絶縁膜
６ａ	補助ゲート絶縁膜
７	トレンチ
８	絶縁膜
９	n^+ ドープ領域
１０	ゲート電極
１１	エミッタ電極
１２	コレクタ電極
１３	補助ゲート電極

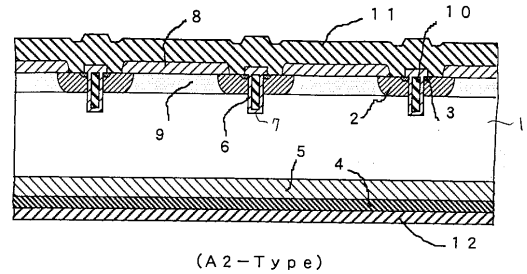
【図１】



（Ａ１－Ｔｙｐｅ）

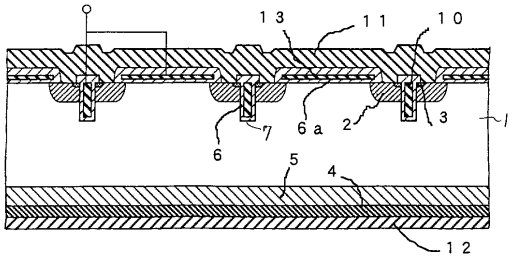
1 ｎドリフト層	7 ゲート電極
2 ｐウェル領域	8 絶縁膜
3 ｎソース領域	10 ゲート電極
4 ｐコレクタ層	11 エミッタ電極
5 n^+ バッファ層	12 コレクタ電極
6 ゲート絶縁膜	

【図２】



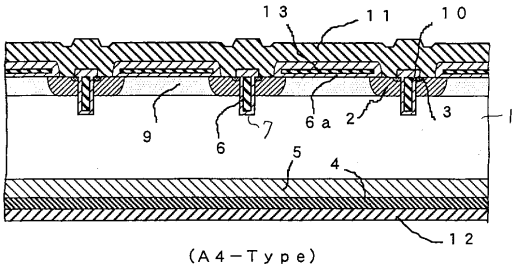
（Ａ２－Ｔｙｐｅ）

【図３】



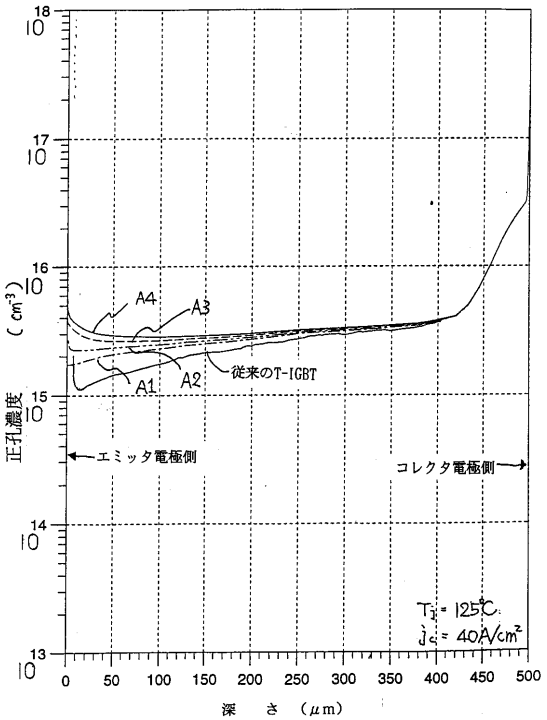
（Ａ３－Ｔｙｐｅ）

【図４】

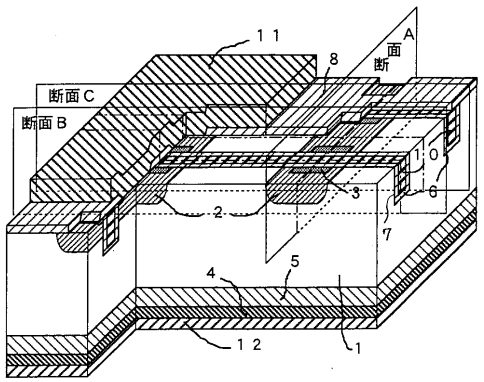


（Ａ４－Ｔｙｐｅ）

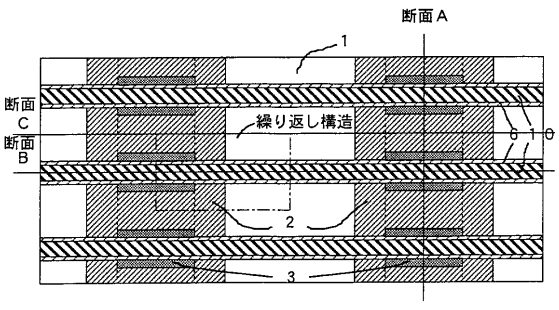
【図５】



【図６】

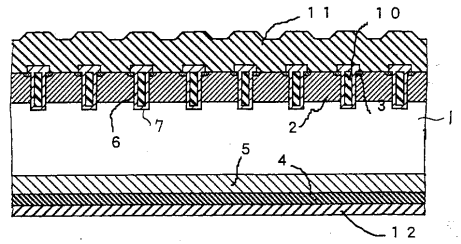


（Ｂ１１－Ｔｙｐｅ）
（ａ）

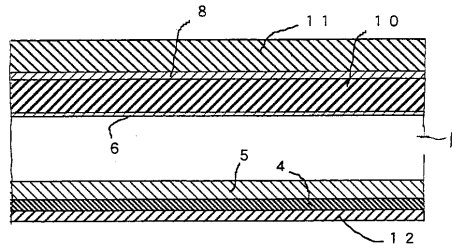


（ｂ）

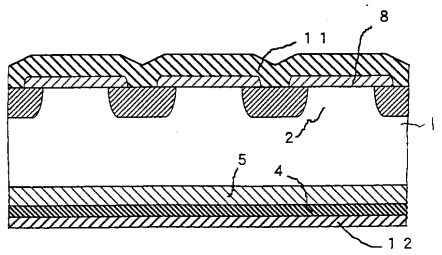
【図７】



（a）（断面A）

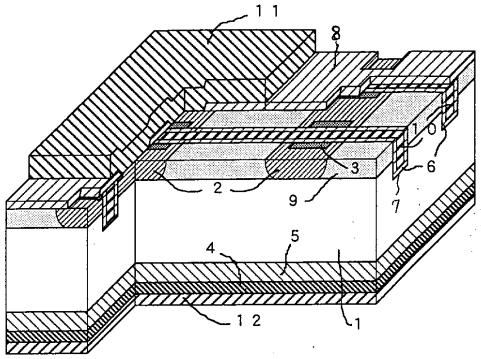


（b）（断面B）



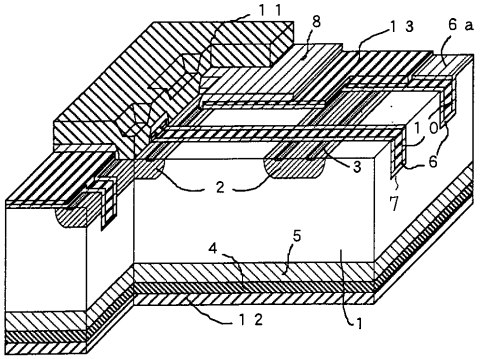
（c）（断面C）

【図８】



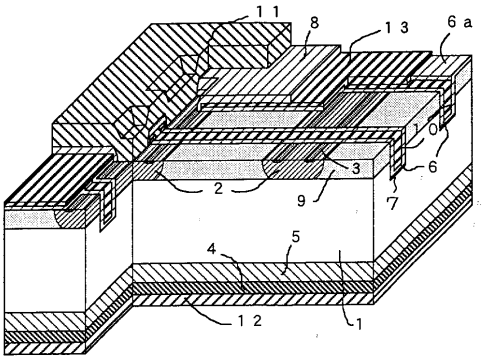
（B12－Type）

【図９】



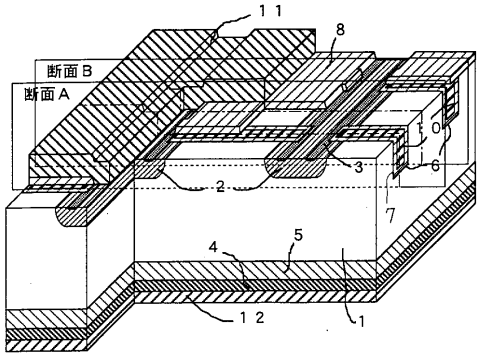
（B13－Type）

【図１０】

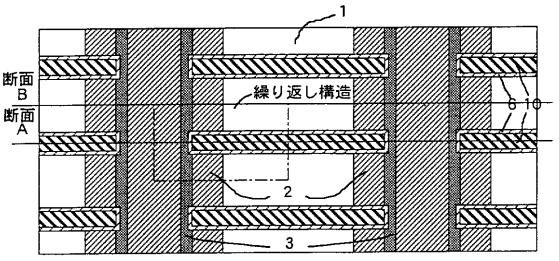


（B14－Type）

【図１１】

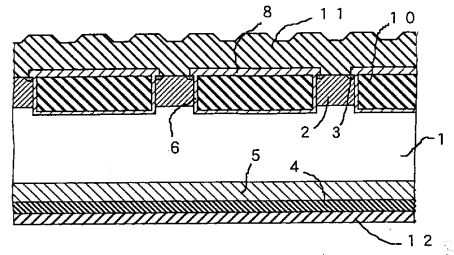


（B21－Type）
（a）

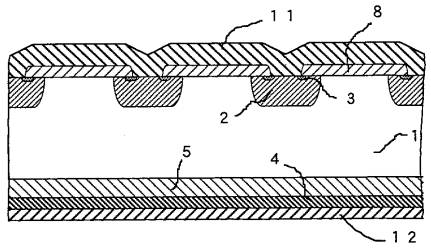


（b）

【図１２】

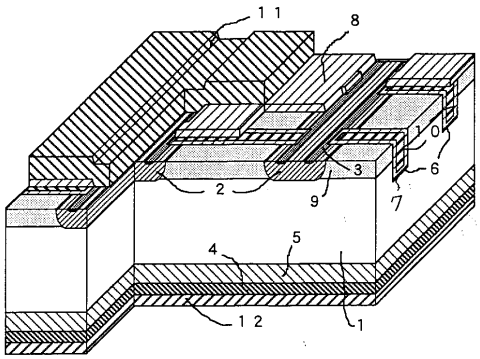


（ａ）　（断面Ａ）



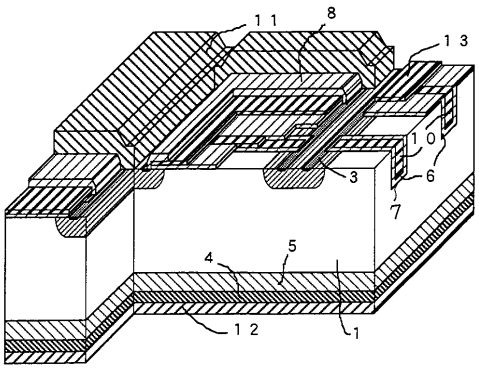
（ｂ）　（断面Ｂ）

【図１３】



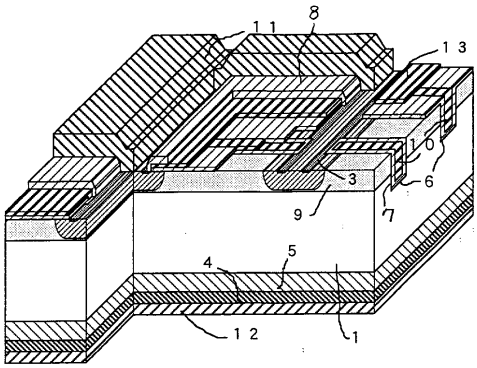
（Ｂ２２－Ｔｙｐｅ）

【図１４】



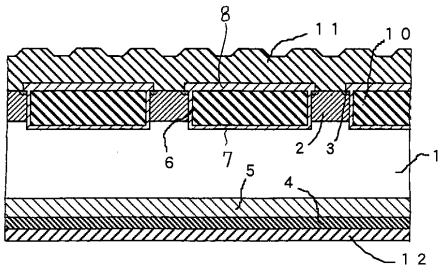
（Ｂ２３－Ｔｙｐｅ）

【図１５】



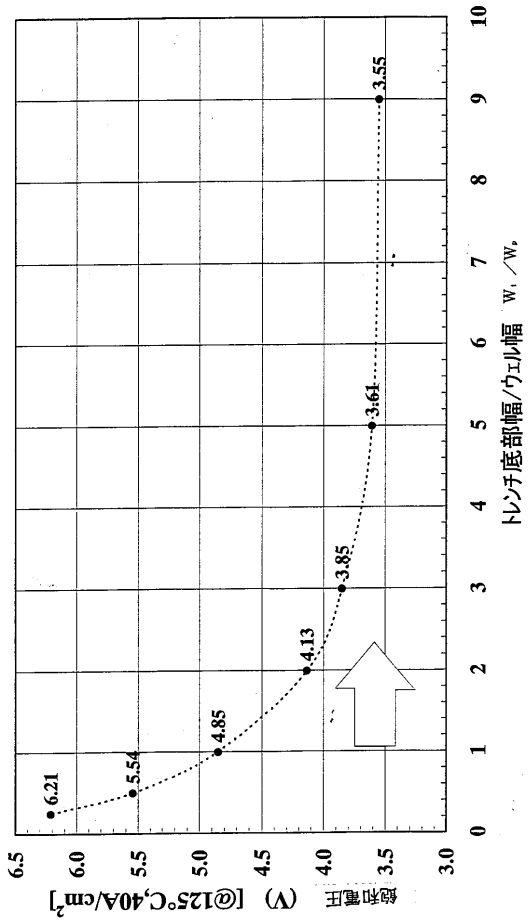
（Ｂ２４－Ｔｙｐｅ）

【図１６】

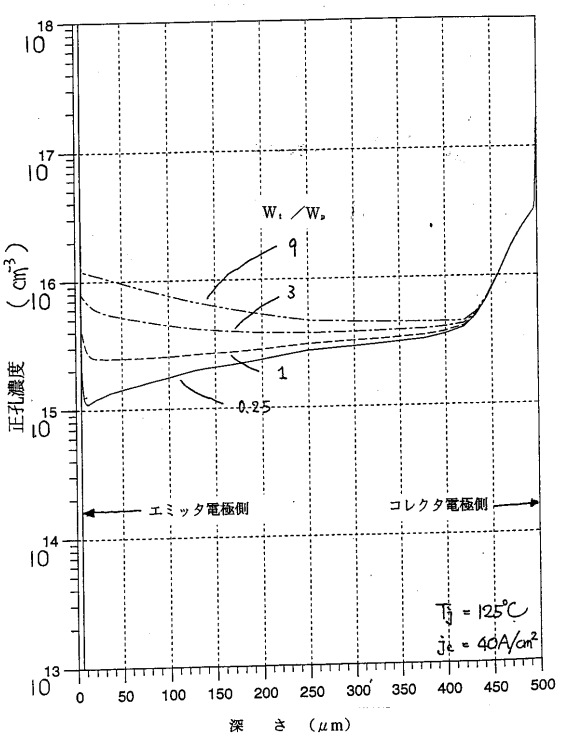


（Ｃ１－Ｔｙｐｅ）

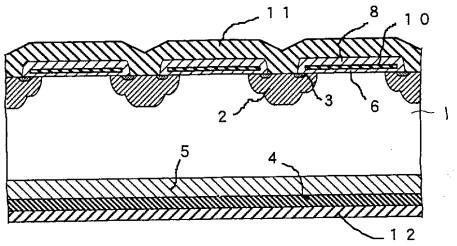
【図１７】



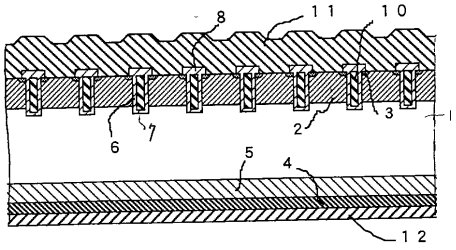
【図１８】



【図１９】



【図２０】



フロントページの続き

(56)参考文献 特開平０４－２５１９８３（ＪＰ，Ａ）
特開平０９－１９９７１５（ＪＰ，Ａ）
特開平１１－１０３０５７（ＪＰ，Ａ）
特開平０９－１３９５１０（ＪＰ，Ａ）
特開平０９－００８３０１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/739
H01L 29/78