

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5421292号
(P5421292)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年11月29日(2013.11.29)

(51) Int. Cl.		F I	
HO2M 7/12 (2006.01)		HO2M 7/12	P
HO2M 3/155 (2006.01)		HO2M 3/155	F
B64D 47/00 (2006.01)		HO2M 7/12	GO1D
		B64D 47/00	

請求項の数 8 (全 20 頁)

(21) 出願番号	特願2010-544754 (P2010-544754)	(73) 特許権者	509347273
(86) (22) 出願日	平成21年1月21日 (2009.1.21)		エアバス オペレーション ソシエテ パ
(65) 公表番号	特表2011-511612 (P2011-511612A)		アクションス シンプリフィエ
(43) 公表日	平成23年4月7日 (2011.4.7)		フランス国, エフ-31060 トゥール
(86) 国際出願番号	PCT/FR2009/000063		ズ, ルート ド ベイヨンヌ 316
(87) 国際公開番号	W02009/109714	(73) 特許権者	501089863
(87) 国際公開日	平成21年9月11日 (2009.9.11)		サントル ナショナル ドゥ ラ ルシェ
審査請求日	平成24年1月12日 (2012.1.12)		ルシェサイアンティフィク (セエヌエール
(31) 優先権主張番号	0850622		エス)
(32) 優先日	平成20年1月31日 (2008.1.31)		フランス国, エフ-75016 パリ, リ
(33) 優先権主張国	フランス (FR)		ユ ミッシュェル アンジュ3

最終頁に続く

(54) 【発明の名称】 電力整流回路とシステム、それに関連した方法、そのような回路やシステムを有する航空機

(57) 【特許請求の範囲】

【請求項1】

交流電源により供給される電流のための電力整流回路であって、
 - 電源端子に接続される2つの別異のスイッチングアセンブリであって、少なくとも一つのスイッチングアセンブリは、カスケード状の複数のブーストセルというスイッチングセルを有するスイッチングアセンブリと、
 - 前記セルの第1入力端子と第1出力端子との間に接続されているダイオード、前記セルの第2入力端子と第2出力端子との間に接続されているスイッチング手段、及び、前記セルの2つの出力端子の間に接続されている容量を有する各ブーストセルと、
 - 1つのブーストセルの第1と第2の出力端子がそれぞれ、次のブーストセルの第1と第2の入力端子にカスケード状に接続され、構成されている、スイッチングアセンブリの前記複数のブーストセルと、
 - 1つの共通端子を持つスイッチングアセンブリの2つの終端ブーストセルの最終容量と、
 前記複数のブーストセルの内の1つにおいて低インピーダンスの障害が検出された場合、前記スイッチング手段のアセンブリをブロックするように構成されたブロック手段と、
 ブーストセルにおける低インピーダンス障害を検出するための手段であって、前記セルのブーストダイオードの障害を検出するためのスイッチング手段を起動させる制御信号の後、又は、前記スイッチング手段の障害を検出するためのスイッチング手段をブロックする制御信号の後、所定期間中に前記セルのスイッチング手段の端子電圧を検出するよう

10

20

構成されている低インピーダンス障害を検出するための手段と、を有する、回路。

【請求項 2】

各スイッチングアセンブリが 2 つのブーストセルを有する請求項 1 に記載の回路。

【請求項 3】

低周波の入力電流を整流するために、前記電源端子と前記スイッチングアセンブリの各々との間がそれぞれ接続されるように構成されている 1 対の整流手段を持つ、請求項 1 または請求項 2 に記載された回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の複数の電力整流回路を有する、多相交流電源により供給される電流の電力整流システムであって、

前記複数の電力整流回路の各々が前記多相電流の各位相にそれぞれ接続された電源端子に接続され、前記複数の電力整流回路が同一終端容量を共有するように構成される、電力整流システム。

【請求項 5】

請求項 1 乃至 3 のいずれか一項に記載の 2 つの電力整流回路を有する、交流電源から供給される電流の電力整流システムであって、

前記 2 つの電力整流回路が前記電源の各端子にそれぞれ接続され、前記 2 つの電力整流回路が同一終端容量を共有するように構成されている、電力整流システム。

【請求項 6】

前記電源端子の各々と前記 2 つのスイッチングアセンブリの各入力との間に設けられた整流手段を除いて、前記 2 つの回路が組み合わせられ、

所定のスイッチングアセンブリの入力に接続されている前記整流手段は、排他的で、電流の流れが反対方向である、請求項 5 に記載のシステム。

【請求項 7】

交流電源により供給される電流信号のための電力整流方法であって、

- 電源端子に接続される 2 つの別異のスイッチングアセンブリであって、少なくとも一つのスイッチングアセンブリは、カスケード状の複数のブーストセルというスイッチングセルを有するスイッチングアセンブリと、

- 前記セルの第 1 入力端子と第 1 出力端子との間に接続されているダイオード、前記セルの第 2 入力端子と第 2 出力端子との間に接続されているスイッチング手段、及び、前記セルの 2 つの出力端子の間に接続されている容量を有する各ブーストセルと、

- 1 つのブーストセルの第 1 と第 2 の出力端子がそれぞれ、次のブーストセルの第 1 と第 2 の入力端子にカスケード状に接続され、構成されているスイッチングアセンブリの前記複数のブーストセルと、

- 1 の共通端子を持つアセンブリの 2 つの終端 (terminal) ブーストセルの終端容量と、前記複数のブーストセルの内の 1 つにおいて低インピーダンスの障害が検出された場合、前記スイッチング手段のアセンブリをブロックするように構成されたブロック手段と、

ブーストセルにおける低インピーダンス障害を検出するための手段であって、前記セルのブーストダイオードの障害を検出するためのスイッチング手段を起動させる制御信号の後、又は、前記スイッチング手段の障害を検出するためのスイッチング手段をブロックする制御信号の後、所定期間中に前記セルのスイッチング手段の端子電圧を検出するように構成されている低インピーダンス障害を検出するための手段と、を有する整流回路により実施され、

直流電圧を前記終端容量の端子に供給するように、前記スイッチング手段のそれぞれのシーケンシャル制御ステップを有する、方法。

【請求項 8】

請求項 1 乃至 6 のいずれか一項に記載の装置又はシステムを有する航空機。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、電力整流装置と方法、それに関連したシステム、そのような装置及び/又はシステムを有する航空機に関する。

【背景技術】

【0002】

電力用回路を使って、電気エネルギーの変換及び制御を行う分野では、多くのアプリケーションが交流/直流(AC/DC)の整流機能を必要としている。AC側では、電力網の電圧と同位相の電流のサイン波サンプリングを行い、力率を最大1に近く最適化し、最適エネルギー効率を得る及び/又は電力網の品質基準を守っている。DC側では、この回路の出力を形成している。交流回路網のAC電源は、例えば、搭載ネットワークに電力を供給するための航空機に搭載された電力生成システムであることができる。これらは、フランス特許出願FR-2 881 896 及び FR-2 897 731に記載されている。

10

特に、DC段は、DC/DC 又は DC/ACコンバーター、例えばモーター-インバータアセンブリ又は非常用電源に電力を供給することができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】フランス特許出願FR-2 881 896

【特許文献2】フランス特許出願FR-2 897 731

【特許文献3】フランス特許出願FR-2 809 548(後記)

【非特許文献】

20

【0004】

【非特許文献1】"Three-Phase Power Factor Correction Circuits for Low-Cost Distributed Power Systems", Peter Mantovanelli Barbosa (本論文は、la faculte de the Virginia Polytechnic Institute and State University, Blacksburg, Virginiaで、2002.7.31に受理された)(後記)

【0005】

パワーエレクトロニクス分野における技術開発により、パルス幅変調(PWM)技術を使って、AC/DCコンバータ(整流装置)のパフォーマンスを改善することができた。これら回路は、電力半導体をベースにするものである。そのパルス変調により、交流網でサンプリングされた電力を制御することができる。これら回路を使うことにより、特に、他の変換器DC/DC又はDC/ACの電源供給のために、出力のDC電圧を制御することができる。

30

【0006】

現在知られている解決法は、2つの電圧レベルで変調するものである。そのため、AC側のインダクタンス値を大きくしなければならないし、重量が大きくなるという問題があった。

【0007】

公知の解決方法は、電力インバーターとして、“標準化した”対称的スイッチセルを使う方法である。該セルは、PWM発振回路により制御される2つのトランジスタ-ダイオードアセンブリ(dual transistor-diode)を備えている。例えば、直流電圧源Eにおける直列な2つのトランジスタ-ダイオードが知られている。

40

【0008】

このような回路は、汎用性があり、モジュール化できるという利点があるが、トランジスタやトランジスタに適用される電子制御が多数であるため、すぐに複雑になる。更に、これらシステムは、受動型ダイオード整流装置より信頼性が低い。又、構成部品が2倍あるために、かなり電力損失が大きい。部品は高周波スイッチングと部品の高電圧(産業界における部品の定格(rating)は、通常1200Vである)により、余分の損失を生むからである。

【0009】

更に、これらシステムは2レベルの電圧に基づいてスイッチングを行う(即ち、交流から

50

2つの直流電圧レベル ($-E/2V$ と $E/2V$) を供給している)。これは、整流装置の入力において、 $V \cdot \text{秒}$ に対応する (スイッチング周期 T_{dec} で乗算される電圧 E に比例する、但し E は直流電圧、 T_{dec} (F_{dec}) はスイッチング周期 (スイッチング周波数) を表す) 交流の大きいインダクタンス値をもつ平滑インダクタンスを使うことを意味している。結果、重量と体積が極めて大きなものとなる。

【0010】

従来の回路の、スイッチングセルでは、2つのトランジスタが直列に接続されていた。これらの内の1つのトランジスタが低インピーダンス (短絡) 障害を起こすと、バスは短絡する。該バスには大きなエネルギー、特に数百ジュールが蓄積されているので、もしトランジスタに対し早急に保護を行わないと、このエネルギーは、ハウジングを爆発させる程大きなものとなりかねない。

10

【0011】

保護が行われても、この障害は電力網にも、他の回路の隣接セルにも影響する可能性がある。このことは、障害回路部分を安全化し、緊急モードでエネルギー管理を行うためには、この回路に分離と冗長性のための装置を追加しなければならないことを意味している。

【0012】

その結果、回路は、複雑で、更に高価で、シンプルな受動型ダイオード整流装置に比して、信頼性喪失 (defiability) のリスクがある構成になる。

【発明の概要】

【発明が解決しようとする課題】

20

【0013】

それゆえ、障害許容度のある整流回路も持ち、同時に安全で、インダクタンスに適用するボルト - 秒から見て効率的で、低電圧定格のスイッチを使う必要性がある。

【0014】

電力の可逆性 (reversibility) が要求されない場合、禁止される場合、不可能な場合 (例えば、最初の供給電力網が電力の一方向の直流バスを提供するための交流タイプである場合)、上記の問題の一部は解消される。航空機に搭載されるネットワークの特徴は、交流発電機は航空機全体に電力を供給するという点である。

【0015】

可逆性がないと、スイッチング回路は単純化される。(複数)スイッチングセルは、もはや電流について可逆ではない。単一のトランジスタと単一のダイオードしか有していない。従って、減少した数のトランジスタとトランジスタの制御手段しか有していない。これにより、コストが削減され、制御回路の障害のリスクが減り、電力損失は減る。従って、このような回路は、広範囲に亘る電力及び産業用電圧 (例えば、300V乃至1200V、典型的には800V) を必要とするアプリケーション/装置に適合している。

30

【0016】

こうして得られた回路は、PFC回路 ("力率補正 (Power Factor Correction) ")、又は、サイン波サンプリング ブースト整流装置として公知のものである。

【0017】

3相電源において、前記ブースト整流装置は、ベースとして、一つの又は2つのブースト回路に接続する、6ダイオードを持つ1つのブリッジ、又は、2又は4のダイオードを持つ整流装置の3つのブランチを使う。図1は、2つのダイオードの整流装置を持つダブルブースト回路である。これはACの3電圧レベルを提供し、これにより、インダクタンスの大きさを表わすボルト-秒 (volts-seconds) を2で割ることができる。この回路は、特に、Barbosa論文 ("Three-Phase Power Factor Correction Circuits for Low-Cost Distributed Power Systems", Peter Mantovanelli Barbosa ; la faculte de the Virginia Polytechnic Institute and State University, Blacksburg, Virginia July 31, 2002, の論文) に記載されている。

40

【0018】

2つの電流一方向性ブーストセル10、11の各々が、整流ダイオード13,14とインダクタン

50

ス15を介して、交流電源12に接続されている。各ブーストセルはダイオード100又は110、スイッチ102又は112、コンデンサ104又は114（直流電圧バスを規定している）で構成されている。以後、“ブーストセルの構成部品”及び“ブースト構成部品”を区別せず、ブーストダイオードと呼ぶ。

【0019】

この回路は、トランジスタスイッチに対する制御命令の繰返し周波数に対応するスイッチング周波数 F_{dec} で動作する。

【0020】

この解決法により、入力インダクタ15のインダクタンスを低減させ、特に、第3レベルの出現（ACでは、電圧レベル $-E/2$, 0 , $E/2$ が得られる）のおかげで、スイッチング回路が単純化される。これにより半減したインダクタンスを持つインダクタを使うことができる。

10

【0021】

また、構成部品（ブーストダイオード及びトランジスタ）のアセンブリの耐電圧も半減され、これら構成部品の定格（rating：許容マージンを含め）も、1200Vから600Vに半減される。

【0022】

図1の回路は、より高い安全性を目指す第1段階のものである。実際、2つのトランジスタの内の1つの障害はブーストダイオードにより直ちに隔離される。DCバスの短絡は、このようなやり方で回避される。

20

【0023】

しかし、障害はAC相に伝播するので、ヒューズ又はサイリスタによる隔離が必要となる。

【0024】

しかし、2つのブーストセルの内の1つの分離は、回路がACの入力波の単一半周期の期間だけしか機能しないようにさせるものであることに留意すべきである。

【0025】

この制限による解決法は、特にフランス特許出願FR 2 809 548に開示されている。それは、トポロジック的冗長性を導入し、多レベル（特別な場合、5レベルである）ブースト整流回路について説明している。図2aと2bには、公知の整流回路のトポロジックを示す、同等な2つの概略図が示されている。

30

【0026】

この回路は4つのブーストセル20乃至23を有している。セル20,21で構成される第1段は図1の回路と同一のトポロジック構成をとっている（整流ダイオード13,14が欠落しているが）。第2段（セル22,23）は、第1段と同一であり、第1段の後ろに追加されている。出力部に、AC側に全部で5出力電圧レベルを生成している： $-E/2$; $-E/4$; 0 ; $E/4$; $E/2$ 。

【0027】

同一段をカスケードにすることにより、定格（rating）を2つ下げ、600Vの標準電圧を使うことができる。

【0028】

第2段の存在により、スイッチング周波数を2倍の $2 \cdot F_{dec}$ にすることができる。従って、AC網が高周波であり、インダクタンスに加えられるボルト秒の減少が、受動回路要素（特に入力インダクタンス15）のサイズの縮小を意味するならば、数百キロヘルツまでの周波数が使用可能であり、これにより、通過帯域を大きくすることができる。この縮小により、所定電源電圧に対し、回路要素に低電圧を印加することができる。従って、部品を小型化（経済的利益）又は同一定格でも、より高い電源電圧を許容することができる。

40

【0029】

同様に、スイッチング周波数を大きくすることにより、ブーストセルにおける容量値を低減することができる。結果、回路に蓄えられるエネルギー量を小さくすることができる。従って、ブーストダイオードが破壊し、セルのトランジスタが容量の短絡をひき起すよう

50

な場合、爆発の危険性は回避される。

【 0 0 3 0 】

更に、トランジスタが破壊するときでも、回路はブーストダイオードの存在により保護される。また、エネルギーはAC電源へリサイクルされる。こうしてシステムのセキュリティは高まる。

【 0 0 3 1 】

この解決法によると、障害に対するトレランスがあるという利点がある。実際、トランジスタスイッチ（例えば、セル20）が障害を起こした場合、他の段（ここではセル22）はスイッチング周波数 F_{dec} でスイッチングを続ける（なぜなら、セルが故障しても、電源電流の半サイクルの間はスイッチングを継続するからである）。スイッチが故障した場合、静的過電圧（ダイオード端子における）の50%、及び、ダイナミック過電圧（スイッチ/トランジスタの端子の）の100%と引き換えに、一つの出力電圧レベルが消失する。また、この障害により影響される上部又は下部に対し、単一スイッチング周波数が使われる。

10

【 0 0 3 2 】

この解決法において、ブーストセル20 - 23におけるダイオードは、セルの差電圧のトータルに対する、従って、 $E/2$ （第1段に対し $E/4+E/4$ 、第2段に対し $E/2+E/2-E/4-E/4$ ）に等しい定格電圧に対するサイズとならなければならないことが分かる。従って、産業界で使われる出力電圧800Vに対しては、少なくとも定格400V、又は、一般的にマージン込みで600Vの定格をもつダイオードを使用するとよい。

【 0 0 3 3 】

しかし、この解決法においては、スイッチが障害を起した場合、ブーストセルのダイオードは、静電圧で $3E/4$ （+50%）、即ち、上記例において600Vに、ダイナミック電圧で $E/2$ （+100%）即ち400Vに、曝されるという問題がある。従って、セキュリティマージンを含め600Vの定格のダイオードの場合、回路は障害に対する耐性（tolerance）はない。従って、障害に対する耐性（tolerance）を得るために、少なくとも600V（即ちマージンがなしで）に対する部品のサイズにすることが必要である。特に、マージンを含め少なくとも800V、即ち、出力電圧 $E/2$ 以上のためのダイオードのサイズにすることが必要である。

20

【 0 0 3 4 】

600Vの限界を回避するために、800乃至1200Vの定格電圧が必要であるが、ダイオードのスイッチング速度、電圧降下、電力ロスのパフォーマンスが犠牲になる。

30

【 0 0 3 5 】

更に、この構成の他の問題点は、スイッチングセルが1つのダイオード及び2対のトランジスタ/ダイオードを有していることにある。後者のうちの1つは静的である。これは、先行する回路と比べ、より高い寄生インダクタンスに導く。

【 0 0 3 6 】

このような問題点に対して、同一出力電圧に対し低い定格のダイオード、スイッチ（トランジスタ）を必要とするスイッチ/ダイオードの障害に内在的に（即ち、追加的回路のない）耐性のある電力整流回路を追求した。

【 0 0 3 7 】

本発明は、特に多レベルで、障害に対する耐性をもち、ブーストダイオードを有する（特に、1セル当たり、単一トランジスタと単一ダイオードを持つ）電圧整流回路を提供して、上記問題点を解決しようとするものである。

40

【 0 0 3 8 】

特に、他のブーストセルに内部障害が発生しても、ブーストセルが確実に切断（switch）し、これによりスイッチとダイオードの障害に対する耐性が保証される。

【 0 0 3 9 】

更に、本発明による回路により、電圧 $E/4$ （即ち、800Vの電圧源に対し200V）においてダイオードを動作させることができ、障害の際に、 $E/2$ の定格（即ち400V）、即ち出力電圧を要求することができる。従って、600Vの定格の部品を、動作マージンを以って

50

使うことができる。

【課題を解決するための手段】

【0040】

従って、本発明は、特に、交流電源により供給される電流信号（又は、波）のための電力整流回路を対象としており、次のものを有している。

- 電源端子に接続される2つの別異のスイッチングアセンブリ：少なくとも一つのスイッチングアセンブリは、カスケード状に複数のスイッチングセル（前記ブーストセル）を有する、

- 前記セルの第1入力端子と第1出力端子との間に接続されているダイオード、前記セルの第2入力端子と第2出力端子との間に接続されているスイッチング手段、及び、前記セルの2つの出力端子の間に接続されている容量とを有する各ブーストセル；

- 一つのブーストセルの第1と第2出力端子がそれぞれ、次のブーストセルの第1と第2の入力端子にカスケード状に接続され、構成されているスイッチングアセンブリの複数ブーストセル、

- 1の共通端子を持つアセンブリの（カスケードの）2つの最終ブーストセルの容量（複数）（即ち、最終容量として公知）。

【0041】

特に、共通端子は各スイッチングアセンブリに対する第2出力である。

【0042】

上記のセルの入出力の概念は、回路を流れる電流の向きと一致していない。特に、2つのスイッチングアセンブリが対称な構成であっても、スイッチングアセンブリの内の1つの流れは他のものの流れと反対であるからである。

【0043】

“別異（distinct）”とは、各スイッチングアセンブリに対し、上位部分（第1スイッチングアセンブリ）と下位部分（第2スイッチングアセンブリ）の対応ブーストセル（即ち、図2a、2bの同一段）は共通部品を持っていないことを意味する。従って、（複数）アセンブリ間の構成部品に対する電圧ストレス(stress)はない。つまり、良好な閉じ込め（confinement）をもたらす。

【0044】

スイッチングアセンブリの、この“別異”によって、図2bと比べ、回路の熱的結合を減少させることができる。実際、図2bでは、トランジスタ/ダイオードの2つのペア（その内の1つは静的である）は、それらが幾何学的に近接した方法で配置され、寄生インダクタンスを最小にすることが必要である。この場合、これら2つのペアの大きな熱的結合という問題があるが、これは本発明により解決される。

【0045】

また、従来技術の回路とは対照的に、本発明により、上記実施例において、電圧 $E/4$ 、即ち200Vの電圧下で、 2×2 セル構成のブーストセルにおいて、（複数）トランジスタスイッチと（複数）ダイオードを使うことができる。障害が起きた場合、ブーストセルのダイオードは、最大、 $E/2$ （即ち、出力電圧）の電圧下に置かれる。従って、公知の解決法と比べて、定格をファクタ2だけ低減させて、より電力ロスの少ない、より高速の部品を得ることができる。

【0046】

スイッチング周波数と“AC電圧の数”は、特に、交錯したセルの数、即ち、段数とグループ数に応じて、増加する。従って、入力インダクタ（従って、そのサイズ）に印加するボルト-秒及びシリコンスイッチングボルト-アンペアVAを従来技術と比べて効率的に小さくすることができる。但し、シリコンスイッチングVAは端子電圧と、回路のセルのスイッチングトランジスタに流れる電流との積の和として定義される。

【0047】

特に、 2×2 セル構成において、本発明を使うと、入力インダクタンス値を2乃至8のファクタ(factor)で割ることができ、シリコンスイッチングボルト-アンペアを2で割るこ

10

20

30

40

50

とができるので、同じ数のトランジスタを使った（即ち、同じ複雑さの）従来の方法と比べ、最終的に、ロスを30%のオーダーで削減することができる。

【0048】

このように、各スイッチングアセンブリは2つのブーストセルを含むことができる。この構成により、小さい入力インダクタンスと合理的なトランジスタ数との間で妥協を図ることができ、全蓄積エネルギーを制限することができる（N個のブーストセルが存在する場合と比較して；即ち、N = 2の場合、2N個の容量）。

【0049】

また、スイッチングアセンブリが、ブーストセルを2以上含む可能性がある。トランジスタの数が大きくなると、平均して回路に蓄積されるエネルギー量が大きくなることは明らかである。したがって、通常、スイッチングアセンブリ当たり最大5つ（通常、2乃至3）のブーストセルが設けられる。

10

【0050】

また、2つのスイッチングアセンブリの間で、セルの数が違う場合がある。この構成は、セル数が最も少ないアセンブリにおいて、いくつかのセルが故障する状況にも、対応していることに留意すべきである。特に、最小構成では、単一ブーストセルを持つスイッチングアセンブリと、2つのブーストセルを持つ別のスイッチングアセンブリから構成されている。従って、この回路は、同一アセンブリの2つのブーストセルの内の1つにおける故障に対し、耐性がある。また、これら2つの同一セルにおいて、定格を下げたダイオードをもつ（即ち、定格600V）。

20

【0051】

しかし、平衡動作のためには、各スイッチングアセンブリのブーストセルの数は同一であることが望ましい。

【0052】

回路を障害に対して強くするため、冗長度のあるセル又はアセンブリを使用することができる。特に、複数スイッチングアセンブリの内の1つ又は各アセンブリに冗長度のあるセルを1つ追加することができる。この冗長度のあるブーストセルは受動的（passive）である。つまり、他のセルが動作している間、standby状態（トランジスタスイッチが導通状態に維持された）である。1つのセルの故障が検出されたとき、故障セルは、前記冗長度セルで置き換えられる。

30

スイッチングアセンブリ内の後者の位置に基づいて、スイッチ制御信号を“スイッチングアセンブリ内で動作している各セルの位置”に合わせる（synchronize）ことが好ましい。

【0053】

スイッチングアセンブリに対しても冗長度を考えることができる。多数のブーストセルが故障した時には、最初の2つのスイッチングアセンブリの内の1つで置き換えることができるので、切断は継続しない。例えば、スイッチを使って、一つのスイッチングアセンブリを冗長度のあるスイッチングアセンブリに切り替えることができる。

【0054】

回路は整流手段を持つことができる。

40

【0055】

1つの実施例において、整流手段は1対の整流手段を持っており、低周波の入力電流を整流するために、前記電源端子と前記各スイッチングアセンブリとの間がそれぞれ接続されている。

【0056】

別の実施例において、前記整流手段は各ブーストセルに（複数）整流ダイオードを設けるようにできる。これら整流ダイオードは、前記スイッチ手段と直列に接続されており、対応するブーストダイオード（即ち、同一セル）の方向と反対の方向に導通する。

【0057】

前記最初の別の実施例に戻ると、ブーストセルは一方向に電流が流れるので（前記スイッ

50

チングアセンブリは同様に一方向であり、前記ブーストセルは“導通方向”に直列に配置されている)、この構成により交流電源の半周期(別のスイッチングアセンブリが動作する間の半周期)に供給される逆方向電流から各スイッチングアセンブリを保護することができる。このために、他のアセンブリがアクティブである間、スイッチングアセンブリのスイッチ手段(トランジスタ)が導通状態になるようにシステムを構成することができる。

【0058】

特に、各整流手段はダイオードを1つ有している。該ダイオードは、特に、これが接続されているスイッチングアセンブリのダイオードと同じ導通方向に直列に配けられている。

【0059】

他の実施例において、各整流手段は1つサイリスタを有している。該サイリスタは、特に、これが接続されているスイッチングアセンブリのダイオードと同じ導通方向に直列に設けられている。

【0060】

サイリスタ使用することにより、このアセンブリの全セルにおいて障害がある場合には、(複数)スイッチングアセンブリの内の1つを分離することができる。

【0061】

また、サイリスタには、特に、前記回路を有するシステムの起動時に、ブースト容量(複数)の予備充電期間に(2x2のセル構成においてE/2又はE/4で)電流の制御を行うことができるという利点がある。

【0062】

これら整流手段は、該整流手段が接続されているスイッチングアセンブリの(複数)ダイオードと同じ導通方向に直列に設けることができる。

【0063】

1実施例では、スイッチング手段はトランジスタを有している。

【0064】

1実施例では、回路はブロック手段を有しており、(複数)ブーストセルの内の1つのブーストセルにおいて低インピーダンス障害が検出された場合、前記装置の全スイッチング手段をブロックすることができる。

【0065】

特に、浮遊容量(各ブーストセルの出力における)又は、スイッチング手段について検出が行われる。

【0066】

これら障害の検出は、一般的な問題に関係しており、上記の本発明の構成要素とは別に扱うことができる。

このことと以下の理由により、別の方法で、スイッチングセル(2スイッチが利用できない)における障害の検出法を保護することが考えることができる。

【0067】

したがって、この回路は、ブーストセルにおける低インピーダンス障害を検出するための手段を有することができる。該手段は、“セルのブーストダイオードの障害を検出するためのスイッチング手段を起動させる制御信号の後”、又は、“前記スイッチング手段の障害を検出するためのスイッチング手段をブロックする制御信号の後”、所定の期間中に、前記セルのスイッチング手段の端子電圧を検出する。

【0068】

特に、低インピーダンス障害を検出する前記手段は、電圧検出装置に接続したトランジスタ制御装置を有している。

【0069】

本発明の1つの特徴によれば、前記回路は電源に接続する電源端子を有してもよい。

【0070】

本発明は、多相の交流電源により供給される電流の電力整流システムを対象とする。該シ

10

20

30

40

50

システムは、前記のように複数の電力整流回路を有するものであって、各電力整流回路は、多相電流の各位相に接続されている1の電源端子に接続するように構成されている。前記複数回路は終端容量を共有している。

【0071】

このようにして、多相（一般的には2相又は3相）電流を整流するシステムを構成することができる。

【0072】

本発明は、交流電源から供給される電流の電力整流システムを対象とする。該システムは、上記の対応する、2つの電力整流回路を有している。それぞれ、電源の各端子に接続され、前記システムにおいて、前記（複数）回路は同一終端容量を共有するように構成されている。

10

【0073】

このようにして、電源端子における差電圧（tension différentielle）に基づいてシステムを構成することができる。

【0074】

特に、整流回路の1つのセル及び他の回路の対応するセル（即ち、各整流回路において相対的に同一の位置を持つ）は、同一容量を共有するように構成することができる。

【0075】

回路の部品数が多い実施例では、（複数）スイッチングアセンブリ間の整流手段及び2つの電源端子を除いて、前記2つの回路を組み合わせるように構成することができる。同一のスイッチングアセンブリに電流と反対方向に接続されている前記整流手段（複数）は、排他的（exclusive）である。

20

【0076】

このようにして、差分回路（differential circuit）の部品数及び関連のロスが削減される。

【0077】

勿論、電源に多相が使える場合、多相交流電源に対して、このシステムは上記のものと組み合わせることができる。特に、3相電源の場合、差分電圧構成（differential voltage configuration）は、上記の6つの整流回路が必要となる（3相の各相の差分電圧（differential voltage）に対して2回路）。これらは同一の2つの終端容量を共有する。

30

【0078】

本発明は交流電源が供給する電流信号のための電力整流方法を対象とする。この方法は、次のものを有する整流回路により実現される。

- 電源端子に接続される2つの別異のスイッチングアセンブリ：少なくとも一つのスイッチングアセンブリは、カスケード状に複数のスイッチングセル（ブーストセルとして公知の）を有する、

- 前記セルの第1入力端子と第1出力端子との間に接続されているダイオード、前記セルの第2入力端子と第2出力端子との間に接続されているスイッチング手段、及び、前記セルの2つの出力端子の間に接続されている容量、とを有する各ブーストセル；

- 1つのブーストセルの第1と第2の出力端子がそれぞれ、次のブーストセルの第1と第2の入力端子に接続され、カスケード状に構成されているスイッチングアセンブリの複数ブーストセル、

40

- 前記容量端子（複数）、即ち、1の共通端子を持つアセンブリの2つの終端（terminal）ブーストセルの複数終端容量（終端容量として公知）。

前記方法は、直流電圧を終端容量の端子に供給するように各スイッチング手段のシーケンシャル制御ステップを有している。

【0079】

1実施例において、前記方法は、少なくとも1つのブーストセルにおける低インピーダンス（または短絡）障害を検出するステップ、及び、この検出の後、ブーストセルの前記スイッチング手段をブロックするステップを含んでいる。このブロックは、スイッチの導通

50

/開放位置と反対に、スイッチング手段をブロック/閉位置に変更することを意味する。以下に定義されるように、ブーストセルに係る障害が所定数以上になると、ブロック手法を適用することができる。

【0080】

1実施例において、別のスイッチングアセンブリが入力電流の半サイクル期間の間アクティブであるときに、このスイッチングアセンブリのスイッチング手段(複数)を導通状態にする。このようにして、トランジスタ端子における逆電圧印加が回避される。

【0081】

必要に応じて、本方法は上記回路とシステム特性に係るステップと手段を含むことができる。

10

【0082】

本発明は、また、上記の構成のうちの1に基づく一つの装置又は一つのシステムを有する航空機を対象とする。

【0083】

本発明の特徴と利点は、図面により示される好ましい実施例の説明によりより明らかになる。

【図面の簡単な説明】

【0084】

【図1】従来の、ダブルブースト、3レベルAC/DC回路である。

【図2a】従来の多レベルSMCの整流回路である。

20

【図2b】従来の多レベルSMCの整流回路である。

【図3a】本発明に基づく電力整流回路の一つの実施例である。

【図3b】本発明に基づく電力整流回路の一つの実施例である。

【図4】複数スイッチ(トランジスタ)の内の一つのスイッチが低インピーダンス障害の場合の、図3の回路の電氣的動作を示す。

【図5】一つのスイッチの低インピーダンス障害に続いて回路ブロックがある場合の、図3の回路の電氣的動作を示す。

【図6】図3の回路を使う差分(differential)電力整流システムの例である。

【図6bis】図6の回路の特別な構成を示す。この回路において、部品の相互使用(mutualization)が最大に行われている。

30

【図7】図3の回路を使った3相電力の整流システムの一つの例である。

【図8a】図3のトランジスタの端子における低インピーダンス障害を検出する検出手段、及び、前記障害を検出するためのトランジスタ端子電圧を示す。

【図8b】図3のトランジスタの端子における低インピーダンス障害を検出する検出手段、及び、前記障害を検出するためのトランジスタ端子電圧を示す。

【発明を実施するための形態】

【0085】

上記したように、図3に示す整流回路30は、本発明の実施例である。この実施例は、図1のスイッチング回路「ダブル・ブースト3レベルAC/DC」に基づくものである。

【0086】

重複した 2×2 セル(310a, 310b, 320a, 320b)を持つ整流装置の1例が示されている。この構成により、図1の回路と比べ、3から5レベルへ、スイッチング周波数を F_{dec} から $2 \times F_{dec}$ に変えることができる。

40

【0087】

図3の回路は、非差分電圧(une tension non differentielle en entree)に適用可能である。交流電流源12は入力インダクタンス15に接続しており、電力整流回路の電源端子31に接続している。

【0088】

詳述すれば、図1の回路の2つのブーストセルにあって、回路30は2つの別異のスイッチングアセンブリ30a、30bから構成されている。それぞれ、整流手段(ここでは整流ダイ

50

オード32 a、32 b) を介して電源端子31に接続されている。

【0089】

アセンブリ30 a、30 bは、各々、一方向的であり、一方向にしか電流を流せない。なお、2つのアセンブリの電流の流れは、反対方向である。

【0090】

整流ダイオード32 a、32 bではスイッチングアセンブリ30 a、32 bと同じ方向に導通している。前記ダイオードはそれぞれアセンブリ30 a、32 bに接続されている。

【0091】

各スイッチアセンブリ30 iは、少なくとも、2つのブーストセルから構成されている。ここでは、310iと320i (i=a, b)である。それらは、ダイオード312i/322i、トランジスタにより制御される半導体スイッチ (interrupteur) 314i/324iと容量316i/326iから構成されている。同じアセンブリ30 iのダイオード312i/322iは同じ導通方向になるように構成されている。

10

【0092】

段jの各セルは、次段j+1のセルに接続されている。その際、セルj+1のダイオードとスイッチは、容量jの端子に接続されている。

【0093】

段jのブーストセルは、別のスイッチアセンブリの同一段jのブーストセルと共通部分、又は、共通部品を持っていないことが分かる。この独立性により、複数セルの内の1セルの不具合に関連する電圧ストレスは、別のアセンブリの同一段jのセルに影響しない。

20

【0094】

第1段のセルのダイオード312iとスイッチ314iは、整流ダイオード32iに接続されている。

【0095】

最終段のセルの各容量326i (ここでは段2)は、同一セルのスイッチ324iとの共通端子を介して、AC電源12 (図3の場合のように、非差分回路 (circuit non différentiel) に対して) の中性点端子に接続されている。従って、これら容量326i (終端容量として公知)は1の共通端子を有しており、直列に接続されている。

【0096】

各スイッチアセンブリ30iは、終端コンデンサ-326iの端子 (ダイオード322iと共通) を介して、出力端子33iに接続されている。こうして、図示しない装置は出力端子33iに接続され、電力の供給を受ける。産業界では、直流E = 800Vで動作する装置が頻繁に使用される。この値は次期の航空業界の標準として組み込まれる予定である。

30

【0097】

制御スイッチ314iと324iは、1又は複数の (当業者に公知の) 制御装置 (図示しない; 例えば、段j毎に1つの装置) により制御される。2x2セルを持つ回路に対して、同一周波数の電源12のために、前記出願Fr2809548において説明されているものと同じような制御信号を使うことができる。従って、4つのスイッチ314iと324iを使った、4つの容量316iと326iの充/放電メカニズムについては、これ以上詳細に説明しない。

【0098】

前記回路によれば、終端容量326iの共通端子において、AC電圧(-E/2, -E/4, E/4, E/2)及び0Vを得ることができる。

40

【0099】

この例を2xNセルを提供する回路に、容易に一般化することができる。その結果、この回路は本発明の基準に応えるものになる。しかしながら、2x5セルに限定される。それ以上では、大量の部品に直列に接続されたスイッチ314i, 324等に大きな損失が発生し、回路のパフォーマンスを悪化させるからである。

【0100】

AC側の電圧は、2N+1の電圧レベルを示す: -E/2N, ..., -E/4, -E/2, 0, E/2, E/4, ..., E/2N.

50

【 0 1 0 1 】

次に、図 4 を参照しつつ、本発明による回路の低インピーダンス障害に対する耐性 (tolerance) について説明する。同図のグラフ 40 には、対応する入力インダクタンス 15 を通過する 3 相電源 12 の 3 相電流が示されている (ここでは、問題になっている回路の 1 つの相だけを注目する)。グラフ 41 は、障害セルの容量 316 a の端子電圧を示している。また、グラフ 42 は、電力供給が無い状態 ($t = 0$) から障害後の安定状態 ($t = 20\text{ms}$) に至るまでの、回路の出力部における安定化した電力 (つまり電圧 ; 何故なら電流値は電源 12 により一定に保持されているから) を表している。

【 0 1 0 2 】

トランジスタ 314 a は低インピーダンスの障害状態になる。即ち、常時導通状態になる。図 4 では、この障害が T 時に発生している。

10

【 0 1 0 3 】

ダイオード 312 a は直ちに直列接続となり、その端子に $-E/4$ の電圧が現れる。ダイオード 312 a はブロック状態 (オフ) になり、直流 DC バスの障害を隔離する。従って、浮遊容量 316 a の放電が進行し、関係するセル 310 a だけが非動作になる。

【 0 1 0 4 】

コンデンサー 316 a は最終的に放電する。それらの端子電圧は、スイッチング期間徐々に低下し、 $T + t$ において、0 になる。但し、 t は、問題の半サイクルの間に、障害を起こしたトランジスタを通して放電するために必要な時間である。実際には、この値は、主として、コンデンサー 316 a の特性に依存する。この (制御されない) 放電により解放されるエネルギーは回路網 (電源 12) に戻される。

20

【 0 1 0 5 】

ダイオード 312 a は、ブロック状態を維持し、障害を起こしたブーストセル 310 a を隔離する。

【 0 1 0 6 】

仮にスイッチ 314 a が故障したとしても、ダイオード 312 b 端子に、実質的な電圧がないままでも、セル 310 b は正常に機能していることが分かった。

【 0 1 0 7 】

障害セル 310 a が隔離されると、ダイオード 322 a に対しファクタ 2 に対応する過電圧を使って、交流電流のスイッチングが隣接セル 320 a において維持される。しかし、従来技術に較べ、初期に定格をファクタ 2 下げたために、最大定格が $E/2$ (即ち、出力部に求められる最大電圧) に達するので、この過電圧は必ずしも必要なものではない。

30

【 0 1 0 8 】

特に、電源 12 により供給される正電圧 (交流電流の半サイクル期間) に関係する電流全部がこのブーストセル 320 a により扱われるので、結果、障害後も生存しているセル 320 a に追加的にロードされる。

【 0 1 0 9 】

ここでは、スイッチングアセンブリ 30 b がこの障害の影響を受けていないこと、及び、 $2F_{dec}$ で、2 つのセル 310 b、320 b について、動作を継続していることを注意すべきである。

40

【 0 1 1 0 】

当然、コンデンサー 316 a は隔離されており、回路 30 は 4 つの電圧 ($-E/2$, $-E/4$, 0 , $E/2$) で動作する。

【 0 1 1 1 】

しかし、出力部での電力は、障害があるにも拘らず、比較的一定に保たれることが分かる (図 4 のグラフ 42 を参照)。特に、 $t + t$ のときに、障害のために、共通端子 31 では電圧低下があり、前記インダクタンスの端子電圧の低下を介して、インダクタンスにおける電流増加を引き起こし、電力スパイクがもたらされるという事実に関して、出力電力の局部的上昇があること (augmentation ponctuelle de la puissance) が分かった。

【 0 1 1 2 】

50

障害セルの容量316 a は、放電し、障害セルのエネルギーを回路網に戻す。

【 0 1 1 3 】

2つのスイッチングアセンブリ30bは異なっているから、2つのセル310 b と320 b の内の1における障害を許容することができる。一般的に、1のスイッチアセンブリの複数ブーストセルは、次々と障害を起こす可能性がある。しかし、少なくとも正常セルが存続している限り、該スイッチアセンブリは、電源電流の問題の半サイクルにおいてスイッチングを保証することができる。

【 0 1 1 4 】

スイッチアセンブリ30iの複数セルのアセンブリの障害を軽減するために、低周波数の整流ダイオードの代わりにサイリスタを使って、ゼロクロス時にスイッチアセンブリを自動的に切り離すことができる。こうすれば、出力部のバスの短絡を避けることができる。

10

【 0 1 1 5 】

次に図5を使って、低インピーダンス障害の回路の応答の、別の実施例について説明する。この実施例は、例えば、スイッチの損失又は過電圧のために、特に障害により影響を受けたスイッチアセンブリ320 a の生存した1又は複数のダイオード324 a の過電圧ストレス (contrainte) が重大である時の実施例である。

【 0 1 1 6 】

図5の左の図は回路を表し、右の図は、対応する入力インダクタンス15の端子における3相電流のグラフ50と障害セルの容量端子における電圧のグラフ51を表わしている。

【 0 1 1 7 】

図4のように、回路30は、T時において、被制御トランジスタ (transistor commande) 314aにおいて低インピーダンス障害 (defaut) を受ける。

20

【 0 1 1 8 】

この実施例では、障害は直ちに検出される。

【 0 1 1 9 】

図8aには、電圧検出器81に接続されているトランジスタ制御回路80が示されている。電圧検出器81はブーストセルの内の1つにおける欠陥を検出するためのものである。被制御トランジスタの端子における電圧の動きを基にして、検出が行われる。この回路については、当業者に周知であるのでその構成については説明しない。

【 0 1 2 0 】

図8bのグラフは、電流導通状態 (83) へ変化させる制御信号及び電流通過阻止 (bloquant) 状態 (84) へ変化させる制御信号の後、回路80-81を使って測定されるトランジスタ314 a の端子電圧を表わす (曲線82の左側太線は正常動作を表わす。細い線は誤動作を表わし、障害が検出される)。

30

【 0 1 2 1 】

従来このように使用されてきたが、このシステムを使うと、被制御トランジスタ314 a が挿入されているブーストセルの第2構成部品の障害を検出することができる。この場合、ダイオード312 a の障害が検出される。

【 0 1 2 2 】

詳述すると、ブロック (阻止) 状態における、トランジスタ314 a の端子電圧は V_{ce} である。時刻83の時には、トランジスタは電流導通状態に変えられる。ブーストセルが正常に機能しているとき、電圧は0近くまで減少する (太線)。隣接ダイオード312 a の障害がある場合には、数 μs 後 (典型的には $5 \mu s$)、電圧は V_{ce} まで上昇する。制御信号83の後、トランジスタ314 a の端子電圧が変化したか (正常動作)、又は変化しなかったか (ダイオードの障害動作) を、十数 μs 遅れて検出する。

40

【 0 1 2 3 】

しかしながら、回路80の従来使用方法では、トランジスタ314 a の障害を検出することはできない。特に、これら回路80は2つのトランジスタ (相互に監視する) を持つこれらセルにおいて一般的に使用されていたので必要性が無かったからである。

【 0 1 2 4 】

50

対称的役割を持つ第2トランジスタがなく、トランジスタに対する検出の必要性がない場合、本発明の目的は、電流阻止状態84へ変更させる制御信号の後で、トランジスタ314 aの障害の検出を実行することである。

【0125】

図8 bを見て分かるように、制御信号84以後、トランジスタの正常動作曲線（太線）は、 V_{ce} のオーダーの端子電圧に近づいていく。

【0126】

これに対し、例えば、トランジスタに低インピーダンス障害のような障害がある場合、制御信号84以後、該トランジスタ314 aは端子電圧 V_{ce} を維持しない。端子電圧は0近くまで低下する（細線）。

【0127】

現象検出の遅れ時間は、約5 μs である。電流阻止制御信号84を付与した後トランジスタの端子電圧に変化が無いかを見るために、約10 μs の検出期間を設けることができる。

【0128】

回路80を持つ各トランジスタ及び特別な検出論理回路を備えることにより、回路30の全てのトランジスタの障害を検出することが可能になる。

【0129】

障害が検出されると、図5において符号OFFで示しているように、スイッチの制御装置は回路30の全てのスイッチをブロックする。これから分かるように、1のダイオードの障害を検出対象とすることができる。

【0130】

図5のグラフ51に示されるように、回路30は単一のダイオード整流装置（ダイオードブリッジ）に対応している。

【0131】

この実施例は、1又は複数の検出に基づいて、動作しているスイッチを種々の方法でブロックすることにより、変更することができる。特に、全てのスイッチが阻止されるのは、スイッチアセンブリ30 iにおける障害トランジスタの数が閾値に到達する時だけである。前記閾値は、理論的方法で定め、ダイオードに加えられる閾値電圧を決めることができる。その際、ブーストダイオードの定格と段数を同時に考慮しなければならない（なぜなら、障害により受ける過電圧は、段数に依存しており、同じスイッチングアセンブリにおける第2次障害により受ける過電圧に加算されるからである）。

【0132】

実際には、例えば3相（図7参照）等の多相電源を持つこの実施例が使われる。この場合、障害により影響される回路の全部の被制御スイッチ（同一位相）が阻止される。また、3相システムの出力電力は、特にDCバス制御を保護するために、（2つの）他の相の回路30₂、30₃により適正化される。

【0133】

図6を使って、差分アプローチ（*approche differentielle*）で、本発明の回路の使い方について説明する。

【0134】

差分電力整流システム（*systeme redresseur de puissance differentiel*）60は、2つの回路（特に図3の回路と同一の）30、30を備えている。その電源端子31、31は入力インピーダンス15、15に接続されている。これらインピーダンスは交流電源12の端子に接続されている。

【0135】

2つの回路30、30は、共通に、出力容量326 a、326 bを有しており、端子33 a、33 bの間で、システム60の単一出力バスを形成している。

【0136】

共通出力容量を持つ（複数）スイッチアセンブリ（“対応する”スイッチアセンブリ（例えば、30 a、30 a）と呼ぶ）は、電源（12）電流の半サイクル期間には、使用されない

10

20

30

40

50

ことが分かる。従って、対応する2つのアセンブリの構成部品を相互使用 (mutualiser) させることを考えねばならない。この相互使用は1又は複数の構成部品を対象とすることができる。

【0137】

特に、別の実施例によれば、2つの回路30、30'の対応するブーストセルに対して、共通な容量 (316a/b, 316a' /b') を使用すること、又は、対応する2つのセルの2つの容量316a/b, 316a' /b' を並列に接続すること (これにより容量のサイズ (taille des capacités) を削減できる) が考えられる。

【0138】

相互使用の中間状態があるとしても、図6 bisは、最大の相互使用のケースを表わしている。この構成においては、2つの回路30、30'のブーストセルが組合せられており、これにより、結果的に、ダイオードとトランジスタの数がかなり削減される。

10

【0139】

この図から分かるように、各スイッチングアセンブリ30-30'a, 30-30'bは、反対方向に位置している整流ダイオードを介して、同一端子により、2つの電源端子に接続されている。従って、同一スイッチアセンブリに接続されているダイオードは相互に排他的で (導通方向が反対)、前記スイッチアセンブリは、電源(12)電流の2つの半サイクルの各々に対し、2つの整流ダイオードの各々を介して、連続的に使われている。

【0140】

この構成には、常に4つのトランジスタが連続して使われている。印加される制御信号は、これら異なるトランジスタの間で、90° (π/2) オフセットされている。

20

【0141】

前記したように、相互使用は部分的であってもよい。例えば、単一スイッチアセンブリが他の回路の対応するアセンブリと相互使用されてもよい。

【0142】

特に、こうして構成される差分システムは、4.Fdecに等しい制御周波数に対し9の電圧レベルを示す。

【0143】

次に、図7を使って、非差分的アプローチで、多相電源12 (特に3相電源) の本発明の回路の使い方について説明する。

30

【0144】

3相電源の電力整流システム70は、3つの回路30₁、30₂、30₃を有している。各々は図3のそれに類似しており、電源12の相12₁、12₂、12₃に接続されている。

【0145】

3回路は、その端末容量326 a 及び326 b を共通に有し、端子33 a と33 b との間でシステム70の単一出力バスを形成している。

【0146】

3つの回路の被制御スイッチの制御信号の変更は、類似している。特に、各3回路30₁、30₂、30₃において同一の位置を持つスイッチ(複数)は、それぞれ電源の位相と同一角度だけ (ここでは2π/3) ずれている変調により制御される。

40

【0147】

同様に、図7のシステムの各位相に図6の回路の2分割を適用して、多相電源の差分電力整流システムを提供することができる: こうして6つの回路30₁、30₁'、30₂、30₂'、30₃、30₃'が得られる。

【0148】

本発明は、前記した実施例に限定されるものではない。

【図1】

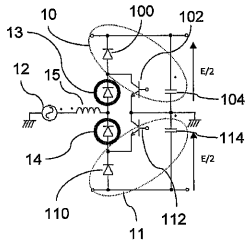


Figure 1

【図2a】

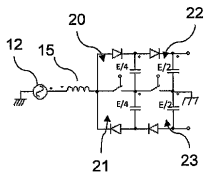


Figure 2a

【図2b】

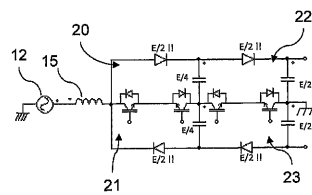


Figure 2b

【図3a】

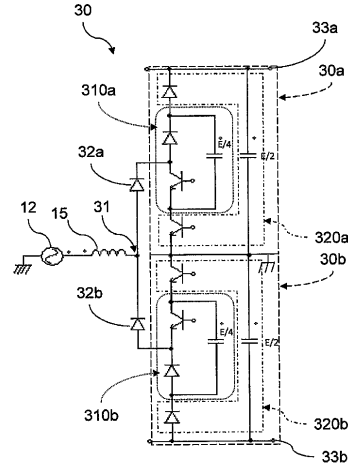


Figure 3a

【図3b】

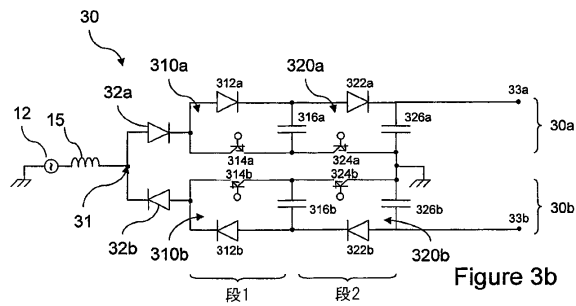


Figure 3b

【図4】

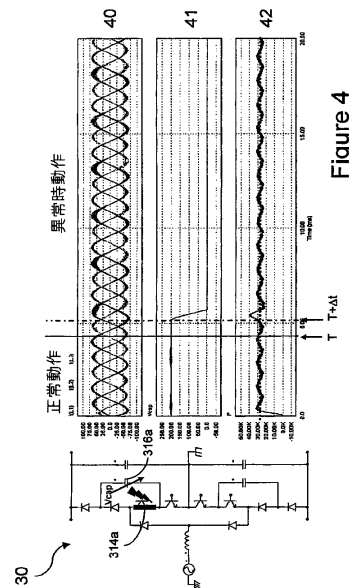


Figure 4

【図5】

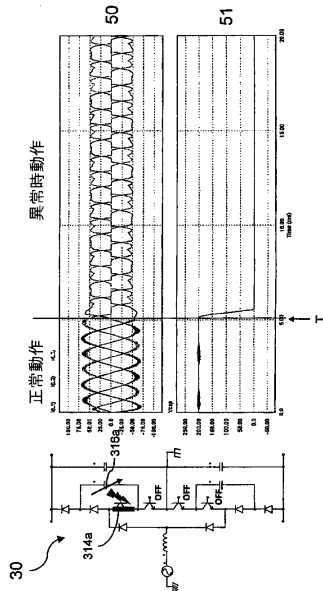


Figure 5

【図6】

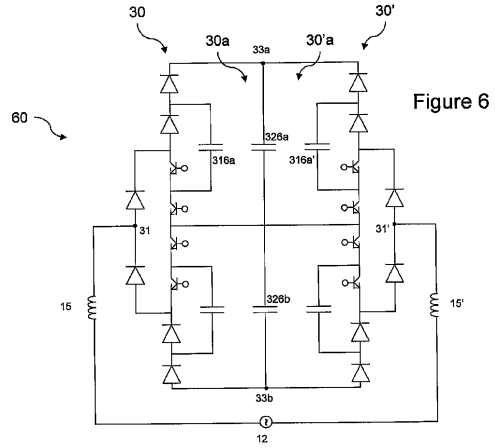


Figure 6

【図6 bis】

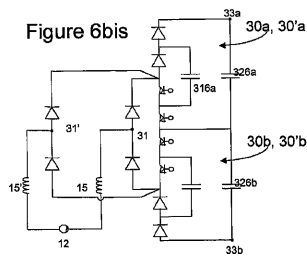


Figure 6bis

【図7】

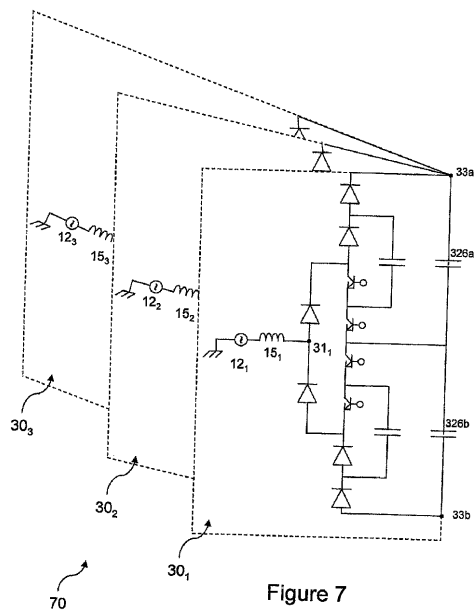


Figure 7

【図8 a】

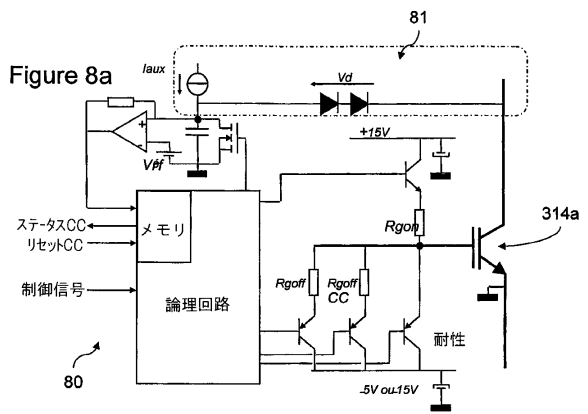
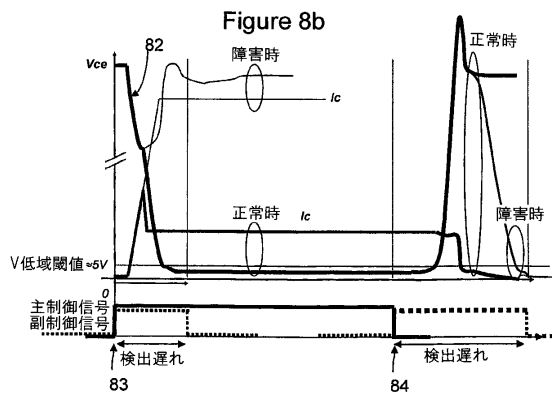


Figure 8a

【図 8 b】



フロントページの続き

- (73)特許権者 503095376
アンスティテュ ナシオナル ポリテクニク ドゥ トゥールーズ
フランス国, エフ - 3 1 0 2 9 トゥールーズ セデ 4, ベ.ペ. 4 0 3 8, アレ エミル モ
ンソ, 6
- (74)代理人 100099759
弁理士 青木 篤
- (74)代理人 100092624
弁理士 鶴田 準一
- (74)代理人 100122965
弁理士 水谷 好男
- (74)代理人 100141162
弁理士 森 啓
- (72)発明者 イトゥリ, マルセロ フェルナンド
フランス国, エフ - 3 1 4 1 0 ラブルノズ ラカス, シュマン ドゥ ベルジュ 2 6
- (72)発明者 リシャルドォー, フレデリック
フランス国, エフ - 3 1 1 3 0 フルーランス, リュ デュ パラトゥス, 9
- (72)発明者 メイナール, ティエリー
フランス国, エフ - 3 1 7 0 0 ボゼル, リュ デ ミノサス, 4 3
- (72)発明者 ヘラリ, ハッサン
フランス国, エフ - 6 5 0 0 0 タルブ, アブニユ デュ レジマン ドゥ ビゴール, 1 4 6

審査官 松本 泰典

- (56)参考文献 特開平02 - 1 6 8 8 6 7 (J P , A)
特開平11 - 0 6 9 7 8 6 (J P , A)
特開平07 - 1 9 4 1 0 0 (J P , A)
特開2005 - 3 2 8 6 4 6 (J P , A)
特表2007 - 5 0 8 7 9 2 (J P , A)
米国特許出願公開第2011 / 0 0 0 2 1 4 8 (U S , A 1)

(58)調査した分野(Int.Cl., DB名)

H 0 2 M 7 / 1 2
B 6 4 D 4 7 / 0 0
H 0 2 M 3 / 1 5 5