

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6932056号
(P6932056)

(45) 発行日 令和3年9月8日 (2021.9.8)

(24) 登録日 令和3年8月19日 (2021.8.19)

(51) Int.Cl.

HO2M 3/155 (2006.01)

F I

HO2M 3/155 H

HO2M 3/155 C

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2017-196188 (P2017-196188)	(73) 特許権者	715010864
(22) 出願日	平成29年10月6日 (2017.10.6)		エイブリック株式会社
(65) 公開番号	特開2019-71715 (P2019-71715A)		東京都港区三田三丁目9番6号
(43) 公開日	令和1年5月9日 (2019.5.9)	(72) 発明者	高田 幸輔
審査請求日	令和2年9月30日 (2020.9.30)		千葉県千葉市美浜区中瀬1丁目8番地 エスアイアイ・セミコンダクタ株式会社内
		審査官	遠藤 尊志

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項1】

第1の電源端子に供給される電源電圧から出力端子に所定の出力電圧を生成するスイッチングレギュレータであって、

一端が前記出力端子に接続されたインダクタと、
前記第1の電源端子と前記インダクタの他端との間に接続されたスイッチング素子と、
前記出力電圧に基づく電圧と第1の基準電圧との差を増幅し、第1の誤差電圧を出力する第1の誤差増幅回路と、

第1の入力ノードに入力される前記第1の誤差電圧と第2の入力ノードに入力される第2の基準電圧とに基づき出力ノードに第2の誤差電圧を生成するクランプ回路と、

第1の入力端子に入力される前記第2の誤差電圧と第2の入力端子に入力される前記第2の基準電圧とを比較し、第1のレベルまたは第2のレベルの比較結果信号を出力するP F M比較回路と、

前記比較結果信号が前記第1のレベルのとき所定周波数のクロック信号を出力し、前記比較結果信号が前記第2のレベルのとき前記クロック信号の出力を停止する発振回路と、

前記第2の誤差電圧と前記発振回路の出力とに基づいて前記スイッチング素子を所望のパルス幅でオン・オフするP W M変換回路とを備え、

前記クランプ回路は、入力が前記第1の入力ノードに接続され、出力が前記出力ノードに接続されたバッファ回路と、

一端が前記出力ノードに接続され、定電圧を発生する定電圧発生部と、

10

20

前記定電圧発生部の他端の電圧と前記第 2 の基準電圧との差を増幅する第 2 の誤差増幅回路と、

第 2 の電源端子と前記第 1 の入力ノードとの間に接続され、ゲートが前記第 2 の誤差増幅回路の出力に接続された MOS トランジスタとを有し、

前記第 2 の誤差電圧の下限値を前記第 2 の基準電圧の電圧値から前記定電圧を減算した電圧値にクランプすることを特徴とするスイッチングレギュレータ。

【請求項 2】

前記定電圧発生部は、前記第 2 の誤差増幅回路の前記定電圧発生部の他端の電圧が入力される端子と前記出力ノードとの間に接続されていることを特徴とする請求項 1 に記載のスイッチングレギュレータ。

【請求項 3】

前記定電圧発生部は、前記バッファ回路の出力と前記出力ノードとの間に接続されていることを特徴とする請求項 1 に記載のスイッチングレギュレータ。

【請求項 4】

前記バッファ回路は、ソースフォロワ回路で構成されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載のスイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチングレギュレータに関する。

【背景技術】

【0002】

図 5 に、従来のスイッチングレギュレータ 500 の回路図を示す。

【0003】

従来のスイッチングレギュレータ 500 は、電源端子 501 と、接地端子 502 と、基準電圧源 510 と、誤差増幅回路 511 と、基準電圧源 512 と、PFM 比較回路 513 と、発振回路 514 と、PMOS トランジスタ 530 と、NMOS トランジスタ 531 と、インダクタ 540 と、容量 541 と、抵抗 543 及び 544 と、出力端子 542 と、電流電圧変換回路 520、スロープ電圧生成回路 521、PWM 比較回路 522、制御回路 523、及び逆流検出回路 524 からなる PWM 変換回路 550 とを備え、これらが図示のように接続されて構成されている（例えば、特許文献 1 参照）。

【0004】

このような構成によって負帰還ループが機能し、スイッチングレギュレータ 500 は、出力端子 542 の電圧を抵抗 543 と抵抗 544 とで分圧した電圧 VFB が基準電圧源 510 の基準電圧 VREF1 と等しくなるように動作して、出力端子 542 に所定の出力電圧 VOUT を生成する。

【0005】

従来のスイッチングレギュレータ 500 では、PFM 比較回路 513 が誤差増幅回路 511 の出力である誤差電圧 VERR と基準電圧源 512 の基準電圧 VREF2 とを比較し、その出力である比較結果信号 CMPF により発振回路 514 をイネーブル又はディスエーブルさせて PWM 動作と PFM 動作を切り替える方式を採用することにより、出力端子 542 に接続される外部の負荷 50 に流れる負荷電流 IOUT が小さいときに PFM 動作に移行し、電力変換効率を向上させることを可能としている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2010 - 68671 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

20

30

40

50

しかしながら、上記のような従来のスイッチングレギュレータ 500 では、P F M 動作中に負荷電流 I_{OUT} が急増すると出力電圧 V_{OUT} が大きく低下するという課題があった。

【0008】

この原因は、一般に、スイッチングレギュレータにおける誤差増幅回路のゲインは非常に大きく設定されることから、P F M 動作中、誤差増幅回路 511 の出力である誤差電圧 V_{ERR} が 0 V まで低下するためである。誤差電圧 V_{ERR} が 0 V まで低下してしまうことから、誤差電圧 V_{ERR} が 0 V から基準電圧 V_{REF2} を超えて P W M 動作するまでに大幅な遅延が発生し、この間に出力電圧 V_{OUT} が大きく低下することとなる。

【0009】

かかる原因について、以下、図 6 の波形図を用いて詳細に説明する。

【0010】

図 6 は、従来のスイッチングレギュレータ 500 における負荷電流 I_{OUT} 、P M O S トランジスタ 530 のドレインから出力される電圧 V_{SW} 、インダクタ 540 に流れるインダクタ電流 I_L 、出力電圧 V_{OUT} 、電圧 V_{FB} 、誤差電圧 V_{ERR} 、比較結果信号 $CMPF$ の波形を示している。また、電圧 V_{FB} の波形に重ねて、基準電圧 V_{REF1} を一点差線で示し、誤差電圧 V_{ERR} の波形に重ねて、基準電圧 V_{REF2} を一点差線で、0 V を点線で示している。

【0011】

時刻 t_0 では、比較結果信号 $CMPF$ がハイレベルとなっており、スイッチングレギュレータ 500 は、P F M 動作している。よって、P M O S トランジスタ 530 及び N M O S トランジスタ 531 は、スイッチング動作を停止してオフしている。この状態で、時刻 t_0 において負荷電流 I_{OUT} が急増すると、これに従い、出力電圧 V_{OUT} が低下していき、電圧 V_{FB} も低下していく。そして、電圧 V_{FB} が基準電圧 V_{REF1} を下回ると、誤差電圧 V_{ERR} が 0 V から上昇し始める。その後、時刻 t_1 において、誤差電圧 V_{ERR} が基準電圧 V_{REF2} を上回ると、比較結果信号 $CMPF$ がローレベルに反転する。これにより、P M O S トランジスタ 530 及び N M O S トランジスタ 531 がスイッチング動作を開始し、インダクタ電流 I_L が流れて出力電圧 V_{OUT} が上昇に転じる。このように、時刻 t_0 から時刻 t_1 まで、すなわち、負荷電流 I_{OUT} が急増してから P M O S トランジスタ 530 及び N M O S トランジスタ 531 がスイッチング動作を開始するまでに遅延時間 DT が発生する。したがって、出力電圧 V_{OUT} が大きく低下することとなる。

【0012】

本発明は、以上のような課題を解決するためになされたものであり、P F M 動作中に負荷電流が急増しても、出力電圧の大幅な低下を抑制することが可能なスイッチングレギュレータを提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明のスイッチングレギュレータは、電源端子に供給される電源電圧から出力端子に所定の出力電圧を生成するスイッチングレギュレータであって、一端が前記出力端子に接続されたインダクタと、前記電源端子と前記インダクタの他端との間に接続されたスイッチング素子と、前記出力電圧に基づく電圧と第 1 の基準電圧との差を増幅し、第 1 の誤差電圧を出力する第 1 の誤差増幅回路と、第 1 の入力ノードに入力される前記第 1 の誤差電圧と第 2 の入力ノードに入力される第 2 の基準電圧とに基づき出力ノードに第 2 の誤差電圧を生成するクランプ回路と、第 1 の入力端子に入力される前記第 2 の誤差電圧と第 2 の入力端子に入力される前記第 2 の基準電圧とを比較し、第 1 のレベルまたは第 2 のレベルの比較結果信号を出力する P F M 比較回路と、前記比較結果信号が前記第 1 のレベルのとき所定周波数のクロック信号を出力し、前記比較結果信号が前記第 2 のレベルのとき前記クロック信号の出力を停止する発振回路と、前記第 2 の誤差電圧と前記発振回路の出力とに基づいて前記スイッチング素子を所望のパルス幅でオン・オフする P W M 変換回路とを

10

20

30

40

50

備え、前記クランプ回路は、入力が前記第 1 の入力ノードに接続され、出力が前記出力ノードに接続されたバッファ回路と、一端が前記出力ノードに接続され、定電圧を発生する定電圧発生部と、前記定電圧発生部の他端の電圧と前記第 2 の基準電圧との差を増幅する第 2 の誤差増幅回路と、第 2 の電源端子と前記第 1 の入力ノードとの間に接続され、ゲートが前記第 2 の誤差増幅回路の出力に接続された MOS トランジスタとを有し、前記第 2 の誤差電圧の下限値を前記第 2 の基準電圧の電圧値から前記定電圧を減算した電圧値にクランプすることを特徴とする。

【発明の効果】

【0014】

本発明のスイッチングレギュレータによれば、P F M 比較回路の第 1 の入力端子に入力される第 2 の誤差電圧の下限値が第 2 の基準電圧の電圧値から所定の電圧値を減算した電圧値にクランプされる。すなわち、P F M 比較回路の第 1 の入力端子に入力される電圧の下限値を 0 V よりも第 2 の基準電圧に近い電圧に設定することができる。これにより、P F M 動作中に負荷電流が急増した場合でも P F M 動作から P W M 動作へ短時間で移行できる。したがって、出力電圧が大幅に低下することを抑制することが可能となる。

【図面の簡単な説明】

【0015】

【図 1】本発明の第 1 の実施形態のスイッチングレギュレータを示す回路図である。

【図 2】図 1 に示すスイッチングレギュレータの各ノードの信号波形を示す図である。

【図 3】本発明の第 2 の実施形態のスイッチングレギュレータを示す回路図である。

【図 4】図 1 及び図 2 に示すバッファ回路の一具体例を示す回路図である。

【図 5】従来のスイッチングレギュレータの回路図である。

【図 6】図 5 のスイッチングレギュレータの各ノードの信号波形を示す図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態について、図面を参照して説明する。

【0017】

図 1 は、本発明の第 1 の実施形態のスイッチングレギュレータ 100 の回路図である。

【0018】

本実施形態のスイッチングレギュレータ 100 は、電源電圧 V D D 1 が供給される電源端子 101 と、電源電圧 V D D 2 が供給される電源端子 102 と、接地端子 103 と、基準電圧源 110 と、誤差増幅回路 111 と、基準電圧源 112 と、P F M 比較回路 113 と、発振回路 114 と、P M O S トランジスタ 130 (「スイッチング素子」ともいう) と、N M O S トランジスタ 131 (「同期整流素子」ともいう) と、インダクタ 140 と、容量 141 と、抵抗 143 及び 144 と、出力端子 142 と、電流電圧変換回路 120、スロープ電圧生成回路 121、P W M 比較回路 122、制御回路 123、及び逆流検出回路 124 からなる P W M 変換回路 150 と、クランプ回路 160 とを備えている。

【0019】

クランプ回路 160 は、入力が入力ノード N I 1 に接続されたバッファ回路 161 と、一端がバッファ回路の出力及び出力ノード N O に接続された定電圧発生部 162 と、反転入力端子が定電圧発生部 162 の他端に接続され、非反転入力端子が入力ノード N I 2 に接続された誤差増幅回路 163 と、ゲートが誤差増幅回路 163 の出力に接続され、ドレインが電源端子 102 に接続され、ソースが入力ノード N I 1 に接続された N M O S トランジスタ 164 とを有している。

【0020】

基準電圧源 110 は、一端が誤差増幅回路 111 の非反転入力端子に接続され、他端が接地端子 103 に接続されている。誤差増幅回路 111 は、反転入力端子が抵抗 143 と抵抗 144 との接続点に接続され、出力がクランプ回路 160 の入力ノード N I 1 に接続されている。クランプ回路 160 は、入力ノード N I 1 が誤差増幅回路 111 の出力に接続され、入力ノード N I 2 が基準電圧源 112 の一端に接続され、出力ノード N O が P F

10

20

30

40

50

M比較回路113の反転入力端子及びPWM比較回路122の反転入力端子に接続されている。基準電圧源112の一端は、PFM比較回路113の非反転入力端子に接続され、他端は接地端子103に接続されている。PFM比較回路113は、出力が発振回路114の入力に接続されている。発振回路114は、出力が制御回路123の入力に接続されている。

【0021】

スロープ電圧生成回路121は、入力が電流電圧変換回路120の出力に接続され、出力がPWM比較回路122の非反転入力端子に接続されている。PWM比較回路122は、出力が制御回路123の入力に接続されている。PMOSトランジスタ130は、ソースが電源端子101及び電流電圧変換回路120の入力に接続され、ゲートが制御回路123の出力に接続され、ドレインがインダクタ140の一端、逆流検出回路124の非反転入力端子、及びNMOSトランジスタ131のドレインに接続されている。NMOSトランジスタ131は、ゲートが制御回路123の出力に接続され、ソースが接地端子103に接続されている。逆流検出回路124は、反転入力端子が接地端子103に接続され、出力が制御回路123の入力に接続されている。

【0022】

インダクタ140は、他端が容量141の一端、抵抗143の一端、及び出力端子142に接続されている。容量141の他端は、接地端子103に接続されている。抵抗144の他端は、接地端子103に接続されている。

【0023】

以下、上記のように構成されたスイッチングレギュレータ100の動作について説明する。

【0024】

誤差増幅回路111は、出力端子142の出力電圧 V_{OUT} を抵抗143と抵抗144とで分圧した電圧 V_{FB} と基準電圧源110の基準電圧 V_{REF1} とを比較して、誤差電圧 V_{ERR1} を出力する。

【0025】

クランプ回路160は、入力ノード N_{I1} に入力される誤差電圧 V_{ERR1} と入力ノード N_{I2} に入力される基準電圧源112の基準電圧 V_{REF2} とに基づき、出力ノード N_O に誤差電圧 V_{ERR2} を生成する。具体的には、バッファ回路161の出力インピーダンスが誤差増幅回路111の出力インピーダンスよりも低く設定されており、バッファ回路161は、誤差電圧 V_{ERR1} に比例した誤差電圧 V_{ERR2} を出力ノード N_O に生成する。定電圧発生部162は、定電圧 V_{OS} を生成する。誤差増幅回路163は、誤差電圧 V_{ERR2} に定電圧 V_{OS} を加算した電圧 V_M と基準電圧 V_{REF2} とを比較してNMOSトランジスタ164のゲートに出力電圧を入力する。これにより、クランプ回路160は、電圧 V_M が基準電圧 V_{REF2} よりも小さいとき、誤差電圧 V_{ERR2} を基準電圧 V_{REF2} よりも定電圧 V_{OS} 分低い電圧にクランプする。

【0026】

電流電圧変換回路120は、PMOSトランジスタ130のソース電流を電圧に変換し、スロープ電圧生成回路121に出力する。スロープ電圧生成回路121は、電流電圧変換回路120の出力にノコギリ波を加算し、電圧 V_{CS} を出力する。PWM比較回路122は、誤差電圧 V_{ERR2} と電圧 V_{CS} とを比較し、比較結果信号 CM_{PW} を制御回路123に出力する。

【0027】

PFM比較回路113は、基準電圧源112の基準電圧 V_{REF2} と誤差電圧 V_{ERR2} とを比較し、比較結果信号 CM_{PF} を発振回路114に出力する。発振回路114は、比較結果信号 CM_{PF} がローレベルのとき、所定の周波数で発振し（イネーブルされ）、出力信号 CLK としてクロック信号を出力する。また、発振回路114は、比較結果信号 CM_{PF} がハイレベルのとき、発振を停止し（ディスエーブルされ）、出力信号 CLK をローレベルに固定する。

10

20

30

40

50

【 0 0 2 8 】

逆流検出回路 1 2 4 は、N M O S トランジスタ 1 3 1 のドレイン電圧とソース電圧とを比較し、ドレイン電圧がソース電圧より高くなると、逆電流検出信号を制御回路 1 2 3 に出力する。

【 0 0 2 9 】

制御回路 1 2 3 は、入力された各信号に従って、P M O S トランジスタ 1 3 0 と N M O S トランジスタ 1 3 1 のオン・オフを制御する。

【 0 0 3 0 】

インダクタ 1 4 0 と容量 1 4 1 は、P M O S トランジスタ 1 3 0 のドレインから出力される電圧 V S W を平滑する。

10

【 0 0 3 1 】

このような回路構成によって負帰還ループが機能し、スイッチングレギュレータ 1 0 0 は、電圧 V F B が基準電圧 V R E F 1 と等しくなるように動作して、出力端子 1 4 2 に出力電圧 V O U T を生成する。

【 0 0 3 2 】

スイッチングレギュレータ 1 0 0 では、出力端子 1 4 2 に接続される負荷 1 0 に流れる負荷電流 I O U T の大きさによって、以下のように、P W M (P u l s e W i d t h M o d u l a t i o n) 動作と P F M (P u l s e F r e q u e n c y M o d u l a t i o n) 動作が切り替わる。

【 0 0 3 3 】

20

負荷電流が大きい場合、出力電圧 V O U T の低下を補うように誤差電圧 V E R R 1、すなわち、誤差電圧 V E R R 2 が上昇する。したがって、誤差電圧 V E R R 2 が基準電圧 V R E F 2 よりも定常的に大きくなり、発振回路 1 1 4 は、出力信号 C L K として所定周波数のクロック信号を出力し続ける。このクロック信号の立ち上がり同期して、P W M 変換回路 1 5 0 は、P M O S トランジスタ 1 3 0 をオンさせ、N M O S トランジスタ 1 3 1 をオフさせる。このとき、P M O S トランジスタ 1 3 0 のオン時間を制御する信号のパルス幅は、P W M 変換回路 1 5 0 により決定される。このように、負荷電流 I O U T が大きい場合には、スイッチングレギュレータ 1 0 0 は、P W M 動作となる。

【 0 0 3 4 】

その後、上述の状態から、負荷電流 I O U T が小さくなった場合、負荷電流 I O U T が小さくなってすぐの時点では、誤差電圧 V E R R 2 が基準電圧 V R E F 2 よりも定常的に大きい状態が続いている。しかし、負荷電流 I O U T が小さくなっていることから、負荷電流 I O U T による出力電圧 V O U T の低下が少ないため、P M O S トランジスタ 1 3 0 をオンさせることによる出力電圧 V O U T の上昇が大きくなる。したがって、この出力電圧 V O U T の上昇を補うように誤差電圧 V E R R 2 が低下し、基準電圧 V R E F 2 よりも低い電圧値となる。よって、P M O S トランジスタ 1 3 0 がオフとなり、出力電圧 V O U T は、低下していく。

30

【 0 0 3 5 】

そして、誤差電圧 V E R R 2 が上昇していき基準電圧 V R E F 2 よりも大きくなると、発振回路 1 1 4 は、出力信号 C L K としてクロック信号を出力する。このクロック信号の立ち上がり同期して、P W M 変換回路 1 5 0 は、P M O S トランジスタ 1 3 0 をオンさせ、N M O S トランジスタ 1 3 1 をオフさせる。このとき、負荷電流 I O U T が小さいことから、P M O S トランジスタ 1 3 0 がオンしたことにより、出力電圧 V O U T がすぐに所望の電圧値を上回るため、誤差電圧 V E R R 2 は低下する。すると、P W M 変換回路 1 5 0 は、P M O S トランジスタ 1 3 0 をオフさせ、N M O S トランジスタ 1 3 1 をオンさせる。また、発振回路 1 1 4 は、出力信号 C L K をローレベルに固定する。このように、負荷電流 I O U T が小さい場合には、発振回路 1 1 4 は、発振と停止とを繰り返す。すなわち、スイッチングレギュレータ 1 0 0 は、P F M 動作となる。

40

【 0 0 3 6 】

このようにして、本実施形態のスイッチングレギュレータ 1 0 0 は、負荷電流 I O U T

50

が小さいときに P F M 動作に移行し、電力変換効率を向上させることができる。

【 0 0 3 7 】

かかる本実施形態のスイッチングレギュレータ 1 0 0 の特徴的な構成を説明するため、以下、スイッチングレギュレータ 1 0 0 が P F M 動作しているときに、負荷電流 I O U T が急増した場合の回路動作について詳述する。

【 0 0 3 8 】

図 2 は、本実施形態のスイッチングレギュレータ 1 0 0 における負荷電流 I O U T、電圧 V S W、インダクタ 1 4 0 に流れるインダクタ電流 I L、出力電圧 V O U T、電圧 V F B、誤差電圧 V E R R 2、比較結果信号 C M P F の波形を示している。また、電圧 V F B の波形に重ねて、基準電圧 V R E F 1 を一点差線で示し、誤差電圧 V E R R 2 の波形に重ねて、基準電圧 V R E F 2 を一点差線で、0 V を点線で示している。

10

【 0 0 3 9 】

時刻 t 0 では、比較結果信号 C M P F がハイレベルとなっており、スイッチングレギュレータ 1 0 0 は、P F M 動作している。よって、P M O S トランジスタ 1 3 0 及び N M O S トランジスタ 1 3 1 は、スイッチング動作を停止してオフしている。このとき、電圧 V F B が基準電圧 V R E F 1 より高いことから、誤差増幅回路 1 1 1 は、誤差電圧 V E R R 1 として低い電圧 (0 V) を出力しようとする。しかし、上述のとおり、クランプ回路 1 6 0 は、電圧 V M が基準電圧 V R E F 2 より小さくなると、誤差電圧 V E R R 2 を基準電圧 V R E F 2 よりも定電圧 V O S 分低い電圧にクランプするため、誤差電圧 V E R R 2 (誤差電圧 V E R R 1) は、基準電圧 V R E F 2 よりも低く、0 V よりも高い電圧となっている。

20

【 0 0 4 0 】

上述の状態、時刻 t 0 において負荷電流 I O U T が急増すると、これに従い、出力電圧 V O U T が低下していき、電圧 V F B も低下していく。そして、電圧 V F B が基準電圧 V R E F 1 を下回ると、誤差電圧 V E R R 2 は、基準電圧よりも定電圧 V O S 分低い電圧から上昇し始める。

【 0 0 4 1 】

その後、時刻 t 1 において、誤差電圧 V E R R 2 が基準電圧 V R E F 2 を上回ると、比較結果信号 C M P F がローレベルに反転する。これにより、P M O S トランジスタ 1 3 0 及び N M O S トランジスタ 1 3 1 がスイッチング動作を開始し、インダクタ電流 I L が流れて出力電圧 V O U T が上昇に転じる。

30

【 0 0 4 2 】

このように、本実施形態のスイッチングレギュレータ 1 0 0 は、誤差電圧 V E R R 2 の下限値が基準電圧 V R E F 2 の電圧値から定電圧 V O S 分を減算した電圧値にクランプされるように動作することにより、時刻 t 0 から時刻 t 1 まで、すなわち、P F M 動作中に負荷電流 I O U T が急増してから P W M 動作に移行するまでに遅延時間 D T を短縮することができる。したがって、出力電圧 V O U T が大きく低下することを抑制することが可能となる。

【 0 0 4 3 】

次に、図 3 を参照して、本発明の第 2 の実施形態のスイッチングレギュレータ 2 0 0 について説明する。

40

【 0 0 4 4 】

本実施形態のスイッチングレギュレータ 2 0 0 は、第 1 の実施形態のスイッチングレギュレータ 1 0 0 のクランプ回路 1 6 0 において、誤差増幅回路 1 6 3 の反転入力端子と出力ノード N O との間に接続されていた定電圧発生部 1 6 2 が削除され、代わりに、バッファ回路 1 6 1 の出力と出力ノード N O との間に定電圧発生部 2 6 2 が接続された構成となっている。その他の構成については、図 1 のスイッチングレギュレータ 1 0 0 と同一であるため、同一の構成要素には同一符号を付し、重複する説明は適宜省略する。

【 0 0 4 5 】

上述の構成により、本実施形態のスイッチングレギュレータ 2 0 0 も、第 1 の実施形態

50

のスイッチングレギュレータ 100 と同様、誤差電圧 V_{ERR2} の下限値が基準電圧 V_{REF2} の電圧値から定電圧 V_{OS} 分を減算した電圧値にクランプされるように動作する。これにより、PFM動作中に負荷電流 I_{OUT} が急増した場合でも、負荷電流 I_{OUT} が急増してからPWM動作に移行するまでの遅延時間 DT を短縮し、出力電圧 V_{OUT} が大きく低下することを抑制することができる。

【0046】

図4は、第1及び第2の実施形態におけるバッファ回路 161 の位置具体例を示している。バッファ回路 161 は、ドレインが電源端子 102 に接続され、ソースがクランプ回路 160 の出力ノード N_O に接続され、ゲートがクランプ回路 160 の入力ノード N_{I1} に接続され N_{MOS} トランジスタ 161 t と、出力ノード N_O と接地端子 103 との間に接続された定電流源 161 c とにより構成されている。すなわち、バッファ回路 161 は、ソースフォロワ回路で構成されている。

10

【0047】

かかる構成によれば、少ない素子数で出力インピーダンスの低いバッファ回路を実現することができる。

【0048】

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲において種々の変更が可能であることは言うまでもない。

【0049】

例えば、上記実施形態において、定電圧発生部 162、262 は、定電圧が生成可能であれば、その構成は特に限定されない。

20

【0050】

また、上記実施形態においては、電流モード制御方式のスイッチングレギュレータを例として説明したが、本発明は、電圧モード制御方式のスイッチングレギュレータにも適用可能である。

【0051】

また、上記実施形態においては、スイッチング素子及び同期整流素子として MOS トランジスタを用いた例を説明したが、バイポーラトランジスタ等を用いてもよい。

【0052】

また、上記実施形態においては、同期整流方式のスイッチングレギュレータを例として説明したが、本発明は、ダイオード整流方式のスイッチングレギュレータにも適用可能である。なお、ダイオード整流方式とした場合は、逆流検出回路は不要である。

30

【符号の説明】

【0053】

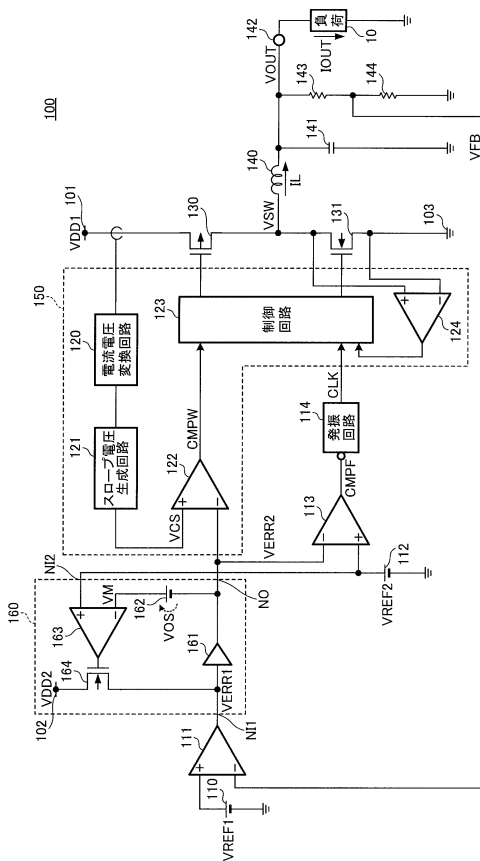
- 100、200 スwitchングレギュレータ
- 101、102、501 電源端子
- 103、502 接地端子
- 110、112、510、512 基準電圧源
- 111、163、511 誤差増幅回路
- 113、513 PFM比較回路
- 114、514 発振回路
- 120、520 電流電圧変換回路
- 121、521 スロープ電圧生成回路
- 122、522 PWM比較回路
- 123、523 制御回路
- 124、524 逆流検出回路
- 130、530 PMOSTランジスタ
- 131、164、531 NMOSTランジスタ
- 140、540 インダクタ
- 141、541 容量

40

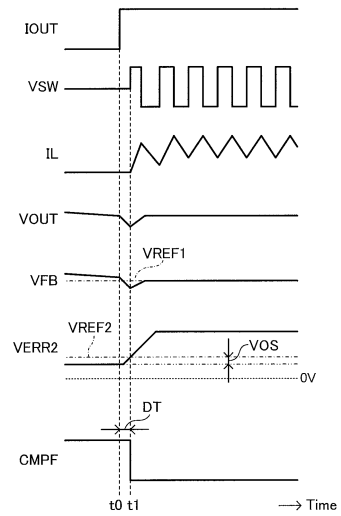
50

- | | | |
|-------------------------|-----------|--|
| 1 4 2、5 4 2 | 出力端子 | |
| 1 4 3、1 4 4、5 4 3、5 4 4 | 抵抗 | |
| 1 5 0、5 5 0 | P W M変換回路 | |
| 1 6 0 | クランプ回路 | |
| 1 6 1 | バッファ回路 | |
| 1 6 2、2 6 2 | 定電圧発生部 | |

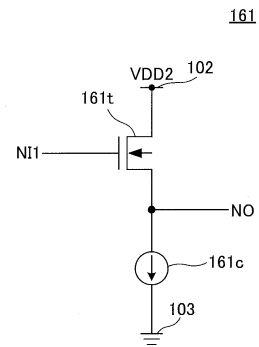
【 図 1 】



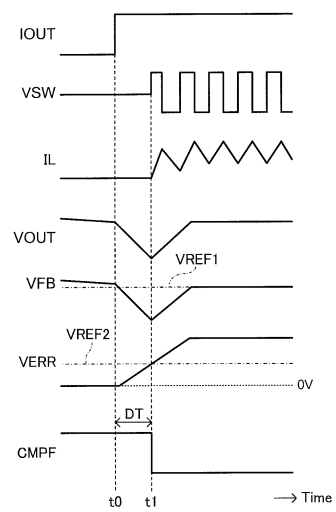
【 図 2 】



【圖 4】



【 図 6 】



フロントページの続き

(56)参考文献 特開2010-259257(JP,A)
特開2010-004653(JP,A)
特開2013-168880(JP,A)
特開2005-210335(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00-3/44