

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年2月9日(09.02.2023)



(10) 国際公開番号

WO 2023/013200 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)

TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー21階 Osaka (JP).

(21) 国際出願番号: PCT/JP2022/019924

(22) 国際出願日: 2022年5月11日(11.05.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2021-128850 2021年8月5日(05.08.2021) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).

(72) 発明者: 那須 賢太郎 (NASU, Kentaro);
〒6158585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人あい特許事務所 (AI ASSOCIATION OF PATENT AND

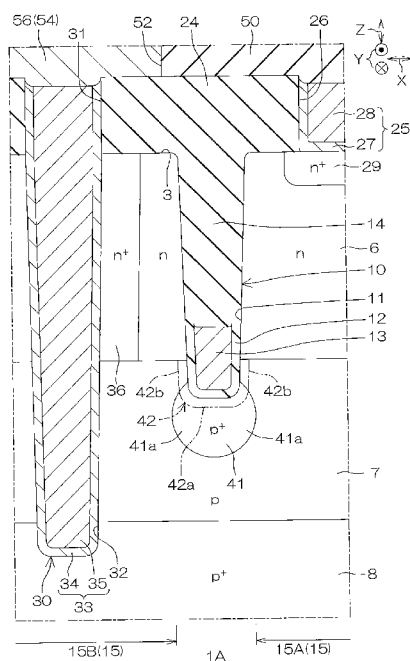
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図8]



(57) Abstract: This semiconductor device comprises: a first semiconductor region of a first conductivity type, the first semiconductor region being formed in a first main surface-side region within a chip; a second semiconductor region of a second conductivity type, the second semiconductor region being formed in a second main surface-side region within the chip; a first groove structure which comprises a first groove that is formed in the first main surface so as to penetrate through the first semiconductor region, thereby dividing the first semiconductor region into a first region and a second region when viewed in cross section, a control insulating film that covers the inner wall of the first groove, and a control electrode that is buried in the first groove, with the control insulating film being interposed therebetween, so as to control a channel in the second semiconductor region; a first electrode which is electrically connected to the first semiconductor region in the first region; and a second groove structure which comprises a second groove that is formed in the first main surface so as to penetrate through the first semiconductor region in the second region, and a second electrode that is buried in the second groove so as to form a current path between the first electrode and itself via the channel.

[続葉有]



DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、チップ内で第1主面側の領域に形成された第1導電型の第1半導体領域と、前記チップ内で第2主面側の領域に形成された第2導電型の第2半導体領域と、断面視において前記第1半導体領域を第1領域および第2領域に区画するように前記第1半導体領域を貫通して前記第1主面に形成された第1溝、前記第1溝の内壁を被覆する制御絶縁膜、および、前記第2半導体領域におけるチャネルを制御するように前記制御絶縁膜を挟んで前記第1溝に埋設された制御電極を含む第1溝構造と、前記第1領域において前記第1半導体領域に電氣的に接続された第1電極と、前記第2領域において前記第1半導体領域を貫通して前記第1主面に形成された第2溝、および、前記第1電極との間で前記チャネルを介する電流経路を形成するように前記第2溝に埋設された第2電極を含む第2溝構造と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2021年8月5日に日本国特許庁に提出された特願2021-128850号に対応しており、この出願の全開示はここに引用により組み込まれる。本開示は、半導体装置に関する。

背景技術

[0002] 特許文献1は、p型半導体層、第1トレンチ構造、複数のn型ドリフト層および複数のn型ドレインソース領域を含む半導体装置を開示している。第1トレンチ構造は、p型半導体層の主面に形成されている。複数のn型ドリフト層は、p型半導体層の主面の表層部において第1トレンチ構造の両側にそれぞれ形成されている。複数のn型ドレインソース領域は、複数のドリフト層の表層部にそれぞれ形成されている。トランジスタのチャネルは、第1トレンチ構造の底部に沿う領域に形成される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2007/0145474号明細書

発明の概要

発明が解決しようとする課題

[0004] 一実施形態は、新規な構造を有する半導体装置を提供する。

課題を解決するための手段

[0005] 一実施形態は、一方側の第1主面および他方側の第2主面を有するチップと、前記チップ内で前記第1主面側の領域に形成された第1導電型の第1半導体領域と、前記チップ内で前記第1半導体領域よりも前記第2主面側の領域に形成された第2導電型の第2半導体領域と、断面視において前記第1半導体領域を一方側の第1領域および他方側の第2領域に区画するように前記第1半導体領域を貫通して前記第1主面に形成された第1溝、前記第1溝の

内壁を被覆する制御絶縁膜、および、前記第 2 半導体領域におけるチャネルを制御するように前記制御絶縁膜を挟んで前記第 1 溝に埋設された制御電極を含む第 1 溝構造と、前記第 1 領域において前記第 1 半導体領域に電氣的に接続された第 1 電極と、前記第 2 領域において前記第 1 半導体領域を貫通して前記第 1 主面に形成された第 2 溝、および、前記第 1 電極との間で前記チャネルを介する電流経路を形成するように前記第 2 溝に埋設された第 2 電極を含む第 2 溝構造と、を含む、半導体装置を提供する。

[0006] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0007] [図1]図 1 は、第 1 実施形態に係る半導体装置を示す模式的な平面図である。

[図2]図 2 は、図 1 に示すII-II線に沿う断面図である。

[図3]図 3 は、第 1 実施形態に係るチップの第 1 主面のレイアウト例を示す模式的な平面図である。

[図4]図 4 は、図 3 に示す領域IVの拡大図である。

[図5]図 5 は、図 4 に示すV-V線に沿う断面図である。

[図6]図 6 は、図 5 に示すVI-VI線に沿う断面図である。

[図7]図 7 は、図 5 に示すVII-VII線に沿う断面図である。

[図8]図 8 は、チップの内部の要部を示す拡大断面図である。

[図9]図 9 は、図 4 に示す領域に対応し、チップの上に引き回された第 1 層配線のレイアウト例を示す拡大図である。

[図10]図 10 は、図 4 に示す領域に対応し、チップの上に引き回された第 2 層配線のレイアウト例を示す拡大図である。

[図11A]図 11A は、図 1 に示す半導体装置の製造方法の一例を示す断面図である。

[図11B]図 11B は、図 11A の後の工程を示す断面図である。

[図11C]図 11C は、図 11B の後の工程を示す断面図である。

[図11D]図 11D は、図 11C の後の工程を示す断面図である。

[図11E]図11Eは、図11Dの後の工程を示す断面図である。

[図11F]図11Fは、図11Eの後の工程を示す断面図である。

[図11G]図11Gは、図11Fの後の工程を示す断面図である。

[図11H]図11Hは、図11Gの後の工程を示す断面図である。

[図11I]図11Iは、図11Hの後の工程を示す断面図である。

[図11J]図11Jは、図11Iの後の工程を示す断面図である。

[図11K]図11Kは、図11Jの後の工程を示す断面図である。

[図11L]図11Lは、図11Kの後の工程を示す断面図である。

[図11M]図11Mは、図11Lの後の工程を示す断面図である。

[図11N]図11Nは、図11Mの後の工程を示す断面図である。

[図11O]図11Oは、図11Nの後の工程を示す断面図である。

[図11P]図11Pは、図11Oの後の工程を示す断面図である。

[図11Q]図11Qは、図11Pの後の工程を示す断面図である。

[図12]図12は、第2実施形態に係る半導体装置を示す模式的な平面図である。

[図13]図13は、図12に示すXIII-XIII線に沿う断面図である。

[図14]図14は、第2実施形態に係るチップの第1主面のレイアウト例を示す模式的な平面図である。

[図15]図15は、図14に示す領域XVの拡大図である。

[図16]図16は、図15に示すXVI-XVI線に沿う断面図である。

[図17]図17は、図15に示す領域に対応し、チップの上に引き回された第1層配線のレイアウト例を示す拡大図である。

[図18]図18は、第3実施形態に係る半導体装置（＝2つの第2実施形態に係る半導体装置を用いた半導体モジュール）の模式的な断面図である。

[図19]図19は、図18に示す半導体装置が組み込まれる電気回路の構成例を示す回路図である。

[図20]図20は、第4実施形態に係る半導体装置の電氣的構造を示す回路図である。

[図21]図21は、図20に示す半導体装置を示す模式的な平面図である。

[図22]図22は、図21に示すXXII-XXII線に沿う断面図である。

[図23]図23は、第4実施形態に係るチップの第1主面のレイアウト例を示す模式的な平面図である。

[図24]図24は、図23に示す領域XXIVの拡大図である。

[図25]図25は、図24に示すXXV-XXV線に沿う断面図である。

[図26]図26は、図24に示すXXVI-XXVI線に沿う断面図である。

[図27]図27は、図8に示す領域に対応し、ゲート電極の変形例を示す拡大断面図である。

[図28]図28は、図9に示す領域に対応し、第1層配線の変形例を示す拡大平面図である。

[図29]図29は、第1実施形態に係る半導体装置において端子電極が採用された場合の構造例を示す模式的な断面図である。

[図30]図30は、図5に示す領域に対応し、第2トレンチ構造の変形例を示す拡大断面図である。

[図31]図31は、図5に示す領域に対応し、第1実施形態に係る半導体装置においてベース電極が取り除かれた場合の構造例を示す拡大断面図である。

[図32]図32は、図5に示す領域に対応し、第3半導体領域の変形例を示す拡大断面図である。

発明を実施するための形態

[0008] 以下、添付図面の参照によって、実施形態が詳細に説明される。添付図面は、厳密に図示されたものではなく、模式図であり、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0009] 図1は、第1実施形態に係る半導体装置1Aを示す模式的な平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、第1実施形態に係るチップ2の第1主面3のレイアウト例を示す模式的な平面図である。図

4は、図3に示す領域IVの拡大図である。図5は、図4に示すV-V線に沿う断面図である。図6は、図5に示すVI-VI線に沿う断面図である。図7は、図5に示すVII-VII線に沿う断面図である。

[0010] 図8は、チップ2の内部の要部を示す拡大断面図である。図9は、図4に示す領域に対応し、チップ2の上に引き回された第1層間配線54のレイアウト例を示す拡大図である。図10は、図4に示す領域に対応し、チップ2の上に引き回された第2層間配線64のレイアウト例を示す拡大図である。

[0011] 図1～図10を参照して、半導体装置1Aは、この形態（this embodiment）では、電界効果トランジスタの一例としてのトレンチゲート・ラテラル型のMISFET（Metal Insulator Semiconductor Field Effect Transistor）構造を備えたスイッチングデバイスである。半導体装置1Aは、直方体形状に形成されたチップ2（半導体チップ）を含む。チップ2は、Si（シリコン）またはワイドバンドギャップ半導体の単結晶を含む。ワイドバンドギャップ半導体は、Siのバンドギャップを超えるバンドギャップを有する半導体である。チップ2は、SiチップまたはSiC（炭化シリコン）チップであってもよい。

[0012] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを含む。第1主面3および第2主面4は、チップ2の厚さ方向に沿う法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第2主面4は、研削痕を有する研削面であってもよい。

[0013] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向（背向）している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。チップ2の一辺の長さ（第1～第4側面5A～5Dの平面視長さ）は、0.5mm以上5mm以下であってもよい。

[0014] 半導体装置1Aは、チップ2内において第1主面3側の領域に形成されたn型（第1導電型）の第1半導体領域6を含む。第1半導体領域6は、「ド

リフト層」と称されてもよい。第1半導体領域6は、第2主面4から第1主面3側に間隔を空けてチップ2内に形成されている。第1半導体領域6は、第1主面3の表層部において第1主面3に沿って延びる層状に形成され、第1主面3の全域および第1～第4側面5A～5Dの一部から露出している。

[0015] むろん、第1半導体領域6は、平面視において第1～第4側面5A～5Dから間隔を空けて第1主面3の内方部に形成されていてもよい。第1半導体領域6は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下のn型不純物濃度を有していてもよい。第1半導体領域6は、 $0.1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下（好ましくは $0.5 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下）の厚さを有していてもよい。

[0016] 第1半導体領域6は、比較的大きい拡散係数を有する5価元素（n型不純物）を含むことが好ましい。第1半導体領域6は、5価元素の一例としてのリンを含むことが好ましい。第1半導体領域6は、この形態では、p型のエピタキシャル層に対するn型不純物の添加によって形成されている。つまり、第1半導体領域6は、n型不純物およびp型不純物（3価元素）を含み、p型不純物濃度を超えるn型不純物濃度を有している。むろん、第1半導体領域6は、純粋なn型のエピタキシャル層によって形成されていてもよい。

[0017] 半導体装置1Aは、チップ2内において第1半導体領域6よりも第2主面4側の領域に形成されたp型（第2導電型）の第2半導体領域7を含む。第2半導体領域7は、「チャネル形成層」と称されてもよい。第2半導体領域7は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下（この形態では $1 \times 10^{16} \text{ cm}^{-3}$ 程度）のp型不純物濃度を有していてもよい。

[0018] 第2半導体領域7は、チップ2内において第1主面3（第1半導体領域6）に沿って延びる層状に形成され、第1～第4側面5A～5Dの一部から露出している。第1半導体領域6が第1主面3の周縁から内方に間隔を空けて形成されている場合、第2半導体領域7は第1主面3の周縁部から露出してもよい。第2半導体領域7は、チップ2内において第1半導体領域6に電氣的に接続されている。第2半導体領域7は、具体的には、第1半導体領域6とpn接合部を形成している。

- [0019] 第2半導体領域7は、 $0\mu\text{m}$ を超えて $50\mu\text{m}$ 以下（好ましくは $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下）の厚さを有していてもよい。第2半導体領域7は、第1半導体領域6の厚さを超える厚さを有していてもよい。第2半導体領域7は、この形態では、p型のエピタキシャル層によって形成されている。
- [0020] 半導体装置1Aは、チップ2内において第2半導体領域7よりも第2主面4側の領域に形成されたp型の第3半導体領域8を含む。第3半導体領域8は、「ベース層」と称されてもよい。第3半導体領域8は、第2半導体領域7よりも高いp型不純物濃度を有していてもよい。つまり、第3半導体領域8は、第2半導体領域7（p型の低濃度領域）よりも低い抵抗値を有する低抵抗領域（p型の高濃度領域）として形成されていてもよい。
- [0021] 第3半導体領域8のp型不純物濃度は、 $1\times 10^{18}\text{cm}^{-3}$ 以上 $1\times 10^{21}\text{cm}^{-3}$ 以下（この形態では $1\times 10^{19}\text{cm}^{-3}$ 程度）であってもよい。むろん、第3半導体領域8は、第2半導体領域7とほぼ等しいp型不純物濃度を有していてもよい。この場合、第3半導体領域8は、第2半導体領域7の一部とみなされてもよい。
- [0022] 第3半導体領域8は、第2主面4および第2半導体領域7の間の領域において第2主面4（第1主面3）に沿って延びる層状に形成され、第2主面4の全域および第1～第4側面5A～5Dの一部から露出している。第3半導体領域8は、第1半導体領域6の厚さを超える厚さを有している。第3半導体領域8の厚さは、第2半導体領域7の厚さを超えている。
- [0023] 第3半導体領域8の厚さは、 $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下（好ましくは $50\mu\text{m}$ 以上 $500\mu\text{m}$ 以下）であってもよい。第3半導体領域8は、この形態では、p型の半導体基板によって形成されている。第3半導体領域8の導電型がn型からなる場合、第3半導体領域8はn型の半導体基板によって形成される。
- [0024] 半導体装置1Aは、第1主面3に形成された複数の第1トレンチ構造10（第1溝構造）を含む。第1トレンチ構造10は、「トレンチゲート構造」と称されてもよい。複数の第1トレンチ構造10は、第1主面3の周縁から

間隔を空けて第1主面3の内方にそれぞれ形成されている。

[0025] 複数の第1トレンチ構造10は、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数の第1トレンチ構造10は、平面視において第2方向Yに延びるストライプ状に形成されている。複数の第1トレンチ構造10は、第2方向Yに関して、一方側の第1端部および他方側の第2端部をそれぞれ有している。

[0026] 複数の第1トレンチ構造10は、第2半導体領域7に至るように第1半導体領域6を貫通している。複数の第1トレンチ構造10は、この形態では、第2半導体領域7内に位置する底壁をそれぞれ有している。複数の第1トレンチ構造10は、第2半導体領域7におけるチャンネル（後述のチャンネル42）の反転および非反転をそれぞれ制御するように構成されている。

[0027] 複数の第1トレンチ構造10は、 $0.02\mu\text{m}$ 以上 $20\mu\text{m}$ 以下（好ましくは $0.2\mu\text{m}$ 以上 $5\mu\text{m}$ 以下）の間隔で配列されていてもよい。複数の第1トレンチ構造10は、第1方向Xにほぼ等間隔に配列されていることが好ましい。複数の第1トレンチ構造10は、第1方向Xに関して $0.01\mu\text{m}$ 以上 $10\mu\text{m}$ 以下（好ましくは $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下）の幅をそれぞれ有していてもよい。複数の第1トレンチ構造10は、 $0.2\mu\text{m}$ 以上 $30\mu\text{m}$ 以下（好ましくは $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下）の深さをそれぞれ有していてもよい。

[0028] 以下、1つの第1トレンチ構造10の内部構造が説明される。第1トレンチ構造10は、第1トレンチ11、ゲート絶縁膜12（制御絶縁膜）、ゲート電極13（制御電極）および埋設絶縁体14を含む。第1トレンチ11は、「ゲートトレンチ」と称されてもよい。第1トレンチ11は、第1主面3に形成され、第1トレンチ構造10の壁面（側壁および底壁）を区画している。第1トレンチ11は、第1半導体領域6および第2半導体領域7を壁面から露出させている。

[0029] 第1トレンチ11は、断面視において第1主面3側から底壁側に向けて開口幅が狭まるテーパ形状に形成されていてもよい。むろん、第1トレンチ1

1 は、第 1 主面 3 に対して垂直に形成されていてもよい。第 1 トレンチ 1 1 の底壁側角部は、湾曲状に形成されていてもよい。むろん、第 1 トレンチ 1 1 の底壁の全体が第 2 主面 4 側に向かう湾曲状に形成されていてもよい。

[0030] ゲート絶縁膜 1 2 は、第 1 トレンチ 1 1 の側壁および底壁を膜状に被覆している。ゲート絶縁膜 1 2 は、この形態では、第 1 トレンチ 1 1 の底壁側において側壁および底壁を被覆し、第 1 トレンチ 1 1 の底壁側においてリセス空間を区画している。ゲート絶縁膜 1 2 は、第 1 トレンチ 1 1 の壁面の法線方向に関して、5 nm 以上 1 0 0 0 nm 以下の厚さを有していてもよい。

[0031] ゲート絶縁膜 1 2 は、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化ハフニウム膜および酸化タンタル膜のうちの少なくとも 1 種を含む。ゲート絶縁膜 1 2 は、酸化シリコン膜からなることが好ましい。ゲート絶縁膜 1 2 は、チップ 2 の酸化物（熱酸化膜）からなることが特に好ましい。

[0032] ゲート電極 1 3 は、ゲート絶縁膜 1 2 を挟んで第 1 トレンチ 1 1 に埋設されている。ゲート電極 1 3 は、具体的には、第 1 トレンチ 1 1 の底壁側においてゲート絶縁膜 1 2 によって区画されたりセス空間に埋設され、ゲート絶縁膜 1 2 を挟んで第 2 半導体領域 7 に対向している。ゲート電極 1 3 は、第 1 半導体領域 6 および第 2 半導体領域 7 の境界部の深さ位置を第 1 トレンチ 1 1 の深さ方向に通過している。

[0033] つまり、ゲート電極 1 3 は、第 1 主面 3 および第 1 半導体領域 6 の底部（第 2 半導体領域 7）の間の厚さ範囲に位置する上端部、および、第 1 半導体領域 6 の底部（第 2 半導体領域 7）および第 1 トレンチ 1 1 の底壁の間の厚さ範囲に位置する下端部を有している。ゲート電極 1 3 の上端部は、この形態では、平坦に形成されている。ゲート電極 1 3 は、この形態では、第 1 主面 3 から第 1 トレンチ 1 1 の底壁側に間隔を空けて埋設されている。ゲート電極 1 3 は、具体的には、第 1 トレンチ 1 1 の中間部の深さ位置から第 1 トレンチ 1 1 の底壁側に間隔を空けて埋設されている。

[0034] ゲート電極 1 3 は、第 1 トレンチ 1 1 の底壁側から開口側に引き出された

複数の引き出し部 1 3 a を含む。複数の引き出し部 1 3 a の個数は任意である。複数の引き出し部 1 3 a は、この形態では、第 2 方向 Y に離間した一对の引き出し部 1 3 a を含む。一对の引き出し部 1 3 a は、この形態では、第 1 トレンチ 1 1 の両端部にそれぞれ形成されている。複数の引き出し部 1 3 a は、平面視において第 2 方向 Y にそれぞれ延びている。

[0035] 複数の引き出し部 1 3 a は、第 1 トレンチ 1 1 の開口側において第 1 トレンチ 1 1 の壁面と開口側リセスを区画している。開口側リセスは、平面視において第 2 方向 Y に延びる帯状に区画されている。複数の引き出し部 1 3 a は、第 1 主面 3 よりも上方に突出していてもよい。複数の引き出し部 1 3 a は、ゲート絶縁膜 1 2 の一部を挟んで第 1 トレンチ 1 1 から第 1 主面 3 の上に引き出されていてもよい。むろん、複数の引き出し部 1 3 a は、第 1 主面 3 に対して第 1 トレンチ 1 1 の底壁側に位置していてもよい。

[0036] ゲート電極 1 3 は、金属および非金属導体のうちの少なくとも 1 つを含んでいてもよい。ゲート電極 1 3 は、タングステン、アルミニウム、銅、アルミニウム合金、銅合金および導電性ポリシリコンのうちの少なくとも 1 種を含んでいてもよい。ゲート電極 1 3 は、非金属導体（導電性ポリシリコン）を含むことが好ましい。導電性ポリシリコンは、p 型ポリシリコンまたは n 型ポリシリコンであってもよい。導電性ポリシリコンは、n 型ポリシリコンであることが好ましい。

[0037] 埋設絶縁体 1 4 は、第 1 トレンチ 1 1 内においてゲート電極 1 3 を被覆するように第 1 トレンチ 1 1 の開口側に埋設されている。埋設絶縁体 1 4 は、具体的には、ゲート電極 1 3 によって区画された開口側リセスに埋設されている。埋設絶縁体 1 4 は、第 1 トレンチ 1 1 に対する電界を緩和するフィールド絶縁体として設けられている。埋設絶縁体 1 4 は、第 1 半導体領域 6 に対する対向面積が第 1 半導体領域 6 に対するゲート電極 1 3 の対向面積を超えるように構成されている。

[0038] 埋設絶縁体 1 4 は、第 1 トレンチ 1 1 の深さ方向に関して、ゲート電極 1 3 の厚さを超える厚さを有している。埋設絶縁体 1 4 は、酸化シリコン膜、

窒化シリコン膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化ハフニウム膜および酸化タンタル膜のうちの少なくとも１種を含む。埋設絶縁体１４は、酸化シリコン膜からなることが好ましい。埋設絶縁体１４は、ゲート絶縁膜１２と同一材料からなることが好ましい。この場合、埋設絶縁体１４は、絶縁蒸着膜からなり、ゲート絶縁膜１２とは異なる緻密度を有していることが好ましい。

[0039] 半導体装置１Ａは、複数の第１トレンチ構造１０によって第１主面３（第１半導体領域６）に区画された複数のメサ部１５を含む。複数のメサ部１５は、互いに隣り合う複数対の第１トレンチ構造１０の間の領域において第２方向Ｙに延びる帯状にそれぞれ区画されている。複数のメサ部１５は、複数の第１メサ部１５Ａ（第１領域）および複数の第２メサ部１５Ｂ（第２領域）を含む。

[0040] 複数の第１メサ部１５Ａは、１つのメサ部１５を挟み込むように第１方向Ｘに間隔を空けて配列されている。複数の第２メサ部１５Ｂは、複数のメサ部１５において１つの第１メサ部１５Ａを挟み込むように複数の第１メサ部１５Ａと第１方向Ｘに沿って交互に配列されている。この形態では、複数の第１メサ部１５ＡがＭＩＳＦＥＴの「ドレインメサ部」として設けられ、複数の第２メサ部１５ＢがＭＩＳＦＥＴの「ソースメサ部」として設けられている。

[0041] 半導体装置１Ａは、第１トレンチ構造１０に接続されるように第１主面３に形成された複数（この形態では２個）のトレンチ接続構造２０（溝接続構造）を含む。複数のトレンチ接続構造２０は、複数の第１トレンチ構造１０の第１端部を接続する一方側（第１側面５Ａ側）のトレンチ接続構造２０、および、複数の第１トレンチ構造１０の第２端部を接続する他方側（第２側面５Ｂ側）のトレンチ接続構造２０を含む。

[0042] 他方側のトレンチ接続構造２０は、第１トレンチ構造１０の第２端部に接続されている点を除き、一方側のトレンチ接続構造２０と同様の構造を有している。以下、一方側のトレンチ接続構造２０の構成が説明され、他方側の

トレンチ接続構造 20 の構成についての説明は省略される。

[0043] トレンチ接続構造 20 は、第 1 主面 3 の周縁から間隔を空けて第 1 主面 3 の内方部に形成されている。トレンチ接続構造 20 は、複数の第 1 トレンチ構造 10 が延びる方向に交差する方向（具体的には第 2 方向 Y）に延びる帯状に形成され、複数の第 1 トレンチ構造 10 の一端部に接続されている。トレンチ接続構造 20 は、第 2 半導体領域 7 に至るように第 1 半導体領域 6 を貫通している。つまり、トレンチ接続構造 20 は、複数の第 1 トレンチ構造 10 と共に複数のメサ部 15（複数の第 1 メサ部 15 A および複数の第 2 メサ部 15 B）を区画している。

[0044] トレンチ接続構造 20 は、第 2 方向 Y に関して $0.01\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下（好ましくは $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下）の幅を有していてもよい。トレンチ接続構造 20 は、第 1 トレンチ構造 10 の幅とほぼ等しい幅を有していてもよい。トレンチ接続構造 20 は、 $0.2\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下（好ましくは $0.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下）の深さをそれぞれ有していてもよい。トレンチ接続構造 20 は、第 1 トレンチ構造 10 の深さとほぼ等しい深さを有していてもよい。

[0045] トレンチ接続構造 20 は、接続トレンチ 21、接続絶縁膜 22 および接続電極 23 を含む。接続トレンチ 21 は、複数の第 1 トレンチ 11 に連通するように第 1 主面 3 に形成され、トレンチ接続構造 20 の壁面（側壁および底壁）を区画している。トレンチ接続構造 20 の壁面（側壁および底壁）は、複数の第 1 トレンチ 11 の壁面（側壁および底壁）に連なっている。接続トレンチ 21 は、第 1 半導体領域 6 および第 2 半導体領域 7 を壁面から露出させている。

[0046] 接続トレンチ 21 は、断面視において第 1 主面 3 側から底壁側に向けて開口幅が狭まるテーパ形状に形成されていてもよい。むろん、接続トレンチ 21 は、第 1 主面 3 に対して垂直に形成されていてもよい。接続トレンチ 21 の底壁側角部は、湾曲状に形成されていてもよい。むろん、接続トレンチ 21 の底壁の全体が第 2 主面 4 側に向かう湾曲状に形成されていてもよい。

- [0047] 接続絶縁膜 22 は、接続トレンチ 21 の側壁および底壁を膜状に被覆している。接続絶縁膜 22 は、この形態では、接続トレンチ 21 の開口側および底壁側において側壁および底壁を被覆し、接続トレンチ 21 内においてリセス空間を区画している。接続絶縁膜 22 は、複数の第 1 トレンチ 11 との連通部において複数のゲート絶縁膜 12 に連なっている。
- [0048] 接続絶縁膜 22 は、5 nm 以上 1000 nm 以下の厚さを有していてもよい。接続絶縁膜 22 は、ゲート絶縁膜 12 の厚さとほぼ等しい厚さを有していることが好ましい。接続絶縁膜 22 は、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化ハフニウム膜および酸化タンタル膜のうちの少なくとも 1 種を含む。接続絶縁膜 22 は、ゲート絶縁層と同一材料からなることが好ましい。
- [0049] 接続電極 23 は、接続絶縁膜 22 を挟んで接続トレンチ 21 に埋設され、第 1 半導体領域 6 および第 2 半導体領域 7 に対向している。接続電極 23 は、複数の第 1 トレンチ 11 との連通部において複数のゲート電極 13 に連なっている。接続電極 23 は、具体的には、複数の引き出し部 13a に連なっている。これにより、接続電極 23 は、ゲート電極 13 と同電位に固定されている。
- [0050] 接続電極 23 において引き出し部 13a に連なる部分は、接続電極 23 の構成要素に含まれてもよいし、ゲート電極 13 の構成要素に含まれてもよい。接続電極 23 は、ゲート電極 13 の上端部に対して第 1 主面 3 側に位置する上端部を有している。接続電極 23 は、第 1 主面 3 よりも上方に突出していてもよい。接続電極 23 は、接続絶縁膜 22 の一部を挟んで接続トレンチ 21 から第 1 主面 3 の上に引き出されていてもよい。むしろ、接続電極 23 は、第 1 主面 3 に対して接続トレンチ 21 の底壁側に位置していてもよい。
- [0051] 接続電極 23 は、金属および非金属導体のうちの少なくとも 1 つを含んでもよい。接続電極 23 は、タングステン、アルミニウム、銅、アルミニウム合金、銅合金および導電性ポリシリコンのうちの少なくとも 1 種を含んでもよい。接続電極 23 は、ゲート電極 13 と同一材料からなることが

好ましい。

[0052] 半導体装置 1 A は、第 1 主面 3 を選択的に被覆する主面絶縁膜 2 4 を含む。主面絶縁膜 2 4 は、第 1 主面 3 の上において複数の第 1 トレンチ構造 1 0 および複数のトレンチ接続構造 2 0 を被覆している。主面絶縁膜 2 4 は、この形態では、第 1 主面 3 の全域を被覆し、第 1 ～第 4 側面 5 A ～5 D に連なっている。主面絶縁膜 2 4 は、第 1 主面 3 に沿って延びる平坦面を有している。主面絶縁膜 2 4 の平坦面は研削痕を有している。主面絶縁膜 2 4 の平坦面は研削痕を有している。

[0053] 主面絶縁膜 2 4 は、0.1 μm 以上 2 μm 以下の厚さを有している。主面絶縁膜 2 4 の厚さは、ゲート絶縁膜 1 2 の厚さを超えていることが好ましい。主面絶縁膜 2 4 は、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化ハフニウム膜および酸化タンタル膜のうちの少なくとも 1 種を含む。主面絶縁膜 2 4 は、酸化シリコン膜からなることが好ましい。

[0054] 主面絶縁膜 2 4 は、この形態では、埋設絶縁体 1 4 と同一材料からなり、埋設絶縁体 1 4 と一体的に形成されている。つまり、主面絶縁膜 2 4 は、埋設絶縁体 1 4 の一部として第 1 主面 3 の上から複数の第 1 トレンチ 1 1 に入り込んでいる。換言すると、主面絶縁膜 2 4 は、複数の埋設絶縁体 1 4 のうち複数の第 1 トレンチ 1 1 から突出した部分が第 1 主面 3 の上において膜状に一体化した絶縁膜からなる。

[0055] 半導体装置 1 A は、複数の第 1 メサ部 1 5 A において第 1 半導体領域 6 に電氣的に接続された複数の第 1 電極 2 5 を含む。複数の第 1 電極 2 5 は、この形態では、「ドレイン接続電極」として設けられている。複数の第 1 電極 2 5 は、主面絶縁膜 2 4 を貫通して複数の第 1 メサ部 1 5 A にそれぞれ接続されている。複数の第 1 電極 2 5 は、具体的には、主面絶縁膜 2 4 に形成された複数の第 1 接続開口 2 6 内にそれぞれ配置されている。

[0056] 複数の第 1 電極 2 5 は、平面視において第 1 トレンチ構造 1 0 が延びる方向（つまり第 2 方向 Y）に延びる帯状にそれぞれ形成されている。つまり、複数の第 1 電極 2 5 は、複数の第 1 メサ部 1 5 A に沿って延びる電流経路を

形成している。複数の第1電極25は、平面視において複数の第1トレンチ構造10から間隔を空けて対応する第1メサ部15Aの中央部にそれぞれ接続されていることが好ましい。

[0057] 複数の第1電極25は、平面視において第2方向Yに関して複数の第1トレンチ11の長さ未満の長さをそれぞれ有し、複数の第1トレンチ11の両端部から内方に間隔を空けてそれぞれ形成されている。複数の第1電極25の両端部は、第2方向Yに関して第1半導体領域6の一部を挟んでトレンチ接続構造20に対向している。

[0058] 複数の第1電極25は、金属からそれぞれなる。複数の第1電極25は、この形態では、第1バリア膜27および第1電極本体28を含む積層構造をそれぞれ有している。第1バリア膜27は、第1接続開口26の内壁に沿って膜状に形成されている。第1バリア膜27は、チタン系金属膜からなってもよい。第1バリア膜27は、チタン膜および窒化チタン膜のうちのいずれか一方または双方を含む単層構造または積層構造を有していてもよい。

[0059] 第1電極本体28は、第1バリア膜27を挟んで第1接続開口26に埋設され、第1バリア膜27を挟んで第1メサ部15A（第1半導体領域6）に電氣的に接続されている。第1電極本体28は、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでいてもよい。第1電極本体28は、この形態では、タングステンを含む。むしろ、複数の第1電極25は、第1バリア膜27を有さず、第1電極本体28のみによって構成されていてもよい。

[0060] 半導体装置1Aは、複数の第1メサ部15Aにおいて第1半導体領域6に形成された複数のn型の第1不純物領域29を含む。つまり、複数の第1不純物領域29は、複数のメサ部15において1つのメサ部15を挟み込むように第1方向Xに間隔を空けて配列されている。第1不純物領域29は、この形態では、「ドレイン領域」として形成されている。複数の第1不純物領域29は、複数の第1メサ部15Aにおいて複数の第1電極25にそれぞれ電氣的に接続されている。

- [0061] 複数の第1不純物領域29は、第1半導体領域6よりも高いn型不純物濃度を有している。複数の第1不純物領域29のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下（この形態では $1 \times 10^{19} \text{ cm}^{-3}$ 程度）であってもよい。複数の第1不純物領域29は、第1半導体領域6とは異なる5価元素を含むことが好ましい。複数の第1不純物領域29は、第1半導体領域6の5価元素の拡散係数未満の拡散係数を有する5価元素を含むことが特に好ましい。複数の第1不純物領域29は、5価元素の一例としてのヒ素を含むことが好ましい。
- [0062] 複数の第1不純物領域29は、形成位置を除き、ほぼ同様の構造を有している。以下、1つの第1不純物領域29の構造が説明される。第1不純物領域29は、対応する第1メサ部15Aにおいて複数の第1トレンチ構造10から間隔を空けて第1主面3の表層部に形成されている。第1不純物領域29は、平面視において第1トレンチ構造10が延びる方向（つまり第2方向Y）に延びる帯状に形成されている。
- [0063] 第1不純物領域29は、平面視において対応する第1メサ部15Aの中央部に形成されていることが好ましい。第1不純物領域29は、第2方向Yに関して第1トレンチ構造10の長さ未満の長さを有し、第1トレンチ構造10の両端部から内方に間隔を空けて形成されている。第1不純物領域29の両端部は、第2方向Yに関して、第1半導体領域6の一部を挟んでトレンチ接続構造20に対向している。
- [0064] 第1不純物領域29は、断面視において第1主面3に沿う横方向（第1方向Xおよび第2方向Y）に延びている。第1不純物領域29は、具体的には、ゲート電極13の上端部に対して第1主面3側の深さ位置に形成されている。第1不純物領域29は、第1主面3に沿う横方向に関して第1半導体領域6の一部を挟んで埋設絶縁体14に対向している。第1不純物領域29は、ゲート電極13の上端部から第1主面3側に離間し、第1主面3に沿う横方向にゲート電極13に対向していない。これにより、複数の第1トレンチ構造10に印加される電界が緩和される。

- [0065] 第1不純物領域29は、10nm以上150nm以下（好ましくは50nm以上100nm以下）の厚さを有していてもよい。第1不純物領域29は、チップ2の厚さ方向（法線方向Z）に関して、ゲート電極13の上端部から0.1μm以上2μm以下（好ましくは0.5μm以上1.5μm以下）の間隔を空けて形成されていることが好ましい。
- [0066] 半導体装置1Aは、複数の第2メサ部15Bにおいて第1主面3に形成された複数の第2トレンチ構造30（第2溝構造）を含む。つまり、複数の第2トレンチ構造30は、複数のメサ部15のうち第1不純物領域29のない複数のメサ部15にそれぞれ形成されている。また、複数の第2トレンチ構造30は、複数のメサ部15において1つの第1不純物領域29を挟み込むように第1方向Xに沿って複数の第1不純物領域29と交互に配列されている。
- [0067] 複数の第2トレンチ構造30は、この形態では、主面絶縁膜24を貫通して対応する第2メサ部15Bにそれぞれ形成されている。複数の第2トレンチ構造30は、具体的には、主面絶縁膜24に形成された複数の第2接続開口31を介して第2メサ部15Bにそれぞれ形成されている。つまり、複数の第2トレンチ構造30は、チップ2内に位置する部分、および、主面絶縁膜24内に位置する部分を含む。
- [0068] 複数の第2トレンチ構造30は、対応する第2メサ部15Bにおいて複数の第1トレンチ構造10から間隔を空けてそれぞれ形成されている。複数の第2トレンチ構造30は、平面視において第1トレンチ構造10が延びる方向（つまり第2方向Y）に延びる帯状にそれぞれ形成されている。つまり、複数の第2トレンチ構造30は、複数の第2メサ部15Bに沿って延びる電流経路を形成している。複数の第2トレンチ構造30は、平面視において対応する第2メサ部15Bの中央部にそれぞれ形成されていることが好ましい。
- [0069] 複数の第2トレンチ構造30は、第2方向Yに関して複数の第1トレンチ11の長さ未満の長さをそれぞれ有し、複数の第1トレンチ11の両端部か

ら内方に間隔を空けてそれぞれ形成されている。複数の第2トレンチ構造30は、第1方向Xに関して、複数の第1トレンチ構造10を挟んで複数の第1不純物領域29に対向している。複数の第2トレンチ構造30の両端部は、第2方向Yに関して、第1半導体領域6の一部を挟んでトレンチ接続構造20に対向している。

[0070] 複数の第2トレンチ構造30は、第2半導体領域7に至るように第1半導体領域6を貫通している。複数の第2トレンチ構造30は、この形態では、複数の第1トレンチ構造10よりも深く形成されている。複数の第2トレンチ構造30は、具体的には、第1半導体領域6および第2半導体領域7を貫通し、第3半導体領域8に至っている。複数の第2トレンチ構造30は、第3半導体領域8内に位置する底壁をそれぞれ有している。

[0071] 第1トレンチ構造10および第2トレンチ構造30の間の間隔は、0.01 μm 以上10 μm 以下（好ましくは0.1 μm 以上0.5 μm 以下）であってもよい。複数の第2トレンチ構造30は、第1方向Xに関して0.01 μm 以上10 μm 以下（好ましくは0.1 μm 以上0.5 μm 以下）の幅をそれぞれ有していてもよい。複数の第2トレンチ構造30の幅は、第1トレンチ構造10の幅以上であってもよいし、第1トレンチ構造10の幅未満であってもよい。複数の第2トレンチ構造30は、0.2 μm 以上30 μm 以下（好ましくは0.5 μm 以上10 μm 以下）の深さをそれぞれ有していてもよい。

[0072] 複数の第2トレンチ構造30は、第1半導体領域6および第2半導体領域7に電氣的に接続されたトレンチ電極構造をそれぞれ有している。以下、1つの第2トレンチ構造30の内部構造が説明される。第2トレンチ構造30は、第2トレンチ32および第2電極33を含む。第2電極33は、この形態では、「ソース接続電極」として設けられている。つまり、第2トレンチ構造30は、この形態で、「トレンチソース構造」として設けられている。

[0073] 第2トレンチ32は、主面絶縁膜24を貫通して第1主面3に形成され、第2トレンチ構造30の壁面（側壁および底壁）を区画している。第2トレ

ンチ 3 2 は、この形態では、主面絶縁膜 2 4 に形成された第 2 接続開口 3 1 を含む。第 2 トレンチ 3 2 は、具体的には、第 3 半導体領域 8 に至るように主面絶縁膜 2 4、第 1 半導体領域 6 および第 2 半導体領域 7 を貫通している。第 2 トレンチ 3 2 は、第 1 半導体領域 6、第 2 半導体領域 7、第 3 半導体領域 8 および主面絶縁膜 2 4 を壁面から露出させている。

[0074] 第 2 トレンチ 3 2 は、断面視において第 1 主面 3 側から底壁側に向けて開口幅が狭まるテーパ形状に形成されていてもよい。むしろ、第 2 トレンチ 3 2 は、第 1 主面 3 に対して垂直に形成されていてもよい。第 2 トレンチ 3 2 の底壁側角部は、湾曲状に形成されていてもよい。むしろ、第 2 トレンチ 3 2 の底壁の全体が第 2 主面 4 側に向かう湾曲状に形成されていてもよい。

[0075] 第 2 電極 3 3 は、絶縁膜を介さずに第 2 トレンチ 3 2 に埋設されている。第 2 電極 3 3 は、第 2 トレンチ 3 2 内において第 1 半導体領域 6、第 2 半導体領域 7 および第 3 半導体領域 8 に機械的かつ電氣的に接続され、主面絶縁膜 2 4 に機械的に接続されている。第 2 電極 3 3 は、第 2 トレンチ 3 2 内において、第 1 主面 3 に対してチップ 2 側に位置する部分、および、第 1 主面 3 に対して主面絶縁膜 2 4 側に位置する部分を有している。つまり、第 2 電極 3 3 は、第 1 主面 3 よりも上方に突出した上端部を有している。また、第 2 電極 3 3 の上端部は、ゲート電極 1 3 の上端部（引き出し部 1 3 a の上端部）よりも上方に突出している。

[0076] 第 2 電極 3 3 は、金属および非金属導体のうちの少なくとも 1 つを含んでもよい。第 2 電極 3 3 は、ゲート電極 1 3 とは異なる導電材料によって形成されていることが好ましい。第 2 電極 3 3 は、金属を含むことが好ましい。第 2 電極 3 3 は、この形態では、第 2 バリア膜 3 4 および第 2 電極本体 3 5 を含む積層構造をそれぞれ有している。

[0077] 第 2 バリア膜 3 4 は、第 2 トレンチ 3 2 の側壁および底壁に沿って膜状に形成され、第 2 トレンチ 3 2 内において第 1 半導体領域 6、第 2 半導体領域 7 および主面絶縁膜 2 4 を被覆している。第 2 バリア膜 3 4 は、第 2 トレンチ 3 2 内においてリセス空間を区画している。第 2 バリア膜 3 4 は、チタン

系金属膜からなっているてもよい。第2バリア膜34は、チタン膜および窒化チタン膜のうちのいずれか一方または双方を含む単層構造または積層構造を有しているてもよい。第2バリア膜34は、第1バリア膜27と同一材料からなることが好ましい。

[0078] 第2電極本体35は、第2バリア膜34を挟んで第2トレンチ32内に埋設され、第2バリア膜34を挟んで第1半導体領域6、第2半導体領域7および主面絶縁膜24を被覆している。第2電極本体35は、第2バリア膜34を介して第1半導体領域6および第2半導体領域7に電氣的に接続されている。

[0079] 第2電極本体35は、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでいてもよい。第2電極本体35は、第1電極本体28と同一材料からなることが好ましい。第2電極本体35は、この形態では、タングステンを含む。むろん、第2電極33は、第2バリア膜34を有さず、第2電極本体35のみによって構成されているてもよい。

[0080] 半導体装置1Aは、複数の第2メサ部15Bにおいて第1半導体領域6に形成された複数のn型の第2不純物領域36を含む。つまり、複数の第2不純物領域36は、複数の第1不純物領域29とは別のメサ部15に形成されている。複数の第2不純物領域36は、1つの第1不純物領域29を挟み込むように複数の第1不純物領域29と第1方向Xに沿って交互に配列されている。第2不純物領域36は、この形態では、「ソース領域」として形成されている。複数の第2不純物領域36は、複数の第2電極33にそれぞれ電氣的に接続されている。

[0081] 複数の第2不純物領域36は、第1半導体領域6よりも高いn型不純物濃度を有している。複数の第2不純物領域36のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下（この形態では $1 \times 10^{19} \text{ cm}^{-3}$ 程度）であってもよい。複数の第2不純物領域36のn型不純物濃度（ピーク値）は、複数の第1不純物領域29のn型不純物濃度（ピーク値）とほぼ等しい

ことが好ましい。

[0082] 複数の第2不純物領域36は、第1半導体領域6とは異なる5価元素を含むことが好ましい。複数の第2不純物領域36は、第2半導体領域7の5価元素の拡散係数未満の拡散係数を有する5価元素を含むことが特に好ましい。複数の第2不純物領域36は、5価元素の一例としてのヒ素を含むことが好ましい。

[0083] 複数の第2不純物領域36は、この形態では、対応する第2メサ部15Bにおいて複数個ずつ形成されている。複数の第2不純物領域36は、この形態では、各第2メサ部15Bにおいて第2トレンチ32の両サイドにそれぞれ形成されている。つまり、この形態では、少なくとも2つの第2不純物領域36が、各第2メサ部15Bにおいて1つの第2トレンチ構造30を挟んで互いに対向している。複数の第2不純物領域36は、形成位置を除き、ほぼ同様の構造を有している。以下、1つの第2不純物領域36の構造が説明される。

[0084] 第2不純物領域36は、この形態では、対応する第2メサ部15Bにおいて第1トレンチ構造10から第2トレンチ構造30側に間隔を空けて形成されている。第2不純物領域36は、平面視において第2トレンチ構造30が延びる方向（つまり第2方向Y）に延びる帯状に形成されている。第2不純物領域36は、平面視において第2トレンチ構造30に接続されている。第2不純物領域36は、第2電極33に直接接続されている。

[0085] 第2不純物領域36は、第2方向Yに関して複数の第1トレンチ構造10の長さ未満の長さを有し、複数の第1トレンチ構造10の両端部から内方に間隔を空けて形成されている。第2不純物領域36の両端部は、第2方向Yに関して、第1半導体領域6の一部を挟んでトレンチ接続構造20に対向している。

[0086] 第2不純物領域36は、断面視において第2トレンチ構造30の壁面に沿う縦方向（法線方向Z）に延び、第1不純物領域29よりも深く形成されている。つまり、第2不純物領域36は、チップ2の厚さ方向に関して、第1

不純物領域 29 の底部よりも第 2 半導体領域 7 側に位置する底部を有している。第 2 トレンチ構造 30 がテーパ形状に形成されている場合、第 2 不純物領域 36 は、第 2 トレンチ構造 30 の側壁（テーパ角）に倣って第 1 主面 3 に対して斜め傾斜するように延びていてもよい。

[0087] 第 2 不純物領域 36 は、ゲート電極 13 の上端部の深さ位置を通過するように第 1 主面 3 および第 2 半導体領域 7 の間の領域を法線方向 Z に沿う層状に延びている。第 2 不純物領域 36 は、第 1 主面 3 に沿う横方向に関して第 1 半導体領域 6 の一部を挟んで埋設絶縁体 14 およびゲート電極 13 に対向している。

[0088] 第 2 不純物領域 36 は、第 1 主面 3 から露出した部分において主面絶縁膜 24 に接している。第 2 不純物領域 36 は、この形態では、第 2 半導体領域 7 に接続されている。これにより、第 2 不純物領域 36 は、第 2 電極 33 のうち第 1 主面 3 および第 1 半導体領域 6 の底部の厚さ範囲に位置する部分の全域に電氣的に接続されている。

[0089] 第 2 不純物領域 36 は、第 1 方向 X に沿う幅が第 1 主面 3 から第 2 半導体領域 7 側に向けて一様になるように形成されていてもよい。第 2 不純物領域 36 は、第 1 方向 X に沿う幅が第 1 主面 3 から第 2 半導体領域 7 側に向けて漸減するように形成されていてもよい。第 2 不純物領域 36 は、p 型不純物濃度が第 1 主面 3 から第 2 半導体領域 7 側に向けて一様になるように形成されていてもよい。第 2 不純物領域 36 は、p 型不純物濃度が第 1 主面 3 から第 2 半導体領域 7 側に向けて漸減するように形成されていてもよい。

[0090] 第 2 不純物領域 36 は、第 2 半導体領域 7 との接続部において相殺領域を形成していてもよい。相殺領域は、第 2 半導体領域 7 の 3 価元素（p 型不純物）および第 2 不純物領域 36 の 5 価元素（n 型不純物）を含み、n 型不純物濃度を超える p 型不純物濃度を有する p 型領域である。

[0091] むろん、相殺領域は、第 2 半導体領域 7 の一部が第 2 不純物領域 36 の一部になるように、第 2 半導体領域 7 の一部を n 型領域に置換していてもよい。また、第 2 不純物領域 36 は、相殺領域が形成されないように、第 2 半導

体領域 7 から第 1 主面 3 側に間隔を空けて第 1 半導体領域 6 内に形成されていてもよい。

[0092] この形態では、複数の第 2 不純物領域 3 6 が複数の第 1 トレンチ構造 1 0 から間隔を空けて形成された例が示された。しかし、複数の第 2 不純物領域 3 6 は、隣り合う第 1 トレンチ構造 1 0 に接していてもよい。つまり、複数の第 2 不純物領域 3 6 は、対応する第 2 メサ部 1 5 B 内において第 1 トレンチ構造 1 0 および第 2 トレンチ構造 3 0 に接していてもよい。この場合、複数の第 2 不純物領域 3 6 は、第 1 半導体領域 6 において第 1 トレンチ構造 1 0 および第 2 トレンチ構造 3 0 の間に位置する領域の全域に形成されていてもよい。

[0093] 半導体装置 1 A は、複数の第 1 トレンチ構造 1 0 に電氣的に接続された複数の第 3 電極 3 7 を含む。複数の第 3 電極 3 7 は、「ゲート接続電極」として設けられている。複数の第 3 電極 3 7 は、主面絶縁膜 2 4 を貫通し、複数の第 1 トレンチ構造 1 0（引き出し部 1 3 a）および複数のトレンチ接続構造 2 0（接続電極 2 3）のいずれか一方または双方に機械的および電氣的に接続される。

[0094] 複数の第 3 電極 3 7 は、具体的には、主面絶縁膜 2 4 に形成された複数の第 3 接続開口 3 8 内にそれぞれ配置されている。複数の第 3 電極 3 7 は、この形態では、複数のトレンチ接続構造 2 0 に機械的および電氣的に接続されている。つまり、複数の第 3 電極 3 7、複数のトレンチ接続構造 2 0 を介して複数の第 1 トレンチ構造 1 0 に電氣的に接続されている。

[0095] 複数の第 3 電極 3 7 は、この形態では、平面視においてトレンチ接続構造 2 0 に沿って間隔を空けて形成されている。複数の第 3 電極 3 7 の平面形状は、任意である。複数の第 3 電極 3 7 は、平面視において円形状または四角形状に形成されていてもよい。むろん、複数の第 3 電極 3 7 は、平面視において対応するトレンチ接続構造 2 0 に沿って延びる帯状にそれぞれ形成されていてもよい。

[0096] 複数の第 3 電極 3 7 は、金属からそれぞれなる。複数の第 3 電極 3 7 は、

この形態では、第3バリア膜39および第3電極本体40を含む積層構造をそれぞれ有している。第3バリア膜39は、第3接続開口38の内壁に沿って膜状に形成されている。第3バリア膜39は、チタン系金属膜からなってもよい。第3バリア膜39は、チタン膜および窒化チタン膜のうちのいずれか一方または双方を含む単層構造または積層構造を有していてもよい。第3バリア膜39は、第1バリア膜27と同一材料からなることが好ましい。

[0097] 第3電極本体40は、第3バリア膜39を挟んで第3接続開口38に埋設され、第3バリア膜39を挟んで引き出し部13a（接続電極23）に電氣的に接続されている。第3電極本体40は、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも1種を含んでいてもよい。第3電極本体40は、第1電極本体28と同一材料からなることが好ましい。第3電極本体40は、この形態では、タングステンを含む。むろん、複数の第3電極37は、第3バリア膜39を有さず、第3電極本体40のみによって構成されていてもよい。

[0098] 半導体装置1Aは、第2半導体領域7において第1トレンチ構造10の底壁に沿う領域に形成されたp型の底壁不純物領域41を含む。底壁不純物領域41は、この形態では、第2半導体領域7に形成され、第2半導体領域7よりも高いp型不純物濃度を有している。底壁不純物領域41のp型不純物濃度は、第3半導体領域8のp型不純物濃度以下であることが好ましい。底壁不純物領域41のp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下（この形態では $1 \times 10^{17} \text{ cm}^{-3}$ 程度）であってもよい。

[0099] 底壁不純物領域41は、平面視において複数の第2トレンチ構造30から間隔を空けて第1トレンチ構造10の底壁に沿って延びる帯状に形成されている。底壁不純物領域41は、第1トレンチ構造10の底壁においてゲート絶縁膜12を挟んでゲート電極13に対向している。底壁不純物領域41は、第1トレンチ構造10の下端部において第1トレンチ構造10の底壁および側壁を被覆していてもよい。

- [0100] 底壁不純物領域41は、第2半導体領域7においてトレンチ接続構造20の底壁を被覆していてもよい。この場合、底壁不純物領域41は、平面視においてトレンチ接続構造20の底壁に沿って延びる帯状に形成されていてもよい。むろん、底壁不純物領域41は、トレンチ接続構造20の底壁を露出させていてもよい。
- [0101] 底壁不純物領域41は、第2半導体領域7の底部（第3半導体領域8）から第1トレンチ構造10の底壁側に間隔を空けて形成され、第2半導体領域7の一部を挟んで第3半導体領域8に対向している。底壁不純物領域41の底部は、第2半導体領域7の底部（第3半導体領域8）から0.1 μm 以上2.5 μm 以下の間隔（好ましくは1 μm 以上2 μm 以下の間隔）を空けて形成されていてもよい。
- [0102] 底壁不純物領域41は、さらに、第1半導体領域6の底部から第2半導体領域7の底部側に間隔を空けて形成されている。底壁不純物領域41は、この形態では、第1トレンチ構造10の底壁から第1主面3に沿う方向に張り出した膨出部41aを含む。膨出部41aは、第1半導体領域6の底部から第2半導体領域7側に間隔を空けて形成され、チップ2の厚さ方向に第2半導体領域7の一部を挟んで第1半導体領域6の底部に対向している。
- [0103] 第1トレンチ構造10がテーパ形状に形成されている場合、膨出部41aはチップ2の厚さ方向に第1トレンチ構造10の側壁に対向する。第2不純物領域36が第1トレンチ構造10から間隔を空けて形成されている場合、膨出部41aはチップ2の厚さ方向に第2不純物領域36に対向しない。
- [0104] 底壁不純物領域41は、10 nm以上500 nm以下の厚さを有していてもよい。底壁不純物領域41の厚さは、100 nm以上300 nm以下であることが好ましい。底壁不純物領域41の厚さは、第1トレンチ構造10の底壁および底壁不純物領域41の底部の間の距離である。
- [0105] 底壁不純物領域41は、第1方向Xに関して、第1トレンチ構造10の底壁の幅を超える幅を有している。底壁不純物領域41の幅は、底壁不純物領域41において最も膨出した領域の幅によって定義される。底壁不純物領域

4 1 の幅は、第 1 トレンチ構造 1 0 の開口幅を超えていてもよい。底壁不純物領域 4 1 の幅は、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下であってもよい。

[0106] この形態では、底壁不純物領域 4 1 が膨出部 4 1 a を含む例が示された。しかし、底壁不純物領域 4 1 は、膨出部 4 1 a を有さず、第 1 トレンチ構造 1 0 の底壁に沿う領域にだけ形成されていてもよい。この場合、底壁不純物領域 4 1 は、第 1 トレンチ構造 1 0 の底壁に沿う領域に膜状に形成されていてもよい。また、この場合、底壁不純物領域 4 1 の幅は、第 1 トレンチ構造 1 0 の底壁の幅とほぼ等しくてもよい。

[0107] 半導体装置 1 A は、第 2 半導体領域 7 において第 1 トレンチ構造 1 0 の底壁に沿う領域に形成される M I S F E T のチャネル 4 2 を含む（図 8 の二点鎖線部参照）。チャネル 4 2 は、この形態では、高濃度チャネル 4 2 A および低濃度チャネル 4 2 B を含む。高濃度チャネル 4 2 A は底壁不純物領域 4 1 に形成され、低濃度チャネル 4 2 B は第 2 半導体領域 7 における第 1 半導体領域 6 および底壁不純物領域 4 1 の間に位置する部分に形成される。

[0108] 高濃度チャネル 4 2 A（底壁不純物領域 4 1）は、第 1 半導体領域 6 から広がる空乏層が、第 1 トレンチ構造 1 0 の底壁に沿う領域で重なることを抑制する。これにより、第 1 半導体領域 6 のパンチスルーが抑制され、耐圧低下が抑制される。一方、低濃度チャネル 4 2 B は、第 1 半導体領域 6 および第 2 半導体領域 7 の間の境界部から空乏層が拡がることを許容する。これにより、空乏層による耐圧向上効果が得られる。

[0109] 半導体装置 1 A は、主面絶縁膜 2 4 の上に積層された第 1 層間絶縁膜 5 0 を含む。第 1 層間絶縁膜 5 0 は、酸化シリコンおよび窒化シリコンのうちの少なくとも 1 つを含んでいてもよい。第 1 層間絶縁膜 5 0 は、主面絶縁膜 2 4 の全域を被覆し、第 1 ～第 4 側面 5 A ～5 D に連なっている。第 1 層間絶縁膜 5 0 は、第 1 主面 3 に沿って延びる平坦面を有していてもよい。第 1 層間絶縁膜 5 0 の平坦面は研削痕を有していてもよい。

[0110] 第 1 層間絶縁膜 5 0 は、複数の第 1 下側開口 5 1、複数の第 2 下側開口 5 2 および複数の第 3 下側開口 5 3 を含む。複数の第 1 下側開口 5 1 は、複数

の第1電極25をそれぞれ露出させている。複数の第1下側開口51は、この形態では、各第1電極25を複数個所から露出させるように、各第1電極25に対して一对多の対応関係で間隔を空けて配列されている。

[0111] 複数の第1下側開口51は、この形態では、平面視において第1方向Xおよび第2方向Yに互いに対向するように行列状に複数の第1電極25に対して配列されている。複数の第1下側開口51は、この形態では、平面視において第1電極25に沿って延びる帯状にそれぞれ形成されている。複数の第1下側開口51は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0112] 複数の第2下側開口52は、複数の第2電極33をそれぞれ露出させている。複数の第2下側開口52は、この形態では、各第2電極33を複数個所から露出させるように、各第2電極33に対して一对多の対応関係で間隔を空けて配列されている。複数の第2下側開口52は、この形態では、平面視において第1方向Xおよび第2方向Yに互いに対向するように行列状に複数の第2電極33に対して配列されている。

[0113] 複数の第2下側開口52は、さらに、平面視において第1方向Xに複数の第1下側開口51に対向しないように、複数の第1下側開口51から第2方向Yにずれて配列されている。複数の第2下側開口52は、この形態では、平面視において第2電極33に沿って延びる帯状にそれぞれ形成されている。複数の第2下側開口52は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0114] 複数の第3下側開口53は、複数の第3電極37をそれぞれ露出させている。複数の第3下側開口53は、この形態では、複数の第3電極37に対して一对一の対応関係で設けられている。複数の第3下側開口53は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。むろん、各第3電極37が平面視において帯状に延びている場合、複数の第3下側開口53は平面視において各第3電極37に沿って延びる帯状にそれぞれ形成されていてもよい。

- [0115] 図9を参照して、半導体装置1Aは、第1層間絶縁膜50の上に配置された第1層間配線54を含む。第1層間配線54は、チタン、タングステン、アルミニウム、銅、アルミニウム合金、銅合金および導電性ポリシリコンのうちの少なくとも1種をそれぞれ含んでいてもよい。第1層間配線54は、Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つをそれぞれ含んでいてもよい。第1層間配線54の個数および引き回し形態は任意であり、特定の個数および引き回し形態に制限されない。
- [0116] 第1層間配線54は、この形態では、少なくとも1つ（この形態では1つ）の第1下側配線55、少なくとも1つ（この形態では複数）の第2下側配線56、および、少なくとも1つ（この形態では1つ）の第3下側配線57を含む。この形態では、第1下側配線55は「ドレイン配線」であり、第2下側配線56は「ソース配線」であり、第3下側配線57は「ゲート配線」である。
- [0117] 第1下側配線55は、第1層間絶縁膜50の上に膜状に配置され、複数の第1下側開口51を被覆している。第1下側配線55は、この形態では、平面視において全ての第1トレンチ構造10および全ての第2トレンチ構造30に重なっている。第1下側配線55は、平面視において少なくとも全ての第1トレンチ構造10の内方部および少なくとも全ての第2トレンチ構造30の内方部を被覆していることが好ましい。
- [0118] 第1下側配線55は、この形態では、平面視において全ての第1トレンチ構造10の両端部を露出させるように全ての第1トレンチ構造10の内方部を被覆している。また、第1下側配線55は、平面視において全ての第2トレンチ構造30の両端部および内方部を被覆している。第1下側配線55は、全ての第1下側開口51を被覆し、全ての第2下側開口52を露出させている。
- [0119] 第1下側配線55は、具体的には、複数の第2下側開口52をそれぞれ露

出させる複数の除去部 55a を有している。複数の除去部 55a は、この形態では、平面視において主面絶縁膜 24 の上に位置する壁面をそれぞれ有し、主面絶縁膜 24 の上で対応する第 2 下側開口 52 をそれぞれ取り囲んでいる。

[0120] つまり、複数の除去部 55a は、対応する第 2 下側開口 52 を露出させる開口としてそれぞれ形成されている。複数の除去部 55a は、この形態では、平面視において四角形状（具体的には第 1 下側開口 51 に沿って延びる長方形形状）にそれぞれ形成されている。複数の除去部 55a は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0121] 第 1 下側配線 55 は、第 1 層間絶縁膜 50 の上から全ての第 1 下側開口 51 に入り込み、全ての第 1 下側開口 51 内において全ての第 1 電極 25 にそれぞれ電氣的に接続されている。これにより、単一の第 1 下側配線 55 が、全ての第 1 メサ部 15A（第 1 不純物領域 29）に電氣的に接続されている。第 1 下側配線 55 は、平面視において四角形状や多角形状に形成されていてもよい。

[0122] 複数の第 2 下側配線 56 は、第 1 下側配線 55 から間隔を空けて第 1 層間絶縁膜 50 の上に膜状にそれぞれ配置され、複数の第 2 下側開口 52 をそれぞれ被覆している。複数の第 2 下側配線 56 は、この形態では、一対一の対応関係で対応する第 2 下側開口 52 をそれぞれ被覆している。複数の第 2 下側配線 56 は、具体的には、第 1 下側配線 55 の複数の除去部 55a 内にそれぞれ配置されている。

[0123] 複数の第 2 下側配線 56 は、第 1 層間絶縁膜 50 の上から対応する第 2 下側開口 52 に入り込み、当該対応する第 2 下側開口 52 内において対応する第 2 電極 33 にそれぞれ電氣的に接続されている。これにより、複数の第 2 下側配線 56 が、複数の第 2 メサ部 15B（第 2 不純物領域 36）に電氣的に接続されている。複数の第 2 下側配線 56 は、この形態では、平面視において対応する除去部 55a の平面形状の一部または全部に相似な平面形状をそれぞれ有している。複数の第 2 下側配線 56 の総平面積は、単一の第 1 下

側配線 5 5 の平面積未満であることが好ましい。

[0124] 第 3 下側配線 5 7 は、第 1 下側配線 5 5 および第 2 下側配線 5 6 から間隔を空けて第 1 層間絶縁膜 5 0 の上に膜状に配置され、複数の第 3 下側開口 5 3 を被覆している。第 3 下側配線 5 7 は、具体的には、第 1 層間絶縁膜 5 0 の周縁および第 1 下側配線 5 5 の周縁の間の領域に配置されている。

[0125] 第 3 下側配線 5 7 は、第 1 層間絶縁膜 5 0 の上から複数の第 3 下側開口 5 3 に入り込み、複数の第 3 下側開口 5 3 内において複数の第 3 電極 3 7 に電氣的に接続されている。つまり、第 3 下側配線 5 7 は、複数の第 3 電極 3 7 を介して複数の第 1 トレンチ構造 1 0（ゲート電極 1 3）に電氣的に接続されている。

[0126] 第 3 下側配線 5 7 は、この形態では、パッド部 5 7 a およびライン部 5 7 b を含む。パッド部 5 7 a は、平面視において比較的幅広に形成されたアイランド状の部分である。パッド部 5 7 a は、平面視においてチップ 2 の周縁部に重なる任意の領域に配置される。パッド部 5 7 a は、この形態では、平面視において第 3 側面 5 C の中央部に沿う領域に配置されている。

[0127] むろん、パッド部 5 7 a は、平面視においてチップ 2 の任意の角部に沿う領域に配置されていてもよい。パッド部 5 7 a は、この形態では、平面視において四角形状に形成されている。パッド部 5 7 a は、平面視において円形状、長円形状または多角形状に形成されていてもよい。

[0128] ライン部 5 7 b は、パッド部 5 7 a から第 1 層間絶縁膜 5 0 の上にライン状に引き出された部分である。ライン部 5 7 b は、この形態では、パッド部 5 7 a からパッド部 5 7 a よりも幅狭な帯状に引き出されている。ライン部 5 7 b は、平面視において複数の第 1 トレンチ構造 1 0 の端部に交差（具体的には直交）するように引き回されている。ライン部 5 7 b は、平面視において少なくとも 2 方向から第 1 主面 3 の内方部を区画するように第 1 ～第 4 側面 5 A ～5 D のうちの少なくとも 2 つに沿って帯状に延びている。

[0129] ライン部 5 7 b は、この形態では、平面視において 3 方向から第 1 主面 3 の内方部を区画するように第 1 ～第 3 側面 5 A ～5 C に沿って延びている。

むろん、ライン部57bは、平面視において第1～第4側面5A～5Dに沿って延び、4方向から第1主面3の内方部を区画していてもよい。ライン部57bは、この形態では、平面視において複数の第1トレンチ構造10の両端部に交差するように複数のトレンチ接続構造20の直上に配置されている。

[0130] ライン部57bは、この形態では、平面視において複数の第2トレンチ構造30の両端部から第1層間絶縁膜50の周縁側に間隔を空けて配置され、積層方向（法線方向Z）に複数の第2トレンチ構造30に対向していない。第3下側配線57は、第1層間絶縁膜50の上から複数の第3下側開口53に入り込み、複数の第3下側開口53内において複数の第3電極37にそれぞれ電氣的に接続されている。これにより、パッド部57aが、ライン部57bを介して複数の第1トレンチ構造10に電氣的に接続されている。

[0131] 半導体装置1Aは、第1層間配線54を被覆するように第1層間絶縁膜50の上に積層された第2層間絶縁膜60を含む。第2層間絶縁膜60は、酸化シリコンおよび窒化シリコンのうちの少なくとも1つを含んでいてもよい。第2層間絶縁膜60は、第1層間絶縁膜50の全域を被覆し、第1～第4側面5A～5Dに連なっている。第2層間絶縁膜60は、第1主面3に沿って延びる平坦面を有していてもよい。第2層間絶縁膜60の平坦面は研削痕を有していてもよい。

[0132] 第2層間絶縁膜60は、少なくとも1つ（この形態では複数）の第1上側開口61、少なくとも1つ（この形態では複数）の第2上側開口62および少なくとも1つ（この形態では1つ）の第3上側開口63を含む。複数の第1上側開口61は、第1下側配線55の任意の箇所をそれぞれ露出させている。

[0133] 複数の第1上側開口61は、この形態では、平面視において第1方向Xおよび第2方向Yに互いに対向するように行列状に配列されている。複数の第1上側開口61は、この形態では、平面視において第2方向Yに延びる帯状にそれぞれ形成されている。複数の第1上側開口61は、平面視において円

形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0134] 複数の第2上側開口62は、複数の第2下側配線56をそれぞれ露出させている。複数の第2上側開口62は、この形態では、各第2下側配線56に対して一対一の対応関係で設けられている。複数の第2上側開口62は、この形態では、平面視において複数の第2下側配線56のレイアウトに倣って第1方向Xおよび第2方向Yに互いに対向するように行列状に配列されている。

[0135] 複数の第2上側開口62は、さらに、平面視において第1方向Xに複数の第1上側開口61に対向しないように、複数の第1上側開口61から第2方向Yにずれて配列されている。複数の第2上側開口62は、この形態では、平面視において第2下側配線56に沿って延びる帯状にそれぞれ形成されている。複数の第2上側開口62は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0136] 第3上側開口63は、第3下側配線57のうちの少なくともパッド部57aを露出させている。第3上側開口63は、この形態では、平面視においてパッド部57aの周縁から間隔を空けてパッド部57aの内方部を露出させ、ライン部57bを露出させていない。つまり、第2層間絶縁膜60は、ライン部57bの全域を被覆している。第3上側開口63は、平面視においてパッド部57aの周縁に沿う平面形状（この形態では四角形状）に形成されている。第3上側開口63は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。

[0137] 図1および図10を参照して、半導体装置1Aは、第2層間絶縁膜60の上に配置された第2層間配線64を含む。第2層間配線64は、チタン、タングステン、アルミニウム、銅、アルミニウム合金、銅合金および導電性ポリシリコンのうちの少なくとも1種をそれぞれ含んでいてもよい。

[0138] 第2層間配線64は、Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つをそれぞれ含んでいてもよい。

第2層間配線64の個数および引き回し形態は任意であり、特定の個数および引き回し形態に制限されない。

[0139] 第2層間配線64は、この形態では、少なくとも1つ（この形態では複数）の第1上側配線65、少なくとも1つ（この形態では複数）の第2上側配線66、および、少なくとも1つ（この形態では1つ）の第3上側配線67を含む。この形態では、第1上側配線65は「ドレインパッド配線」として設けられ、第2上側配線66は「ソースパッド配線」として設けられ、第3上側配線67は「ゲートパッド配線」として設けられている。

[0140] 複数の第1上側配線65は、この形態では、平面視において第1下側配線55に重るように第2層間絶縁膜60の上にそれぞれ膜状に配置されている。複数の第1上側配線65は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。複数の第1上側配線65は、平面視において複数（この形態では全て）の第1トレンチ構造10の内方部および複数（この形態では全て）の第2トレンチ構造30の内方部に重なっている。

[0141] 複数の第1上側配線65は、第1方向Xに配列された複数の第1上側開口61をそれぞれ被覆し、複数の第2上側開口62をそれぞれ露出させている。複数の第1上側配線65は、第2層間絶縁膜60の上から対応する複数の第1上側開口61にそれぞれ入り込み、複数の第1上側開口61内において第1下側配線55にそれぞれ電氣的に接続されている。これにより、複数の第1上側配線65が、単一の第1下側配線55を介して複数の第1メサ部15Aに電氣的に接続されている。

[0142] 複数の第2上側配線66は、平面視において複数の第2下側配線56に重るように第2層間絶縁膜60の上にそれぞれ膜状に配置されている。複数の第2上側配線66は、この形態では、平面視において複数の第2下側配線56にそれぞれ重なっている。複数の第2上側配線66は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。

- [0143] 複数の第2上側配線66は、平面視において複数（この形態では全て）の第1トレンチ構造10の内方部および複数（この形態では全て）の第2トレンチ構造30の内方部に重なっている。複数の第2上側配線66は、具体的には、第2方向Yに沿って複数の第1上側配線65と交互に配列されている。
- [0144] 複数の第2上側配線66は、第1方向Xに配列された複数の第2上側開口62をそれぞれ被覆している。複数の第2上側配線66は、第2層間絶縁膜60の上から対応する複数の第2上側開口62にそれぞれ入り込み、複数の第2上側開口62内において対応する第2下側配線56にそれぞれ電氣的に接続されている。これにより、複数の第2上側配線66が、複数の第2下側配線56を介して複数の第2メサ部15B（第2トレンチ構造30）に電氣的に接続されている。
- [0145] 第3上側配線67は、第1上側配線65および第2上側配線66から間隔を空けて第3上側開口63を被覆するように第2層間絶縁膜60の上に膜状に配置されている。第3上側配線67は、平面視において第3下側配線57のうちの少なくともパッド部57aに重るように第2層間絶縁膜60の上に配置されている。第3上側配線67は、この形態では、平面視においてパッド部57aの周縁から内方に間隔を空けてパッド部57aに重なっている。第3上側配線67は、平面視においてライン部57bに重なっていない。
- [0146] 第3上側配線67は、第2層間絶縁膜60の上から第3上側開口63に入り込み、第3上側開口63内においてパッド部57aに電氣的に接続されている。これにより、第3上側配線67が、ライン部57bおよび第3電極37を介して複数の第1トレンチ構造10に電氣的に接続されている。第3上側配線67は、平面視においてパッド部57aの周縁に沿う平面形状（この形態では四角形状）に形成されている。第3上側配線67は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。
- [0147] 図2を参照して、半導体装置1Aは、第2層間絶縁膜60の上に形成された最上絶縁膜70を含む。最上絶縁膜70は、「パッシベーション膜」と称

されてもよい。最上絶縁膜 70 は、第 2 層間絶縁膜 60 側からこの順に積層された無機絶縁膜（無機膜）および有機絶縁膜（有機膜）を含む積層構造を有していてもよい。むしろ、最上絶縁膜 70 は、無機絶縁膜（無機膜）または有機絶縁膜（有機膜）からなる単層構造を有していてもよい。

[0148] 無機絶縁膜は、第 2 層間絶縁膜 60 とは異なる絶縁材料からなることが好ましい。無機絶縁膜は、たとえば、窒化シリコン膜からなってもよい。有機絶縁膜は、感光性樹脂からなってもよい。有機絶縁膜は、ポリイミド膜、ポリアミド膜およびポリベンゾオキサゾール膜のうちの少なくとも 1 つを含んでいてもよい。

[0149] 最上絶縁膜 70 は、第 2 層間配線 64 を部分的に露出させるように第 2 層間配線 64 を選択的に被覆し、第 1 ～第 4 側面 5 A ～5 D に連なっている。最上絶縁膜 70 が有機絶縁膜を含む場合、最上絶縁膜 70 は平面視において第 2 層間絶縁膜 60 の周縁部を露出させるように第 1 ～第 4 側面 5 A ～5 D から内方に間隔を空けて形成されていてもよい。最上絶縁膜 70 は、少なくとも 1 つ（この形態では複数）の第 1 パッド開口 71、少なくとも 1 つ（この形態では複数）の第 2 パッド開口 72、および、少なくとも 1 つ（この形態では 1 つ）の第 3 パッド開口 73 を含む。

[0150] 複数の第 1 パッド開口 71 は、複数の第 1 上側配線 65 の周縁部から内方に間隔を空けてそれぞれ形成され、複数の第 1 上側配線 65 の内方部を端子電極としてそれぞれ露出させている。複数の第 2 パッド開口 72 は、複数の第 2 上側配線 66 の周縁部から内方に間隔を空けてそれぞれ形成され、複数の第 2 上側配線 66 の内方部を端子電極としてそれぞれ露出させている。第 3 パッド開口 73 は、第 3 上側配線 67 のパッド部 57 a の周縁部から内方に間隔を空けてそれぞれ形成され、パッド部 57 a の内方部を端子電極として露出させている。

[0151] 半導体装置 1 A は、チップ 2 の第 2 主面 4 を被覆するベース電極 75 を含む。ベース電極 75 は、この形態では、第 2 主面 4 の全域を被覆し、第 1 ～第 4 側面 5 A ～5 D に連なっている。ベース電極 75 は、第 2 主面 4 から露

出する第2半導体領域7に電氣的に接続されている。つまり、ベース電極75は、第2半導体領域7を介して第2トレンチ構造30（第2電極33）に電氣的に接続されている。

[0152] ベース電極75は、第2トレンチ構造30から第2半導体領域7を介して電位が付与されるように構成されていてもよい。ベース電極75は、第2半導体領域7を介して第2トレンチ構造30に電位を付与するように構成されていてもよい。ベース電極75は、Ti膜、Ni膜、Pd膜、Au膜、Ag膜およびAl膜のうちの少なくとも1つを含んでいてもよい。ベース電極75は、Ti膜、Ni膜、Pd膜、Au膜、Ag膜およびAl膜のうちの少なくとも2つを任意の順序で積層させた積層構造を有していてもよい。

[0153] このように、半導体装置1Aは、トレンチゲート・ラテラル型のMISFET構造を有している。このMISFET構造では、第1トレンチ構造10（ゲート電極13）にゲート電位が付与され、第1メサ部15Aにドレイン電位が付与され、第2メサ部15Bにソース電位が付与される。

[0154] これにより、第2半導体領域7において第1トレンチ構造10の下方の領域にチャネル42が形成され、第1電極25（第1メサ部15A）および第2電極33（第2メサ部15B）を結ぶ電流経路が形成される。これにより、ドレインソース電流が、第1電極25（第1メサ部15A）および第2電極33（第2メサ部15B）の間に流れる。

[0155] 以下、半導体装置1Aの製造方法の一例が説明される。図11A～図11Qは、図1に示す半導体装置1Aの製造方法の一例を示す断面図である。図11A～図11Qは、いずれも図5に対応する領域の断面図である。

[0156] 図11Aを参照して、円盤状のウエハ80が用意される。ウエハ80は、一方側の第1ウエハ主面81および他方側の第2ウエハ主面82を含む。ウエハ80は、第1ウエハ主面81側の第2半導体領域7、および、第2ウエハ主面82側の第3半導体領域8を含む。この形態では、第3半導体領域8はp型の半導体基板からなり、第2半導体領域7はp型のエピタキシャル層からなる。つまり、ウエハ80は、いわゆるエピタキシャルウエハからなる。

。第2半導体領域7（エピタキシャル層）は、エピタキシャル成長法によって第3半導体領域8（半導体基板）からシリコンを成長させることによって形成される。

[0157] 図11Bを参照して、第1半導体領域6が第1ウエハ主面81の表層部に形成される。第1半導体領域6は、イオン注入法によって第1ウエハ主面81の表層部にn型不純物を導入することによって形成される。n型不純物は、具体的には、第2半導体領域7の底部から第1ウエハ主面81側に間隔を空けて第2半導体領域7の表層部に導入される。n型不純物は、イオン注入マスクを介さず、第1ウエハ主面81の表層部の全域に導入されてもよい。

[0158] むろん、n型不純物は、イオン注入マスクを介して第1ウエハ主面81の表層部において第1半導体領域6を形成すべき領域に導入されてもよい。また、第1半導体領域6は、エピタキシャル成長法によって第2半導体領域7（半導体基板）からシリコンを成長させることによって形成されてもよい。この場合、第1ウエハ主面81は、第1半導体領域6の結晶面（結晶成長面）によって形成される。

[0159] 図11Cを参照して、複数の第1トレンチ11および複数の接続トレンチ21が第1ウエハ主面81に形成される。この工程では、まず、所定パターンを有するハードマスク83が第1ウエハ主面81の上に形成される。ハードマスク83は、第1ウエハ主面81において複数の第1トレンチ11および複数の接続トレンチ21を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0160] ハードマスク83は、酸化処理法またはCVD（Chemical Vapor Deposition）法によって形成されてもよい。ハードマスク83の不要な部分は、レジストマスク（図示せず）を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。

[0161] 次に、ウエハ80の不要な部分がハードマスク83を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／また

はドライエッチング法であってもよい。エッチング法は、ドライエッチング法の一例としてのR I E (Reactive Ion Etching) 法であることが好ましい。

[0162] これにより、複数の第1トレンチ11および複数の接続トレンチ21が形成される。また、複数の第1トレンチ11（複数の接続トレンチ21）によって、複数のメサ部15（複数の第1メサ部15Aおよび複数の第2メサ部15B）が第1ウエハ主面81に区画される。ハードマスク83は、その後、除去される。

[0163] 図11Dを参照して、複数のゲート絶縁膜12および複数の接続絶縁膜22のベースとなる第1ベース絶縁膜84が第1ウエハ主面81に形成される。第1ベース絶縁膜84は、複数の第1トレンチ11の内壁および複数の接続トレンチ21の内壁を含む第1ウエハ主面81に形成される。第1ベース絶縁膜84は、酸化処理法および／またはCVD法（好ましくは熱酸化処理法）によって形成されてもよい。

[0164] 図11Eを参照して、複数の底壁不純物領域41が、第2半導体領域7において複数の第1トレンチ11の底壁および複数の接続トレンチ21の底壁に沿う領域に形成される。この工程では、まず、所定パターンを有するイオン注入マスク85が、第1ウエハ主面81の上に形成される。イオン注入マスク85は、複数の第1トレンチ11および複数の接続トレンチ21を露出させ、それら以外の領域を被覆している。

[0165] 次に、p型不純物が、イオン注入マスク85を介するイオン注入法によって複数の第1トレンチ11の底壁および複数の接続トレンチ21の底壁を介して第2半導体領域7に導入される。これにより、複数の底壁不純物領域41が形成される。イオン注入マスク85は、その後、除去される。むろん、イオン注入マスク85は、複数の接続トレンチ21を被覆していてもよい。この場合、複数の接続トレンチ21の底壁を露出させる複数の底壁不純物領域41が形成される。

[0166] 図11Fを参照して、複数のゲート電極13および複数の接続電極23の

ベースとなる第1ベース電極86が第1ウエハ主面81の上に形成される。

第1ベース電極86は、複数の第1トレンチ11および複数の接続トレンチ21を埋めて、第1ウエハ主面81を被覆するように膜状に形成される。

[0167] 第1ベース電極86は、この形態では、導電性ポリシリコンを含む。第1ベース電極86は、CVD法によって形成されてもよい。第1ベース電極86の形成後、第1ベース電極86の電極面が平坦化されてもよい。第1ベース電極86の電極面は、CMP（Chemical Mechanical Polishing）法によって平坦化されてもよい。

[0168] 図11Gを参照して、第1ベース電極86の不要な部分が除去される。この工程では、所定パターンを有するレジストマスク（図示せず）が第1ウエハ主面81の上に形成される。レジストマスク（図示せず）は、第1ベース電極86の引き出し部13aとなる部分、および、接続電極23となる部分を被覆し、それら以外の領域を露出させている。次に、レジストマスク（図示せず）を介するエッチング法によって、第1ベース電極86の不要な部分が除去される。

[0169] 第1ベース電極86は、第1ベース電極86の電極面（エッチング面）が第1トレンチ11の中間部および第1トレンチ11の底壁の間の領域に位置するまで除去される。これにより、ゲート電極13（引き出し部13a）および接続電極23が形成される。レジストマスク（図示せず）を介するエッチング法に先立って、第1ベース絶縁膜84が露出するまで第1ベース電極86を除去してもよい。この場合、第1ウエハ主面81に対して第1トレンチ11の底壁側に位置する上端部をそれぞれ有する複数の引き出し部13aおよび接続電極23が形成される。

[0170] 図11Hを参照して、埋設絶縁体14および主面絶縁膜24のベースとなる第2ベース絶縁膜87が第1ウエハ主面81の上に形成される。第2ベース絶縁膜87は、この形態では、酸化シリコン膜からなる。第2ベース絶縁膜87は、CVD法によって形成されてもよい。第2ベース絶縁膜87は、CVD法は、HDP（high Density Plasma）-CVD法であることが好まし

い。

[0171] 第2ベース絶縁膜87は、複数の第1トレンチ11において複数の引き出し部13aによって区画されたりセス空間を埋めて第1ウエハ主面81、複数の引き出し部13aおよび接続電極23を被覆する。第2ベース絶縁膜87の形成後、第2ベース絶縁膜87の露出面が平坦化されてもよい。第2ベース絶縁膜87の露出面は、CMP法によって平坦化されてもよい。これにより、第1トレンチ11内に位置する埋設絶縁体14および第1ウエハ主面81の上に位置する主面絶縁膜24が形成される。

[0172] 図11Iを参照して、複数の第2トレンチ32が第1ウエハ主面81に形成される。この工程では、まず、所定パターンを有するレジストマスク88が主面絶縁膜24の上に形成される。レジストマスク88は、主面絶縁膜24（第1ウエハ主面81）において複数の第2トレンチ32を形成すべき領域を露出させ、それら以外の領域を被覆している。次に、主面絶縁膜24の不要な部分がレジストマスク88を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。これにより、複数の第2接続開口31が主面絶縁膜24に形成される。

[0173] 次に、ウエハ80の不要な部分がレジストマスク88を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。ウエハ80の不要な部分は、第1半導体領域6および第2半導体領域7を貫通し、第3半導体領域8が露出するまで除去される。これにより、第2接続開口31をそれぞれ含む複数の第2トレンチ32が第1ウエハ主面81に形成される。レジストマスク88は、その後、除去される。

[0174] 図11Jを参照して、複数の第1接続開口26および複数の第3接続開口38が主面絶縁膜24に形成される。この工程では、まず、所定パターンを有するレジストマスク89が主面絶縁膜24の上に形成される。レジストマスク89は、主面絶縁膜24において複数の第1接続開口26および複数の

第3接続開口38を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0175] 次に、主面絶縁膜24の不要な部分がレジストマスク89を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。これにより、複数の第1接続開口26および複数の第3接続開口38が主面絶縁膜24に形成される。レジストマスク89は、その後、除去される。

[0176] 図11Kを参照して、複数の第1不純物領域29および複数の第2不純物領域36が形成される。この工程では、まず、所定パターンを有するイオン注入マスク90が主面絶縁膜24の上に形成される。イオン注入マスク90は、第1ウエハ主面81において複数の第1不純物領域29および複数の第2不純物領域36を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0177] 次に、n型不純物が、イオン注入マスク90を介するイオン注入法によって第1半導体領域6において主面絶縁膜24から露出した部分に導入される。n型不純物は、この形態では、斜めイオン注入法によって、第1ウエハ主面81に対して斜め傾斜した角度で第1半導体領域6に導入される。

[0178] これにより、複数の第1不純物領域29および複数の第2不純物領域36は、複数の第1接続開口26、複数の第2接続開口31（複数の第2トレンチ32）および複数の第3接続開口38に対して自己整合的に形成される。イオン注入マスク90は、その後、除去される。むろん、n型不純物は、イオン注入マスク90を用いずに主面絶縁膜24をイオン注入マスクとして第1半導体領域6に導入されてもよい。

[0179] 図11Lを参照して、複数の第1電極25、複数の第2電極33および複数の第3電極37のベースとなる第2ベース電極91が主面絶縁膜24の上に形成される。主面絶縁膜24は、複数の第1接続開口26、複数の第2トレンチ32（第2接続開口31）および複数の第3接続開口38を埋めて主面絶縁膜24を被覆する。

[0180] 第2ベース電極91は、この形態では、ウエハ80側からこの順に積層されたベースバリア膜92および電極本体膜93を有している。ベースバリア膜92は複数の第1～第3バリア膜27、34、39のベースであり、電極本体膜93は複数の第1～第3電極本体28、35、40のベースである。ベースバリア膜92および電極本体膜93は、スパッタ法および／または蒸着法によって形成されてもよい。

[0181] 図11Mを参照して、第2ベース電極91の不要な部分がエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。第2ベース電極91は、主面絶縁膜24が露出するまで除去される。これにより、複数の第1電極25、複数の第2電極33および複数の第3電極37が形成される。

[0182] 図11Nを参照して、第1層間絶縁膜50が主面絶縁膜24の上に形成される。第1層間絶縁膜50は、この形態では、酸化シリコン膜からなる。第1層間絶縁膜50は、CVD法によって形成されてもよい。次に、所定パターンを有するレジストマスク94が第1層間絶縁膜50の上に形成される。レジストマスク94は、複数の第1下側開口51、複数の第2下側開口52および複数の第3下側開口53を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0183] 次に、第1層間絶縁膜50の不要な部分がレジストマスク94を介するエッチング法によって除去される。第1層間絶縁膜50は、主面絶縁膜24が露出するまで除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。これにより、複数の第1下側開口51、複数の第2下側開口52および複数の第3下側開口53が主面絶縁膜24に形成される。レジストマスク94は、その後、除去される。

[0184] 図11Oを参照して、第1層間配線54（第1下側配線55、複数の第2下側配線56および第3下側配線57）のベースとなる第3ベース電極95

が第1層間絶縁膜50の上に形成される。第3ベース電極95は、この形態では、A1系電極からなる。第3ベース電極95は、スパッタ法および／または蒸着法によって形成されてもよい。第3ベース電極95は、複数の第1下側開口51、複数の第2下側開口52および複数の第3下側開口53を埋めて第1層間絶縁膜50を被覆する。

[0185] 次に、所定パターンを有するレジストマスク96が第3ベース電極95の上に形成される。レジストマスク96は、第1層間配線54を形成すべき領域を被覆し、それ以外の領域を露出させている。次に、第3ベース電極95の不要な部分がレジストマスク96を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。これにより、第1層間配線54が形成される。レジストマスク96は、その後、除去される。

[0186] 図11Pを参照して、第2層間絶縁膜60が第1層間絶縁膜50の上に形成される。第2層間絶縁膜60は、この形態では、酸化シリコン膜からなる。第2層間絶縁膜60は、CVD法によって形成されてもよい。次に、所定パターンを有するレジストマスク97が第2層間絶縁膜60の上に形成される。レジストマスク97は、複数の第1上側開口61、複数の第2上側開口62および第3上側開口63を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0187] 次に、第2層間絶縁膜60の不要な部分がレジストマスク97を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくはRIE法）であってもよい。第2層間絶縁膜60は、第1層間配線54が露出するまで除去される。これにより、複数の第1上側開口61、複数の第2上側開口62および複数の第3上側開口63が主面絶縁膜24に形成される。レジストマスク97は、その後、除去される。

[0188] 図11Qを参照して、第2層間配線64（複数の第1上側配線65、複数の第2上側配線66および第3上側配線67）のベースとなる第4ベース電

極 98 が第 2 層間絶縁膜 60 の上に形成される。第 4 ベース電極 98 は、この形態では、A1 系電極からなる。第 4 ベース電極 98 は、スパッタ法および／または蒸着法によって形成されてもよい。第 4 ベース電極 98 は、複数の第 1 上側開口 61、複数の第 2 上側開口 62 および複数の第 3 上側開口 63 を埋めて第 2 層間絶縁膜 60 を被覆する。

[0189] 次に、所定パターンを有するレジストマスク（図示せず）が第 4 ベース電極 98 の上に形成される。レジストマスク（図示せず）は、第 2 層間配線 64 を形成すべき領域を被覆し、それ以外の領域を露出させている。次に、第 4 ベース電極 98 の不要な部分がレジストマスク（図示せず）を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法（好ましくは RIE 法）であってもよい。これにより、第 2 層間配線 64 が形成される。レジストマスク（図示せず）は、その後、除去される。

[0190] その後、最上絶縁膜 70 およびベース電極 75 がそれぞれ形成され、ウエハ 80 が厚さ方向に選択的に切断される。ベース電極 75 の形成工程に先立って、第 2 ウエハ主面 82 の研削工程が実施されてもよい。以上を含む工程を経て、半導体装置 1A が製造される。

[0191] 以上、半導体装置 1A は、チップ 2、n 型（第 1 導電型）の第 1 半導体領域 6、p 型（第 2 導電型）の第 2 半導体領域 7、第 1 トレンチ構造 10（第 1 溝構造）、第 1 電極 25、第 2 トレンチ構造 30（第 2 溝構造）を含む。チップ 2 は、一方側の第 1 主面 3 および他方側の第 2 主面 4 を有している。第 1 半導体領域 6 は、チップ 2 内で第 1 主面 3 側の領域に形成されている。第 2 半導体領域 7 は、チップ 2 内で第 1 半導体領域 6 よりも第 2 主面 4 側の領域に形成されている。

[0192] 第 1 トレンチ構造 10 は、第 1 トレンチ 11（第 1 溝）、ゲート絶縁膜 12（制御絶縁膜）、ゲート電極 13（制御電極）を含む。第 1 トレンチ 11 は、断面視において第 1 半導体領域 6 を一方側の第 1 メサ部 15A（第 1 領域）および他方側の第 2 メサ部 15B（第 2 領域）に区画するように第 1 半

導体領域 6 を貫通して第 1 主面 3 に形成されている。ゲート絶縁膜 1 2 は、第 1 トレンチ 1 1 の内壁を被覆している。ゲート電極 1 3 は、ゲート絶縁膜 1 2 を挟んで第 1 トレンチ 1 1 に埋設され、第 2 半導体領域 7 におけるチャネル 4 2 を制御する。

[0193] 第 1 電極 2 5 は、第 1 メサ部 1 5 A において第 1 半導体領域 6 に電氣的に接続されている。第 2 トレンチ構造 3 0 は、第 2 トレンチ 3 2（第 2 溝）および第 2 電極 3 3 を含む。第 2 トレンチ 3 2 は、第 2 メサ部 1 5 B において第 1 半導体領域 6 を貫通して第 1 主面 3 に形成されている。第 2 電極 3 3 は、第 2 トレンチ 3 2 に埋設され、第 1 電極 2 5 との間でチャネル 4 2 を介する電流経路を形成する。

[0194] この構造によれば、チップ 2 の内部における第 1 電極 2 5 および第 2 電極 3 3 の間の電流経路が第 1 トレンチ構造 1 0 によって制御されるトレンチゲート・ラテラル型の M I S F E T 構造が構成されている。よって、新規な構造（M I S F E T 構造）を有する半導体装置 1 A を提供できる。

[0195] また、この構造によれば、第 1 電極 2 5 と同一層に第 2 電極 3 3 を配置する場合と比較して第 1 電極 2 5 および第 2 電極 3 3 の間の電流経路を短縮できるから、オン抵抗を削減できる。また、チップ 2 の内部において第 2 電極 3 3 の体積（配線面積）をチップ 2 の厚さ方向に増加させることができるから、第 2 電極 3 3 の配線抵抗を削減できる。また、第 2 電極 3 3 がチップ 2 の内部に配置されているため、第 1 電極 2 5 の配線ルールを緩和できる。これにより、第 1 電極 2 5 の配線面積を増加させることができるから、第 1 電極 2 5 の配線抵抗を削減できる。

[0196] 第 2 電極 3 3 は、第 2 トレンチ 3 2 内において第 1 半導体領域 6 および第 2 半導体領域 7 の双方に電氣的に接続されていることが好ましい。第 2 トレンチ 3 2 は、第 1 トレンチ 1 1 よりも深いことが好ましい。これらの構造によれば、第 1 電極 2 5 および第 2 電極 3 3 の間の電流経路を適切に短縮できる。また、第 2 電極 3 3 の体積をチップ 2 の厚さ方向に適切に増加させることができる。

- [0197] 半導体装置 1 A は、第 1 不純物領域 2 9 および第 2 不純物領域 3 6 を含むことが好ましい。第 1 不純物領域 2 9 は、第 1 電極 2 5 に電氣的に接続されるように第 1 半導体領域 6 よりも高い濃度で第 1 メサ部 1 5 A に形成されている。第 2 不純物領域 3 6 は、第 2 電極 3 3 に電氣的に接続されるように第 1 半導体領域 6 よりも高い濃度で第 2 メサ部 1 5 B に形成されている。
- [0198] この構造によれば、第 1 電極 2 5 に対する第 1 半導体領域 6 の接触抵抗を第 1 不純物領域 2 9 によって低減でき、第 2 電極 3 3 に対する第 1 半導体領域 6 の接触抵抗を第 2 不純物領域 3 6 によって低減できる。また、第 1 電極 2 5 および第 2 電極 3 3 の間に第 1 不純物領域 2 9 および第 2 不純物領域 3 6 を介する電流経路を形成できる。よって、オン抵抗を適切に削減できる。
- [0199] 第 2 不純物領域 3 6 は、第 1 不純物領域 2 9 よりも深く形成されていることが好ましい。この構造によれば、比較的深い第 2 不純物領域 3 6 によって、オン抵抗を適切に削減できる。第 1 不純物領域 2 9 は、断面視において第 1 主面 3 に沿う横方向に延び、第 2 不純物領域 3 6 は、断面視において第 2 トレンチ構造 3 0 に沿う縦方向に延びていることが好ましい。第 2 不純物領域 3 6 は、第 2 電極 3 3 に接するように第 2 トレンチ構造 3 0 の壁面に沿って延びていることが好ましい。この構造によれば、第 2 電極 3 3 に対する第 1 半導体領域 6 の接触抵抗を第 2 不純物領域 3 6 によって適切に低減できる。
- [0200] ゲート電極 1 3 は、第 1 主面 3 から第 1 トレンチ 1 1 の底壁側に間隔を空けて第 1 トレンチ 1 1 に埋設されていることが好ましい。ゲート電極 1 3 は、第 1 トレンチ 1 1 の中間部から第 1 トレンチ 1 1 の底壁側に間隔を空けて第 1 トレンチ 1 1 に埋設されていることが特に好ましい。これらの構造によれば、第 1 トレンチ構造 1 0 に対する電界集中を抑制できる。
- [0201] 第 1 トレンチ構造 1 0 は、ゲート電極 1 3 を被覆するように第 1 トレンチ 1 1 に埋設された埋設絶縁体 1 4 をさらに含むことが好ましい。この構造によれば、第 1 トレンチ 1 1 内において埋設絶縁体 1 4 をフィールド絶縁膜として機能させることができる。これにより、第 1 トレンチ構造 1 0 に対する

電界集中を埋設絶縁体 14 によって抑制できる。第 1 トレンチ 11 の深さ方向に関して、埋設絶縁体 14 の厚さはゲート電極 13 の厚さを超えていることが好ましい。この構造によれば、第 1 トレンチ構造 10 に対する電界集中を埋設絶縁体 14 によって適切に抑制できる。

[0202] 半導体装置 1 A は、第 1 主面 3 および第 1 トレンチ構造 10 を被覆する主面絶縁膜 24 を含むことが好ましい。この場合、第 1 電極 25 は主面絶縁膜 24 を貫通し、第 2 トレンチ構造 30 は主面絶縁膜 24 を貫通する第 2 トレンチ 32 を有していることが好ましい。この構造において、第 2 電極 33 は、第 2 トレンチ 32 内において、第 1 主面 3 に対してチップ 2 側に位置する部分、および、第 1 主面 3 に対して主面絶縁膜 24 側に位置する部分を有していることが好ましい。主面絶縁膜 24 は、ゲート絶縁膜 12 よりも厚いことが好ましい。

[0203] 半導体装置 1 A は、第 2 半導体領域 7 内で第 1 トレンチ構造 10 の底壁に沿って形成された p 型の底壁不純物領域 41 を含むことが好ましい。この構造によれば、第 1 半導体領域 6 から広がる空乏層が第 1 トレンチ構造 10 の底壁に沿う領域で重なることを底壁不純物領域 41 によって抑制できる。これにより、第 1 半導体領域 6 のパンチスルーを抑制できる。

[0204] 半導体装置 1 A は、チップ 2 内で第 2 半導体領域 7 よりも第 2 主面 4 側の領域に形成され、第 2 半導体領域 7 よりも高い不純物濃度を有する p 型の第 3 半導体領域 8 を含んでいてもよい。この構造によれば、第 3 半導体領域 8 よりも低濃度な第 2 半導体領域 7 が、第 1 半導体領域 6 と p n 接合部を形成する。

[0205] これにより、第 2 半導体領域 7 から第 1 半導体領域 6 内に空乏層を適切に拡げることができ、耐圧（ブレイクダウン電圧）を向上できる。この場合、第 1 トレンチ構造 10 の底壁は、第 2 半導体領域 7 内に位置し、第 2 トレンチ構造 30 の底壁は、第 3 半導体領域 8 内に位置していることが好ましい。この構造によれば、第 2 半導体領域 7 に M I S F E T 構造のチャネル 42 を形成できると同時に、第 2 半導体領域 7 に対して第 2 トレンチ構造 30 を適

切に電氣的に接続させることができる。

[0206] ゲート電極 1 3 は非金属導体を含んでいてもよい。第 2 電極 3 3 は金属を含むことが好ましい。この構造によれば、第 2 電極 3 3 の配線抵抗を適切に低減できる。複数の第 1 トレンチ構造 1 0 が形成され、複数の第 1 トレンチ構造 1 0 の間の領域に第 2 トレンチ構造 3 0 が形成されていてもよい。チップ 2 は、S i 単結晶または S i C 単結晶を含んでいてもよい。

[0207] 半導体装置 1 A は、第 1 下側配線 5 5 (第 1 配線) および第 2 下側配線 5 6 (第 2 配線) をさらに含むことが好ましい。第 1 下側配線 5 5 は、第 1 電極 2 5 に電氣的に接続されるように第 1 電極 2 5 の上に配置される。第 2 下側配線 5 6 は、第 2 電極 3 3 に電氣的に接続されるように第 2 電極 3 3 の上に配置される。

[0208] この場合、第 2 下側配線 5 6 は、第 1 下側配線 5 5 の平面積未満の平面積を有していることが好ましい。この構造によれば、チップ 2 の内部において比較的大きい体積 (配線面積) を有する第 2 電極 3 3 を形成できるから、第 2 下側配線 5 6 の配線面積を削減できる。これにより、第 2 下側配線 5 6 の配線面積が削減された分だけ、第 1 下側配線 5 5 の配線面積を増加させることができる。よって、第 1 下側配線 5 5 の配線抵抗を削減できる。

[0209] 半導体装置 1 A は、第 2 半導体領域 7 に電氣的に接続されるように第 2 主面 4 を被覆するベース電極 7 5 を含むことが好ましい。ベース電極 7 5 は、第 2 半導体領域 7 を介して第 2 電極 3 3 に電氣的に接続されていることが特に好ましい。ベース電極 7 5 は、第 2 電極 3 3 から第 2 半導体領域 7 を介して電位が付与されるように構成されていてもよい。ベース電極 7 5 は、第 2 半導体領域 7 を介して第 2 電極 3 3 に電位を付与れるように構成されていてもよい。

[0210] 図 1 2 は、第 2 実施形態に係る半導体装置 1 B を示す模式的な平面図である。図 1 3 は、図 1 2 に示す XIII-XIII 線に沿う断面図である。図 1 4 は、第 2 実施形態に係るチップ 2 の第 1 主面 3 のレイアウト例を示す模式的な平面図である。図 1 5 は、図 1 4 に示す領域 XV の拡大図である。図 1 6 は、図 1

5に示すXVI-XVI線に沿う断面図である。図17は、図15に示す領域に対応し、チップ2の上に引き回された第1層間配線54のレイアウト例を示す拡大図である。

[0211] 図12～図17を参照して、半導体装置1Bは、第1主面3に沿う横方向に電流経路を形成するラテラル型の特徴、および、第1主面3に垂直な縦方向に電流経路を形成するバーティカル型の特徴の双方を備えたトレンチゲート・3次元型のMISFET構造を備えたスイッチングデバイスである。半導体装置1Bに係るチップ2の内部の構造は、半導体装置1Aに係るチップ2の内部の構造とほぼ同様である。

[0212] 半導体装置1Bは、前述の図11A～図11Qにおいて配線形成用のマスクのレイアウトを変更することによって形成され、半導体装置1Aとは異なる配線パターンおよび電圧印加条件を有している。半導体装置1Bは、具体的には、第1主面3の上において、第1メサ部15A（第1電極25）に電氣的に接続される配線および第1トレンチ構造10に電氣的に接続される配線のみを有し、第2メサ部15B（第2トレンチ構造30）に電氣的に接続される配線を有さない。以下、半導体装置1Bにおいて、半導体装置1Aとは異なる構造が説明される。

[0213] 半導体装置1Bは、主面絶縁膜24の上に積層された前述の第1層間絶縁膜50を含む。第1層間絶縁膜50は、この形態では、複数の第2トレンチ構造30の両端部および内方部を被覆するように主面絶縁膜24の上に形成されている。第1層間絶縁膜50は、この形態では、複数の第2トレンチ構造30の全域を被覆している。したがって、第1層間絶縁膜50は、複数の第1下側開口51および複数の第3下側開口53を含み、第2トレンチ構造30を露出させる第2下側開口52を含まない。複数の第3下側開口53は、第1実施形態の場合と同様の形態で形成されている。

[0214] 複数の第1下側開口51は、この形態では、一対一の対応関係で複数の第1電極25を露出させている。複数の第1下側開口51は、対応する第1電極25に沿って延びる帯状にそれぞれ形成されていてもよい。むしろ、複数

の第1下側開口51は、第1実施形態の場合と同様に、各第1電極25を複数個所から露出させるように各第1電極25に対して一对多の対応関係で設けられていてもよい。

[0215] 半導体装置1Bは、第1層間絶縁膜50の上に形成された前述の第1層間配線54を含む。第1層間配線54は、この形態では、少なくとも1つ（この形態では1つ）の第1下側配線55および少なくとも1つ（この形態では1つ）の第3下側配線57を含み、第2下側配線56を含まない。第3下側配線57、第1実施形態の場合と同様の形態で形成されている。

[0216] 第1下側配線55は、この形態では、除去部55aを有さず、少なくとも1つ（この形態では複数）の第2トレンチ構造30の全域を被覆している。つまり、第1下側配線55の配線抵抗は、除去部55aがなくなった分だけ低減される。むしろ、第1下側配線55は、全ての第2トレンチ構造30の全域を被覆するように形成されていてもよい。

[0217] 第1下側配線55は、第1層間絶縁膜50の上から全ての第1下側開口51に入り込み、全ての第1下側開口51内において全ての第1電極25にそれぞれ電氣的に接続されている。これにより、単一の第1下側配線55が、全ての第1電極25を介して全ての第1メサ部15Aに電氣的に接続されている。

[0218] 半導体装置1Bは、第1層間配線54を被覆するように第1層間絶縁膜50の上に積層された前述の第2層間絶縁膜60を含む。第2層間絶縁膜60は、この形態では、少なくとも1つ（この形態では複数）の第1上側開口61少なくとも1つ（この形態では1つ）の第3上側開口63を含み、第2上側開口62を含まない。複数の第3上側開口63は、第1実施形態の場合と同様の形態で形成されている。

[0219] 複数の第1上側開口61は、第1下側配線55の任意の箇所をそれぞれ露出させている。複数の第1上側開口61は、平面視において第1方向Xおよび第2方向Yに互いに対向するように行列状に配列されていてもよい。複数の第1上側開口61は、平面視において第2方向Yに延びる帯状にそれぞれ

形成されていてもよい。複数の第1上側開口61は、平面視において円形状、長円形状または多角形状にそれぞれ形成されていてもよい。むろん、第1下側配線55の周縁から間隔を空けて第1下側配線55の内方部を露出させる単一の第1上側開口61が形成されていてもよい。

[0220] 半導体装置1Bは、第2層間絶縁膜60の上に形成された前述の第2層間配線64を含む。第2層間配線64は、この形態では、少なくとも1つ（この形態では1つ）の第1上側配線65および少なくとも1つ（この形態では1つ）の第3上側配線67を含み、第2上側配線66を含まない。第3上側配線67、第1実施形態の場合と同様の形態で形成されている。

[0221] 第1上側配線65は、この形態では、平面視において全ての第1トレンチ構造10および全ての第2トレンチ構造30に重るように第2層間絶縁膜60の上に膜状に配置されている。第1上側配線65は、平面視において全ての第2トレンチ構造30の全域に重なっていてもよい。

[0222] 第1上側配線65は、第2層間絶縁膜60の上から複数の第1上側開口61に入り込み、複数の第1上側開口61内において第1下側配線55に電氣的に接続されている。これにより、単一の第1上側配線65が、単一の第1下側配線55を介して全ての第1メサ部15Aに電氣的に接続されている。第1上側配線65は、平面視において四角形状や多角形状に形成されていてもよい。

[0223] 半導体装置1Bは、第2層間絶縁膜60の上に形成された前述の最上絶縁膜70を含む。最上絶縁膜70は、この形態では、第1上側配線65および第3上側配線67を部分的に露出させるように第1上側配線65および第3上側配線67を選択的に被覆している。

[0224] 最上絶縁膜70は、この形態では、少なくとも1つ（この形態では1つ）の第1パッド開口71および少なくとも1つ（この形態では1つ）の第3パッド開口73を含み、第2パッド開口72を含まない。第1パッド開口71は、第1上側配線65の周縁部から間隔を空けて第1上側配線65の内方部を露出させている。第3パッド開口73は、第1実施形態の場合と同様の形

態で形成されている。

[0225] 半導体装置 1 B は、チップ 2 の第 2 主面 4 を被覆する前述のベース電極 7 5 を含む。ベース電極 7 5 は、この形態では、第 2 半導体領域 7 を介して第 2 トレンチ構造 3 0 に電位（この形態ではソース電位）を付与するように構成されている。つまり、ベース電極 7 5 は、第 2 電極 3 3 との間で第 2 半導体領域 7 を介する電流経路を形成するように構成されている。

[0226] このように、半導体装置 1 B は、トレンチゲート・ラテラル型およびトレンチゲートバーティカル型の双方の特徴を備えた M I S F E T 構造を有している。この M I S F E T 構造では、第 1 トレンチ構造 1 0（ゲート電極 1 3）にゲート電位が付与され、第 1 電極 2 5（第 1 メサ部 1 5 A）にドレイン電位が付与され、第 2 電極 3 3（第 2 メサ部 1 5 B）にソース電位が付与される。これにより、第 2 半導体領域 7 において第 1 トレンチ構造 1 0 の下方の領域にチャネル 4 2 が形成され、第 1 電極 2 5 および第 2 電極 3 3 を結ぶ電流経路が形成される。

[0227] これにより、ドレインソース電流が、第 1 電極 2 5 および第 2 電極 3 3 の間の領域を流れる。第 2 電極 3 3 は、この形態では、ベース電極 7 5 との間において第 2 半導体領域 7 を介する電流経路を形成する。したがって、ドレインソース電流は、第 2 半導体領域 7 を介して第 2 電極 3 3 およびベース電極 7 5 の間を流れる。つまり、半導体装置 1 B に係るドレインソース電流は、第 2 電極 3 3 を介して第 1 電極 2 5 およびベース電極 7 5 の間を流れる。

[0228] 以上、半導体装置 1 B によっても半導体装置 1 A と同様の効果が奏される。半導体装置 1 B は、チップ 2 の第 2 主面 4 に電氣的に接続されたベース電極 7 5 を含む。この構造によれば、ベース電極 7 5 から第 2 半導体領域 7 を介して第 2 トレンチ構造 3 0（第 2 電極 3 3）に電位（この形態ではソース電位）を付与することにより、第 1 電極 2 5 および第 2 電極 3 3 の間に横方向の電流経路を形成できると同時に、第 2 電極 3 3 およびベース電極 7 5 の間に縦方向の電流経路を形成できる。

[0229] これにより、第 1 主面 3 に沿う横方向に電流経路を形成するラテラル型の

特徴、および、第1主面3に垂直な縦方向に電流経路を形成するバーティカル型の特徴の双方を備えたトレンチゲート・3次元型のMISFET構造を構成できる。よって、新規な構造（MISFET構造）を有する半導体装置1Bを提供できる。

[0230] また、半導体装置1Bは、第1主面3の上において第2メサ部15B（第2トレンチ構造30）に係る配線（つまり第2上側配線66および第2上側配線66）を有さない。第2メサ部15B（第2トレンチ構造30）に係る配線は、第2トレンチ構造30（第2電極33）およびベース電極75によって形成されている。これにより、第1主面3の上において第1メサ部15A（第1電極25）に係る配線（つまり第1上側配線65および第1上側配線65）の配線面積を増加させることができる。

[0231] よって、第1メサ部15Aに係る配線の配線抵抗を削減できる。また、第2メサ部15Bに係る配線に対する第1メサ部15Aに係る配線の配線マージンをなくすことができるため、半導体装置1Bを小型化できる。むろん、第2電極33との間で第2半導体領域7を介する電流経路を形成するベース電極75は、第1実施形態に採用されてもよい。この場合、チップ2の第1主面3側および第2主面4側の双方からドレインソース電流が取り出される構造になる。

[0232] 図18は、第3実施形態に係る半導体装置1C（＝2つの第2実施形態に係る半導体装置1Bを用いた半導体モジュール）の模式的な断面図である。図19は、図18に示す半導体装置1Cが組み込まれる電気回路の構成例を示す回路図である。

[0233] 半導体装置1Cは、この形態では、第1導体板101、第1半導体装置1BL、第1導電接合材102、第2導体板103、第2導電接合材104、第2半導体装置1BHおよび第3導電接合材105を含む。第1導体板101は、たとえば、リードフレームのダイパッド等からなる。

[0234] 第1半導体装置1BLは、第2実施形態に係る半導体装置1Bからなり、ローサイド（低電位）側のスイッチングデバイスとして設けられている。第

第1半導体装置1BLは、第2半導体装置1BHとの対比において、比較的大きい第1サイズS1を有し、比較的小さい第1オン抵抗 R_{on1} および比較的大きい第1帰還容量 C_{rss1} を有している。第1半導体装置1BLは、導通損失の削減に寄与する。

[0235] 第1半導体装置1BLは、ベース電極75を第1導体板101に対向させた姿勢で第1導体板101の上に配置されている。第1導電接合材102は、半田や金属ペースト等からなる。第1導電接合材102は、第1導体板101および第1半導体装置1BLのベース電極75の間に介在され、第1導体板101および第1半導体装置1BLのベース電極75を電気的および機械的に接続させている。これにより、第1導体板101は、第1半導体装置1BLの第2メサ部15B（第2トレンチ構造30）に電気的に接続されている。

[0236] 第2導体板103は、たとえば、導体クリップ等からなる。第2導体板103は、第1半導体装置1BLの第3上側配線67を露出させ、第1半導体装置1BLの第1上側配線65を被覆するように第1半導体装置1BLの上に配置されている。第2導電接合材104は、半田や金属ペースト等からなる。

[0237] 第2導電接合材104は、第1半導体装置1BLの第1上側配線65および第2導体板103の間に介在され、第1上側配線65および第2導体板103を電気的および機械的に接続させている。これにより、第2導体板103は、第1半導体装置1BLの第1メサ部15Aに電気的に接続されている。

[0238] 第2半導体装置1BHは、第2実施形態に係る半導体装置1Bからなり、ハイスайд（高電位）側のスイッチングデバイスとして設けられている。第2半導体装置1BHは、第1半導体装置1BLとの対比において、比較的小さい第2サイズS2を有し、比較的大きい第2オン抵抗 R_{on2} および比較的小さい第2帰還容量 C_{rss2} を有している。

[0239] つまり、第2サイズS2は、第1半導体装置1BLの第1サイズS1未満

($S2 < S1$)である。第2オン抵抗 R_{on2} は、第1半導体装置1BLの第1オン抵抗 R_{on1} を超えている($R_{on1} < R_{on2}$)。第2帰還容量 C_{rss2} は、第1半導体装置1BLの第1帰還容量 C_{rss1} 未満($C_{rss2} < C_{rss1}$)である。つまり、第2半導体装置1BHは、第1半導体装置1BLよりも早いスイッチング速度を有し、スイッチング損失の削減に寄与する。第1半導体装置1BLおよび第2半導体装置1BHの組み合わせ形態は、DCDCの電源効率を高める上で有効である。

[0240] 第2半導体装置1BHは、ベース電極75を第2導体板103に対向させた姿勢で第2導体板103の上に配置されている。第3導電接合材105は、半田や金属ペースト等からなる。第3導電接合材105は、第2半導体装置1BHのベース電極75および第2導体板103の間に介在され、第2半導体装置1BHのベース電極75および第2導体板103を電気的および機械的に接続させている。これにより、第2半導体装置1BHの第2メサ部15Bは、第2導体板103を介して第1半導体装置1BLの第1メサ部15Aに電気的に接続されている。

[0241] 半導体装置1Cを利用した電気回路では、たとえば、グランド電位 V_{GND} 、電源電位 V_{DD} 、負荷（この形態では誘導性負荷 L ）およびゲート駆動回路106が半導体装置1Cに電気的に接続される。グランド電位 V_{GND} は、第1導体板101を介して第1半導体装置1BLのベース電極75（第2メサ部15B）に電気的に接続される。

[0242] 電源電位 V_{DD} は、第2半導体装置1BHの第1上側配線65（第1メサ部15A）に電気的に接続される。誘導性負荷 L は、第2導体板103を介して第1半導体装置1BLの第1上側配線65（第1メサ部15A）および第2半導体装置1BHのベース電極75（第2メサ部15B）に電気的に接続される。

[0243] ゲート駆動回路106は、第1半導体装置1BLの第3上側配線67、および、第2半導体装置1BHの第3上側配線67に電気的に接続される。ゲート駆動回路106は、第1半導体装置1BLの第1トレンチ構造10およ

び第2半導体装置1BHの第1トレンチ構造10を個別的に制御するように構成されている。

[0244] ゲート駆動回路106は、具体的には、第1半導体装置1BLをオン状態およびオフ状態に制御する第1ゲート信号G1を生成し、第1半導体装置1BLの第3上側配線67に出力する。ゲート駆動回路106は、第2半導体装置1BHをオン状態およびオフ状態に制御する第2ゲート信号G2を生成し、第2半導体装置1BHの第3上側配線67に出力する。ゲート駆動回路106は、ゲートドライバICであってもよい。

[0245] 第1半導体装置1BLおよび第2半導体装置1BHは、第1ゲート信号G1および第2ゲート信号G2によって交互にオン状態およびオフ状態に制御される。第1半導体装置1BLがオフ状態になり、第2半導体装置1BHがオン状態になると、第2半導体装置1BHから誘導性負荷Lに向けて電流が流れる。第1半導体装置1BLがオン状態になり、第2半導体装置1BHがオフ状態になると、誘導性負荷Lから第1半導体装置1BLに向けて電流が流れる。

[0246] 以上、半導体装置1Cは、短縮された配線経路を有する第2実施形態に係る2つの半導体装置1Bを含む。よって、新規な構造を有する半導体装置1Bを備えた半導体装置1Cを提供できる。2つの半導体装置1Bは、一方の第1半導体装置1BLおよび他方の第2半導体装置1BHを含む。第2半導体装置1BHは、第1半導体装置1BLに電氣的に接続されている。第2半導体装置1BHは、具体的には、第1半導体装置1BLに直列接続されている。

[0247] 第2半導体装置1BHは、さらに具体的には、第1半導体装置1BLの上に積層配置されている。この構造において、第2半導体装置1BHの第2メサ部15B（ベース電極75）は、第1半導体装置1BLの第1メサ部15A（第1上側配線65）に電氣的に接続されている。この構造によれば、第1半導体装置1BLおよび第2半導体装置1BHの間の配線距離を短縮できる。よって、配線抵抗を適切に削減できる。

[0248] 図20は、第4実施形態に係る半導体装置1Dの電氣的構造を示す回路図である。図20を参照して、半導体装置1Dは、トレンチゲート・コモンドレインソース・ラテラル型のMISFET構造を備えたスイッチングデバイスである。MISFET構造は、第1ドレインソースDS1、第2ドレインソースDS2、ゲートGおよびベースBを含む。第1ドレインソースDS1および第2ドレインソースDS2は、それぞれドレインおよびソースを一体的に含む。

[0249] 第1ドレインソースDS1および第2ドレインソースDS2のいずれか一方にドレイン電位が付与され、他方にソース電位が付与される。ベースBには、ベース電位が付与される。ベース電位は、回路動作の基準となる電位である。ゲートGには、ゲート電位が付与される。第1ドレインソースDS1および第2ドレインソースDS2の間を流れるドレインソース電流の導通および遮断は、ゲートGによって制御される。

[0250] 半導体装置1Dは、第1ドレインソースDS1および第2ドレインソースDS2に接続されたダイオード対Dを含む。ダイオード対Dは、逆バイアス接続された第1ダイオードD1および第2ダイオードD2を含む。第1ダイオードD1および第2ダイオードD2は、いずれもpn接合ダイオード（ボディダイオード）からなる。

[0251] 第1ダイオードD1および第2ダイオードD2は、アノードおよびカソードをそれぞれ含む。第1ダイオードD1のアノードはベースBに接続され、第1ダイオードD1のカソードは第1ドレインソースDS1に接続されている。第2ダイオードD2のアノードはベースBに接続され、第2ダイオードD2のカソードは第2ドレインソースDS2に接続されている。ダイオード対Dは、MISFET構造のオフ状態においてドレインソース電流を規制（遮断）する。

[0252] 半導体装置1Dは、第1ドレインソースDS1および第2ドレインソースDS2の双方向にドレインソース電流を流すことができる双方向デバイスである。すなわち、第1ドレインソースDS1が高電位側に接続される場合、

第2ドレインソースDS2が低電位側に接続される。一方、第1ドレインソースDS1が低電位側に接続される場合、第2ドレインソースDS2が高電位側に接続される。ゲート閾値電圧以上のゲート電圧がゲートGに印加された場合、ドレインソース電流が流れる。一方、ゲート閾値電圧未満のゲート電圧がゲートGに印加された場合、ドレインソース電流は流れない。

[0253] 図21は、図20に示す半導体装置1Dを示す模式的な平面図である。図22は、図21に示すXXII-XXII線に沿う断面図である。図23は、第4実施形態に係るチップ2の第1主面3のレイアウト例を示す模式的な平面図である。図24は、図23に示す領域XXIVの拡大図である。図25は、図24に示すXXV-XXV線に沿う断面図である。図26は、図24に示すXXVI-XXVI線に沿う断面図である。

[0254] 図21～図26を参照して、半導体装置1Dに係るチップ2の内部の構造は、半導体装置1Aに係るチップ2の内部の構造とほぼ同様である。半導体装置1Dは、前述の図11A～図11Qにおいて配線形成用のマスクのレイアウトを変更することによって形成され、半導体装置1Aとは異なる配線パターンおよび電圧印加条件を有している。以下、半導体装置1Dにおいて、半導体装置1Aとは異なる構造が説明される。

[0255] 半導体装置1Dは、第1実施形態の場合と同様、複数の第1メサ部15Aおよび複数の第2メサ部15Bを含む。複数の第1メサ部15Aは、この形態では、複数の第1ドレインソースメサ部111Aおよび複数の第2ドレインソースメサ部111Bを含む。第1ドレインソースメサ部111Aは、MISFET構造の第1ドレインソースDS1として機能する。第2ドレインソースメサ部111Bは、MISFET構造の第2ドレインソースDS2として機能する。複数の第2ドレインソースメサ部111Bは、複数の第1ドレインソースメサ部111Aと第1方向Xに沿って交互に配列されている。

[0256] 複数の第2メサ部15Bは、この形態では、複数のベースメサ部112として形成されている。複数のベースメサ部112は、互いに隣り合う第1ドレインソースメサ部111Aおよび第2ドレインソースメサ部111Bの間

にそれぞれ形成されている。

[0257] 複数の第1電極25は、この形態では、第1ドレインソース接続電極113Aおよび第2ドレインソース接続電極113Bを含む。第1ドレインソース接続電極113Aは、第1ドレインソースメサ部111Aに電氣的に接続されている。第2ドレインソース接続電極113Bは、第2ドレインソースメサ部111Bに電氣的に接続されている。

[0258] 複数の第1不純物領域29は、この形態では、複数の第1ドレインソース領域114Aおよび複数の第2ドレインソース領域114Bを含む。第1ドレインソース領域114Aは、MISFET構造の第1ドレインソースDS1として機能する。第1ドレインソース領域114Aは、第1ドレインソースメサ部111A内に形成され、第1ドレインソース接続電極113Aに電氣的に接続されている。第2ドレインソース領域114Bは、MISFET構造の第2ドレインソースDS2として機能する。第2ドレインソース領域114Bは、第2ドレインソースメサ部111B内に形成され、第2ドレインソース接続電極113Bに電氣的に接続されている。

[0259] 第2電極33は、この形態では、ベース接続電極115として形成されている。つまり、第2トレンチ構造30は、トレンチベース構造116として形成されている。第2不純物領域36は、この形態では、n型のベースコンタクト領域117として形成されている。複数の第1下側開口51は、この形態では、複数の第1下側ドレインソース開口118Aおよび複数の第2下側ドレインソース開口118Bを含む。

[0260] 複数の第1下側ドレインソース開口118Aは、複数の第1ドレインソース接続電極113Aをそれぞれ露出させている。複数の第1下側ドレインソース開口118Aの配置箇所は任意である。複数の第1下側ドレインソース開口118Aは、この形態では、各第1ドレインソース接続電極113Aに対して一対一の対応関係で形成されている。複数の第1下側ドレインソース開口118Aは、この形態では、平面視においてチップ2の第1側面5A側にそれぞれ形成され、複数の第1ドレインソース接続電極113Aの一端部

側の領域をそれぞれ露出させている。

[0261] 複数の第1下側ドレインソース開口118Aは、この形態では、平面視において第1方向Xに沿って一列に配列され、第2方向Yに延びる帯状にそれぞれ形成されている。むろん、複数の第1下側ドレインソース開口118Aは、各第1ドレインソース接続電極113Aに対して一对多の対応関係で形成されていていてもよい。また、複数の第1下側ドレインソース開口118Aは、平面視において円形状、四角形状または多角形状に形成されていていてもよい。

[0262] 複数の第2下側ドレインソース開口118Bは、複数の第2ドレインソース接続電極113Bをそれぞれ露出させている。複数の第2下側ドレインソース開口118Bの配置箇所は任意である。複数の第2下側ドレインソース開口118Bは、この形態では、各第2ドレインソース接続電極113Bに対して一対一の対応関係で形成されている。

[0263] 複数の第2下側ドレインソース開口118Bは、この形態では、平面視において複数の第1下側ドレインソース開口118Aに対してチップ2の第2側面5B側にそれぞれ形成され、複数の第2ドレインソース接続電極113Bの他端部側の領域をそれぞれ露出させている。

[0264] 複数の第2下側ドレインソース開口118Bは、この形態では、平面視において第1方向Xに沿って一列に配列され、第2方向Yに延びる帯状にそれぞれ形成されている。むろん、複数の第2下側ドレインソース開口118Bは、各第2ドレインソース接続電極113Bに対して一对多の対応関係で形成されていていてもよい。また、複数の第2下側ドレインソース開口118Bは、平面視において円形状、四角形状または多角形状に形成されていていてもよい。

[0265] 第2下側開口52は、この形態では、下側ベース開口119として形成されている。第2下側開口52は、第1実施形態の場合と同様の形態で形成されている。第3下側開口53は、第1実施形態の場合と同様の形態で形成されている。複数の第1下側配線55は、この形態では、少なくとも1つ（こ

の形態では1つ)の第1下側ドレインソース配線120A、および、少なくとも1つ(この形態では1つ)の第2下側ドレインソース配線120Bを含む。

[0266] 第1下側ドレインソース配線120Aは、この形態では、平面視においてチップ2の第1側面5A側の領域に配置されている。第1下側ドレインソース配線120Aは、第1層間絶縁膜50の上から複数の第1下側ドレインソース開口118Aに入り込み、複数の第1ドレインソース接続電極113Aに電氣的に接続されている。第1下側ドレインソース配線120Aに付与された電位は、帯状にそれぞれ延びる複数の第1ドレインソース接続電極113Aを介して第1ドレインソースメサ部111Aに伝達される。

[0267] 第1下側ドレインソース配線120Aの引き回し形態は任意である。第1下側ドレインソース配線120Aは、この形態では、平面視において第1方向Xに延びる帯状に形成され、全ての第1トレンチ構造10の一端部側の領域および全ての第2トレンチ構造30の一端部側の領域に重なっている。第1下側ドレインソース配線120Aは、この形態では、第1実施形態の場合と同様、複数の下側ベース開口119(第2下側開口52)をそれぞれ露出させる複数の除去部55aを有している。

[0268] 第2下側ドレインソース配線120Bは、この形態では、平面視においてチップ2の第2側面5B側の領域に形成されている。第2下側ドレインソース配線120Bは、第1下側ドレインソース配線120Aから電氣的に分離されるように第1下側ドレインソース配線120Aから間隔を空けて配置され、第1下側ドレインソース配線120Aとは異なる電流経路を形成する。

[0269] 第2下側ドレインソース配線120Bは、第1層間絶縁膜50の上から複数の第2下側ドレインソース開口118Bに入り込み、複数の第2ドレインソース接続電極113Bに電氣的に接続されている。第2下側ドレインソース配線120Bに付与された電位は、帯状にそれぞれ延びる複数の第2ドレインソース接続電極113Bを介して第2ドレインソースメサ部111Bに伝達される。

- [0270] 第2下側ドレインソース配線120Bの引き回し形態は任意である。第2下側ドレインソース配線120Bは、この形態では、平面視において第1方向Xに延びる帯状に形成され、全ての第1トレンチ構造10の他端部側の領域および全ての第2トレンチ構造30の他端部側の領域に重なっている。第2下側ドレインソース配線120Bは、この形態では、第1実施形態の場合と同様、複数の下側ベース開口119（第2下側開口52）をそれぞれ露出させる複数の除去部55aを有している。
- [0271] 複数の第2下側配線56は、この形態では、複数の下側ベース配線121として形成されている。複数の下側ベース配線121（第2下側配線56）は、第1実施形態の場合と同様の形態で形成されている。
- [0272] 第1下側ドレインソース配線120Aによって取り囲まれた複数の第2下側配線56の総平面積は、第1下側ドレインソース配線120Aの平面積未満である。第2下側ドレインソース配線120Bによって取り囲まれた複数の第2下側配線56の総平面積は、第2下側ドレインソース配線120Bの平面積未満である。全ての第2下側配線56の総平面積は、第1下側ドレインソース配線120Aの平面積未満であることが好ましい。全ての第2下側配線56の総平面積は、第2下側ドレインソース配線120Bの平面積未満であることが好ましい。
- [0273] 第3下側配線57は、第1実施形態の場合と同様の形態で形成されている。複数の第1上側開口61は、少なくとも1つ（この形態では複数）の第1上側ドレインソース開口122A、および、少なくとも1つ（この形態では複数）の第2上側ドレインソース開口122Bを含む。
- [0274] 複数の第1上側ドレインソース開口122Aは、複数の第1下側ドレインソース配線120Aをそれぞれ露出させている。複数の第1上側ドレインソース開口122Aの配置箇所は任意である。複数の第1上側ドレインソース開口122Aは、この形態では、平面視において第1方向Xに沿って一列に配列され、第2方向Yに延びる帯状にそれぞれ形成されている。複数の第1上側ドレインソース開口122Aは、平面視において円形状、四角形状また

は多角形状に形成されていてもよい。むろん、平面視において第1下側ドレインソース配線120Aに沿って帯状に延びる単一の第1上側ドレインソース開口122Aが形成されていてもよい。

[0275] 複数の第2上側ドレインソース開口122Bは、複数の第2下側ドレインソース配線120Bをそれぞれ露出させている。複数の第2上側ドレインソース開口122Bの配置箇所は任意である。複数の第2上側ドレインソース開口122Bは、この形態では、平面視において第1方向Xに沿って一列に配列され、第2方向Yに延びる帯状にそれぞれ形成されている。

[0276] 複数の第2上側ドレインソース開口122Bは、平面視において円形状、四角形状または多角形状に形成されていてもよい。むろん、平面視において第2下側ドレインソース配線120Bに沿って帯状に延びる単一の第2上側ドレインソース開口122Bが形成されていてもよい。

[0277] 複数の第2上側開口62は、この形態では、複数の上側ベース開口123として形成されている。複数の上側ベース開口123（第2上側開口62）は、第1実施形態の場合と同様の形態で形成されている。複数の第1上側配線65は、この形態では、少なくとも1つ（この形態では1つ）の第1上側ドレインソース配線124A、および、少なくとも1つ（この形態では1つ）の第2上側ドレインソース配線124Bを含む。

[0278] 第1上側ドレインソース配線124Aは、第2層間絶縁膜60の上から複数の第1上側ドレインソース開口122Aに入り込み、複数の第1下側ドレインソース配線120Aに電氣的に接続されている。第1上側ドレインソース配線124Aの引き回し形態は任意である。第1上側ドレインソース配線124Aは、この形態では、平面視において第1方向Xに延びる帯状に形成されている。

[0279] 第2上側ドレインソース配線124Bは、第1上側ドレインソース配線124Aから電氣的に分離されるように第1上側ドレインソース配線124Aから間隔を空けて配置され、第1上側ドレインソース配線124Aとは異なる電流経路を形成する。第2上側ドレインソース配線124Bは、第2層間

絶縁膜 60 の上から複数の第 2 上側ドレインソース開口 122B に入り込み、複数の第 2 下側ドレインソース配線 120B に電氣的に接続されている。第 2 上側ドレインソース配線 124B の引き回し形態は任意である。第 2 上側ドレインソース配線 124B は、この形態では、平面視において第 1 方向 X に延びる帯状に形成されている。

[0280] 複数の第 2 上側配線 66 は、上側ベース配線 125 として形成されている。複数の上側ベース配線 125 (第 2 上側配線 66) は、第 1 実施形態の場合と同様の形態で形成されている。複数の第 1 パッド開口 71 は、この形態では、少なくとも 1 つ (この形態では 1 つ) の第 1 ドレインソースパッド開口 126A、および、少なくとも 1 つ (この形態では 1 つ) の第 2 ドレインソースパッド開口 126B を含む。

[0281] 第 1 ドレインソースパッド開口 126A は、第 1 上側ドレインソース配線 124A の周縁部から内方に間隔を空けて形成され、第 1 上側ドレインソース配線 124A の内方部を端子電極として露出させている。第 2 ドレインソースパッド開口 126B は、第 2 上側ドレインソース配線 124B の周縁部から内方に間隔を空けて形成され、第 2 上側ドレインソース配線 124B の内方部を端子電極として露出させている。

[0282] 複数の第 2 パッド開口 72 は、複数のベースパッド開口 127 として形成されている。複数のベースパッド開口 127 (第 2 パッド開口 72) は、第 1 実施形態の場合と同様の形態で形成されている。

[0283] 半導体装置 1D は、チップ 2 の内部にそれぞれ形成された第 1 pn 接合部 128A および第 2 pn 接合部 128B を含む。第 1 pn 接合部 128A は、第 1 ドレインソースメサ部 111A 側において第 1 半導体領域 6 および第 2 半導体領域 7 の間の境界部に形成されている。これにより、アノード領域としての第 2 半導体領域 7 およびカソード領域としての第 1 半導体領域 6 を含む第 1 ダイオード D1 が、第 1 ドレインソースメサ部 111A に形成されている。

[0284] 第 2 pn 接合部 128B は、第 2 ドレインソースメサ部 111B 側におい

て第1半導体領域6および第2半導体領域7の間の境界部に形成されている。これにより、アノード領域としての第2半導体領域7およびカソード領域としての第1半導体領域6を含む第2ダイオードD2が、第2ドレインソースメサ部111Bに形成されている。第2ダイオードD2（第2pn接合部128B）のアノードは、第2半導体領域7およびトレンチベース構造116（第2トレンチ構造30）を介して第1ダイオードD1（第1pn接合部128A）のアノードに電氣的に接続されている。

[0285] このように、半導体装置1Dは、トレンチゲート・コモンドレインソース・ラテラル型のMISFET構造を有している。半導体装置1Dでは、第1ドレインソースメサ部111Aに高電位（たとえば電源電位VDD）が付与され、第2ドレインソースメサ部111Bに低電位（たとえばグランド電位VGND）が付与され、第2トレンチ構造30（第2電極33）およびベース電極75にベース電位VBが付与される。ベース電位VBは、グランド電位VGNDよりも大きく電源電位VDDよりも小さい（ $VGND < VB < VDD$ ）。

[0286] 複数の第1トレンチ構造10（ゲート電極13）にはゲート電位VGがそれぞれ付与される。一方の第1トレンチ構造10（ゲート電極13）にはベース電位VBを基準とする第1ゲート電圧VG1（ゲート閾値電圧以上）が付与され、他方の第1トレンチ構造10（ゲート電極13）にはグランド電位VGNDを基準とする第2ゲート電圧VG2（ゲート閾値電圧以上）が付与される。これにより、第2半導体領域7において複数の第1トレンチ構造10の下方の領域にチャネル42が形成され、複数の第2電極33を介して複数の第1電極25を結ぶ電流経路が形成される。

[0287] これにより、ドレインソース電流が、複数のチャネル42を介して第1ドレインソースメサ部111Aから第2ドレインソースメサ部111Bに流れる。つまり、ドレインソース電流は、第1ドレインソースメサ部111A側のチャネル42を介して第1ドレインソースメサ部111Aから第2トレンチ構造30（第2電極33）に流れ、第2ドレインソースメサ部111B側

のチャネル42を介して第2トレンチ構造30（第2電極33）から第2ドレインソースメサ部111Bに流れる。

[0288] むろん、一方の第1トレンチ構造10（ゲート電極13）にグランド電位V_{GND}を基準とする第1ゲート電圧V_{G1}（ゲート閾値電圧以上）が付与され、他方の第1トレンチ構造10（ゲート電極13）にベース電位V_Bを基準とする第2ゲート電圧V_{G2}（ゲート閾値電圧以上）が付与されてもよい。この場合、ドレインソース電流が、複数のチャネル42を介して第2ドレインソースメサ部111Bから第1ドレインソースメサ部111Aに流れる。

[0289] 以上、第4実施形態に係る半導体装置1Dは、第1実施形態に係る半導体装置1Aのチップ2の内部構造と同一の内部構造を有する一方で、トレンチゲート・コモンドレインソース・ラテラル型のMISFET構造を有しており、半導体装置1Aとは異なる電気的特性を発現する。よって、新規な構造を有する半導体装置1Dを提供できる。また、半導体装置1Dによっても半導体装置1Aと同様の効果が奏される。

[0290] また、半導体装置1Dによれば、第1メサ部15Aに係る配線（第1下側ドレインソース配線120Aおよび第2下側ドレインソース配線120B）の配線抵抗を削減できる。また、第2メサ部15Bに係る配線（下側ベース配線121）に対する第1メサ部15Aに係る配線の配線マージンを削減できるため、半導体装置1Dを小型化できる。

[0291] 以下、前述の各実施形態に適用される変形例が示される。以下に示される変形例、または、以下に示される変形例の任意の組み合わせ形態は、第1～第4実施形態に適宜適用される。

[0292] 前述の各実施形態では、ゲート電極13が平坦な上端面を有する例が示された。しかし、図27に示されるゲート電極13が採用されてもよい。図27は、図8に示す領域に対応し、ゲート電極13の変形例を示す拡大断面図である。図27を参照して、ゲート電極13の上端部は、第1トレンチ11の底壁に向かう窪み13bを有していてもよい。窪み13bを有するゲート

電極 1 3 は、前述の図 1 1 F の工程において第 1 ベース電極 8 6 の電極面に対する平坦化処理工程（CMP 法）を省略して第 1 ベース電極 8 6 の除去工程（エッチング法）を実行することによって形成されることができる。

[0293] 前述の第 1 実施形態では、複数の第 2 下側配線 5 6 の総平面積が第 1 下側配線 5 5 の平面積未満である例が示された。しかし、図 2 8 に示される第 1 層間配線 5 4 が採用されてもよい。図 2 8 は、図 9 に示す領域に対応し、第 1 層間配線 5 4 の変形例を示す拡大平面図である。

[0294] 図 2 8 を参照して、第 1 層間配線 5 4 は、この形態では、少なくとも 1 つ（この形態では複数）の第 1 下側配線 5 5、少なくとも 1 つ（この形態では 1 つ）の第 2 下側配線 5 6、および、少なくとも 1 つ（この形態では 1 つ）の第 3 下側配線 5 7 を含む。第 3 下側配線 5 7 は、第 1 実施形態の場合と同様の形態で形成されている。

[0295] 複数の第 1 下側配線 5 5 は、複数の第 1 下側開口 5 1 を被覆するように間隔を空けて第 1 層間絶縁膜 5 0 の上に膜状にそれぞれ配置されている。複数の第 1 下側配線 5 5 は、この形態では、一対一の対応関係で複数の第 1 下側開口 5 1 をそれぞれ被覆している。

[0296] 複数の第 1 下側配線 5 5 は、第 1 層間絶縁膜 5 0 の上から対応する第 1 下側開口 5 1 に入り込み、当該対応する第 1 下側開口 5 1 内において対応する第 1 電極 2 5 にそれぞれ電氣的に接続されている。これにより、複数の第 1 下側配線 5 5 が、複数の第 1 メサ部 1 5 A（第 1 不純物領域 2 9）に電氣的に接続されている。第 1 下側配線 5 5 は、平面視において四角形状や多角形状に形成されていてもよい。

[0297] 第 2 下側配線 5 6 は、この形態では、平面視において全ての第 1 トレンチ構造 1 0 および全ての第 2 トレンチ構造 3 0 に重なっている。第 2 下側配線 5 6 は、平面視において少なくとも全ての第 1 トレンチ構造 1 0 の内方部および少なくとも全ての第 2 トレンチ構造 3 0 の内方部を被覆していることが好ましい。

[0298] 第 2 下側配線 5 6 は、この形態では、平面視において全ての第 1 トレンチ

構造 10 の両端部を露出させるように全ての第 1 トレンチ構造 10 の内方部を被覆している。また、第 2 下側配線 56 は、平面視において全ての第 2 トレンチ構造 30 の両端部および内方部を被覆している。第 2 下側配線 56 は、全ての第 2 下側開口 52 を被覆し、全ての第 1 下側開口 51 を露出させている。

[0299] 第 2 下側配線 56 は、第 1 層間絶縁膜 50 の上から全ての第 2 下側開口 52 に入り込み、全ての第 2 下側開口 52 内において全ての第 2 電極 33 に電氣的に接続されている。これにより、単一の第 2 下側配線 56 が、複数の第 2 メサ部 15B（第 2 不純物領域 36）に電氣的に接続されている。第 2 下側配線 56 は、平面視において四角形状や多角形状に形成されていてもよい。

[0300] 第 2 下側配線 56 は、この形態では、複数の第 1 下側配線 55 をそれぞれ露出させる複数の除去部 56a を有している。複数の除去部 56a は、平面視において主面絶縁膜 24 の上に位置する壁面をそれぞれ有し、主面絶縁膜 24 の上で複数の第 1 下側配線 55 をそれぞれ取り囲んでいる。

[0301] つまり、複数の除去部 56a は、この形態では、第 1 下側配線 55 を露出させる開口としてそれぞれ形成されている。複数の除去部 56a は、この形態では、平面視において対応する第 1 下側配線 55 の平面形状の一部または全部に相似な平面形状をそれぞれ有している。第 2 下側配線 56 の平面積は、単一の第 1 下側配線 55 の総平面積を超えていることが好ましい。

[0302] この構造によれば、第 1 下側配線 55 の配線抵抗が増加するが、第 2 下側配線 56 の配線抵抗を削減できる。第 1 下側配線 55 のレイアウトおよび第 2 下側配線 56 のレイアウトを調節することにより、第 1 下側配線 55 の配線抵抗および第 2 下側配線 56 の配線抵抗を調節できる。これにより、半導体装置 1A の電氣的特性を調節できる。

[0303] 前述の各実施形態では、第 2 層間配線 64 が外部端子の一部を兼ねている例が示された。しかし、図 29 に示される構造が採用されてもよい。図 29 は、第 1 実施形態に係る半導体装置 1A において端子電極 130 が採用され

た場合の構造例を示す模式的な断面図である。図 29 に示される端子電極 130 は、第 2 ～ 第 4 実施形態に係る半導体装置 1B ～ 1D も適用されることができる。

[0304] 半導体装置 1A に係る最上絶縁膜 70 は、この例では、少なくとも 1 つ（この形態では複数）の第 1 パッド開口 71、少なくとも 1 つ（この形態では複数）の第 2 パッド開口 72、および、少なくとも 1 つ（この形態では 1 つ）の第 3 パッド開口 73 を含む。第 1 ～ 第 3 パッド開口 71 ～ 73 のレイアウトは、第 2 層間配線 64 のレイアウト、半導体装置 1A の仕様、半導体装置 1A の接続対象の仕様等に応じて適宜調節される。

[0305] 複数の第 1 パッド開口 71 は、この形態では、各第 1 上側配線 65 を複数個所から露出させるように形成されている。複数の第 2 パッド開口 72 は、この形態では、各第 2 上側配線 66 を複数個所から露出させるように形成されている。第 3 パッド開口 73 は、第 1 実施形態の場合と同様、第 3 上側配線 67 のパッド部 57a を露出させている。

[0306] 半導体装置 1A は、最上絶縁膜 70 から突出するように第 2 層間配線 64 に電気的および機械的に接続された複数の端子電極 130 を含む。複数の端子電極 130 は、第 1 上側配線 65 用の少なくとも 1 つ（この形態では複数）の端子電極 130、第 2 上側配線 66 用の少なくとも 1 つ（この形態では複数）の端子電極 130、および、第 3 上側配線 67 用の少なくとも 1 つ（この形態では 1 つ）の端子電極 130 を含む。

[0307] 複数の端子電極 130 は、第 1 ～ 第 3 パッド開口 71 ～ 73 内にそれぞれ配置されている。複数の端子電極 130 は、この形態では、下地電極 131 および端子本体 132 をそれぞれ含む。下地電極 131 は、対応する第 1 ～ 第 3 パッド開口 71 ～ 73 内において第 2 層間配線 64 の上に形成されている。下地電極 131 は、第 2 層間配線 64 の上から最上絶縁膜 70 の上に引き出されたオーバーラップ部を有している。下地電極 131 は、チタン膜、窒化チタン膜、銅膜、金膜、ニッケル膜およびアルミニウム膜のうちの少なくとも 1 種を含んでいてもよい。

[0308] 端子本体 132 は、下地電極 131 の上に形成され、下地電極 131 を介して第 2 層間配線 64 に電氣的に接続されている。端子本体 132 は、下地電極 131 のオーバーラップ部を被覆している。端子本体 132 は、下地電極 131 から半球状に突出している。端子本体 132 は、低融点金属（たとえば半田）からなることが好ましい。この場合、端子本体 132 は、いわゆる半田ボールとして形成される。

[0309] 以上、上記構造例によれば、ウエハ 80 から切り出されたチップ 2 のサイズをパッケージのサイズとして有するウエハレベル・チップサイズパッケージからなる半導体装置 1A を提供できる。この例では、複数の端子電極 130 が第 2 層間配線 64 に機械的および電氣的に接続された例が示された。しかし、半導体装置 1A は、第 2 層間配線 64 に電氣的に接続されるように最上絶縁膜 70 の上に引き回された複数の再配線を含んでいてもよい。この場合、複数の端子電極 130 は、複数の再配線の上にそれぞれ配置されていてもよい。

[0310] 前述の各実施形態では、第 1 トレンチ構造 10 よりも深い第 2 トレンチ構造 30 が形成された例が示された。しかし、図 30 に示される構造が採用されてもよい。図 30 は、図 5 に示す領域に対応し、第 2 トレンチ構造 30 の変形例を示す拡大断面図である。以下、第 1 実施形態に係る半導体装置 1A に変形例に係る第 2 トレンチ構造 30 が採用された例が示される。

[0311] 図 30 を参照して、第 2 トレンチ構造 30 は、この例では、第 1 トレンチ構造 10 とほぼ等しい深さで形成されている。つまり、第 2 トレンチ構造 30 の底壁は、第 3 半導体領域 8 から間隔を空けて第 2 半導体領域 7 内に形成されている。第 2 電極 33 は、この例では、第 2 トレンチ 32 内において第 1 半導体領域 6 および第 2 半導体領域 7 に電氣的および機械的に接続されている。第 2 電極 33 は、第 3 半導体領域 8 に機械的には接続されていない。第 2 電極 33 は、この形態では金属を含むが、非金属導体（たとえば導電性ポリシリコン）によって形成されていてもよい。

[0312] 半導体装置 1A は、この例では、第 2 メサ部 15B において第 2 トレンチ

構造 30 に電氣的に接続された複数の接続電極 140 を含む。複数の接続電極 140 は、主面絶縁膜 24 を貫通して複数の第 2 トレンチ構造 30 にそれぞれ接続されている。複数の接続電極 140 は、具体的には、主面絶縁膜 24 に形成された複数の第 2 接続開口 31 内にそれぞれ配置されている。複数の接続電極 140 は、複数の第 2 トレンチ構造 30 に沿ってそれぞれ形成されている。複数の接続電極 140 は、平面視において第 1 トレンチ構造 10 が延びる方向（つまり第 2 方向 Y）に延びる帯状にそれぞれ形成されているもよい。

[0313] 複数の接続電極 140 は、金属からそれぞれなる。複数の第 1 電極 25 は、この形態では、バリア膜 141 および電極本体 142 を含む積層構造をそれぞれ有している。バリア膜 141 および電極本体 142 は、第 1 電極 25 に係る第 1 バリア膜 27 および第 1 電極本体 28 と同様の形態で形成されている。

[0314] 半導体装置 1A は、この例では、第 2 半導体領域 7 において第 1 トレンチ構造 10 の底壁に沿う領域および第 2 トレンチ構造 30 の底壁に沿う領域にそれぞれ形成された複数の底壁不純物領域 41 を含む。第 2 トレンチ構造 30 側の底壁不純物領域 41 は、第 2 電極 33 に電氣的に接続されている点を除き、第 1 トレンチ構造 10 側の底壁不純物領域 41 とほぼ同様の形態で形成されている。

[0315] 以上、変形例に係る第 2 トレンチ構造 30 が採用される場合であっても、第 1 実施形態に係る半導体装置 1A 等に対して述べられた効果と同様の効果が奏される。変形例に係る第 2 トレンチ構造 30 は、図 11A～図 11Q の製造工程を変更するだけで形成できる。たとえば、変形例に係る第 2 トレンチ構造 30 や接続電極 140 は、第 1 トレンチ構造 10 の形成工程や第 1 電極 25 の形成工程を利用して形成できる。

[0316] 前述の各実施形態では、第 2 主面 4 を被覆するベース電極 75 が形成された例が示された。しかし、図 31 に示される構造が採用されてもよい。図 31 は、図 5 に示す領域に対応し、第 1 実施形態に係る半導体装置においてベ

ース電極が取り除かれた場合の構造例を示す拡大断面図である。

[0317] 図31を参照して、半導体装置1Aは、外部に露出した第2主面4（第3半導体領域8）を有していてもよい。つまり、半導体装置1Aは、第2主面4を被覆するベース電極75を有さなくてもよい。この場合、第2トレンチ構造30（第2トレンチ32）は、第1トレンチ構造10（第1トレンチ11）よりも深く形成されていてもよい。むしろ、第2トレンチ構造30（第2トレンチ32）は、第1トレンチ構造10（第1トレンチ11）とほぼ等しい深さで形成されていてもよい。このような、半導体装置1Aは、前述の図11Qの工程においてベース電極75の形成工程を省略することによって製造される。

[0318] 前述の各実施形態では、第3半導体領域8の導電型が「p型」からなる例が示された。しかし、図32に示される構造が採用されてもよい。図32は、図5に示す領域に対応し、第3半導体領域8の変形例を示す拡大断面図である。以下、第1実施形態に係る半導体装置1Aに変形例に係る第3半導体領域8が採用された例が示される。

[0319] 図32を参照して、第3半導体領域8は、「p型」に代えて「n型」の導電型を有していてもよい。第3半導体領域8は、第1半導体領域6よりも高いn型不純物濃度を有していてもよい。この場合、第3半導体領域8は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下のn型不純物濃度を有していてもよい。むしろ、第3半導体領域8は、第1半導体領域6よりも低いn型不純物濃度を有していてもよい。この場合、第3半導体領域8は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のn型不純物濃度を有していてもよい。

[0320] 第3半導体領域8の導電型が「n型」からなる場合、複数の第2トレンチ構造30は、第2半導体領域7の底部（第3半導体領域8）から第1主面3側に間隔を空けて形成されていることが好ましい。つまり、第2電極33は、第2トレンチ32内において第1半導体領域6および第2半導体領域7に機械的かつ電氣的に接続され、第3半導体領域8に機械的に接続されていないことが好ましい。

[0321] この場合、第3半導体領域8は、電氣的にフローティング状態に形成されていてもよい。第2トレンチ構造30（第2トレンチ32）は、第1トレンチ構造10（第1トレンチ11）よりも深く形成されていてもよい。むしろ、第2トレンチ構造30（第2トレンチ32）は、第1トレンチ構造10（第1トレンチ11）とほぼ等しい深さで形成されていてもよい。

[0322] さらに、第3半導体領域8の導電型が「n型」からなる場合、半導体装置1Aは、外部に露出した第2主面4（第3半導体領域8）を有していてもよい。つまり、半導体装置1Aは、第2主面4を被覆するベース電極75を有さなくてもよい。むしろ、第3半導体領域8の導電型が「n型」からなる場合であっても、半導体装置1Aは、ベース電極75を有していてもよい。

[0323] このような構造を有する半導体装置1Aの製造方法では、図11Aの工程において、第2ウエハ主面82側にn型の第3半導体領域8を有し、第1ウエハ主面81側に第2半導体領域7を有するウエハ80が用意される。また、図11Iの工程では、ウエハ80に対するエッチング条件が調整され、第1半導体領域6を貫通し、第3半導体領域8から間隔を空けて第2半導体領域7を露出させる複数の第2トレンチ32が形成される。また、図11Qの工程では、必要に応じて、ベース電極75の形成工程が省略される。

[0324] 前述の各実施形態はさらに他の形態で実施できる。たとえば、前述の各実施形態では、「第1導電型」が「n型」であり、「第2導電型」が「p型」である例が説明された。しかし、「第1導電型」が「p型」であり、「第2導電型」が「n型」である構造が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において「n型領域」を「p型領域」に置き換えると同時に、「n型領域」を「p型領域」に置き換えることによって得られる。

[0325] 前述の各実施形態においてチップ2がSiC単結晶を含む場合、チップ2は六方晶からなるSiC単結晶を含むことが好ましい。六方晶からなるSiC単結晶は、原子配列の周期に応じて、2H（Hexagonal）－SiC単結晶、4H－SiC単結晶および6H－SiC単結晶を含む複数種のポリタイプを

有している。チップ2は、複数種のポリタイプのうち、4H-SiC単結晶からなることが好ましい。

[0326] この場合、第1主面3がSiC単結晶のシリコン面（（0001）面）によって形成され、第2主面4がSiC単結晶のカーボン面（（000-1）面）によって形成されていることが好ましい。むろん、第1主面3がカーボン面によって形成され、第2主面4がシリコン面によって形成されていてもよい。SiC単結晶の（0001）面および（000-1）面は、c面と称される。

[0327] 第1主面3は、SiC単結晶のc面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有していてもよい。オフ方向は、SiC単結晶のa軸方向（[11-20]方向）であってもよい。オフ角は、0°以上5.0°以下であってもよい。この場合、第1方向XはSiC単結晶のm軸方向であり、第2方向YはSiC単結晶のa軸方向であってもよい。むろん、第1方向XはSiC単結晶のa軸方向であり、第2方向YはSiC単結晶のm軸方向であってもよい。

[0328] 以下、この明細書および添付図面から抽出される特徴例が示される。以下、新規な構造を有する半導体装置を提供する。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目の範囲を実施形態に限定する趣旨ではない。

[0329] [A1] 一方側の第1主面（3）および他方側の第2主面（4）を有するチップ（2）と、前記チップ（2）内で前記第1主面（3）側の領域に形成された第1導電型（n型）の第1半導体領域（6）と、前記チップ（2）内で前記第1半導体領域（6）よりも前記第2主面（4）側の領域に形成された第2導電型（p型）の第2半導体領域（7）と、断面視において前記第1半導体領域（6）を一方側の第1領域（15A）および他方側の第2領域（15B）に区画するように前記第1半導体領域（6）を貫通して前記第1主面（3）に形成された第1溝（11）、前記第1溝（11）の内壁を被覆する制御絶縁膜（12）、および、前記第2半導体領域（7）におけるチャネ

ル（４２）を制御するように前記制御絶縁膜（１２）を挟んで前記第１溝（１１）に埋設された制御電極（１３）を含む第１溝構造（１０）と、前記第１領域（１５Ａ）において前記第１半導体領域（６）に電氣的に接続された第１電極（２５）と、前記第２領域（１５Ｂ）において前記第１半導体領域（６）を貫通して前記第１主面（３）に形成された第２溝（３２）、および、前記第１電極（２５）との間で前記チャネル（４２）を介する電流経路を形成するように前記第２溝（３２）に埋設された第２電極（３３）を含む第２溝構造（３０）と、を含む、半導体装置（１Ａ～１Ｄ）。

[0330] [Ａ２] 前記第２電極（３３）は、前記第２溝（３２）内において前記第１半導体領域（６）および前記第２半導体領域（７）の双方に電氣的に接続されている、Ａ１に記載の半導体装置（１Ａ～１Ｄ）。

[0331] [Ａ３] 前記第２溝（３２）は、前記第１溝（１１）よりも深い、Ａ１またはＡ２に記載の半導体装置（１Ａ～１Ｄ）。

[0332] [Ａ４] 前記第１電極（２５）に電氣的に接続されるように前記第１半導体領域（６）よりも高い濃度で前記第１領域（１５Ａ）に形成された第１導電型（ｎ型）の第１不純物領域（２９）と、前記第２電極（３３）に電氣的に接続されるように前記第１半導体領域（６）よりも高い濃度で前記第２領域（１５Ｂ）に形成された第１導電型（ｎ型）の第２不純物領域（３６）と、をさらに含む、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１Ａ～１Ｄ）。

[0333] [Ａ５] 前記第２不純物領域（３６）は、前記第１不純物領域（２９）よりも深く形成されている、Ａ４に記載の半導体装置（１Ａ～１Ｄ）。

[0334] [Ａ６] 前記第１不純物領域（２９）は、断面視において前記第１主面（３）に沿う横方向に延び、前記第２不純物領域（３６）は、断面視において前記第２溝構造（３０）に沿う縦方向に延びている、Ａ４またはＡ５に記載の半導体装置（１Ａ～１Ｄ）。

[0335] [Ａ７] 前記第２不純物領域（３６）は、前記第２電極（３３）に接続されている、Ａ４～Ａ６のいずれか一つに記載の半導体装置（１Ａ～１Ｄ）。

- [0336] [A 8] 前記制御電極（13）は、前記第1主面（3）から前記第1溝（11）の底壁側に間隔を空けて前記第1溝（11）に埋設されている、A1～A7のいずれか一つに記載の半導体装置（1A～1D）。
- [0337] [A 9] 前記制御電極（13）は、前記第1溝（11）の中間部から前記第1溝（11）の底壁側に間隔を空けて前記第1溝（11）に埋設されている、A8に記載の半導体装置（1A～1D）。
- [0338] [A 10] 前記第1溝構造（10）は、前記制御電極（13）を被覆するように前記第1溝（11）に埋設された絶縁体（14）を含む、A8またはA9に記載の半導体装置（1A～1D）。
- [0339] [A 11] 前記第1溝（11）の深さ方向に関して、前記絶縁体（14）の厚さは前記制御電極（13）の厚さを超えている、A10に記載の半導体装置（1A～1D）。
- [0340] [A 12] 前記第1主面（3）および前記第1溝構造（10）を被覆する主面絶縁膜（24）をさらに含み、前記第1電極（25）は、前記主面絶縁膜（24）を貫通し、前記第2溝構造（30）は、前記主面絶縁膜（24）を貫通する前記第2溝（32）を有している、A1～A11のいずれか一つに記載の半導体装置（1A～1D）。
- [0341] [A 13] 前記第2電極（33）は、前記第2溝（32）内において、前記第1主面（3）に対して前記チップ（2）側に位置する部分、および、前記第1主面（3）に対して前記主面絶縁膜（24）側に位置する部分を有している、A12に記載の半導体装置（1A～1D）。
- [0342] [A 14] 前記主面絶縁膜（24）は、前記制御絶縁膜（12）よりも厚い、A12またはA13に記載の半導体装置（1A～1D）。
- [0343] [A 15] 前記第2半導体領域（7）内で前記第1溝構造（10）の底壁に沿って形成された第2導電型（p型）の底壁不純物領域（41）をさらに含む、A1～A14のいずれか一つに記載の半導体装置（1A～1D）。
- [0344] [A 16] 前記チップ（2）内で前記第2半導体領域（7）よりも前記第2主面（4）側の領域に形成され、前記第2半導体領域（7）よりも高い不

純物濃度を有する第2導電型の第3半導体領域（8）をさらに含む、A1～A15のいずれか一つに記載の半導体装置（1A～1D）。

[0345] [A17] 前記第1溝構造（10）の底壁は、前記第2半導体領域（7）内に位置し、前記第2溝構造（30）の底壁は、前記第3半導体領域（8）内に位置している、A16に記載の半導体装置（1A～1D）。

[0346] [A18] 前記制御電極（13）は、非金属導体を含み、前記第2電極（33）は、金属を含む、A1～A17のいずれか一つに記載の半導体装置（1A～1D）。

[0347] [A19] 複数の前記第1溝構造（10）が形成され、複数の前記第1溝構造（10）の間の領域に前記第2溝構造（30）が形成されている、A1～A18のいずれか一つに記載の半導体装置（1A～1D）。

[0348] [A20] 前記チップ（2）は、Si単結晶またはSiC単結晶を含む、A1～A19のいずれか一つに記載の半導体装置（1A～1D）。

[0349] 実施形態について詳細に説明してきたが、これらは技術的内容を明らかにするために用いられた具体例に過ぎず、これらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

符号の説明

- [0350] 1A 半導体装置
1B 半導体装置
1C 半導体装置
1D 半導体装置
2 チップ
3 第1主面
4 第2主面
6 第1半導体領域
7 第2半導体領域
8 第3半導体領域

- 1 0 第1トレンチ構造（第1溝構造）
- 1 1 第1トレンチ（第1溝）
- 1 2 ゲート絶縁膜（制御絶縁膜）
- 1 3 ゲート電極（制御電極）
- 1 4 埋設絶縁体（絶縁体）
- 1 5 A 第1メサ部（第1領域）
- 1 5 B 第2メサ部（第2領域）
- 2 4 主面絶縁膜
- 2 5 第1電極
- 2 9 第1不純物領域
- 3 0 第2トレンチ構造（第2溝構造）
- 3 2 第2トレンチ（第2溝）
- 3 3 第2電極
- 3 6 第2不純物領域
- 4 1 底壁不純物領域
- 4 2 チャネル

請求の範囲

- [請求項1] 一方側の第1主面および他方側の第2主面を有するチップと、
前記チップ内で前記第1主面側の領域に形成された第1導電型の第1半導体領域と、
前記チップ内で前記第1半導体領域よりも前記第2主面側の領域に形成された第2導電型の第2半導体領域と、
断面視において前記第1半導体領域を一方側の第1領域および他方側の第2領域に区画するように前記第1半導体領域を貫通して前記第1主面に形成された第1溝、前記第1溝の内壁を被覆する制御絶縁膜、および、前記第2半導体領域におけるチャネルを制御するように前記制御絶縁膜を挟んで前記第1溝に埋設された制御電極を含む第1溝構造と、
前記第1領域において前記第1半導体領域に電氣的に接続された第1電極と、
前記第2領域において前記第1半導体領域を貫通して前記第1主面に形成された第2溝、および、前記第1電極との間で前記チャネルを介する電流経路を形成するように前記第2溝に埋設された第2電極を含む第2溝構造と、を含む、半導体装置。
- [請求項2] 前記第2電極は、前記第2溝内において前記第1半導体領域および前記第2半導体領域の双方に電氣的に接続されている、請求項1に記載の半導体装置。
- [請求項3] 前記第2溝は、前記第1溝よりも深い、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1電極に電氣的に接続されるように前記第1半導体領域よりも高い濃度で前記第1領域に形成された第1導電型の第1不純物領域と、
前記第2電極に電氣的に接続されるように前記第1半導体領域よりも高い濃度で前記第2領域に形成された第1導電型の第2不純物領域

と、をさらに含む、請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

[請求項5] 前記第 2 不純物領域は、前記第 1 不純物領域よりも深く形成されている、請求項 4 に記載の半導体装置。

[請求項6] 前記第 1 不純物領域は、断面視において前記第 1 主面に沿う横方向に延び、

前記第 2 不純物領域は、断面視において前記第 2 溝構造に沿う縦方向に延びている、請求項 4 または 5 に記載の半導体装置。

[請求項7] 前記第 2 不純物領域は、前記第 2 電極に接続されている、請求項 4 ～ 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記制御電極は、前記第 1 主面から前記第 1 溝の底壁側に間隔を空けて前記第 1 溝に埋設されている、請求項 1 ～ 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記制御電極は、前記第 1 溝の中間部から前記第 1 溝の底壁側に間隔を空けて前記第 1 溝に埋設されている、請求項 8 に記載の半導体装置。

[請求項10] 前記第 1 溝構造は、前記制御電極を被覆するように前記第 1 溝に埋設された絶縁体を含む、請求項 8 または 9 に記載の半導体装置。

[請求項11] 前記第 1 溝の深さ方向に関して、前記絶縁体の厚さは前記制御電極の厚さを超えている、請求項 10 に記載の半導体装置。

[請求項12] 前記第 1 主面および前記第 1 溝構造を被覆する主面絶縁膜をさらに含み、

前記第 1 電極は、前記主面絶縁膜を貫通し、

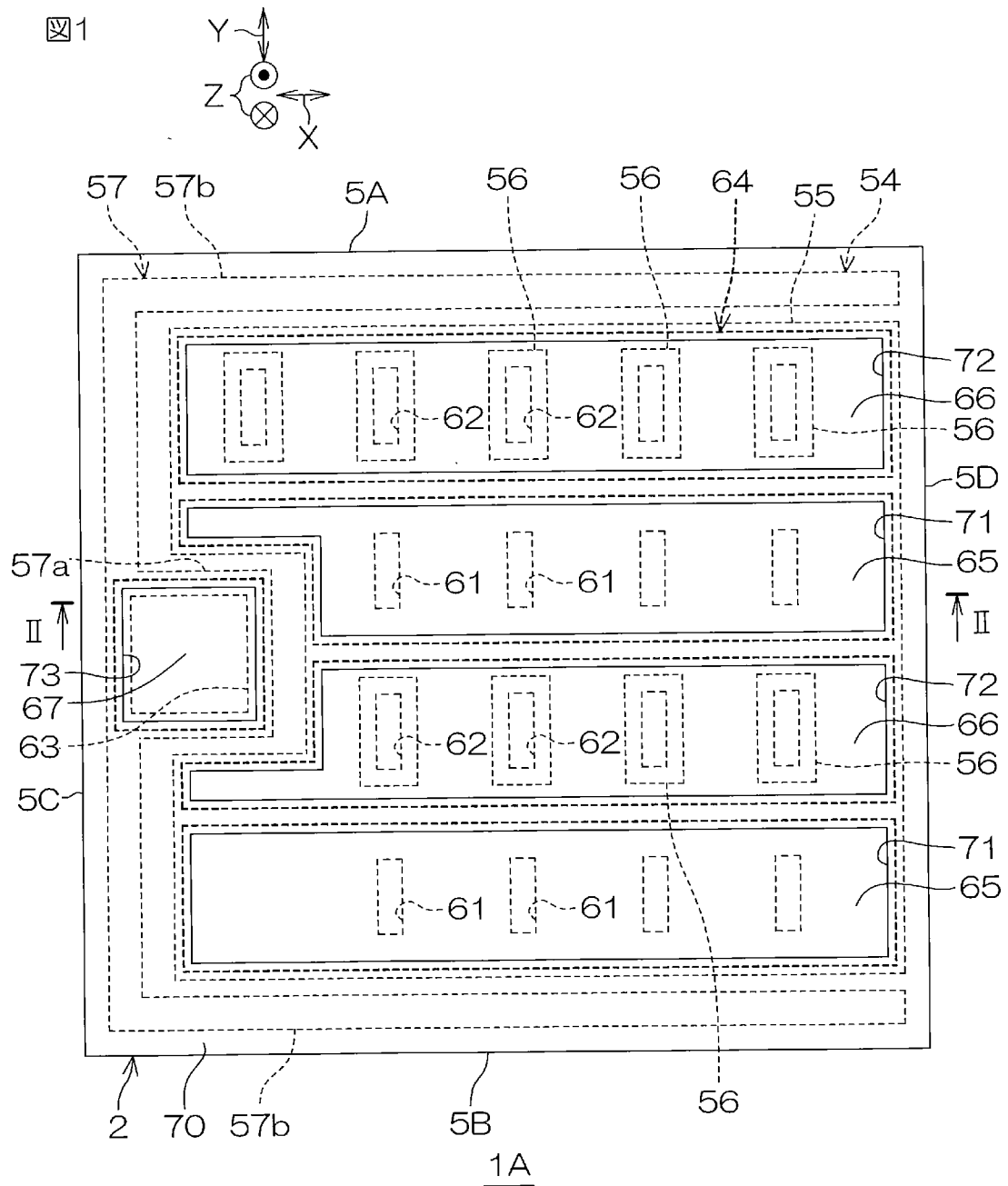
前記第 2 溝構造は、前記主面絶縁膜を貫通する前記第 2 溝を有している、請求項 1 ～ 11 のいずれか一項に記載の半導体装置。

[請求項13] 前記第 2 電極は、前記第 2 溝内において、前記第 1 主面に対して前記チップ側に位置する部分、および、前記第 1 主面に対して前記主面絶縁膜側に位置する部分を有している、請求項 12 に記載の半導体装

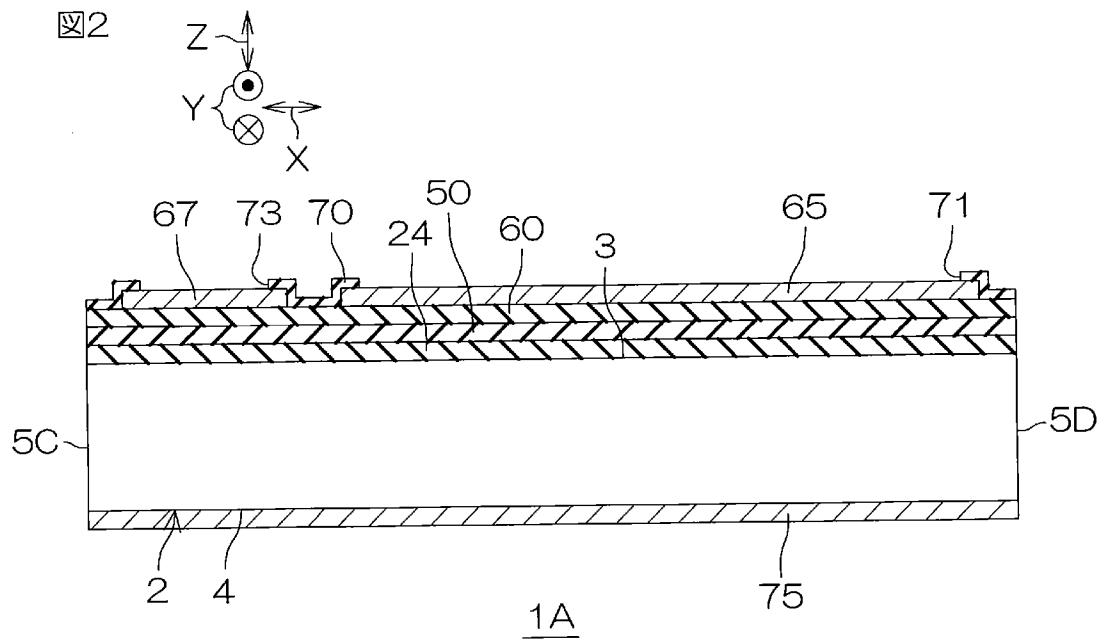
置。

- [請求項14] 前記主面絶縁膜は、前記制御絶縁膜よりも厚い、請求項12または13に記載の半導体装置。
- [請求項15] 前記第2半導体領域内で前記第1溝構造の底壁に沿って形成された第2導電型の底壁不純物領域をさらに含む、請求項1～14のいずれか一項に記載の半導体装置。
- [請求項16] 前記チップ内で前記第2半導体領域よりも前記第2主面側の領域に形成され、前記第2半導体領域よりも高い不純物濃度を有する第2導電型の第3半導体領域をさらに含む、請求項1～15のいずれか一項に記載の半導体装置。
- [請求項17] 前記第1溝構造の底壁は、前記第2半導体領域内に位置し、
前記第2溝構造の底壁は、前記第3半導体領域内に位置している、
請求項16に記載の半導体装置。
- [請求項18] 前記制御電極は、非金属導体を含み、
前記第2電極は、金属を含む、請求項1～17のいずれか一項に記載の半導体装置。
- [請求項19] 複数の前記第1溝構造が形成され、
複数の前記第1溝構造の間の領域に前記第2溝構造が形成されている、請求項1～18のいずれか一項に記載の半導体装置。
- [請求項20] 前記チップは、Si単結晶またはSiC単結晶を含む、請求項1～19のいずれか一項に記載の半導体装置。

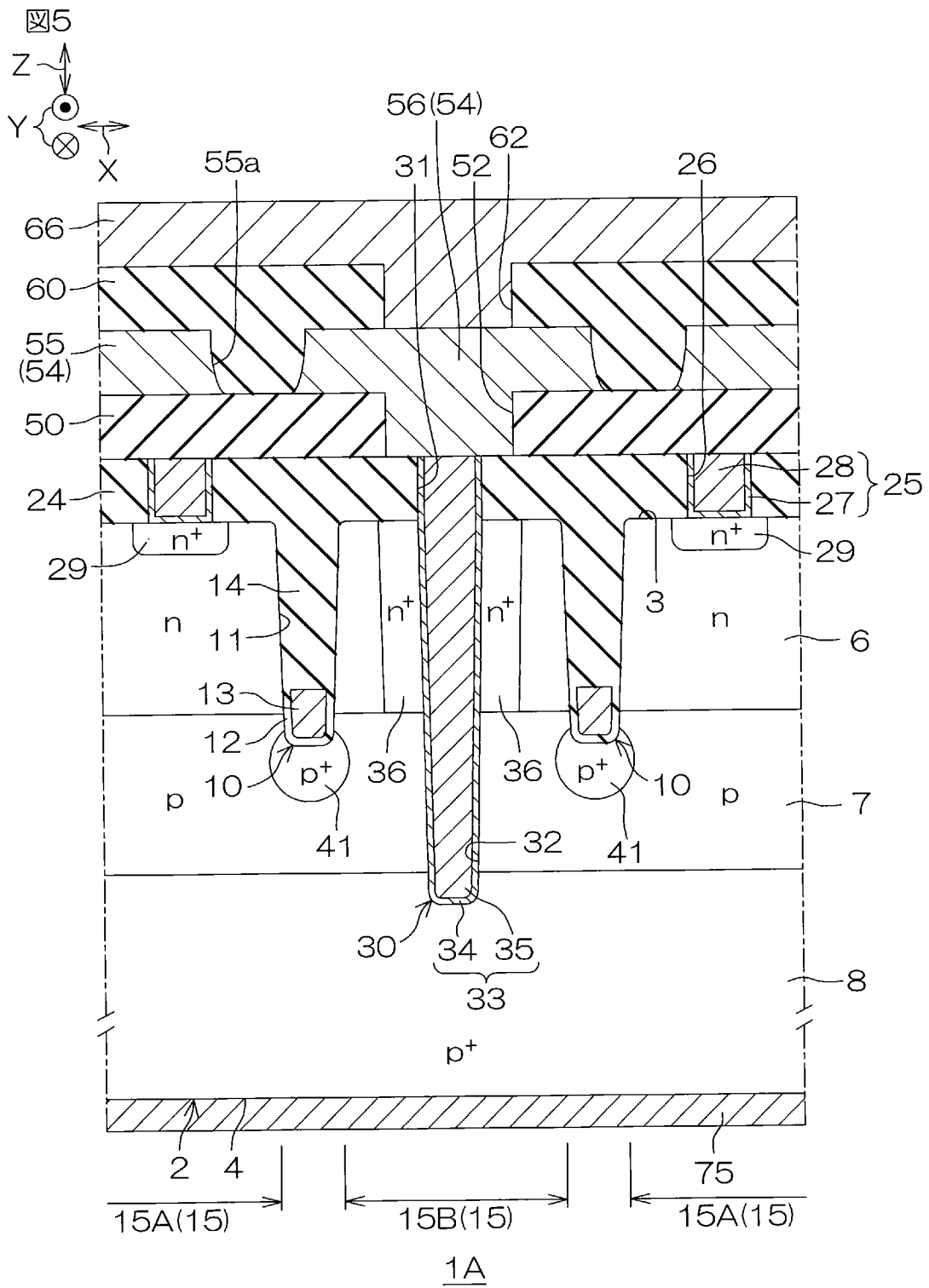
[図1]



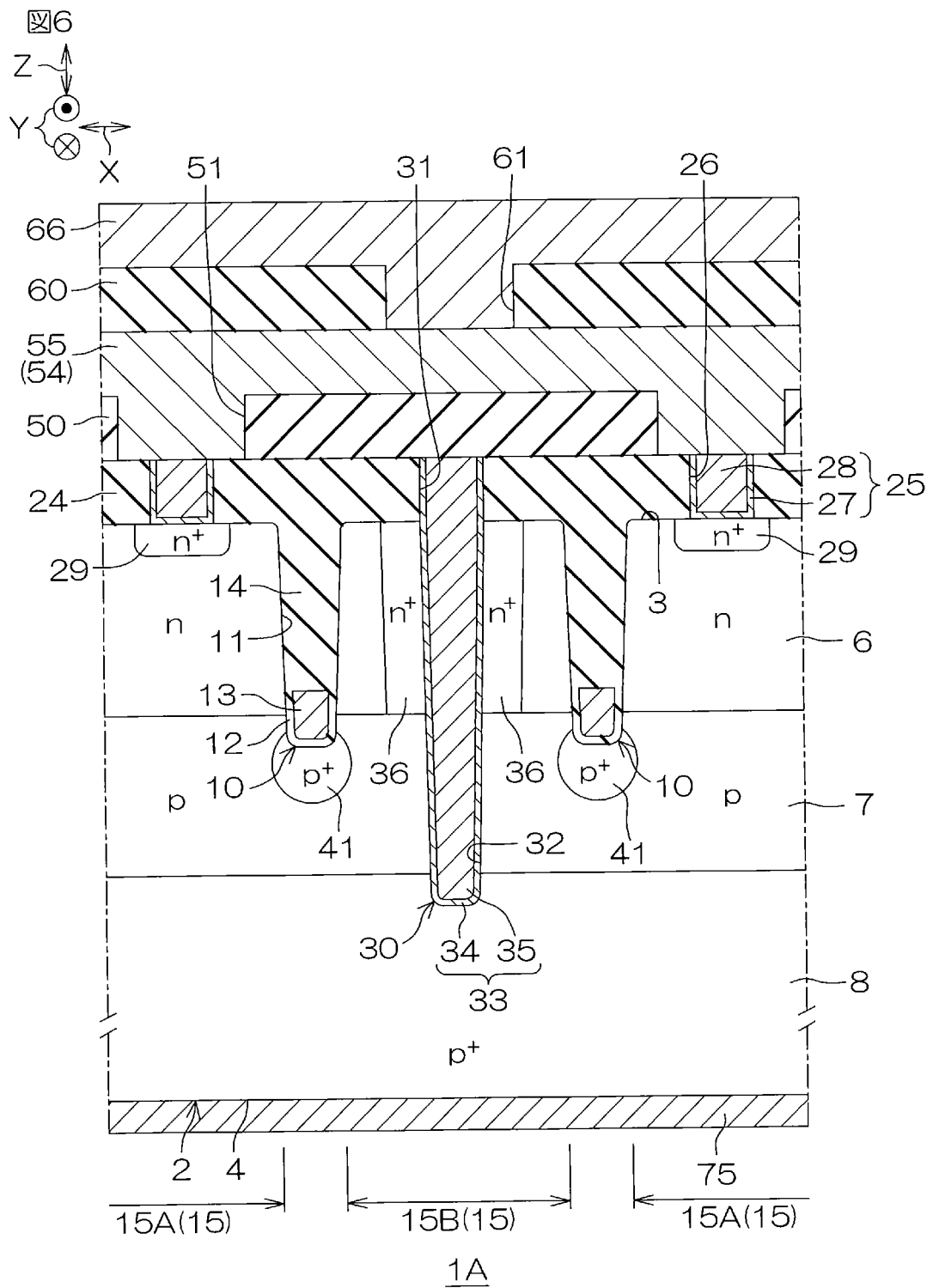
[図2]



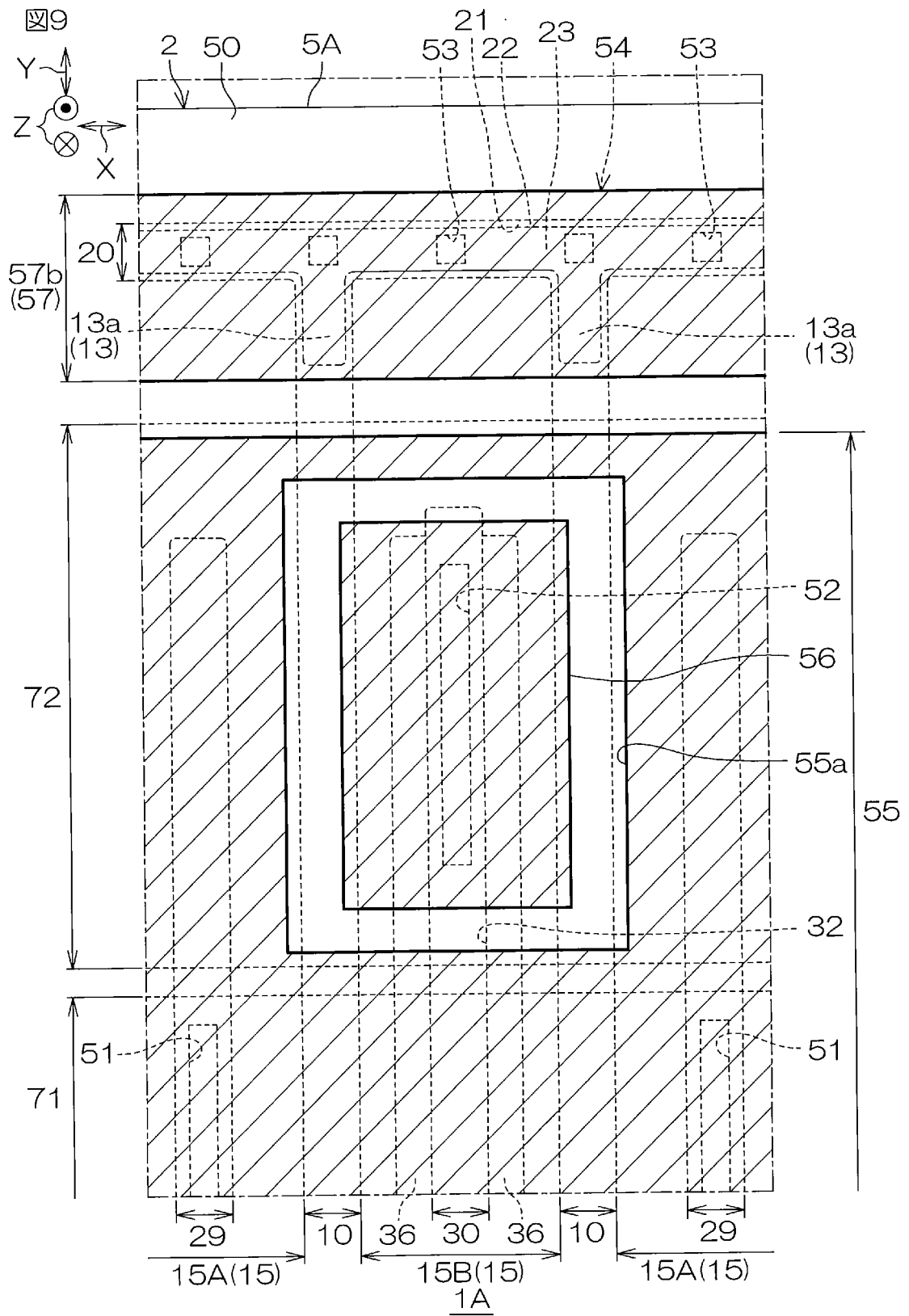
[図5]



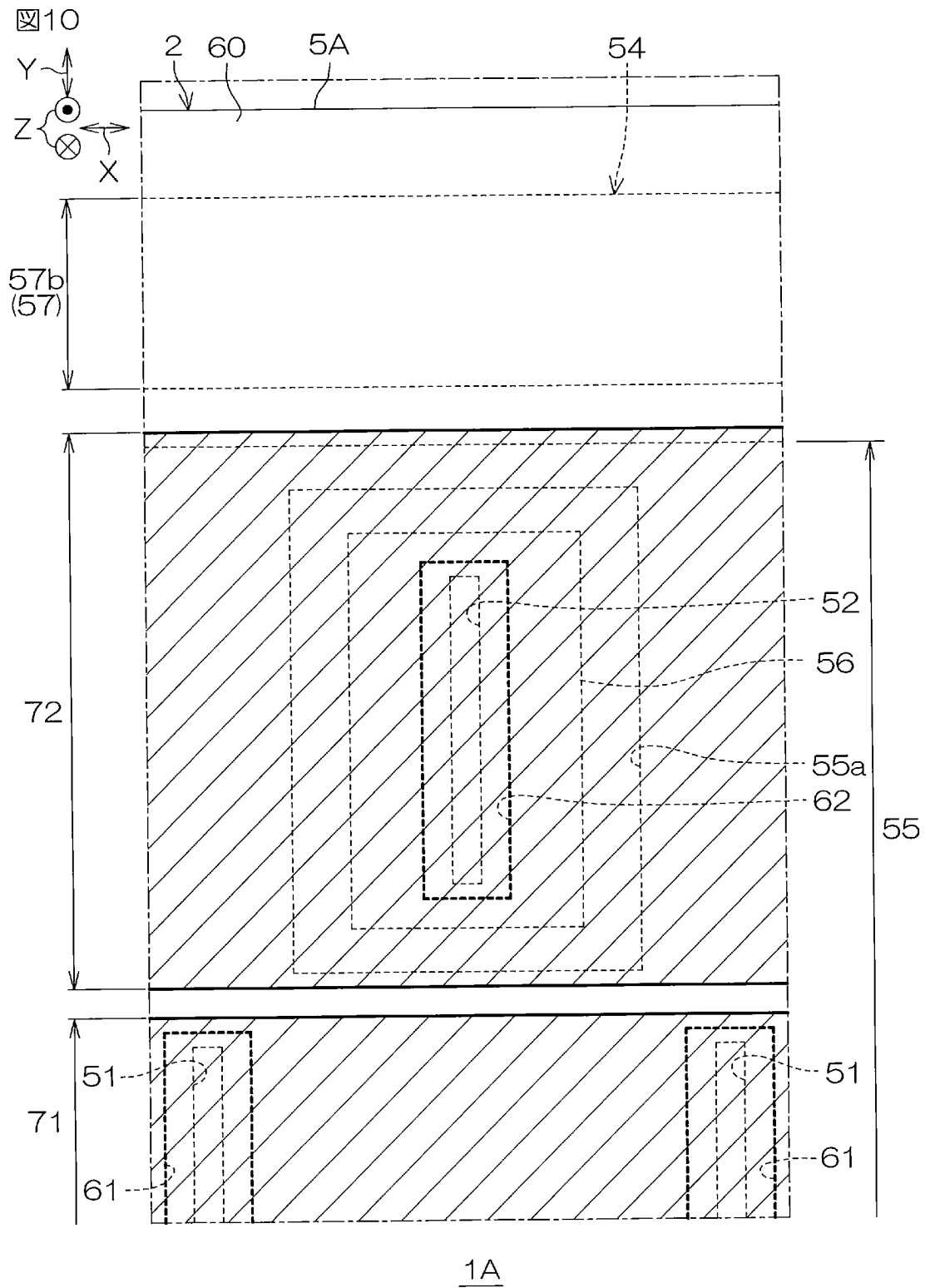
[図6]



[図9]

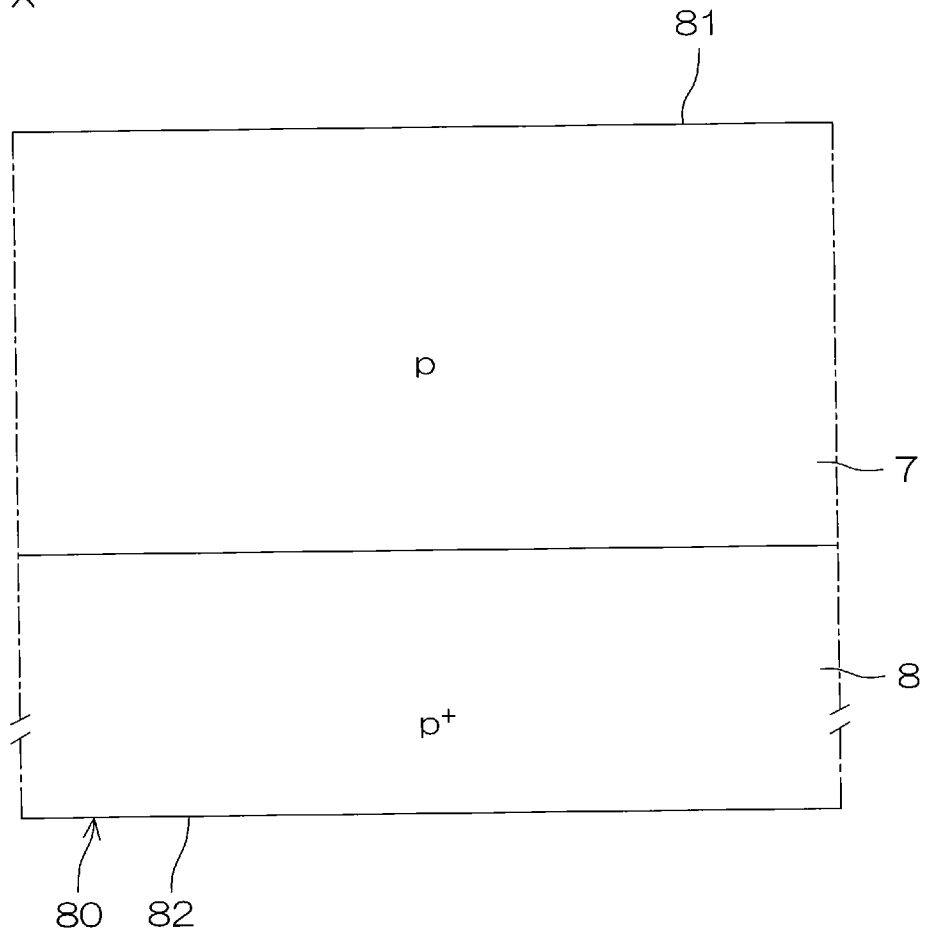
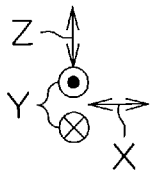


[図10]

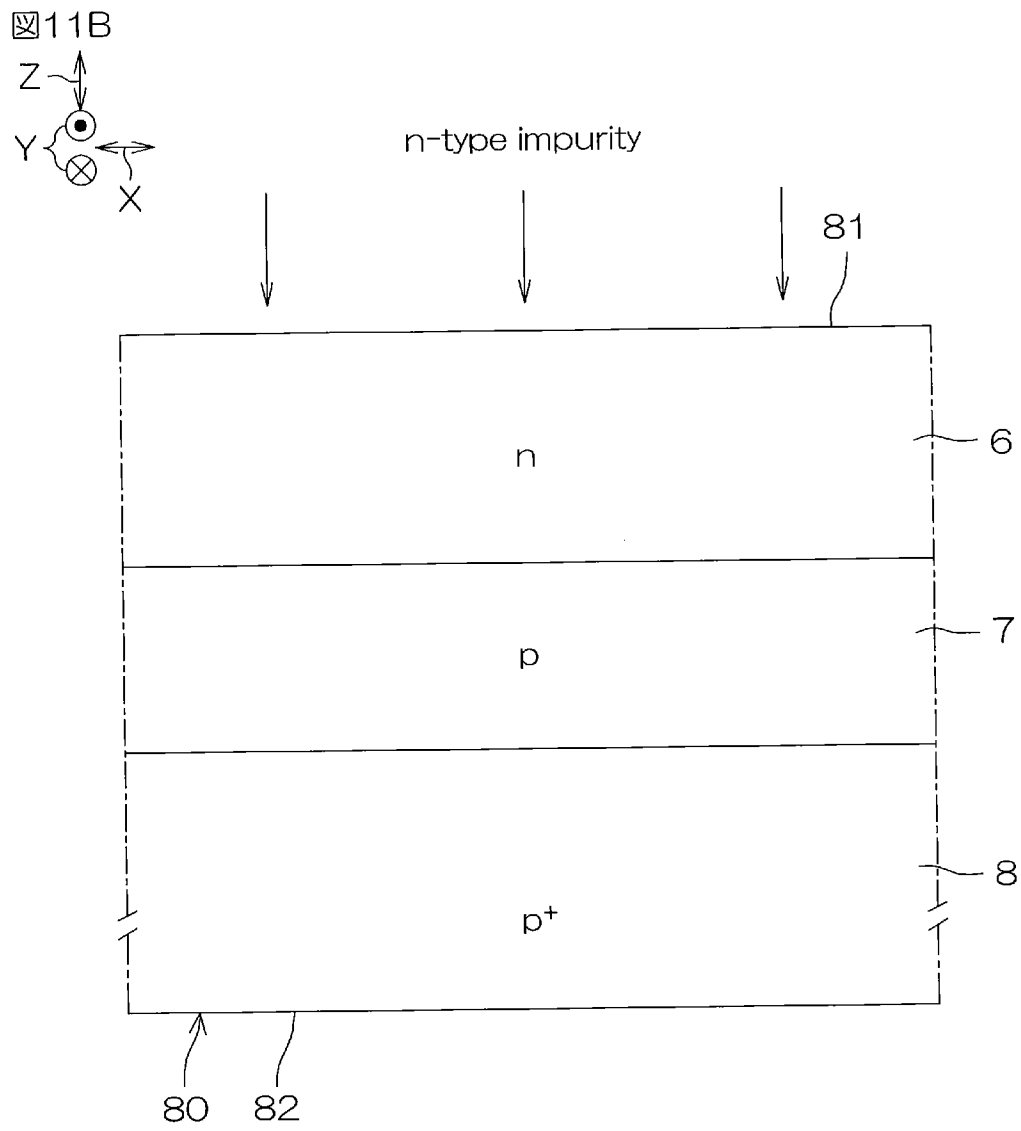


[図11A]

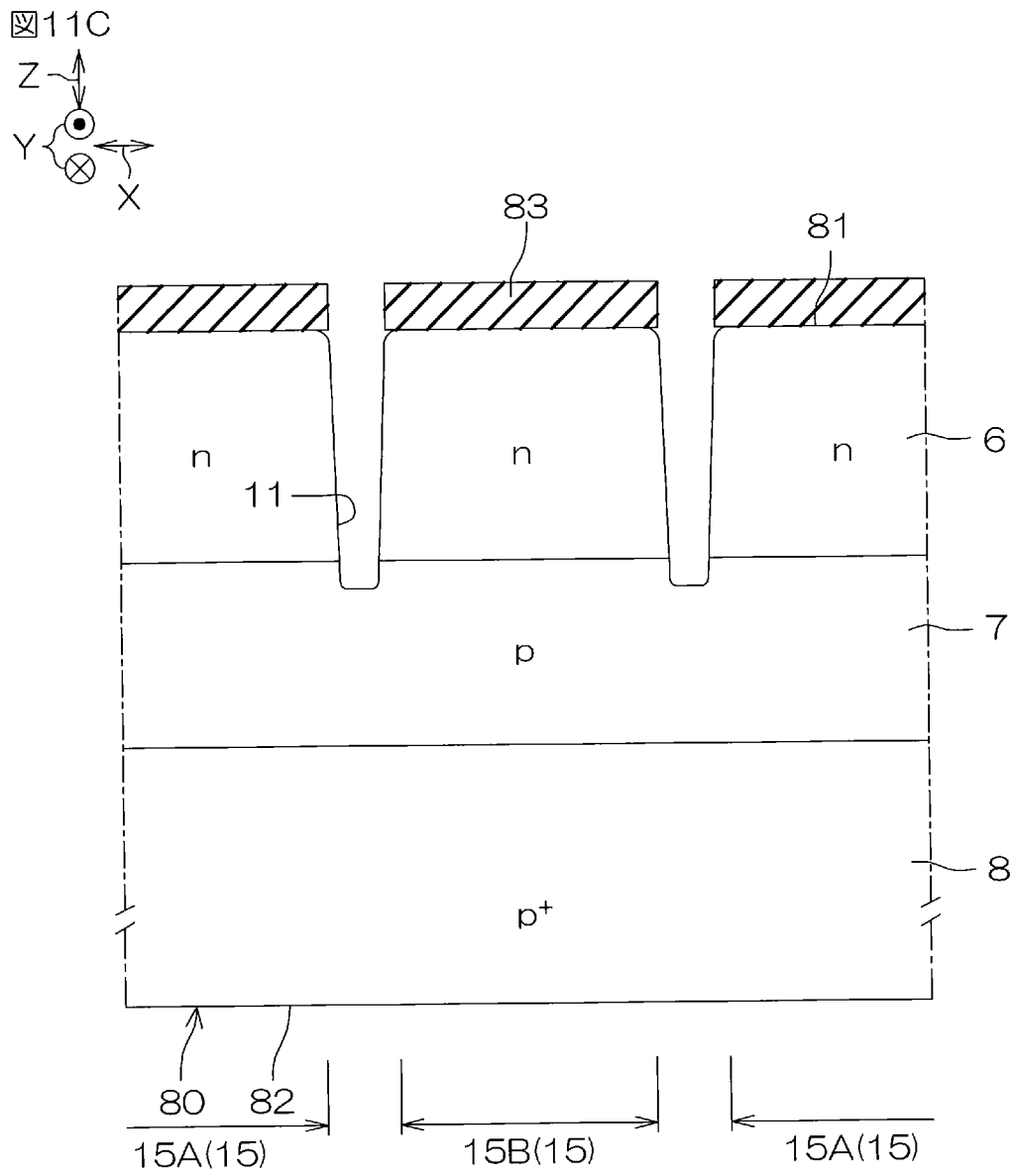
図11A



[図11B]

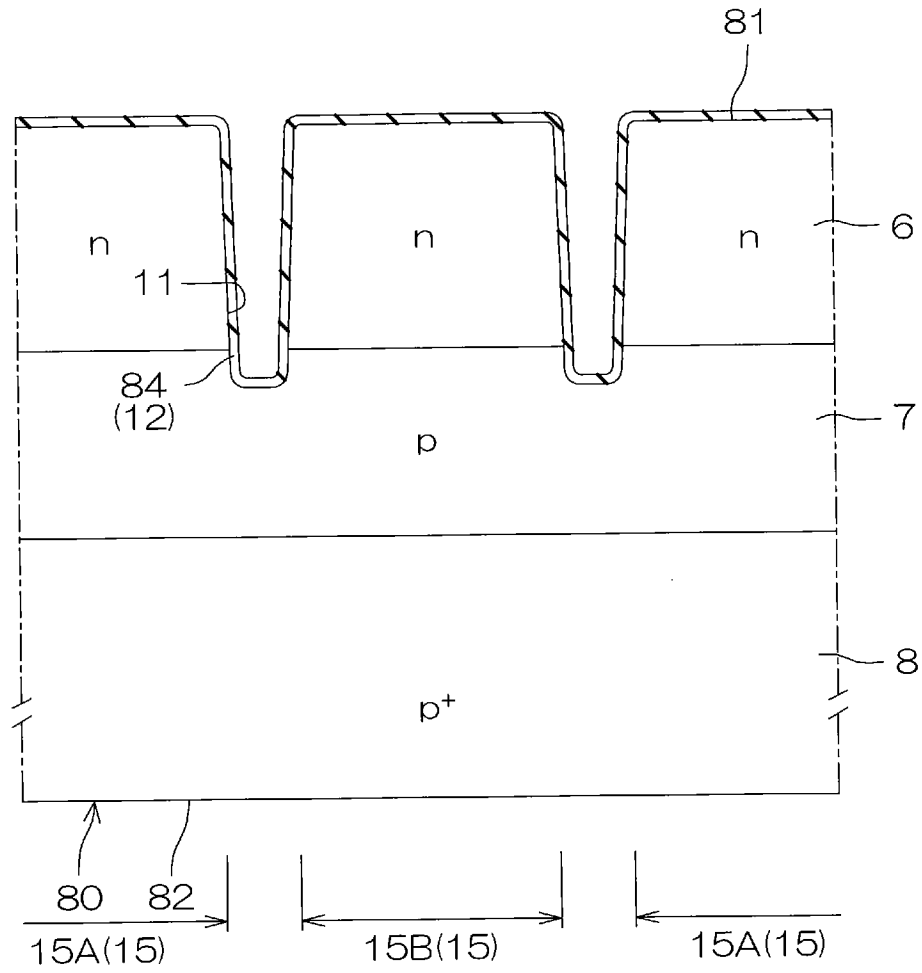
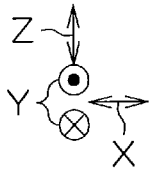


[図11C]

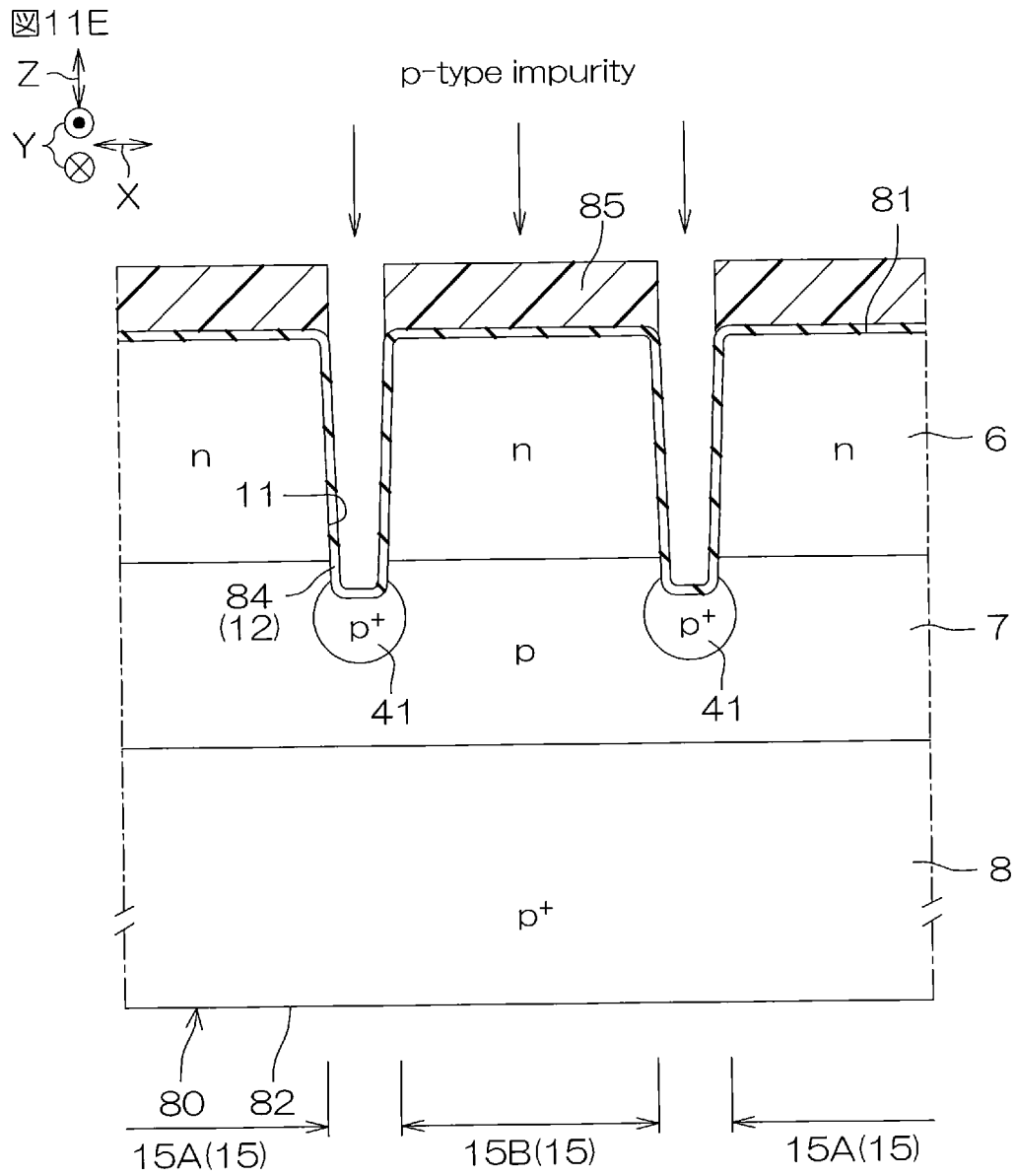


[図11D]

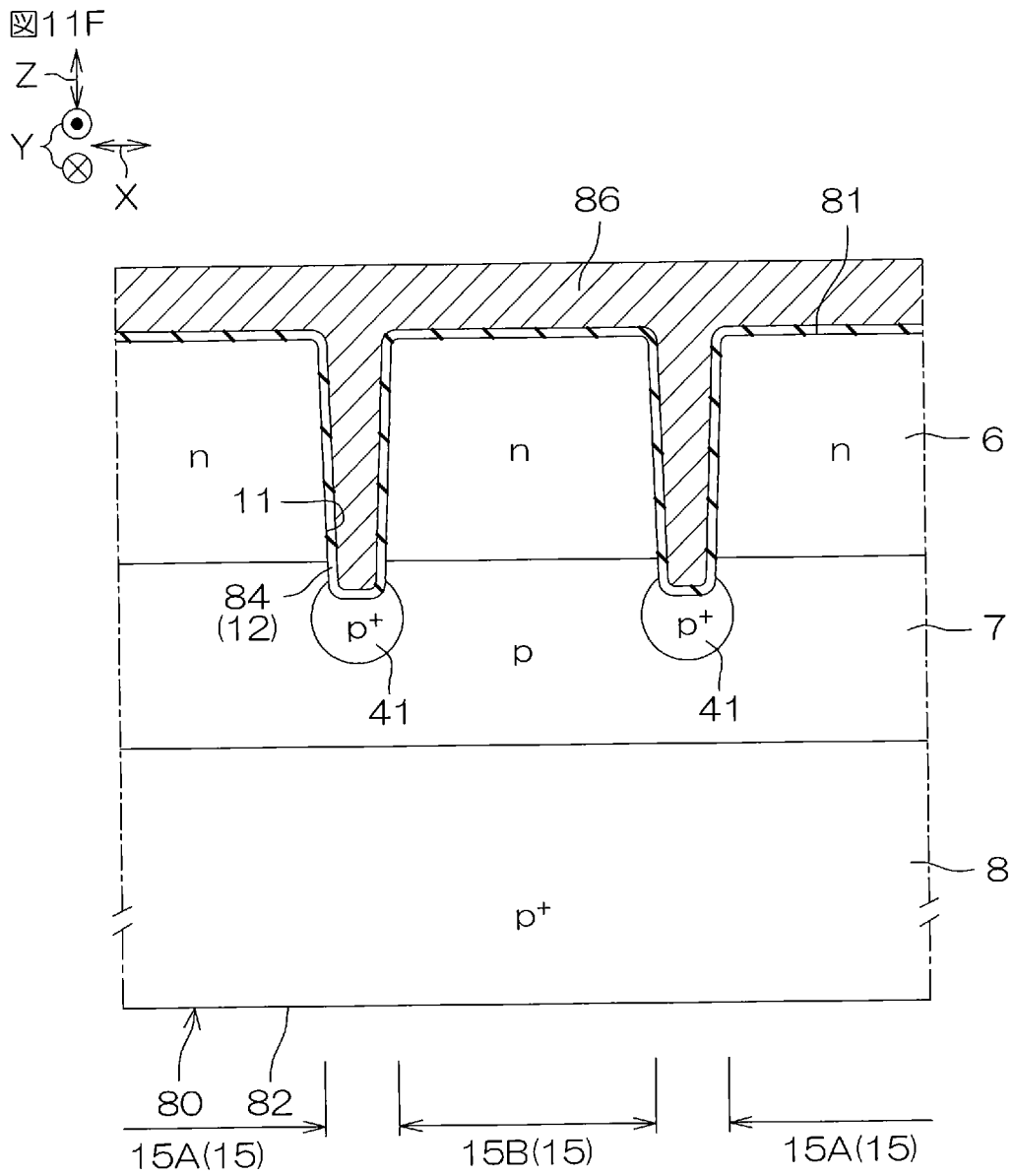
図11D



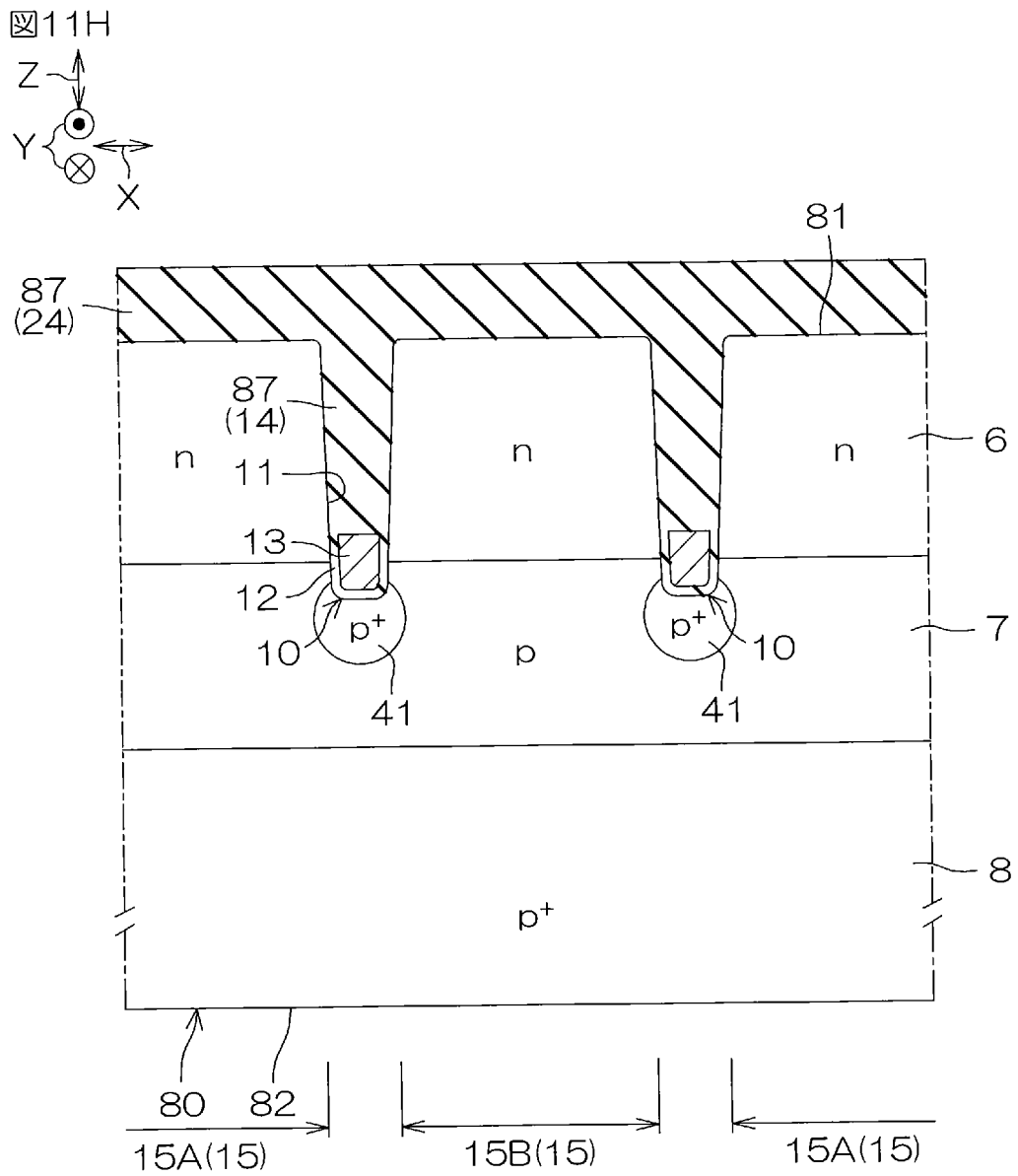
[図11E]



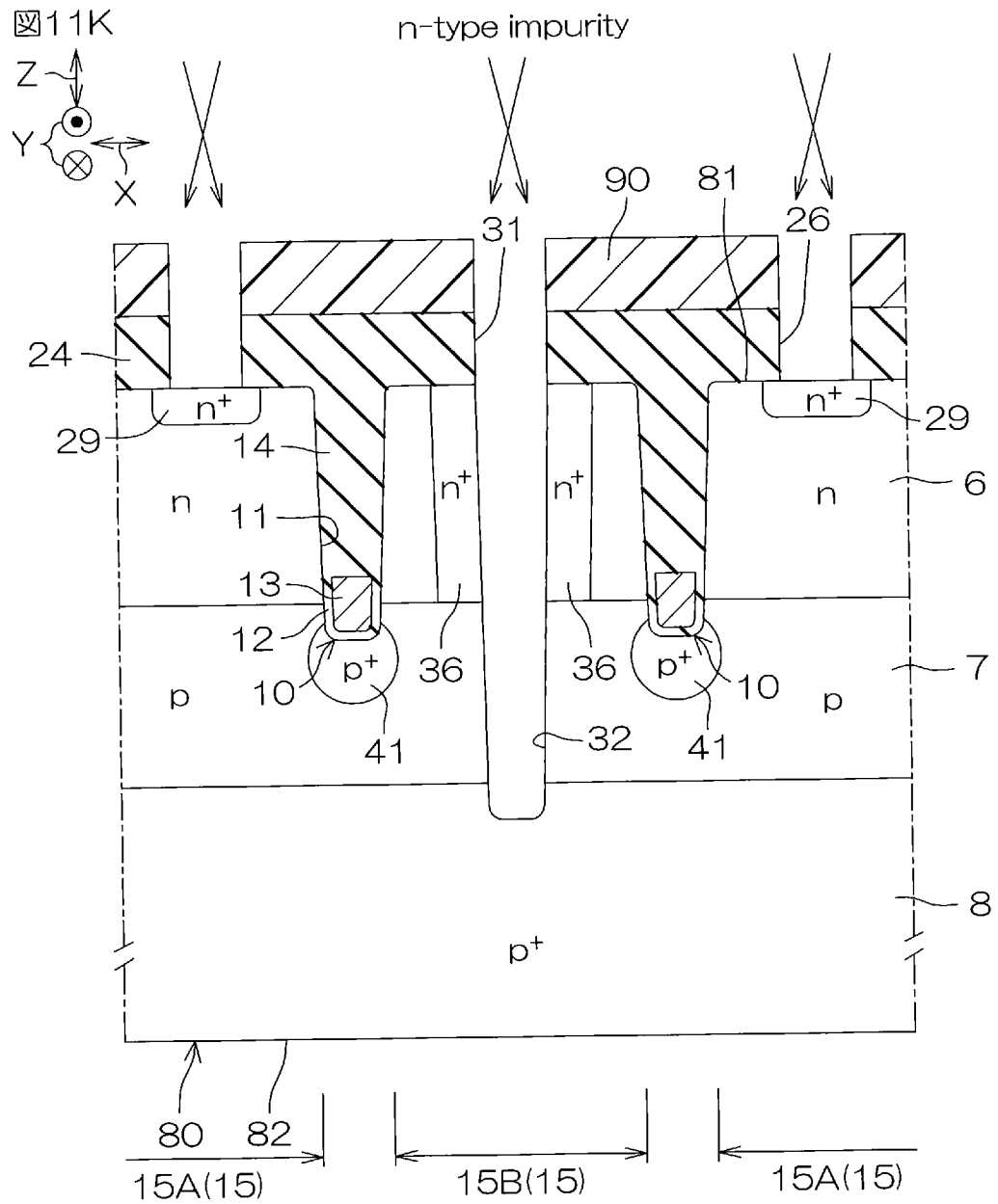
[図11F]



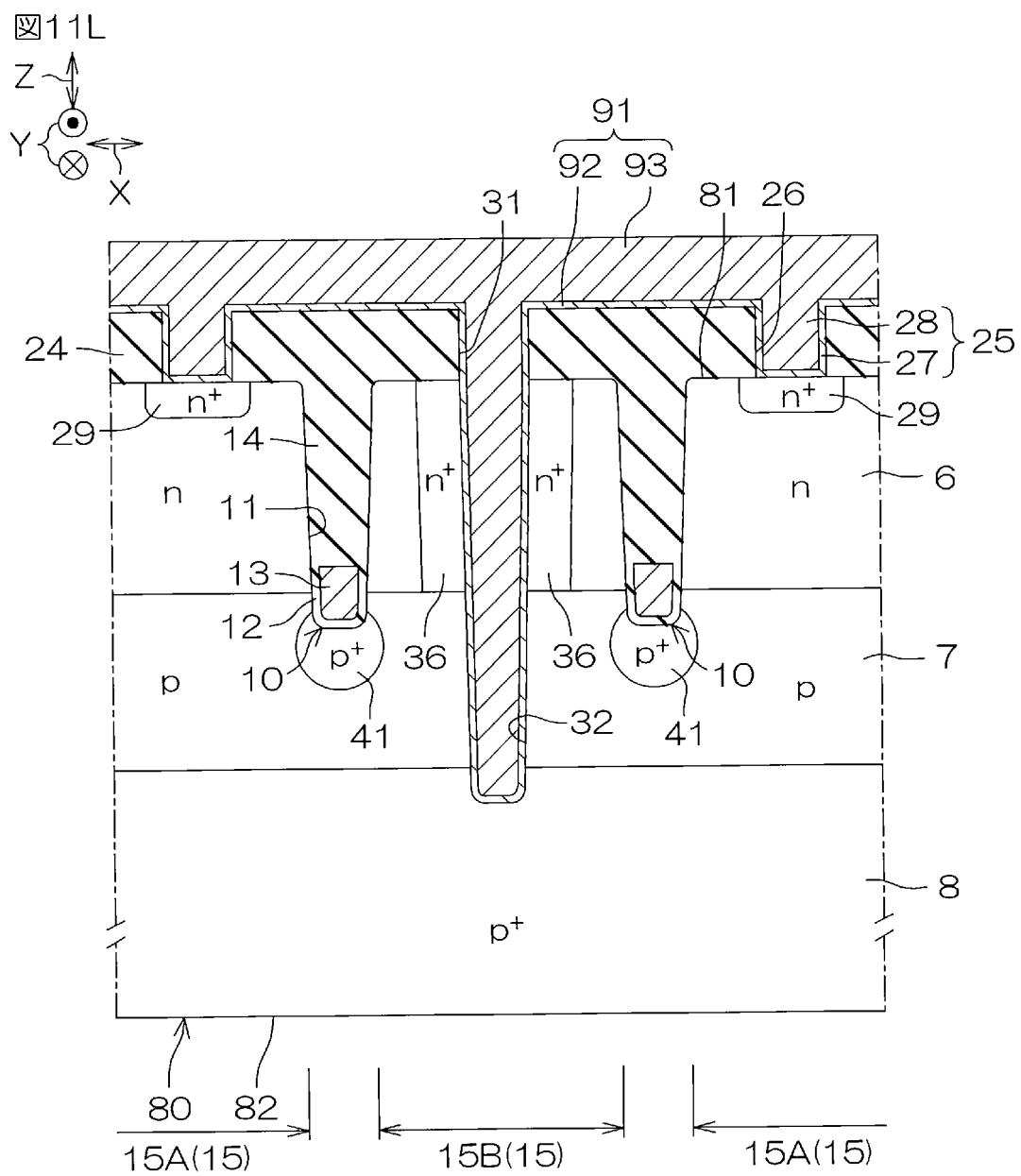
[図11H]



[図11K]

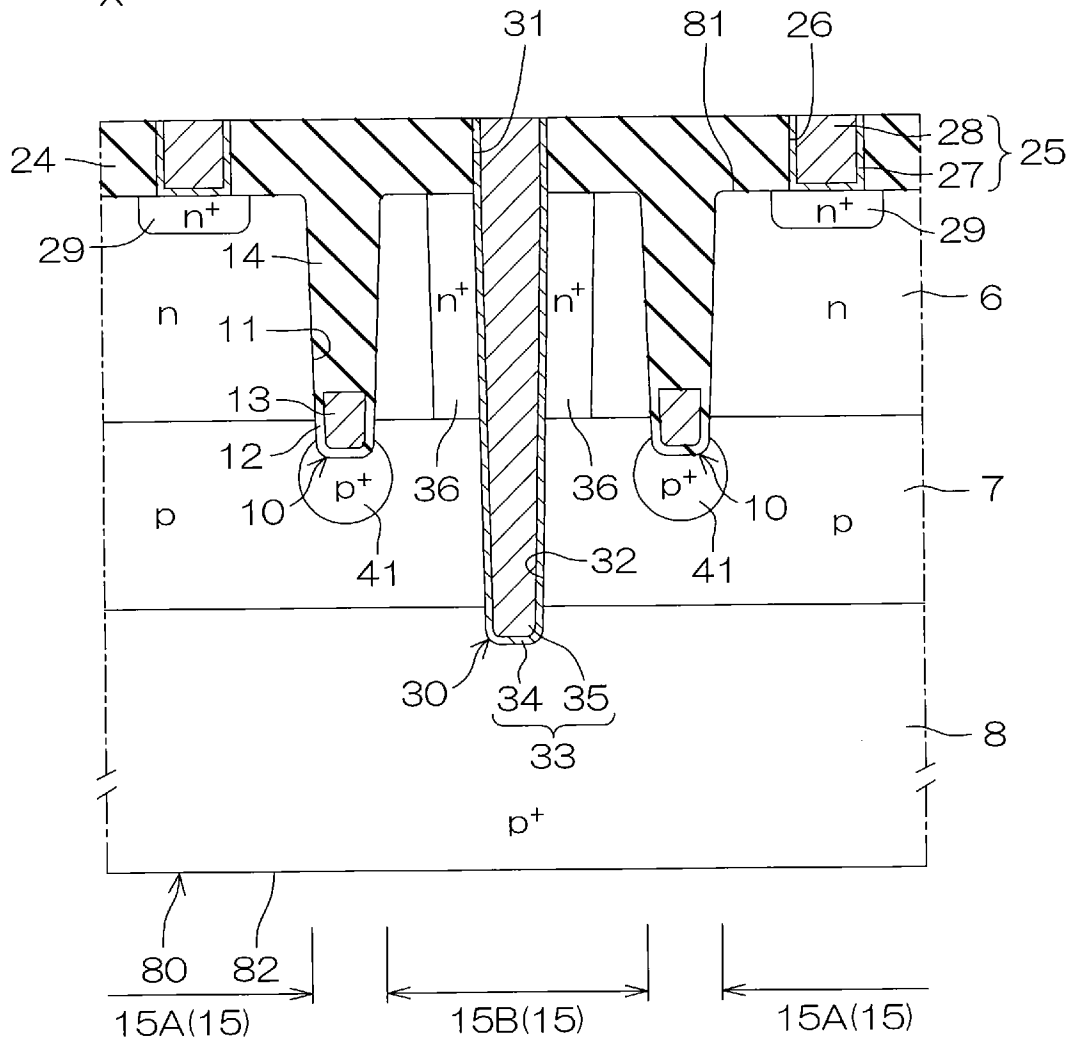
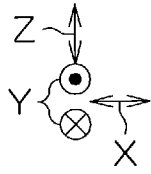


[図11L]

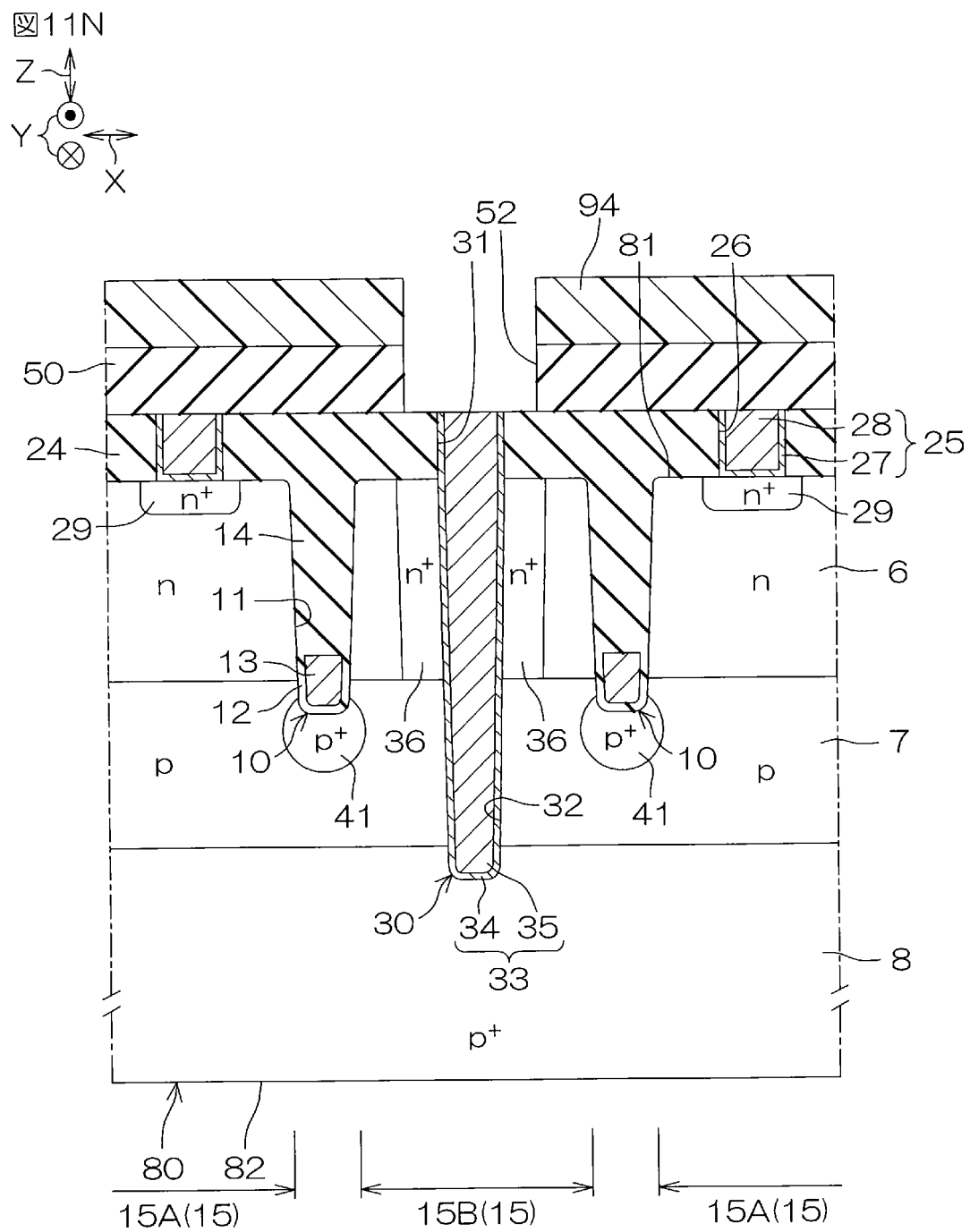


[図11M]

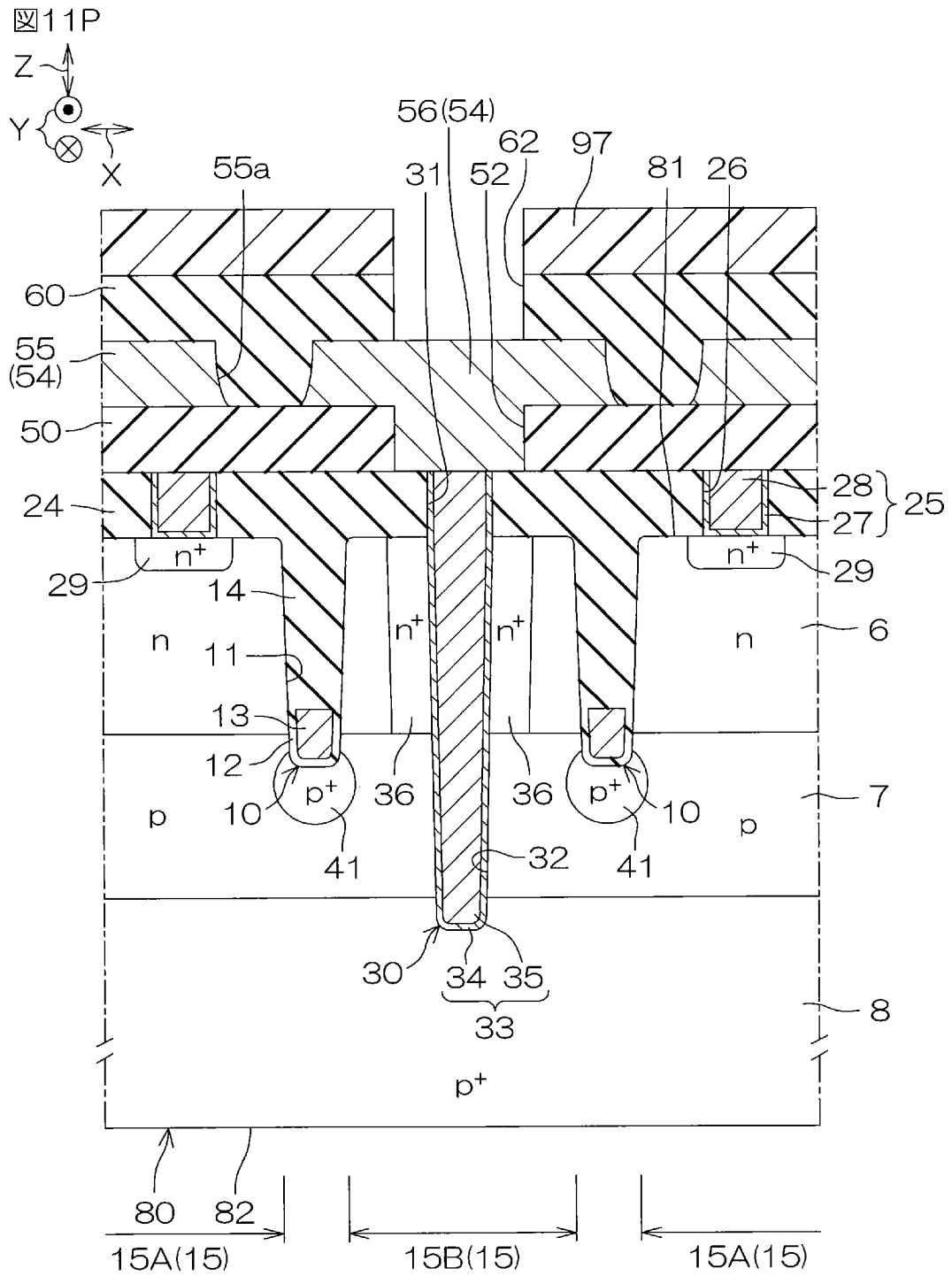
図11M



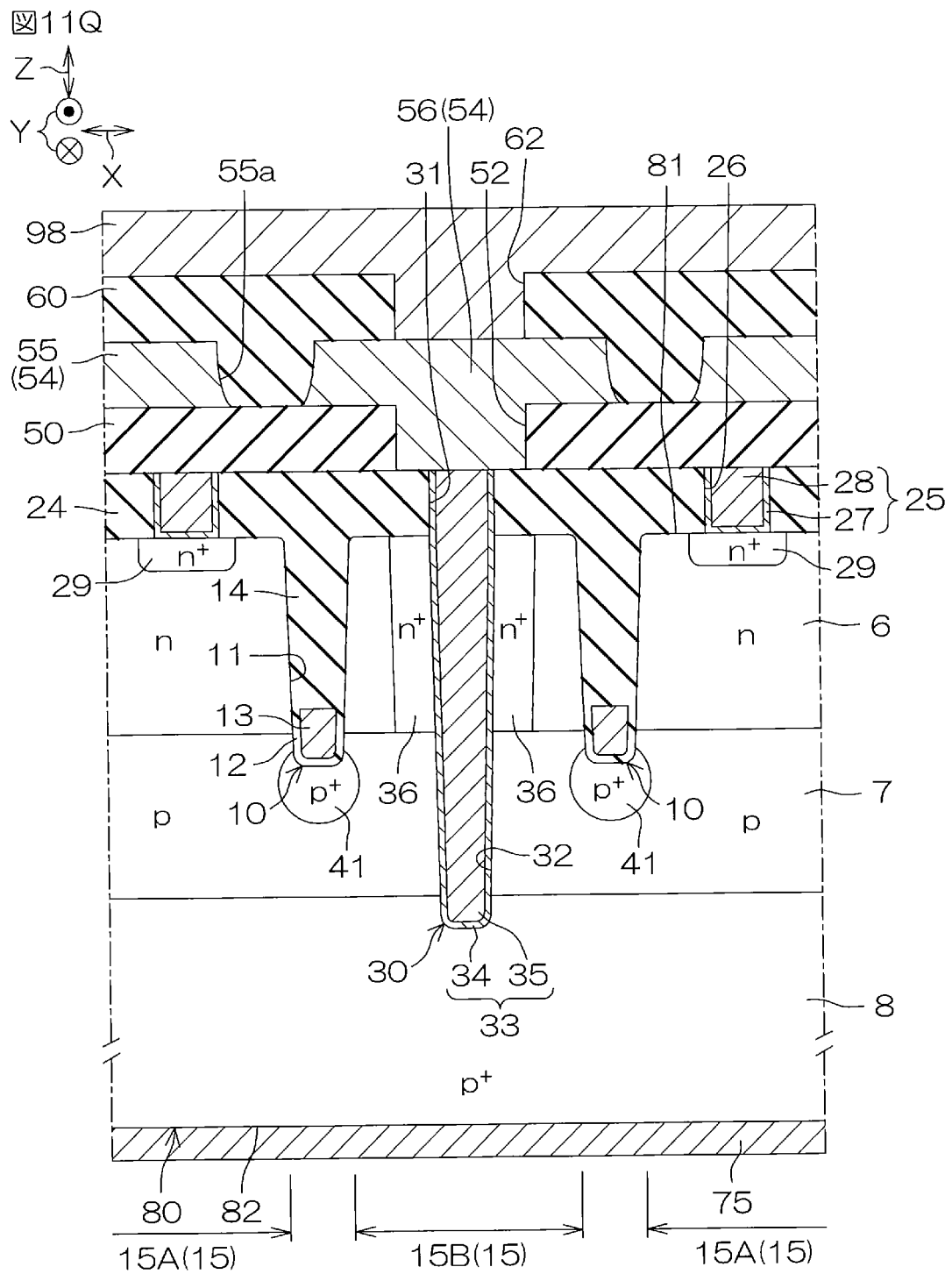
[図11N]



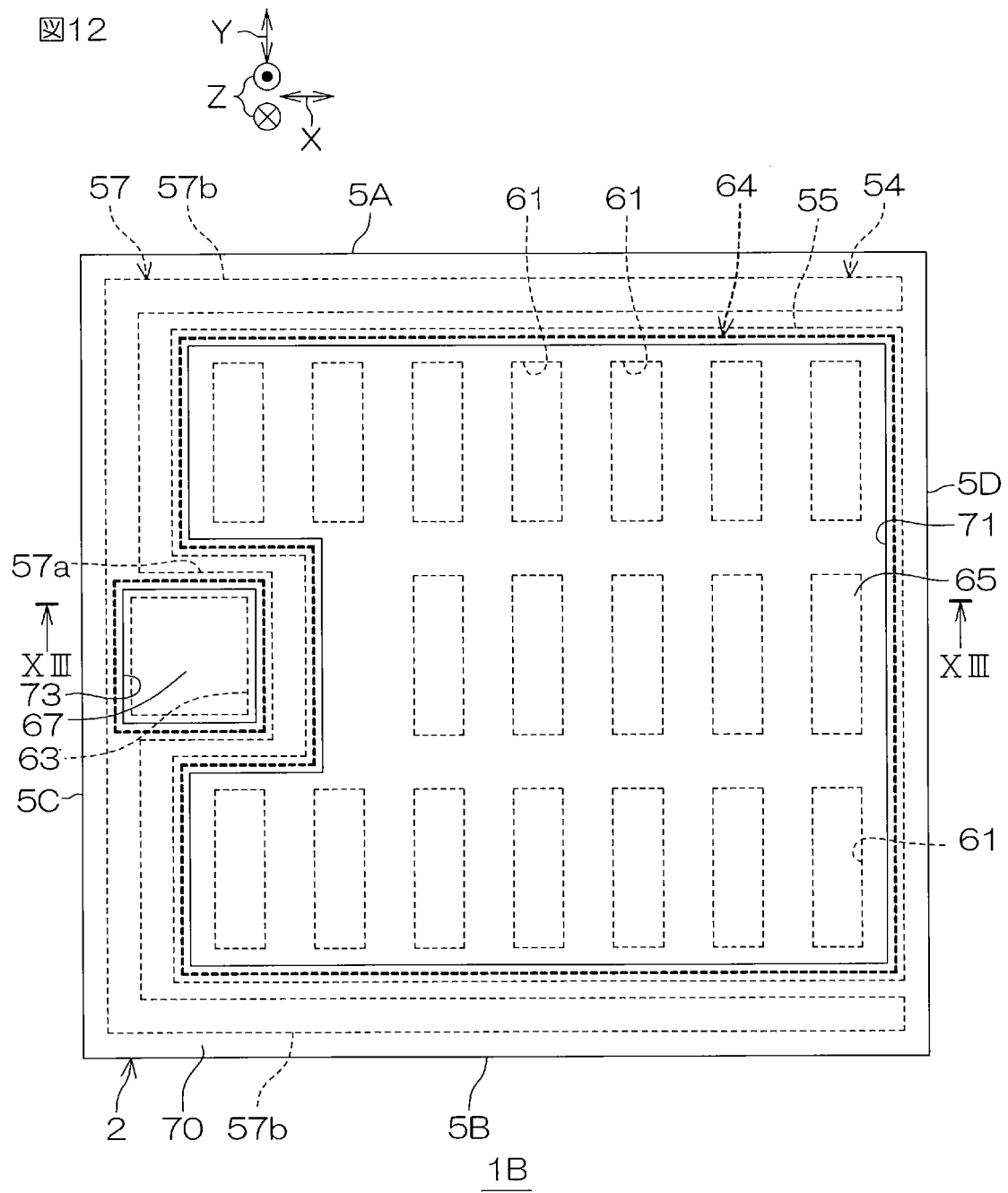
[図11P]



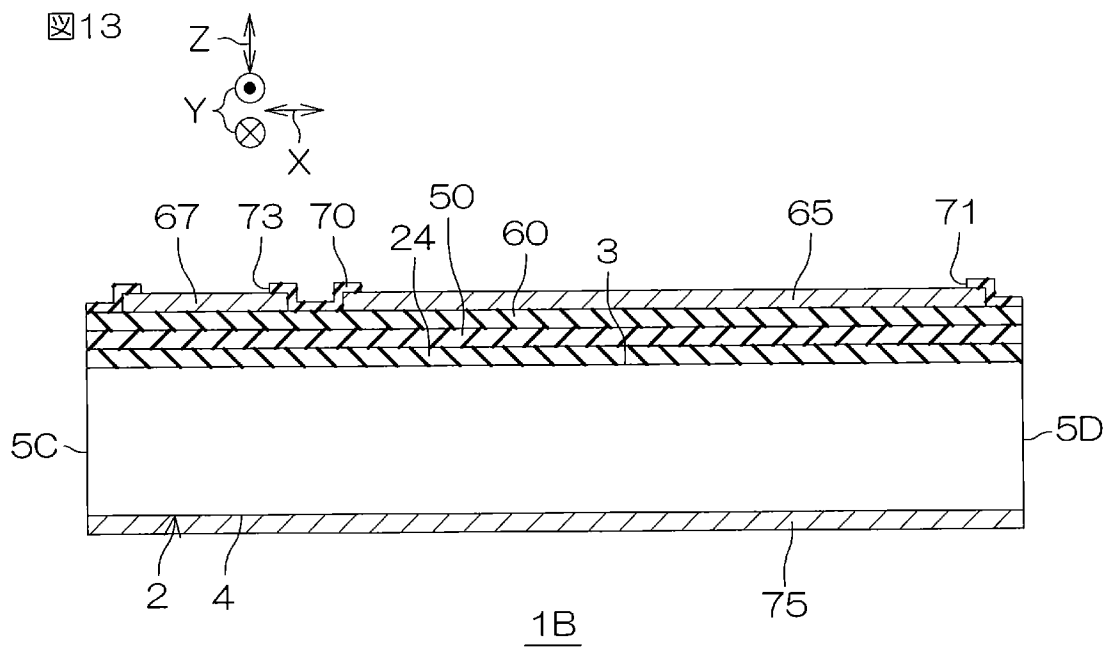
[図11Q]



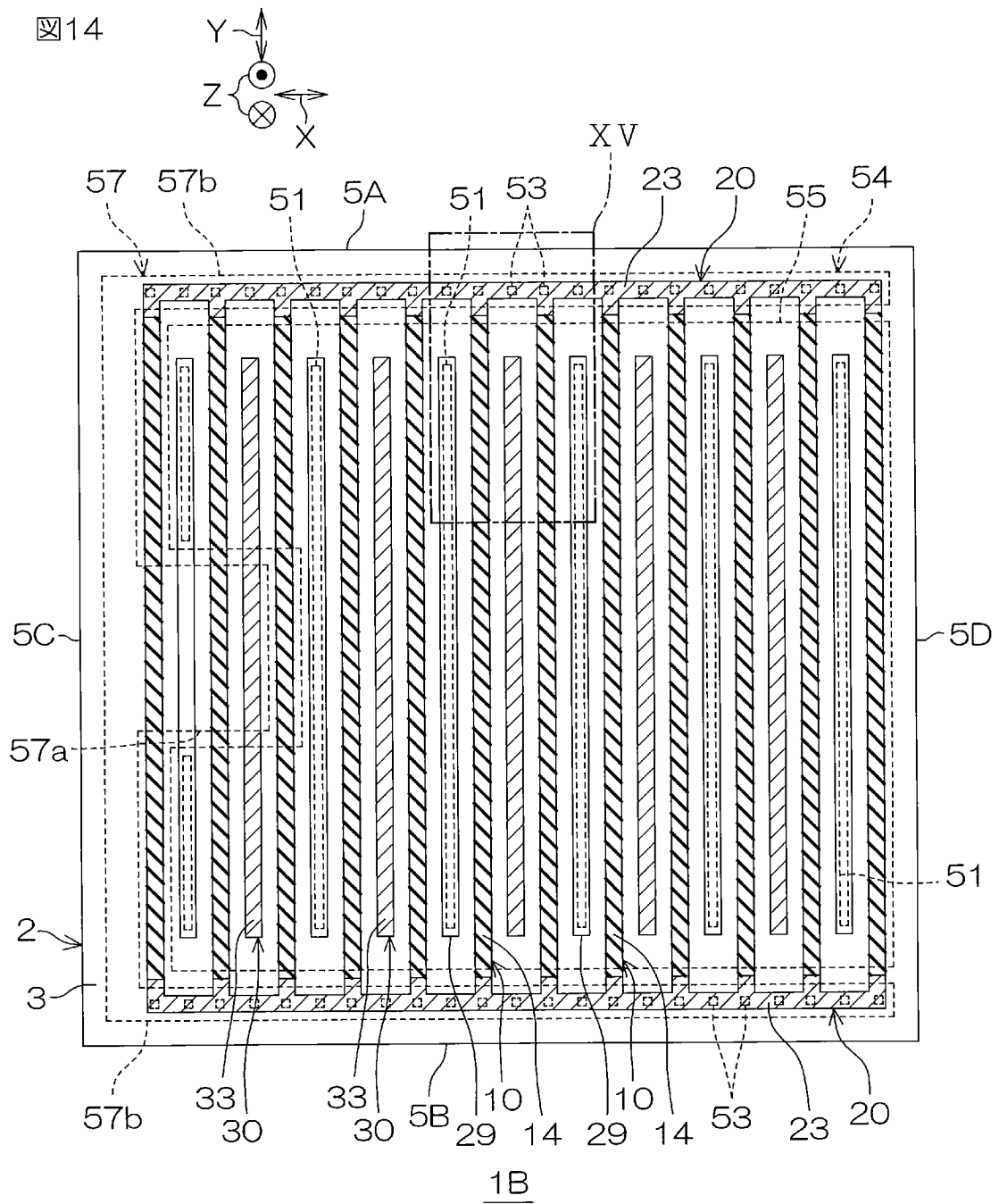
[図12]



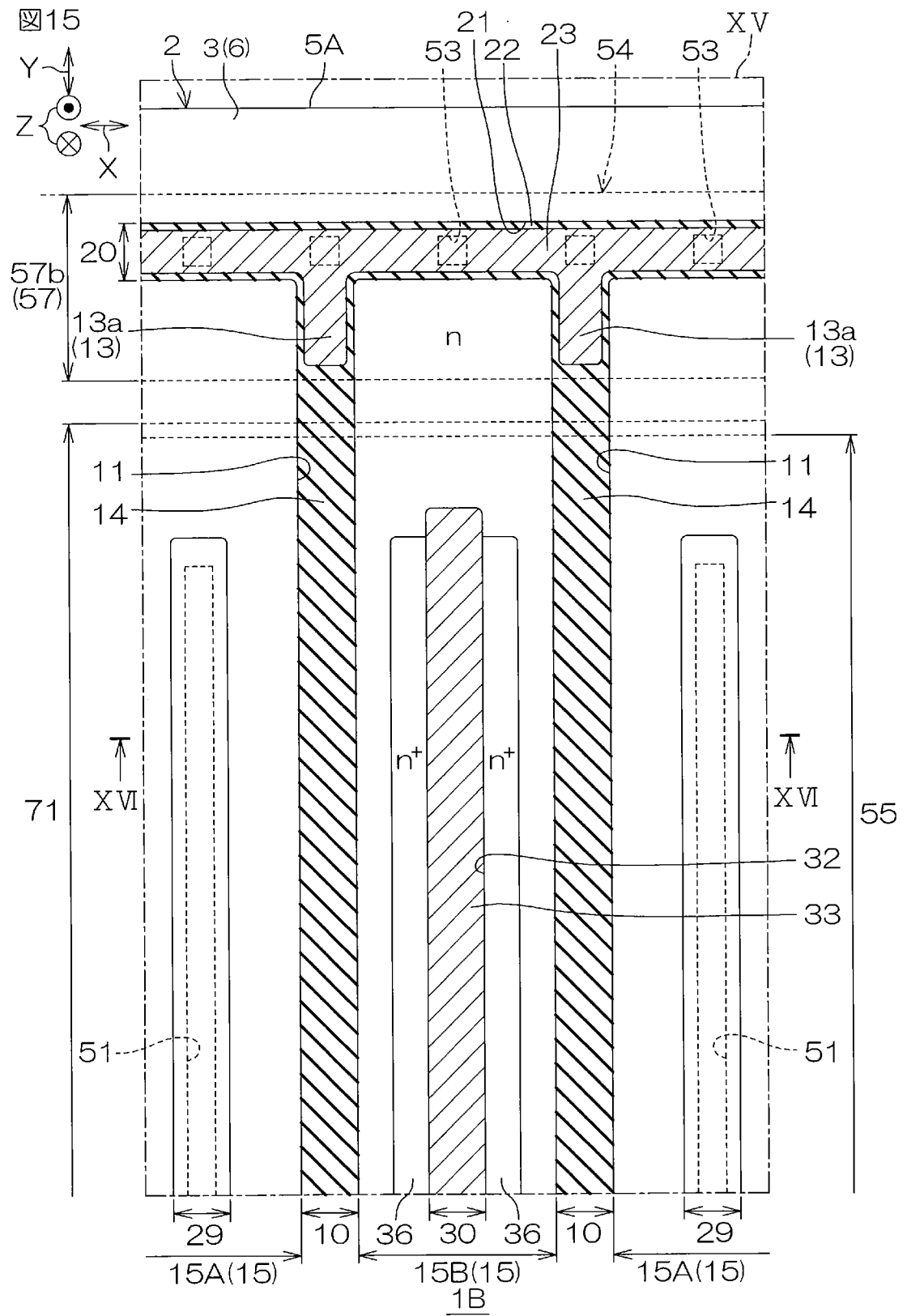
[図13]



[図14]

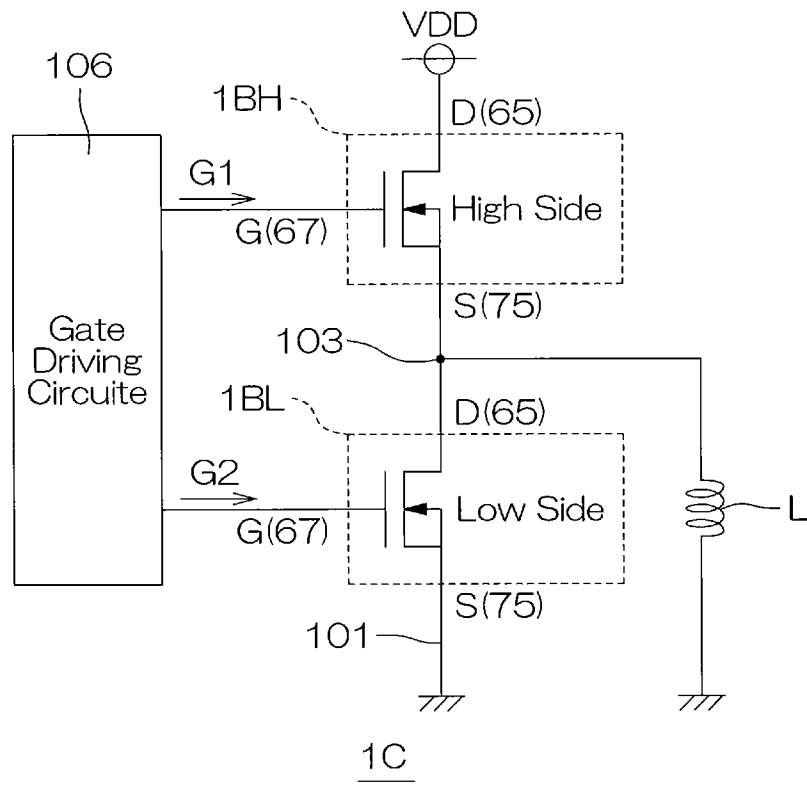


[図15]



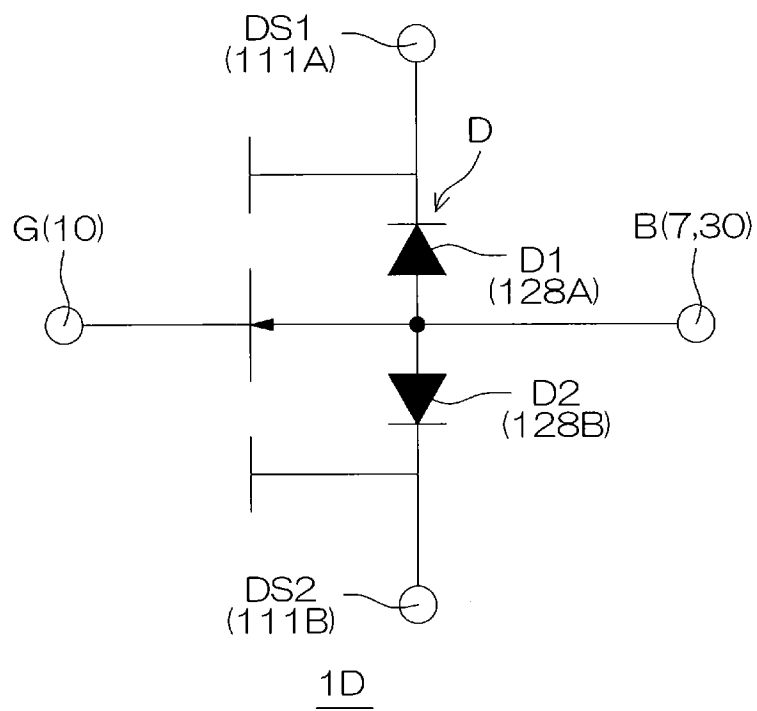
[図19]

図19

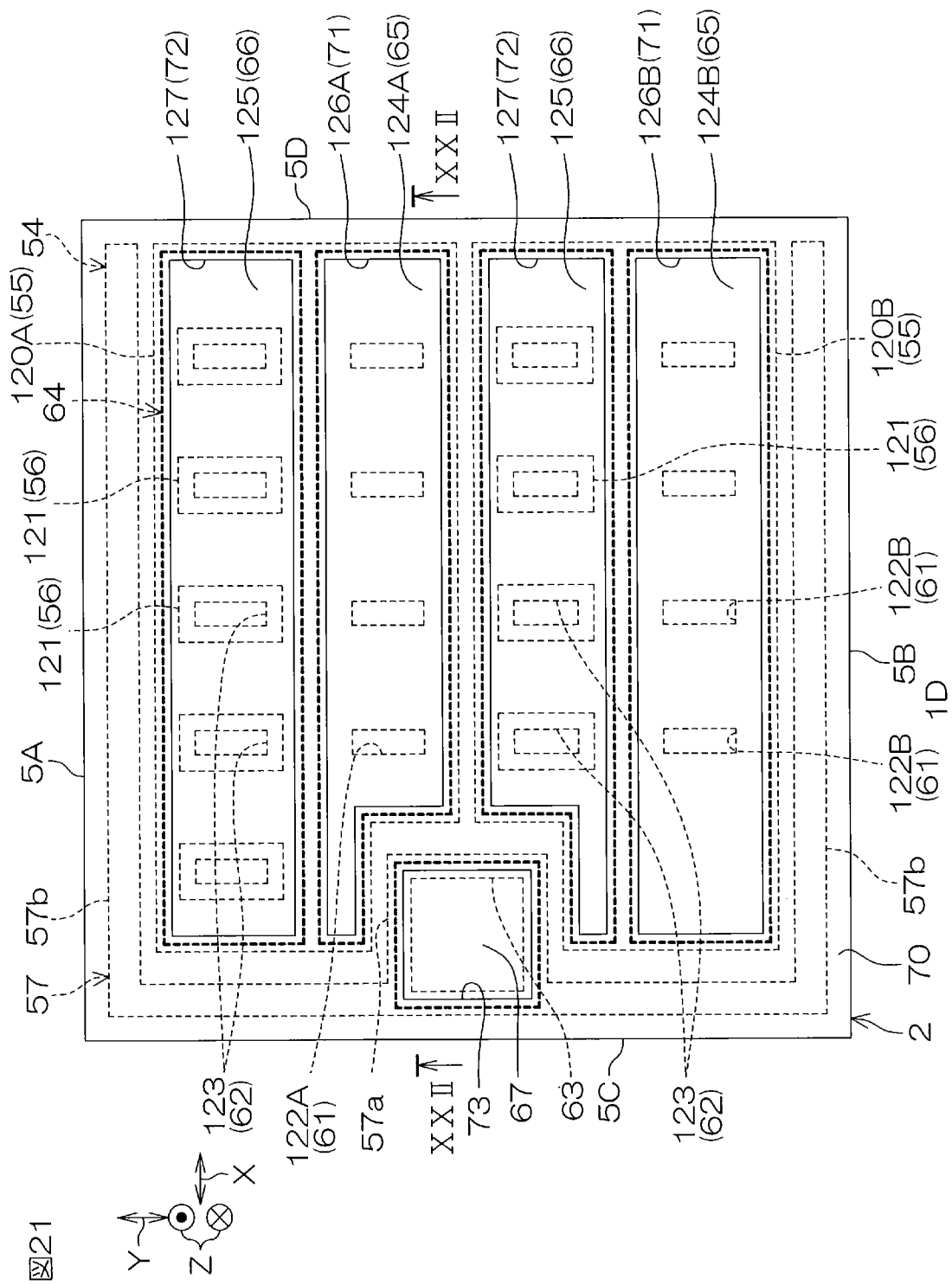


[図20]

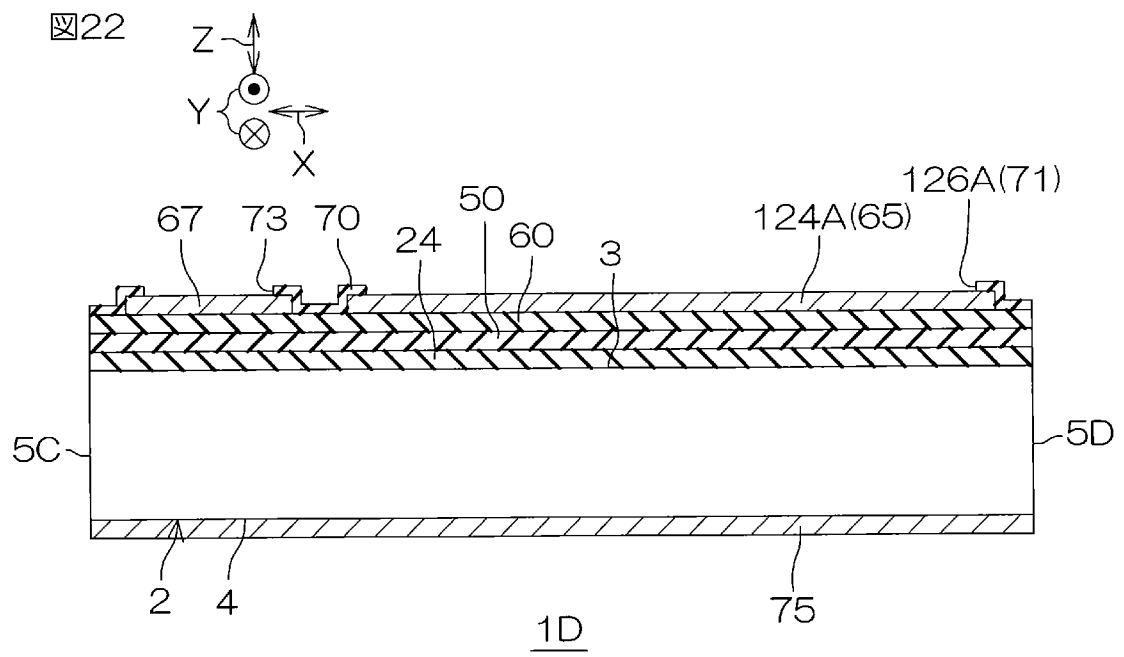
図20



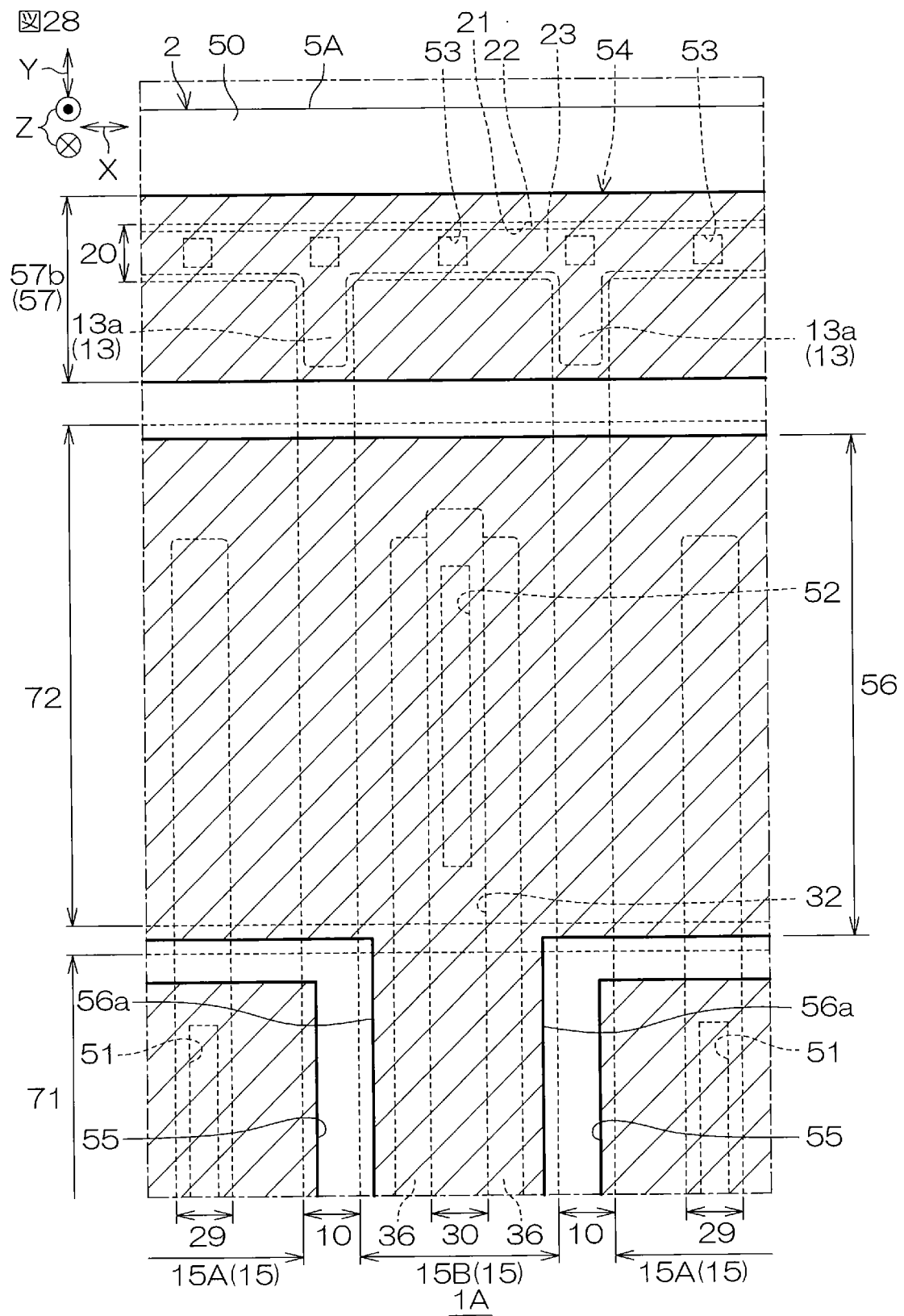
[図21]



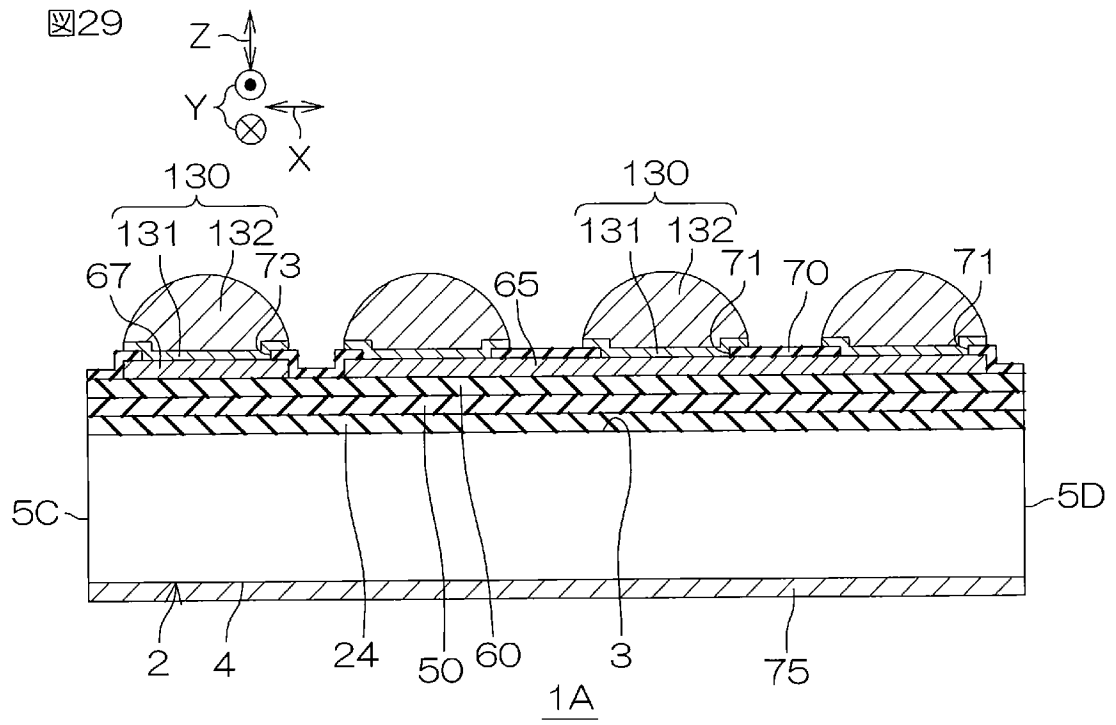
[図22]



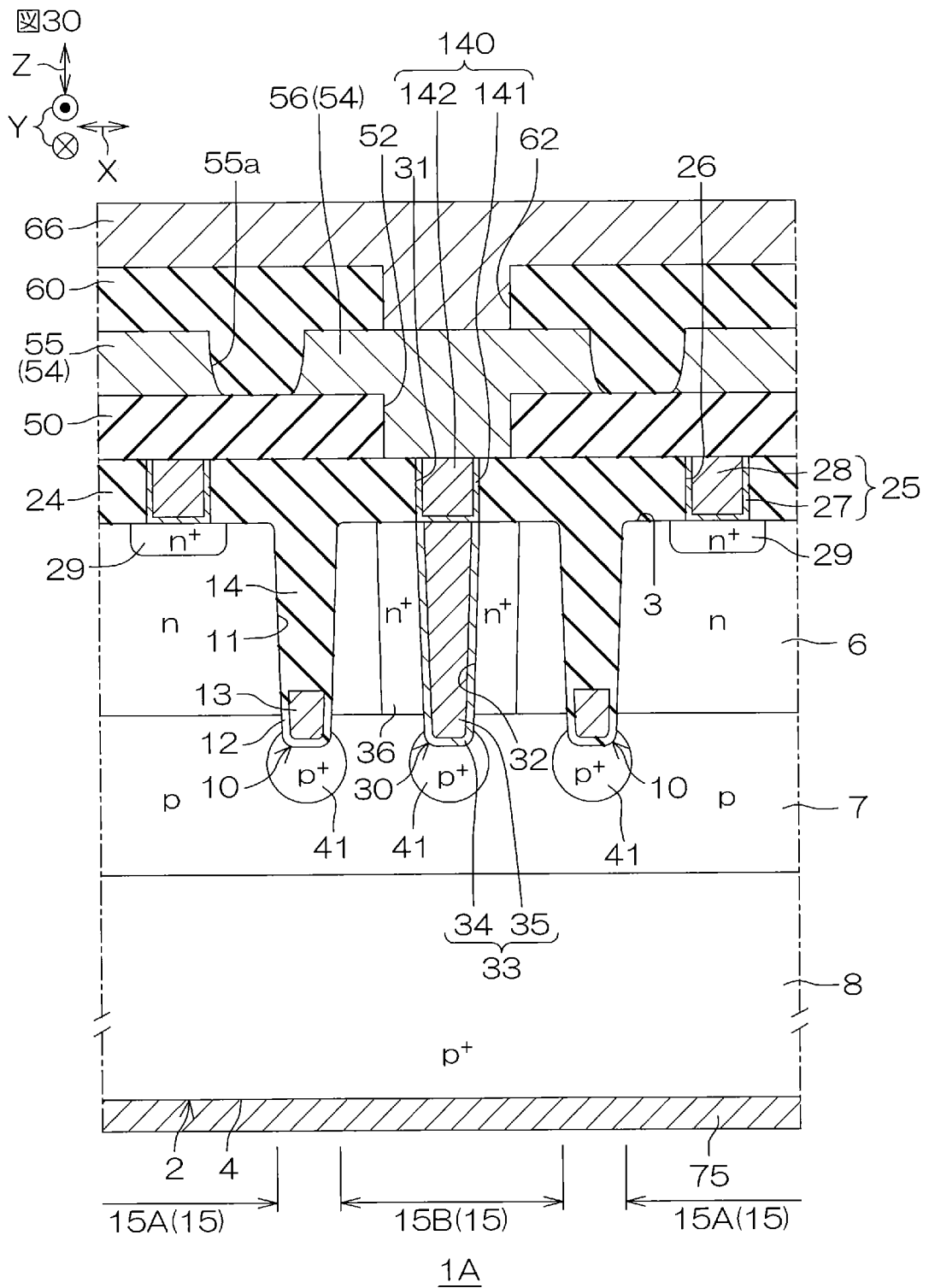
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019924

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/78**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 29/739**(2006.01)i

FI: H01L29/78 301V; H01L29/78 652T; H01L29/78 652Q; H01L29/78 652S; H01L29/78 655G; H01L29/78 653C; H01L29/78 652C; H01L29/78 652K; H01L29/78 652M; H01L29/78 658J; H01L29/78 658E; H01L29/78 658G; H01L29/78 658F; H01L29/78 658A; H01L29/78 652N; H01L29/78 655F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/12; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2007/0145474 A1 (STMICROELECTRONICS S.R.L.) 28 June 2007 (2007-06-28) paragraphs [0031]-[0068], fig. 1, 3	1-4, 6, 7, 12-16, 18-20 5, 8-11, 17
Y A	US 2014/0291762 A1 (IO SEMICONDUCTOR INC.) 02 October 2014 (2014-10-02) paragraphs [0066]-[0067], fig. 9A	1-4, 6, 7, 12-16, 18-20 5, 8-11, 17
Y A	JP 3-160761 A (FUJITSU LTD) 10 July 1991 (1991-07-10) p. 2, lower left column, lines 9-16, fig. 4(a)	15, 16, 18-20 1-14, 17
Y A	JP 4-259258 A (NISSAN MOTOR CO LTD) 14 September 1992 (1992-09-14) paragraphs [0006]-[0007], [0021]-[0023], fig. 1, 8	15, 16, 18-20 1-14, 17

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 August 2022

Date of mailing of the international search report

16 August 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019924**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-353446 A (FUJI ELECTRIC CO LTD) 06 December 2002 (2002-12-06) paragraphs [0004], [0016]-[0081], fig. 1, 2, 8	19, 20
A		1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/019924

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2007/0145474	A1	28 June 2007	EP	1786031	A1
US	2014/0291762	A1	02 October 2014	WO	2014/022092	A1
				CN	104769715	A
JP	3-160761	A	10 July 1991	(Family: none)		
JP	4-259258	A	14 September 1992	(Family: none)		
JP	2002-353446	A	06 December 2002	(Family: none)		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 301V; H01L29/78 652T; H01L29/78 652Q; H01L29/78 652S; H01L29/78 655G; H01L29/78 653C; H01L29/78 652C; H01L29/78 652K; H01L29/78 652M; H01L29/78 658J; H01L29/78 658E; H01L29/78 658G; H01L29/78 658F; H01L29/78 658A; H01L29/78 652N; H01L29/78 655F										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L29/12; H01L29/739										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2022年									
日本国実用新案登録公報	1996-2022年									
日本国登録実用新案公報	1994-2022年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y A	US 2007/0145474 A1 (STMICROELECTRONICS S.R.L.) 28.06.2007 (2007-06-28) 段落0031-0068, 図1,3	1-4, 6, 7, 12-16, 18-20 5, 8-11, 17								
Y A	US 2014/0291762 A1 (IO SEMICONDUCTOR INC.) 02.10.2014 (2014-10-02) 段落0066-0067, 図9A	1-4, 6, 7, 12-16, 18-20 5, 8-11, 17								
Y A	JP 3-160761 A (富士通株式会社) 10.07.1991 (1991-07-10) 第2頁下左欄第9行-第16行, 第4図(a)	15, 16, 18-20 1-14, 17								
Y A	JP 4-259258 A (日産自動車株式会社) 14.09.1992 (1992-09-14) 段落0006-0007, 0021-0023, 図1,8	15, 16, 18-20 1-14, 17								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 02.08.2022		国際調査報告の発送日 16.08.2022								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516								

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-353446 A (富士電機株式会社) 06.12.2002 (2002 - 12 - 06)	19, 20
A	段落0004, 0016-0018, 図1, 2, 8	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019924

引用文献			公表日	パテントファミリー文献			公表日
US	2007/0145474	A1	28.06.2007	EP	1786031	A1	
US	2014/0291762	A1	02.10.2014	WO	2014/022092	A1	
				CN	104769715	A	
JP	3-160761	A	10.07.1991	(ファミリーなし)			
JP	4-259258	A	14.09.1992	(ファミリーなし)			
JP	2002-353446	A	06.12.2002	(ファミリーなし)			