

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月3日(03.08.2017)



(10) 国際公開番号

WO 2017/130601 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2016/087701
- (22) 国際出願日: 2016年12月19日(19.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-015015 2016年1月29日(29.01.2016) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 諸見里英人(MOROMIZATO, Eito); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 武藤高見(MUTO, Takami); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).

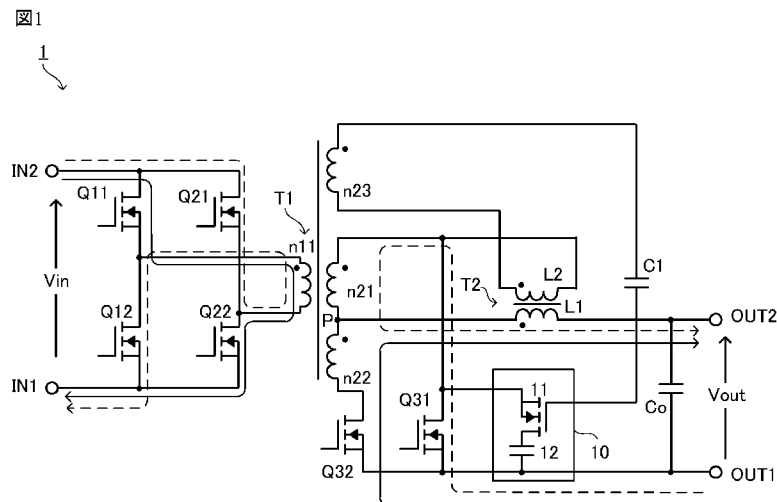
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: A power conversion device (1) has a switching element (Q31) provided with a snubber circuit (10), said switching element (Q31) being connected to one end of a transformer (T1) having a center tap. The snubber circuit (10) is a series circuit of a snubber switch (11) and a capacitor (12). A control circuit for turning on and off the snubber switch (11) is a series circuit of an auxiliary winding (n23) magnetically coupled to the primary winding (n11) of the transformer (T1) and a coil (L2) magnetically coupled to a choke coil (L1) connected to the center tap, and connected between the gate and the source of the snubber switch (11). When the ratio of the numbers of windings of the primary winding (n11), a first winding (n21), and the auxiliary winding (n23) is denoted by $N1:N2:N3$, and the ratio of the numbers of windings of the choke coil (L1) and the coil (L2) is denoted by $N4:N5$, $mn - n1 = 0$ is satisfied, where $m = N5/N4$, $n = N2/N1$, and $n1 = N3/N1$.

(57) 要約:

[続葉有]

WO 2017/130601 A1



電力変換装置（１）は、センタータップを有するトランス（Ｔ１）の一端に接続されたスイッチング素子（Ｑ３１）に、スナバ回路（１０）が設けられる。スナバ回路（１０）はスナバ用スイッチ（１１）とキャパシタ（１２）との直列回路である。スナバ用スイッチ（１１）をオンオフする制御回路は、トランス（Ｔ１）の１次巻線（ｎ１１）と磁気結合する補助巻線（ｎ２３）と、センタータップに接続されたチョークコイル（Ｌ１）と磁気結合するコイル（Ｌ２）との直列回路であり、スナバ用スイッチ（１１）のゲートソース間に接続される。１次巻線（ｎ１１）と、第１巻線（ｎ２１）と、補助巻線（ｎ２３）との巻き数比を、 $N1:N2:N3$ で表し、チョークコイル（Ｌ１）とコイル（Ｌ２）との巻き数比を、 $N4:N5$ で表し、 $m=N5/N4$ 、 $n=N2/N1$ 、 $n1=N3/N1$ とすると、 $mn-n1=0$ を満たす。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、スナバ回路を備えた電力変換装置に関する。

背景技術

[0002] 特許文献1には、スパイク電圧を抑制するスナバ回路が開示されている。特許文献1に記載のスナバ回路は、スイッチングレギュレータのトランスの2次側に設けられたダイオード及びコンデンサの直列回路と、コンデンサの充電電圧を放電するスイッチ素子とを備えている。このスナバ回路は、発生するスパイク電圧をコンデンサに充電し、直後にスイッチ素子をオンすることで、充電電圧を出力電圧の一部として放電する。コンデンサに蓄えられたスパイク電圧をスナバ回路で消費することなく回生することで、電力変換効率は向上する。

[0003] ところで、トランスを用いたスイッチングレギュレータとして、例えばDC-DCコンバータがある。このDC-DCコンバータにおいて、トランスの一次側の回路方式によっては、トランスから出力される電流を全波整流する方式が採用される場合がある。例えば、トランスの一次側に、フルブリッジ、ハーフブリッジ、プッシュプルなどの回路方式を採用した場合等である。また、全波整流方式としては、ブリッジ整流方式や中間タップ方式があるが、求められる特性（例えば導通損失の低減等）によっては、トランスから出力される電流を中間タップ方式によって全波整流する方式が採用される場合がある。なお、中間タップ方式を採用する例としては、特許文献2等があげられる。

先行技術文献

特許文献

[0004] 特許文献1：特開平1-202161号公報

特許文献2：特開昭58-175972号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献 1 に記載のスナバ回路、及び、特許文献 2 に記載の DC-DC コンバータは、電力変換効率の低下を防ぐことができる。しかしながら、特許文献 2 に記載の DC-DC コンバータに、特許文献 1 に記載のスナバ回路を適用させた場合、以下のような課題が発生する。センタータップ方式の整流回路では、2 次側の電圧周期は 1 次側のスイッチング周期の $1/2$ となる。このため、単純に、特許文献 2 に記載の DC-DC コンバータに、特許文献 1 に記載のスナバ回路を適用させてしまうと、保護対象の整流用スイッチのオン期間でもスナバ回路のスイッチ素子がオンする期間が生じてしまい、スナバ回路に過大な電力ストレスがかかってしまう。その結果、スナバ回路が破損したり、過熱を引き起こしたりするおそれがある。

[0006] そこで、本発明の目的は、スナバ回路と、センタータップ方式の整流回路を備えた電力変換装置において、整流用スイッチ素子に接続されたスナバ回路の電力ストレスを抑制した電力変換装置を提供することにある。

課題を解決するための手段

[0007] 本発明に係る電力変換装置は、交流電圧が印加される 1 次巻線と、第 1 端、第 2 端及びセンタータップを備える 2 次巻線とを有するトランスと、前記第 1 端と第 1 出力部との間に接続された第 1 スwitch素子と、前記第 2 端と前記第 1 出力部との間に接続された第 2 スwitch素子と、前記センタータップと第 2 出力部との間に接続されたチョークコイルと、直列接続される第 3 スwitch素子とキャパシタとを有し、前記第 1 スwitch素子又は前記第 2 スwitch素子の少なくとも一方に並列接続されたスナバ回路と、前記第 3 スwitch素子をオンオフする制御回路と、を備え、前記制御回路は、前記トランスの前記 1 次巻線と磁気結合するトランス補助巻線と、前記チョークコイルと磁気結合するコイル結合巻線との直列回路を有し、前記直列回路は、前記第 3 スwitch素子の制御端子と前記 2 次巻線の前記第 1 端との間に接続され、前記 1 次巻線と、前記 2 次巻線のうち、前記センタータップと前記第 1 端

との間の巻線部分、又は前記センタータップと前記第2端との間の巻線部分の一方と、前記トランス補助巻線との巻き数比を、 $N1 : N2 : N3$ で表し、前記チョークコイルと前記コイル結合巻線との巻き数比を、 $N4 : N5$ で表し、 $m = N5 / N4$ 、 $n = N2 / N1$ 、 $n1 = N3 / N1$ とすると、 $mn - n1 = 0$ を満たすことを特徴とする。

[0008] この構成によれば、第3スイッチ素子は保護対象の整流用スイッチ素子である第1スイッチ素子又は第2スイッチ素子のオフ時にのみオンする。そのため、スナバ回路、特に第3スイッチ素子へ過大な電力ストレスがかかるのを抑制できる。そして、第3スイッチ素子の破損を抑えて、スナバ回路により、保護対象の整流用スイッチ素子に発生するスパイク電圧を低減することも可能となる。

[0009] 前記直列回路はさらに第2キャパシタを含み、前記電力変換装置は、前記第3スイッチ素子の前記制御端子と前記2次巻線の前記第1端との間に接続された抵抗素子を、さらに備え、前記第2キャパシタと前記抵抗素子とで微分回路が形成されてもよい。

[0010] この構成では、微分回路により、第3スイッチ素子のオン期間を調整できる。これにより、スナバ回路を設ける第1スイッチ素子又は第2スイッチ素子のオン期間に、第3スイッチ素子がオンすることを防止できる。その結果、第1スイッチ素子又は第2スイッチ素子のオン期間でのキャパシタからの放電電流を防止できる。

[0011] 前記電力変換装置は、カソードが前記第3スイッチ素子の前記制御端子に接続され、アノードが前記第3スイッチ素子の基準電位端子に接続されたダイオード、を備えていてもよい。

[0012] この構成では、第3スイッチ素子の制御端子に、過大な逆電圧が印加されることを防止できる。

[0013] 前記電力変換装置は、前記第3スイッチ素子の制御端子と基準電位端子との間に接続された第4スイッチ素子と、前記第3スイッチ素子のオン時に、設定された時定数で前記第4スイッチ素子のオンする時定数回路とを備え、

前記第４スイッチ素子がオンすることにより、前記第３スイッチ素子がオフする構成でもよい。

[0014] この構成では、第４スイッチ素子をオンすることで、第３スイッチ素子の制御端子の電荷を抜き、第３スイッチ素子をより高速にオフできる。その結果、スナバ回路を設ける第１スイッチ素子又は第２スイッチ素子のオン期間に第３スイッチ素子がオンすることによるキャパシタからの放電電流を防止できる。

発明の効果

[0015] 本発明によれば、センタータップ方式のトランスを用いても、スナバ回路へ過大な電力ストレスがかかるのを抑制できる。その結果、スナバ回路が破損したり、過熱を引き起こしたりすることを抑制できる。

図面の簡単な説明

[0016] [図１]図１は、実施形態１に係る電力変換装置の回路図である。

[図２]図２は、コイルの両端電圧、補助巻線の両端電圧、及びこれらの合計電圧の波形を示す図である。

[図３]図３は、補助巻線の両端電圧、キャパシタの充電電圧、スイッチング素子のドレイン－ソース間電圧、及びスナバ用スイッチのゲート電圧の波形を示す図である。

[図４]図４は、実施形態２に係る電力変換装置の回路図である。

[図５]図５は、スナバ用スイッチのゲート電圧、キャパシタの充電電圧、スイッチング素子のドレイン－ソース間電圧、合計電圧及び補助巻線の両端電圧の波形を示す図である。

[図６]図６は、実施形態３に係る電力変換装置の回路図である。

[図７]図７は、補助巻線の両端電圧、キャパシタの充電電圧、及びスナバ用スイッチのゲート電圧の波形を示す図である。

[図８]図８（Ａ）及び図８（Ｂ）は、放電回路を示す図である。

[図９]図９（Ａ）及び図９（Ｂ）は、放電回路を示す図である。

[図１０]図１０は、補助巻線の両端電圧、キャパシタの充電電圧、及びスナバ

用スイッチのゲート電圧の波形を示す図である。

[図11]図 11 は、実施形態 5 に係る電力変換装置の回路図である。

発明を実施するための形態

[0017] (実施形態 1)

図 1 は、実施形態 1 に係る電力変換装置 1 の回路図である。電力変換装置 1 は、センタータップ方式の整流回路を備えた DC-DC コンバータである。電力変換装置 1 は、直流電圧 V_{in} を入力する入力部 $IN1$ 、 $IN2$ と、直流電圧 V_{out} を出力する出力部 $OUT1$ 、 $OUT2$ とを備えている。出力部 $OUT1$ は本発明に係る「第 1 出力部」に相当し、出力部 $OUT2$ は本発明に係る「第 2 出力部」に相当する。

[0018] 入力部 $IN1$ 、 $IN2$ にはスイッチング回路が接続されている。スイッチング回路は、スイッチング素子 $Q11$ 、 $Q12$ の直列回路と、スイッチング素子 $Q21$ 、 $Q22$ の直列回路とが並列接続されて構成されている。このスイッチング回路は不図示のドライバによりスイッチング制御され、スイッチング素子 $Q11$ 、 $Q22$ と、スイッチング素子 $Q12$ 、 $Q21$ とが交互にオンオフされる。図 1 では、スイッチング素子 $Q11$ 、 $Q12$ 、 $Q21$ 、 $Q22$ は MOSFET としているが、IGBT 等、他の構造の素子であってもよい。

[0019] スwitchング素子 $Q11$ 、 $Q12$ の接続点と、スイッチング素子 $Q21$ 、 $Q22$ の接続点との間には、トランス $T1$ の 1 次巻線 $n11$ が接続されている。トランス $T1$ の 2 次巻線は、第 1 巻線 $n21$ と第 2 巻線 $n22$ とが直列接続されて構成されている。第 1 巻線 $n21$ と第 2 巻線 $n22$ との接続点 P は、2 次巻線のセンタータップである。

[0020] 接続点 P はチョークコイル $L1$ を介して出力部 $OUT2$ に接続されている。チョークコイル $L1$ は、トランス $T2$ の 1 次巻線である。接続点 P と反対側の第 1 巻線 $n21$ の一端（本発明の「第 1 端」に相当）は、スイッチング素子 $Q31$ を介して、出力部 $OUT1$ に接続されている。接続点 P と反対側の第 2 巻線 $n22$ の一端（本発明の「第 2 端」に相当）は、スイッチング素

子Q 3 2を介して、出力部O U T 1に接続されている。出力部O U T 1，O U T 2間には、平滑コンデンサC oが接続されている。

[0021] スイッチング素子Q 3 1，Q 3 2はM O S F E Tである。スイッチング素子Q 3 1は、スイッチング素子Q 1 2、Q 2 1のオンオフに同期して、オンオフされる。スイッチング素子Q 3 2は、スイッチング素子Q 1 1、Q 2 2のオンオフに同期して、オンオフされる。スイッチング素子Q 3 1は、本発明に係る「第1スイッチ素子」に相当する。スイッチング素子Q 3 2は、本発明に係る「第2スイッチ素子」に相当する。

[0022] スイッチング素子Q 1 1，Q 2 2，Q 3 2がオン、スイッチング素子Q 1 2，Q 2 1，Q 3 1がオフの場合（以下、この状態を第1の状態という）、電力変換装置1には、図1に示す実線矢印の経路で電流が流れる。また、スイッチング素子Q 1 1，Q 2 2，Q 3 2がオフ、スイッチング素子Q 1 2，Q 2 1，Q 3 1がオンの場合（以下、この状態を第2の状態という）、電力変換装置1には、図1に示す破線矢印の経路で電流が流れる。

[0023] スイッチング素子Q 3 1にはスナバ回路1 0が並列接続されている。スナバ回路1 0は、スイッチング素子Q 3 1のオフ時に生じるスパイク電圧を吸収し、スイッチング素子Q 3 1及び周囲部品を保護する保護回路である。スナバ回路1 0はスナバ用スイッチ1 1とキャパシタ1 2との直列回路である。

[0024] スナバ用スイッチ1 1はM O S F E Tであり、スナバ用スイッチ1 1のソースはスイッチング素子Q 3 1のドレインに接続され、スナバ用スイッチ1 1のドレインは、キャパシタ1 2を介してスイッチング素子Q 3 1のソースに接続されている。スナバ用スイッチ1 1は、本発明に係る「第3スイッチ素子」に相当する。

[0025] スナバ用スイッチ1 1のゲート（制御端子）には、後述の制御回路が接続され、その制御回路によりオンオフされる。スナバ用スイッチ1 1は、スイッチング素子Q 3 1のオフ期間にオンとなり、スイッチング素子Q 3 1のオン期間にオフとなる。スイッチング素子Q 3 1がオフされると、スイッチン

グ素子Q 3 1の両端電圧が急上昇する。すなわち、スパイク電圧が生じる。このとき、スナバ用スイッチ1 1がオンされることで、そのスパイク電圧はキャパシタ1 2に吸収（充電）される。これにより、スパイク電圧によるスイッチング素子Q 3 1及びその周囲部品の破損を防止できる。

[0026] 制御回路は、コイルL 2及び補助巻線n 2 3の直列回路である。この直列回路は、スナバ用スイッチ1 1のゲートソース間に接続されている。本実施形態における制御回路が、本発明に係る「制御回路」に相当する。なお、キャパシタC 1は、スナバ用スイッチ1 1のゲートソース間の電圧調整用のキャパシタである。

[0027] コイルL 2はトランスT 2の2次巻線であり、1次巻線のチョークコイルL 1と磁気結合する。第1の状態と第2の状態の何れの場合でも、チョークコイルL 1に流れる電流は同方向である。このため、チョークコイルL 1と磁気結合するコイルL 2に誘起される電圧の極性は同じである。コイルL 2は、本発明に係る「コイル結合巻線」に相当する。

[0028] 制御回路の補助巻線n 2 3は、トランスT 1の1次巻線n 1 1と磁気結合する。1次巻線n 1 1には、スイッチング回路のスイッチングにより交流電圧が印加される。このため、補助巻線n 2 3に誘起される電圧の極性は交互に反転する。第1の状態の場合、補助巻線n 2 3に誘起される電圧の極性は、コイルL 2に誘起される電圧の極性と同一である。第2の状態の場合、補助巻線n 2 3に誘起される電圧の極性は、コイルL 2に誘起される電圧の極性と反対である。補助巻線n 2 3は、本発明に係る「トランス補助巻線」に相当する。

[0029] 制御回路は、コイルL 2に誘起される電圧V 1と、補助巻線n 2 3に誘起される電圧V 2との合計電圧（ $V 1 + V 2$ ）を出力する。この合計電圧（ $V 1 + V 2$ ）は、スナバ用スイッチ1 1のゲートに印加される。

[0030] 制御回路から出力される合計電圧（ $V 1 + V 2$ ）は、スイッチング素子Q 3 1がオフのときにスナバ用スイッチ1 1をオンし、スイッチング素子Q 3 1がオンのときにスナバ用スイッチ1 1をオフする矩形波状となるよう、電

力変換装置 1 の各素子は定数設定されている。

[0031] ここで、1 次巻線 n_{11} 、第 1 巻線 n_{21} 、補助巻線 n_{23} の巻き数比を $N_1 : N_2 : N_3$ で表し、チョークコイル L_1 とコイル L_2 との巻き数比を、 $N_4 : N_5$ で表す。また、 $m = N_5 / N_4$ 、 $n = N_2 / N_1$ 、 $n_1 = N_3 / N_1$ とする。この場合において、 $mn - n_1 = 0$ の条件を満たすと、スナバ用スイッチ 11 は、スイッチング素子 Q_{31} がオンのときオフされ、スイッチング素子 Q_{31} がオフのときオンされる。以下、その理由について説明する。

[0032] 図 2 は、コイル L_2 の両端電圧 V_1 、補助巻線 n_{23} の両端電圧 V_2 、及びこれらの合計電圧 ($V_1 + V_2$) の波形を示す図である。

[0033] チョークコイル L_1 の両端電圧を V_{L1} で表すと、 $V_{L1} = n * V_{in} - V_{out}$ である。このチョークコイル L_1 と磁気結合するコイル L_2 の両端電圧 V_1 は、 $V_1 = m * V_{L1} = m (n * V_{in} - V_{out})$ である。トランス T_1 の 1 次側のスイッチング回路のスイッチング周期を T で表すと、 V_1 の繰り返し周期は $T/2$ となる。また、補助巻線 n_{23} の両端電圧 V_2 は、 $V_2 = n_1 * V_{in}$ である。 V_2 の繰り返し周期は、スイッチング周期 T である。

[0034] 合計電圧 ($V_1 + V_2$) は、以下の式 (1) で表せられる。

$$\begin{aligned}
 [0035] \quad V_1 + V_2 &= m (n * V_{in} - V_{out}) + (-n_1 * V_{in}) \\
 &= (mn - n_1) V_{in} - m * V_{out} \quad \cdots \quad (1)
 \end{aligned}$$

図 2 に示す期間 (A)、(C) では、 $V_2 = 0$ である。すなわち、 $V_{in} = 0$ である。この場合、 $V_1 = -m * V_{out}$ である。そして、式 (1) より、 $V_1 + V_2 = -m * V_{out}$ である。

[0036] 図 2 の期間 (B) において、合計電圧 ($V_1 + V_2$) が、期間 (A)、(C) での合計電圧 ($V_1 + V_2$) と同電位となることで、合計電圧 ($V_1 + V_2$) は、スイッチング周期 T のパルス状の電圧となる。式 (1) において、上述の通り本発明では $mn - n_1 = 0$ としているため、 $V_1 + V_2 = -m * V_{out}$ である。すなわち、期間 (A)、(B)、(C) での合計電圧 ($V_1 + V_2$) は何れも $-m * V_{out}$ であり、同電位となる。この合計電圧 ($V_1 + V_2$)

2) がスナバ用スイッチ 11 のゲートに印加されることで、スナバ用スイッチ 11 は周期 T でオンオフされる。

[0037] ここで、仮に図 1 の補助巻線 $n23$ が設けられていないとする。この場合、制御回路から出力される電圧は、コイル $L2$ の両端電圧 $V1$ のみである。スナバ用スイッチ 11 のゲートには電圧 $V1$ が印加される。電圧 $V1$ の周期は $T/2$ であるため、スナバ用スイッチ 11 は、 $T/2$ の周期でオンオフされる。スイッチング素子 $Q31$ の周期は T であるため、スイッチング素子 $Q31$ がオンのときに、スナバ用スイッチ 11 がオンするタイミングが生じる。この場合、キャパシタ 12 の電荷がスイッチング素子 $Q31$ を介して放電し、スナバ用スイッチ 11 及びキャパシタ 12 に電力ストレスがかかる。

[0038] 本実施形態は、補助巻線 $n23$ を設ける等、上記の構成とすることで、スナバ回路 10、特に、スナバ用スイッチ 11 にかかる電力ストレスを抑え、スナバ回路 10 の破損、過熱を防止できる。

[0039] なお、本発明において、「 $m n - n 1 = 0$ 」としているが、例えば、製造誤差や部品ばらつきに起因する誤差、ばらつき等を有している場合には、 $m n - n 1$ が完全にゼロとなるわけではなく、その場合には、 $m n - n 1 \div 0$ であればよい。すなわち、実質的に「 $m n - n 1 = 0$ 」を満たしていればよい。

[0040] 図 3 は、補助巻線 $n23$ の両端電圧 $V2$ 、キャパシタ 12 の充電電圧 $V12$ 、スイッチング素子 $Q31$ のドレインソース間電圧 V_{ds} 、及びスナバ用スイッチ 11 のゲート電圧 V_{gs} の波形を示す図である。図 3 に示す期間 (A)、(B)、(C) は、図 2 に示す期間 (A)、(B)、(C) と同じである。

[0041] 図 3 に示すように、スイッチング素子 $Q31$ のオフのタイミングで、スナバ用スイッチ 11 にはゲート電圧 V_{gs} が印加され、キャパシタ 12 にはスパイク電圧が充電される。そして、スイッチング素子 $Q31$ のターンオン時にスナバ用スイッチ 11 がターンオフされることで、キャパシタ 12 の電荷の抜け（放電）を低減できる。なお、本実施形態においては、スイッチング素

子Q 3 1のターンオンとスナバ用スイッチ1 1のターンオフには多少の遅延が発生するため、図3に示すキャパシタ1 2の充電電圧 V_{12} は低下している。

[0042] このように、本実施形態では、スナバ用スイッチ1 1のオンオフ周期を、トランスT 1の1次側のスイッチング周期と同じにすることで、スナバ用スイッチ1 1の破損を防止できる。

[0043] (実施形態2)

図4は、実施形態2に係る電力変換装置2の回路図である。この例では、電力変換装置2は、微分回路を備えている点で、実施形態1と相違する。

[0044] スナバ用スイッチ1 1のゲートソース間に、抵抗 R_1 が接続されている。抵抗 R_1 と、キャパシタ C_1 とで微分回路が構成されている。この微分回路は、スナバ用スイッチ1 1に印加されるパルス状のゲート電圧を変化させて、スナバ用スイッチ1 1のオン期間を調整する。微分回路は、スナバ用スイッチ1 1のオン期間がスイッチング素子Q 3 1のオフ期間よりも短くなるよう、定数設定されている。

[0045] 図5は、スナバ用スイッチ1 1のゲート電圧 V_{gs} 、キャパシタ1 2の充電電圧 V_{12} 、スイッチング素子Q 3 1のドレインソース間電圧 V_{ds} 、合計電圧($V_1 + V_2$)及び補助巻線 n_{23} の両端電圧 V_2 の波形を示す図である。

[0046] スナバ用スイッチ1 1の制御端子(ゲート)の入力側に微分回路を設けることで、スナバ用スイッチ1 1に印加されるゲート電圧 V_{gs} の波形は、立ち上がった後、徐々に低くなる。このため、パルス状のゲート電圧 V_{gs} が印加される場合と比べて、スナバ用スイッチ1 1のオン期間は短い。この結果、スナバ用スイッチ1 1のオン期間は、スイッチング素子Q 3 1のオフ期間よりも短くなる。これにより、スイッチング素子Q 3 1のオン期間にスナバ用スイッチ1 1がオンして、キャパシタ1 2の充電電圧が放電されるといった期間が生じることを確実に防止できる。そのため、図5に示すように、キャパシタ1 2の充電電圧 V_{12} は略一定である。

[0047] このように、本実施形態では、キャパシタ 12 が放電して大電流が流れることを防止して、スナバ回路 10 を適切に保護できる。

[0048] (実施形態 3)

図 6 は、実施形態 3 に係る電力変換装置 3 の回路図である。

[0049] この例では、実施形態 2 に係る電力変換装置 2 の抵抗 R_1 に、ダイオード D_1 を並列接続している点で、実施形態 2 と相違する。ダイオード D_1 のアノードはスナバ用スイッチ 11 のソース（基準電位端子）に接続され、カソードはスナバ用スイッチ 11 のゲートに接続されている。

[0050] 実施形態 2 の図 5 に示すように、微分回路を設けることでゲート電圧 V_{gs} は、負電圧となるタイミングがある。MOSFET であるスナバ用スイッチ 11 に、負のゲート電圧が印加されると、ドレイン－ソース間の耐圧（ドレイン－ソース間に印加できる最大電圧）が低下する。本実施形態では、ダイオード D_1 を設けることで、負のゲート電圧 V_{gs} は、ダイオード D_1 の順方向電圧以下に抑えられる。

[0051] 図 7 は、補助巻線 n_{23} の両端電圧 V_2 、キャパシタ 12 の充電電圧 V_1 2、及びスナバ用スイッチ 11 のゲート電圧 V_{gs} の波形を示す図である。

[0052] 図 5 に示したゲート電圧 V_{gs} は、正負の絶対値がほぼ同じであった。これに対し、本実施形態では、負のゲート電圧 V_{gs} の絶対値は、正のゲート電圧 V_{gs} よりも低く、負のゲート電圧 V_{gs} は、ほぼ順方向電圧 ($-V_f$) までしか低下しない。

[0053] このように、スナバ用スイッチ 11 のゲート－ソース間にダイオード D_1 を設けることで、過大な負のゲート電圧がスナバ用スイッチ 11 に印加されることを防止できる。

[0054] (実施形態 4)

本実施形態では、スナバ用スイッチ 11 のゲート電荷を放電し、スナバ用スイッチ 11 をより高速にオフする放電回路を設けた点で、実施形態 3 と相違する。

[0055] 図 8 (A)、図 8 (B)、図 9 (A) 及び図 9 (B) は、放電回路を示す

図である。

[0056] 図8 (A) に示す放電回路は、抵抗R 2、キャパシタC 2、スイッチング素子Q 4を備えている。スイッチング素子Q 4は、MOSFETであり、ドレインがスナバ用スイッチ1 1のゲートに接続され、ソースがスナバ用スイッチ1 1のソースに接続されている。抵抗R 1とキャパシタC 2との回路は時定数回路であり、その接続点は、スイッチング素子Q 4のゲートに接続されている。抵抗R 2は、キャパシタC 2の放電用抵抗である。スイッチング素子Q 4は、本発明に係る「第4スイッチ素子」に相当する。

[0057] 図8 (B) に示す放電回路は、抵抗R 2とキャパシタC 2との直列回路、スイッチング素子Q 5、及びダイオードD 2を備えている。スイッチング素子Q 5はトランジスタであり、コレクタがスナバ用スイッチ1 1のゲートに接続され、エミッタがスナバ用スイッチ1 1のソースに接続されている。ダイオードD 2は、スイッチング素子Q 5のコレクターエミッタ間に接続されている。抵抗R 2とキャパシタC 2との直列回路は時定数回路であって、スナバ用スイッチ1 1のゲートーソース間に接続されている。また、抵抗R 2とキャパシタC 2との接続点はスイッチング素子Q 5のベースに接続されている。スイッチング素子Q 5は、本発明に係る「第4スイッチ素子」に相当する。

[0058] 図9 (A) に示す放電回路は、抵抗R 2とキャパシタC 2との直列回路、スイッチング素子Q 5、ダイオードD 2及び抵抗R 4を備えている。抵抗R 4は、スイッチング素子Q 5のエミッタとスナバ用スイッチ1 1のソースとの間に接続されている。

[0059] 図9 (B) に示す放電回路は、抵抗R 5、スイッチング素子Q 5及びダイオードD 2を備えている。抵抗R 5は、スナバ用スイッチ1 1のゲートと、スイッチング素子Q 5のベースとの間に接続されている。

[0060] 図8 (A) に示す放電回路のスイッチング素子Q 4はボディーダイオードを有し、図8 (B)、図9 (A)、(B) に示すスイッチング素子Q 5にはダイオードD 2が接続されている。これらボディーダイオード及びダイオード

ドD 2は、実施形態3で説明したダイオードD 1（図6参照）と同様に機能し、スナバ用スイッチ1 1に負のゲート電圧が印加されることを防止できる。

[0061] また、スイッチング素子Q 4、Q 5を設け、スイッチング素子Q 4、Q 5をオンする時間を時定数回路で短くすることで、スナバ用スイッチ1 1のゲート電荷を引き抜く時間を短くできる。すなわち、ゲート電圧 V_{gs} を実施形態3の場合よりも高速に低下させて、スナバ用スイッチ1 1をオフできる。

[0062] 図1 0は、補助巻線n 2 3の両端電圧V 2、キャパシタ1 2の充電電圧V 1 2、及びスナバ用スイッチ1 1のゲート電圧 V_{gs} の波形を示す図である。前記のように、ゲート電圧 V_{gs} を高速に低下させることができるため、実施形態3の場合よりも、高速にスナバ用スイッチ1 1はオフされる。

[0063] （実施形態5）

図1 1は、実施形態5に係る電力変換装置5の回路図である。この例では、スイッチング素子Q 3 2にもスナバ回路2 0が設けられている点で、実施形態1と相違する。この例では、トランスT 2に変えて、チョークコイルL 1と、コイルL 2、L 3とが磁気結合するトランスT 3を設けている。

[0064] スナバ回路2 0はスナバ用スイッチ2 1とキャパシタ2 2との直列回路である。スナバ用スイッチ2 1はMOSFETであり、本発明に係る「第3スイッチ素子」に相当する。スナバ用スイッチ2 1のゲートには、後述の制御回路が接続され、その制御回路によりオンオフされる。スナバ用スイッチ2 1は、スイッチング素子Q 3 2のオフ時にオンされ、スイッチング素子Q 3 2のオン時にオフされる。

[0065] 制御回路は、コイルL 3及び補助巻線n 2 4が順に直列接続された直列回路である。この直列回路は、コイルL 3側がトランスT 1の第2巻線n 2 2の一端側に接続され、キャパシタC 3側がスナバ用スイッチ2 1のゲートに接続されている。なお、キャパシタC 3は、スナバ用スイッチ2 1のゲートソース間の電圧調整用のキャパシタである。

[0066] コイルL 3はチョークコイルL 1と磁気結合する。コイルL 3は、本発明

に係る「コイル結合巻線」に相当する。制御回路の補助巻線 $n24$ は、トランス $T1$ の 1 次巻線 $n11$ と磁気結合する。補助巻線 $n24$ は、補助巻線 $n23$ と巻線方向が反対である。補助巻線 $n23$ は、本発明に係る「トランス補助巻線」に相当する。

[0067] 本実施形態においては、チョークコイル $L1$ は、その巻き始め側（図中ではチョークコイル $L1$ の黒丸がある側）が、センタータップ（接続点 P ）に接続されている。コイル $L2$ は、その巻き始め側（図中ではコイル $L2$ の黒丸がある側）が補助巻線 $n23$ と接続され、巻き終わり側がスナバ用スイッチ 11 のソース側に接続されている。また、コイル $L3$ は、その巻き始め側（図中ではコイル $L3$ の黒丸がある側）が補助巻線 $n24$ と接続され、巻き終わり側がスナバ用スイッチ 21 のソース側に接続されている。なお、チョークコイル $L1$ の巻き始め側が出力部 $OUT2$ に接続されている場合は、コイル $L2$ 、 $L3$ の巻き終わり側が補助巻線 $n23$ 、 $n24$ に接続されるようにし、コイル $L2$ 、 $L3$ の巻き始め側は、スナバ用スイッチ 11 、 21 のソース側に接続されるようにすればよい。

[0068] スナバ回路 20 のスナバ用スイッチ 21 をスイッチング制御する制御回路は、実施形態 1 で説明した、スナバ回路 10 用の制御回路と同じであるため、説明は省略する。

[0069] スナバ回路 20 を設けることで、スイッチング素子 $Q32$ のオフ時に生じるスパイク電圧をキャパシタ 22 により吸収し、スイッチング素子 $Q32$ 及びその周囲部品の損傷を防ぐことができる。また、補助巻線 $n24$ を設ける等、上述の構成を採用することで、スナバ用スイッチ 21 にかかる電力ストレスを抑え、スナバ用スイッチ 21 の破損を防ぐことができる。

[0070] このように、スイッチング素子 $Q31$ 、 $Q32$ の両方にスナバ回路 10 、 20 を設けることで、スイッチング素子 $Q31$ 、 $Q32$ それぞれのオフ時に生じるスパイク電圧を吸収できる。また、上述の通り、スイッチング素子 $Q31$ 、 $Q32$ 及びその周辺回路を適切に保護できる。

[0071] なお、スナバ回路及びそれに対応する制御回路は、スイッチング素子 $Q3$

2 に対してのみ設けるようにしてもよい。また、実施形態 5 の電力変換装置 5 に、実施形態 2 ～ 4 の構成を組み合わせるようにしてもよい。その他、各実施形態の構成を適宜任意に組み合わせてもよい。

符号の説明

- [0072] C 1, C 2, C 3…キャパシタ
C o…平滑コンデンサ
D 1, D 2…ダイオード
I N 1, I N 2…入力部
L 1…チョークコイル
L 2, L 3…コイル
n 1 1…1 次巻線
n 2 1…第 1 巻線
n 2 2…第 2 巻線
n 2 3, n 2 4…補助巻線
O U T 1, O U T 2…出力部
P…接続点（センタータップ）
Q 1 1, Q 1 2, Q 2 1, Q 2 2…スイッチング素子
Q 3 1, Q 3 2…スイッチング素子
Q 4, Q 5…スイッチング素子
R 1, R 2, R 4, R 5…抵抗
T 1, T 2, T 3…トランス
1, 2, 3, 5…電力変換装置
1 0, 2 0…スナバ回路
1 1, 2 1…スナバ用スイッチ
1 2, 2 2…キャパシタ

請求の範囲

- [請求項1] 交流電圧が印加される1次巻線と、第1端、第2端及びセンタータップを備える2次巻線とを有するトランスと、
- 前記第1端と第1出力部との間に接続された第1スイッチ素子と、
- 前記第2端と前記第1出力部との間に接続された第2スイッチ素子と、
- 前記センタータップと第2出力部との間に接続されたチョークコイルと、
- 直列接続された第3スイッチ素子と第1キャパシタとを有し、前記第1スイッチ素子又は前記第2スイッチ素子の少なくとも一方に並列接続されたスナバ回路と、
- 前記第3スイッチ素子をオンオフする制御回路と、
- を備え、
- 前記制御回路は、前記トランスの前記1次巻線と磁気結合するトランス補助巻線と、前記チョークコイルと磁気結合するコイル結合巻線との直列回路を有し、
- 前記直列回路は、前記第3スイッチ素子の制御端子と前記2次巻線の前記第1端との間に接続され、
- 前記1次巻線と、前記2次巻線のうち、前記センタータップと前記第1端との間の巻線部分、又は前記センタータップと前記第2端との間の巻線部分の一方と、前記トランス補助巻線との巻き数比を、 $N1 : N2 : N3$ で表し、前記チョークコイルと前記コイル結合巻線との巻き数比を、 $N4 : N5$ で表し、 $m = N5 / N4$ 、 $n = N2 / N1$ 、 $n1 = N3 / N1$ とすると、
- $mn - n1 = 0$ を満たす、
- 電力変換装置。
- [請求項2] 前記直列回路はさらに第2キャパシタを含み、
- 前記第3スイッチ素子の前記制御端子と前記2次巻線の前記第1端

との間に接続された抵抗素子を、さらに備え、

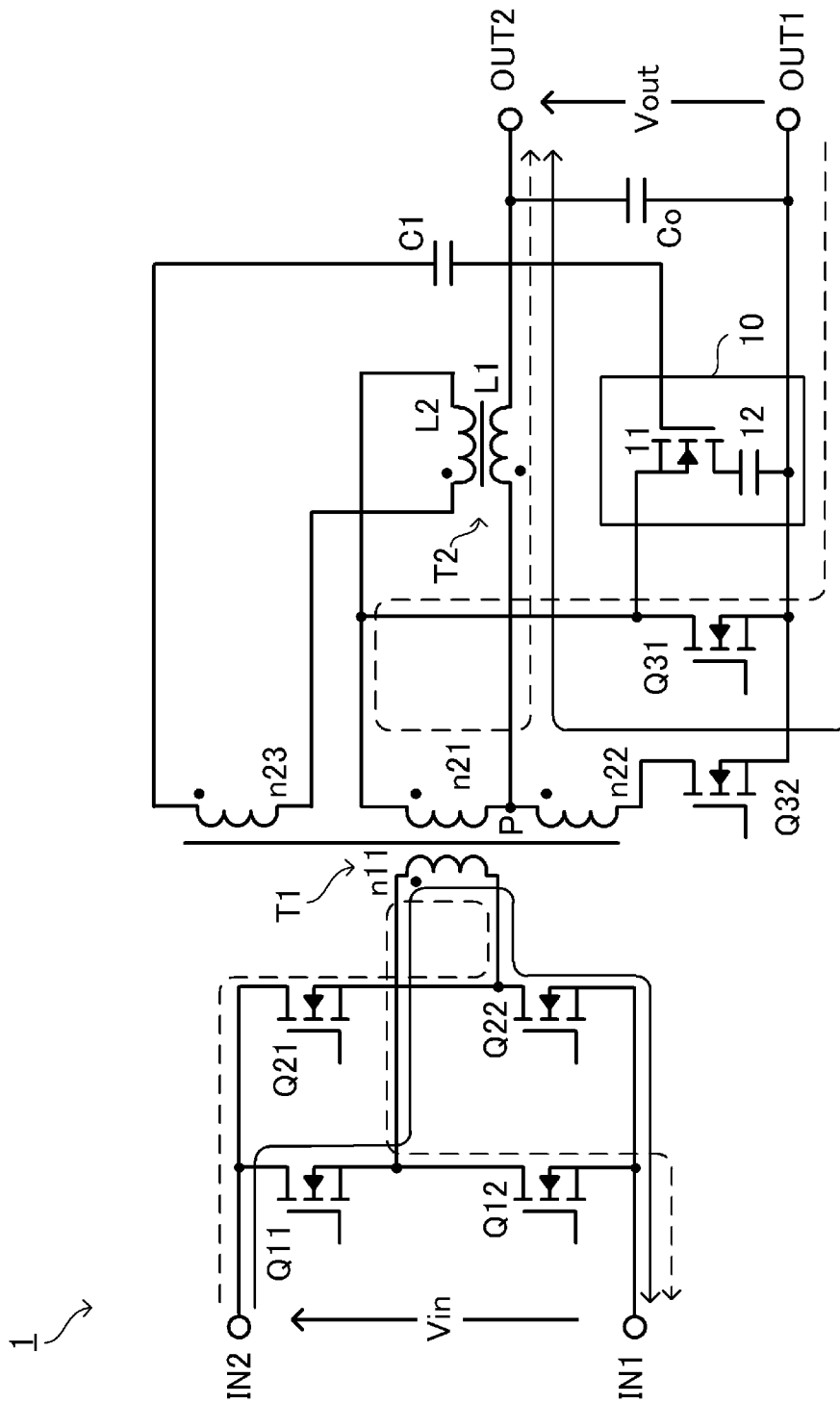
前記第 2 キャパシタと前記抵抗素子とで微分回路が形成された、
請求項 1 に記載の電力変換装置。

[請求項 3] カソードが前記第 3 スイッチ素子の前記制御端子に接続され、アノードが前記第 3 スイッチ素子の基準電位端子に接続されたダイオード、
を備える請求項 1 又は 2 に記載の電力変換装置。

[請求項 4] 前記第 3 スイッチ素子の制御端子と基準電位端子との間に接続された第 4 スイッチ素子と、
前記第 3 スイッチ素子のオン時に、設定された時定数で前記第 4 スイッチ素子をオンする時定数回路と、
を備え、
前記第 4 スイッチ素子がオンすることにより、前記第 3 スイッチ素子がオフする、
請求項 1 から 3 の何れかに記載の電力変換装置。

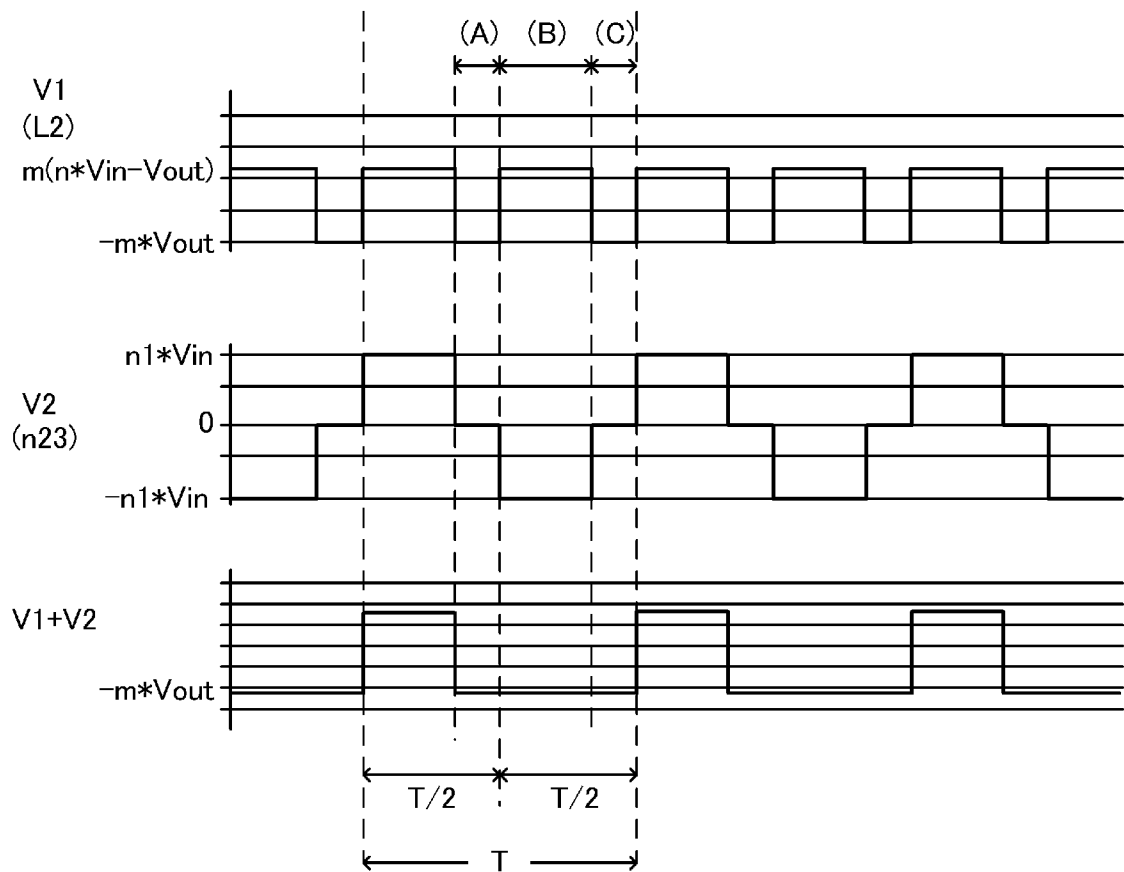
[図1]

図 1



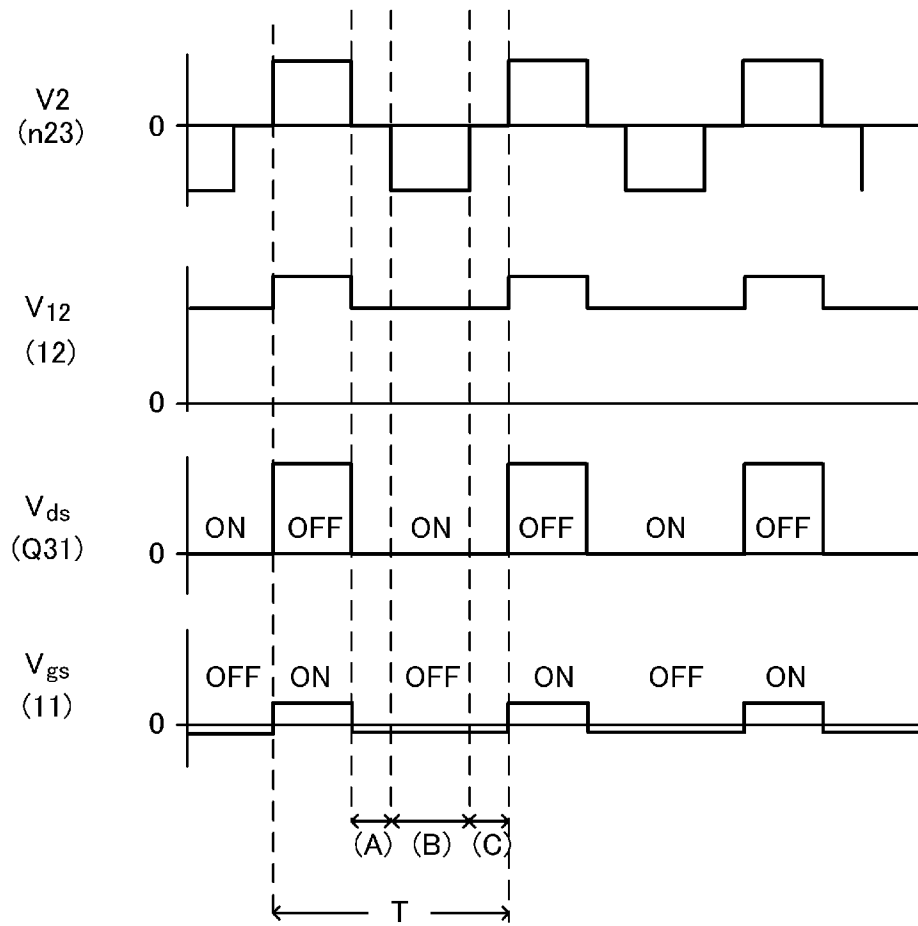
[図2]

図2



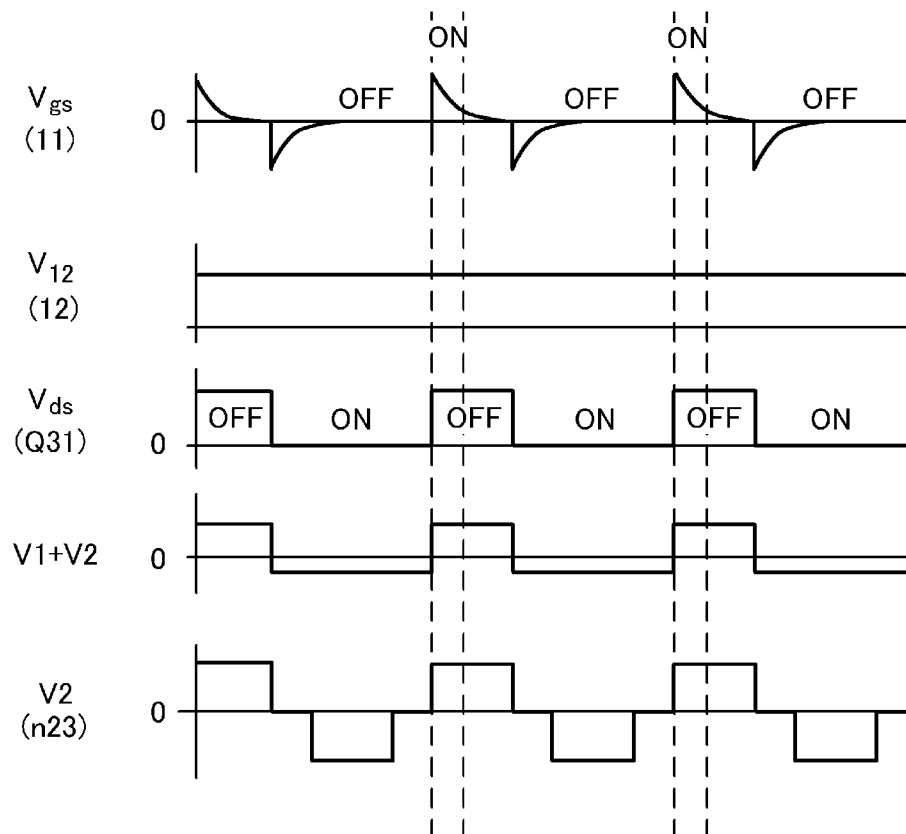
[図3]

図3



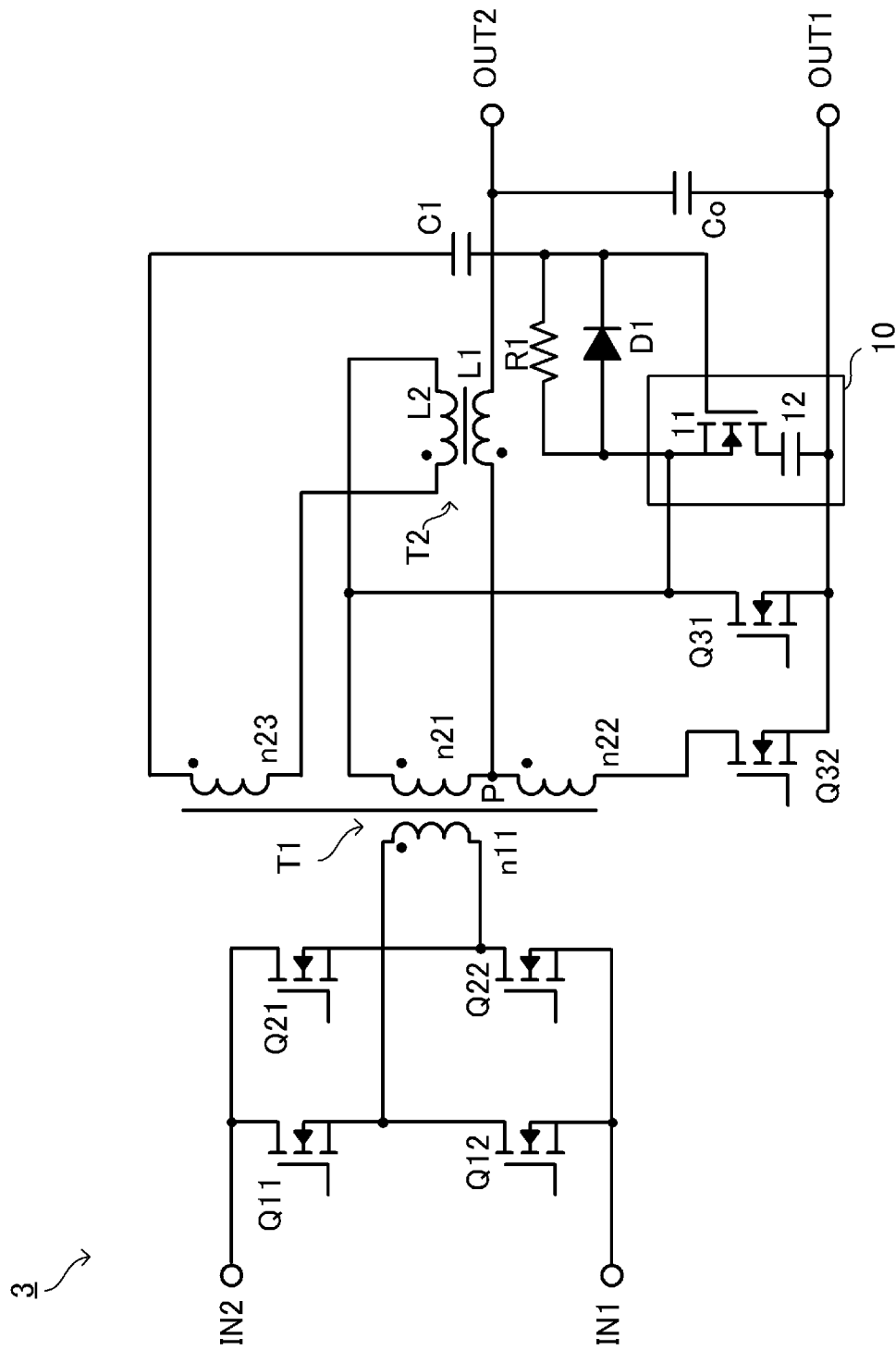
[図5]

図5



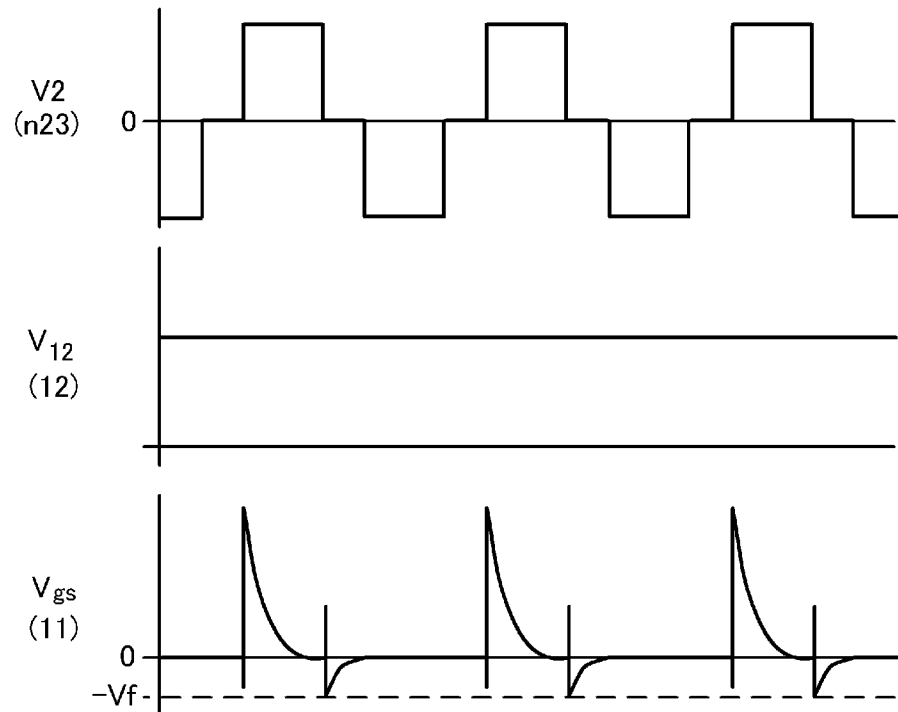
[図6]

図6



[図7]

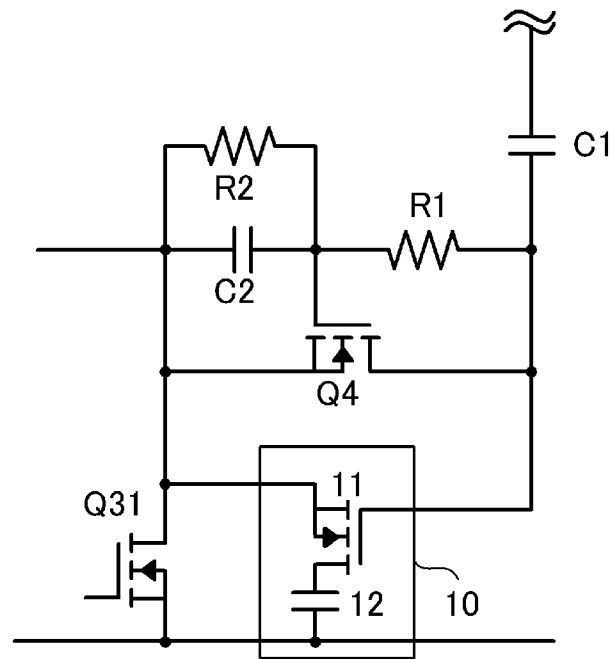
図7



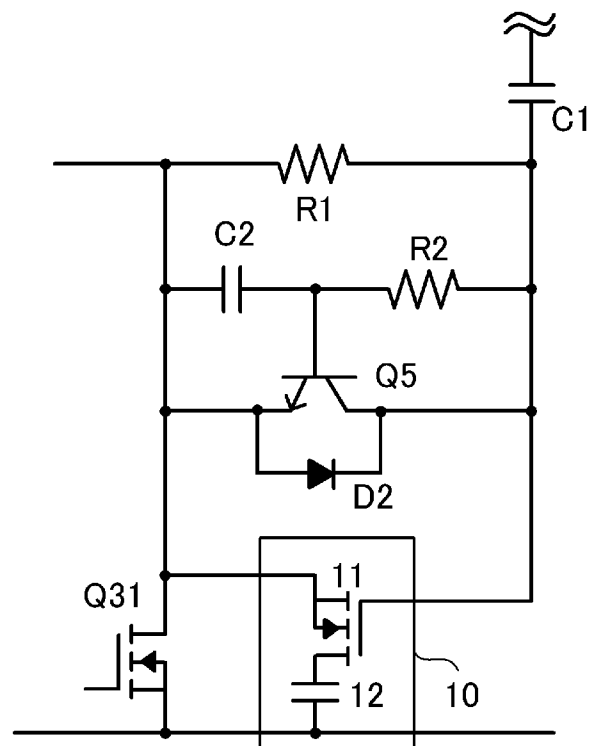
[図8]

図8

(A)



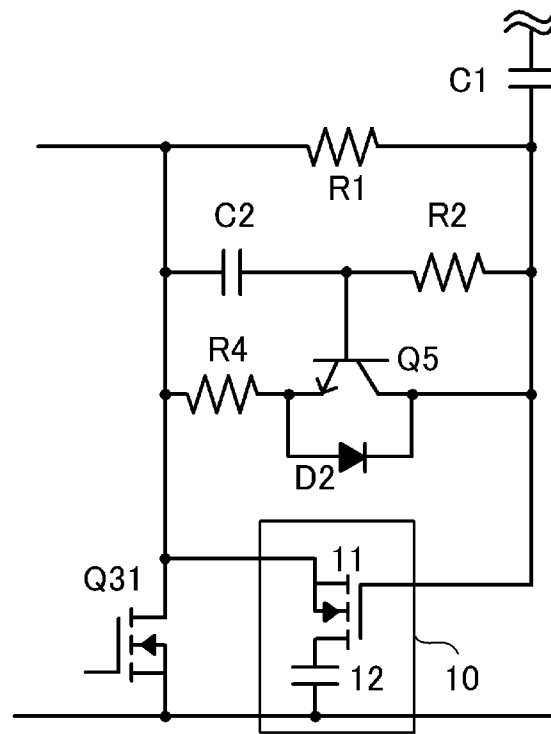
(B)



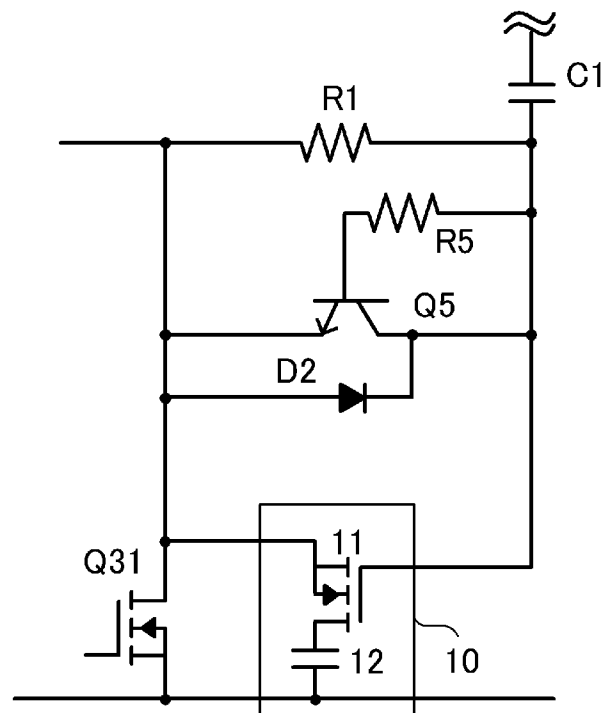
[図9]

図9

(A)

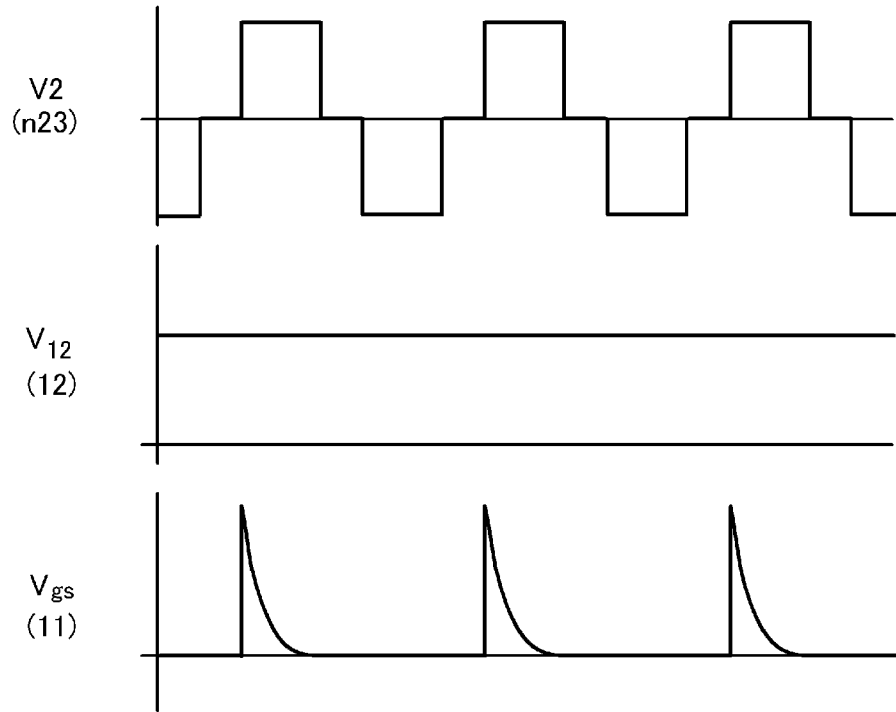


(B)



[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087701

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-158343 A (Hitachi Automotive Systems, Ltd.), 28 August 2014 (28.08.2014), entire text; all drawings & US 2015/0372606 A1 entire text; all drawings & WO 2014/125936 A1	1-4
A	JP 1-202161 A (Fanuc Ltd.), 15 August 1989 (15.08.1989), entire text; all drawings (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 January 2017 (31.01.17)

Date of mailing of the international search report
07 February 2017 (07.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/021819 A1 (Murata Mfg. Co., Ltd.), 14 February 2013 (14.02.2013), entire text; all drawings & US 2014/0133188 A1 entire text; all drawings & JP 5761351 B2 & CN 103703662 A	1-4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-158343 A（日立オートモティブシステムズ株式会社） 2014.08.28, 全文, 全図 & US 2015/0372606 A1, 全文, 全図 & WO 2014/125936 A1	1-4
A	JP 1-202161 A（ファナック株式会社）1989.08.15, 全文, 全図（ファミリーなし）	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

31.01.2017

国際調査報告の発送日

07.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

東 昌秋

5G

3139

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/021819 A1 (株式会社村田製作所) 2013.02.14, 全文, 全図 & US 2014/0133188 A1, 全文, 全図 & JP 5761351 B2 & CN 103703662 A	1-4