



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0096944
(43) 공개일자 2010년09월02일

(51) Int. Cl.

H01L 27/04 (2006.01)

(21) 출원번호 10-2009-0016053

(22) 출원일자 2009년02월25일

심사청구일자 2009년02월25일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

이재성

서울특별시 마포구 신공덕동 삼성1차아파트
109-2002

오용호

인천광역시 부평구 부평5동 신영아파트 2동 501호

김수연

대구광역시 북구 국우동 1088-15 302호

(74) 대리인

전중학

전체 청구항 수 : 총 9 항

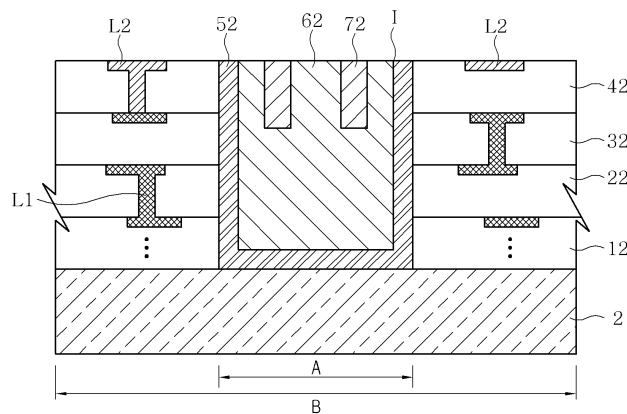
(54) 온 웨이퍼 인덕터 및 그 제조방법

(57) 요약

본 발명은 MOS, Si/SiGe, HBT, 바이폴라/CMOS 공정을 통해 실리콘 웨이퍼의 배선영역에 마련되어 고주파 영역에서 동작하는 온 웨이퍼 인덕터로서, 저 유전율 절연체를 이용하여 Q-인자와 자기공명주파수 특성을 향상시킨 온 웨이퍼 인덕터 및 그 제조방법에 관한 것이다.

구체적으로 본 발명은 복층의 절연막 및 상기 절연막에 매립된 배선을 포함하는 배선영역을 제공하는 실리콘 웨이퍼; 상기 복층의 절연막을 관통하여 상기 실리콘 웨이퍼에 도달하는 다마신홀; 상기 다마신홀의 내면을 따라 형성된 장벽층; 상기 장벽층 내부로 충전된 저 유전율 절연체; 및 상기 다마신홀 상면으로 노출되도록 상기 저 유전율 절연체에 이격 삽입된 한 쌍의 인덕터 전극을 포함하는 온 웨이퍼 인덕터 및 그의 제조방법을 제공한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

복층의 절연막 및 상기 절연막에 매립된 배선을 포함하는 배선영역을 제공하는 실리콘 웨이퍼;
 상기 복층의 절연막을 관통하여 상기 실리콘 웨이퍼에 도달하는 다마신홀;
 상기 다마신홀의 내면을 따라 형성된 장벽층;
 상기 장벽층 내부로 충전된 저 유전율 절연체; 및
 상기 다마신홀 상면으로 노출되도록 상기 저 유전율 절연체에 이격 삽입된 한 쌍의 인덕터 전극을 포함하는 온 웨이퍼 인덕터.

청구항 2

청구항 1에 있어서,
 상기 장벽층은, W, Ta 또는 Ti를 포함하는 금속이나 금속 합금 중 선택된 하나 또는 Si를 포함하는 절연물질 중 선택된 하나로 이루어지는 온 웨이퍼 인덕터.

청구항 3

청구항 1에 있어서,
 상기 저 유전율 절연체는, SiO_2 보다 유전율이 낮은 온 웨이퍼 인덕터.

청구항 4

청구항 3에 있어서,
 상기 저 유전율 절연체는, C, F 또는 기포 중 적어도 하나를 함유한 온 웨이퍼 인덕터.

청구항 5

청구항 1에 있어서,
 상기 배선영역의 최상층에 마련되며 상기 인덕터 전극과 동일재질로 이루어진 복수의 배선전극을 더 포함하는 온 웨이퍼 인덕터.

청구항 6

- (a) 반도체 구조물을 포함하는 소자영역과 복층의 절연막 및 상기 절연막에 매립된 배선을 포함하는 배선영역이 구분 형성된 실리콘 웨이퍼를 준비하는 단계;
- (b) 상기 배선영역에서 상기 복수의 절연막을 통해 상기 실리콘 웨이퍼에 도달하는 다마신홀을 관통 형성하는 단계;
- (c) 상기 다마신홀의 내면을 따라 장벽층을 증착하는 단계;
- (d) 상기 장벽층 내부로 저 유전율 절연체를 충전시키는 단계; 및
- (e) 상기 저 유전율 절연체의 상면으로부터 이격 삽입되는 한 쌍의 인덕터 전극과 상기 배선영역의 최상층에 구비되어 상기 배선에 전기적으로 연결되는 배선전극을 형성하는 단계를 포함하는 온 웨이퍼 인덕터 제조방법.

청구항 7

청구항 6에 있어서,

상기 (d) 단계 후 상기 (e) 단계 전, 상기 저 유전율 절연체를 치밀화하기 위한 고온 어닐링 단계를 더 포함하는 온 웨이퍼 인덕터 제조방법.

청구항 8

청구항 6에 있어서,

상기 (d) 단계 후 상기 (e) 단계 전, 상기 다마신홀 이외의 상기 배선영역에 존재하는 장벽층 및 저 유전율 절연체를 제거하는 화학기계연마(CMP)의 평탄화 단계를 더 포함하는 온 웨이퍼 인덕터 제조방법.

청구항 9

청구항 6에 있어서,

상기 (b) 단계의 상기 다마신홀은 포토리소그래피 및 식각을 통해 관통 형성되고, 상기 (c) 단계의 상기 장벽층은 Ta나 Ti를 포함하는 금속 또는 금속 합금이나 Si를 포함하는 절연물질 중 선택된 하나의 화학기상증착 또는 도금으로 증착되며, 상기 (d) 단계의 상기 저 유전율 절연체는 C, F 또는 기포 중 적어도 하나를 함유하여 SiO_2 보다 유전율이 낮은 절연물질의 스핀도포 또는 화학기상증착으로 충전되는 온 웨이퍼 인덕터 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 온 웨이퍼 인덕터(on wafer inductor) 및 그 제조방법에 관한 것이다. 보다 구체적으로 본 발명은 MOS(metal-oxide semiconductor), Si/SiGe, HBT(Heterojunction Bipolar Transistor), 바이폴라(bipolar)/CMOS(complementary MOS) 공정을 통해 실리콘(Si) 웨이퍼(wafer)의 배선영역에 마련되어 고주파 영역에서 동작하는 온 웨이퍼 인덕터로서, 저 유전율 절연체(low-k dielectric)를 이용하여 Q-인자(Q-factor)와 자기공명주파수(Self Resonant Frequency : SRF) 특성을 향상시킨 온 웨이퍼 인덕터 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 들어 사회가 본격적인 정보화시대로 접어들에 따라 고품질, 광대역 통신서비스를 위한 무선통신기술의 고속화, 고주파 노력이 계속되고 있고, 여기에 발맞추어 고주파 영역에서 동작하는 소자와 회로의 고집적화 및 저 잡음특성 달성이 주요 현안으로 떠오르고 있다.

[0003] 일례로 휴대전화, 무선 LAN(local area network), RFID(Radio Frequency IDentification) 등에 활용되는 RFIC(Radio Frequency Integrated Circuit)는 밀리미터 웨이브(millimeter wave, 30GHz~300GHz) 대역 이상의 고주파 동작특성과 소자 및 회로의 소면적화, 저비용화를 요구하고 있고, 이를 위해서는 소자제작기술, 회로설계기술, 고주파패키지기술의 균형적 발전과 더불어 트랜지스터(transistor) 등의 능동소자와 버랙터(varactor), 캐패시터(capacitor), 인덕터(inductor) 등의 수동소자의 동작특성이 매우 중요하다. 참고로, 고주파 영역에서 동작하는 소자와 회로는 RF 부품 및 집적회로(Integrated Circuit)로 별도 분류된다.

[0004] 이 중에서 인덕터는 임피던스 매칭(impedance matching), 오실레이션(oscillation) 등의 전자회로에 널리 사용되는 수동소자로서, 주로 CMOS 공정을 통해 실리콘(Si) 웨이퍼(wafer)에 온 웨이퍼 인덕터(on wafer inductor

또는 온 칩 인덕터(on chip inductor))의 형태로 집적된다.

[0005] 하지만 CMOS, Si/SiGe, HBT, 바이폴라/CMOS 공정에 따른 온 웨이퍼 인덕터는 동작주파수의 증가에 의해 Q-인자(Q-factor) 및 자기공명주파수(Self Resonant Frequency : SRF)가 급격하게 저하되는 문제점을 보이는데, 인덕터의 충실도를 나타내는 Q-인자는 아래의 수학적 식 1과 같이 정의된다.

[0006] 이때, E_s 는 저장된 자기에너지, E_L 는 발진주기별 손실에너지를 나타낸다.

[0007] <수학적 식 1>

$$Q=2\pi(E_s/E_L)$$

[0008]

[0009] 한편, 온 웨이퍼 인덕터에서 Q- 인자가 저하되는 원인은 크게 두 가지로 요약될 수 있으며, 그 중 하나는 인덕터와 실리콘(Si) 웨이퍼의 결합에 따른 손실에 기인한다. 즉, 온 웨이퍼 인덕터는 인덕터에서 발생된 자속이 실리콘 웨이퍼 내부를 통과함에 따라 맴돌이전류(eddy current), 변위전류(displacement current)와 같은 유도손실을 유발하고, 이와 관련해서 온 웨이퍼 인덕터의 아래에는 능동소자를 배치할 수 없어 실장 면적이 증가하는 문제점을 나타낸다.

[0010] 또 다른 원인은 온 웨이퍼 인덕터의 직류저항성분 증가에 의한 것으로, 다층 배선공정의 경우에 알루미늄(Al)의 배선저항 등을 원인으로 인덕터의 Q-인자는 최대 3~7 정도에 불과하다. 실제로 저잡음증폭기(Low Noise Amplifier:LNA)에서 위상잡음의 약 30%가 온 웨이퍼 인덕터에 기인하며, 인덕터의 Q- 인자값을 30~40% 정도 개선하면 전압제어발진기(Voltage Controlled Oscillator:VCO)의 소비전력을 절반 이하로 낮출 수 있다는 연구결과가 있다.

[0011] 이에 따라 온 웨이퍼 인덕터의 패턴최적화 등 Q-인자를 개선시키기 위한 CMOS 공정상의 다양한 시도가 연구되고 있는데, 그 중 대표적인 몇 가지로는 인덕터에 사용되는 금속두께를 표준공정보다 높여 저항을 낮추거나 구리(Cu)와 같은 저 저항 금속으로 사용하면 상대적으로 유리하고, 구조적으로는 사각형보다 원형구조가 바람직하며 인덕터의 중심을 비워 두는 것이 효과가 있는 것으로 알려져 있다.

[0012] 하지만 금속두께의 증가는 자체 저항력이 높은 세미 인슐레이팅 기판(semi insulating substrate)인 GaAs등에서 다소 유리한 반면, 실리콘 웨이퍼의 경우에는 기생 정전용량(parasitic capacitance)을 증가시켜 Q-인자는 물론 자기공명주파수 특성을 악화시키고, 전체 회로의 동작주파수를 제한하는 큰 장애물로 작용하는 동시에 자칫 동일 칩 내에서 디지털 회로와 RF 회로의 공존을 불가능하게 하는 심각한 한계를 나타내고 있다.

발명의 내용

해결 하고자하는 과제

[0013] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 실리콘(Si) 웨이퍼에 탑재되는 온 웨이퍼 인덕터의 Q-인자 및 자기공명주파수 특성을 향상시킬 수 있는 구체적인 방법을 제시하는데 그 목적이 있다.

[0014] 이를 위해 구체적으로 본 발명은 CMOS, Si/SiGe, HBT, 바이폴라/CMOS 등 실리콘(Si) 웨이퍼 상에 집적되어 고주파 대역에서 동작하는 회로를 위한 온 웨이퍼 인덕터로서, 상기 회로의 배선영역에 구비되어 실장면적의 축소를 꾀하는 동시에 저 유전율 절연체(low-k)를 이용하여 Q-인자 및 자기공명주파수 특성을 향상시킬 수 있는 온 웨이퍼 인덕터 및 이의 제조방법을 제공하는데 그 목적이 있다.

과제 해결수단

[0015] 상기와 같은 목적을 달성하기 위하여 본 발명은, 복수의 절연층 및 상기 절연층에 매립된 배선을 포함하는 배선영역을 제공하는 실리콘 웨이퍼; 상기 복층의 절연막을 관통하여 상기 실리콘 웨이퍼에 도달하는 다마신홀; 상기 다마신홀의 내면을 따라 형성된 장벽층; 상기 장벽층 내부로 충전된 저 유전율 절연체; 및 상기 다마신홀 상면으로 노출되도록 상기 저 유전율 절연체에 이격 삽입된 한 쌍의 인덕터 전극을 포함하는 온 웨이퍼 인덕터를 제공한다.

- [0016] 이때, 상기 장벽층은, Ta 또는 Ti를 포함하는 금속이나 금속 합금 중 선택된 하나 또는 Si를 포함하는 절연물질 중 선택된 하나로 이루어지는 것을 특징으로 하고, 상기 저 유전율 절연체는, SiO₂ 보다 유전율이 낮은 것을 특징으로 하며, 상기 저 유전율 절연체는, C, F 또는 기포 중 적어도 하나를 함유한 것을 특징으로 한다. 또한, 상기 배선영역의 최상층에 마련되며 상기 인덕터 전극과 동일재질로 이루어진 복수의 배선전극을 더 포함하는 것을 특징으로 한다.
- [0017] 아울러 본 발명은 (a) 반도체 구조물을 포함하는 소자영역과 복수의 절연층 및 상기 절연층에 매립된 배선을 포함하는 배선영역이 구분 형성된 실리콘 웨이퍼를 준비하는 단계; (b) 상기 배선영역에서 상기 복수의 절연층을 통해 상기 실리콘 웨이퍼에 도달하는 다마신홀을 관통 형성하는 단계; (c) 상기 다마신홀의 내면을 따라 장벽층을 증착하는 단계; (d) 상기 장벽층 내부로 저 유전율 절연체를 충전시키는 단계; 및 (e) 상기 저 유전율 절연체의 상면으로부터 이격 삽입되는 한 쌍의 인덕터 전극과 상기 배선영역의 최상층에 구비되어 상기 배선에 전기적으로 연결되는 배선전극을 형성하는 단계를 포함하는 온 웨이퍼 인덕터 제조방법을 제공한다.
- [0018] 이때, 상기 (d) 단계 후 상기 (e) 단계 전, 상기 저 유전율 절연체를 치밀화하기 위한 고온 어닐링 단계를 더 포함하는 것을 특징으로 하고, 상기 (d) 단계 후 상기 (e) 단계 전, 상기 다마신홀 이외의 상기 배선영역에 존재하는 장벽층 및 저 유전율 절연체를 제거하는 화학기계연마(CMP)의 평탄화 단계를 더 포함하는 것을 특징으로 한다. 또한 상기 (b) 단계의 상기 다마신홀은 포토리소그래피 및 식각을 통해 관통 형성되고, 상기 (c) 단계의 상기 장벽층은 Ta나 Ti를 포함하는 금속 또는 금속 합금이나 Si를 포함하는 절연물질 중 선택된 하나의 화학기상증착 또는 도금으로 증착되며, 상기 (d) 단계의 상기 저 유전율 절연체는 C, F 또는 기포 중 적어도 하나를 함유하여 SiO₂ 보다 유전율이 낮은 절연물질의 스피너코트 또는 화학기상증착으로 충전되는 것을 특징으로 한다.

효 과

- [0019] 본 발명은 실리콘 웨이퍼에 탑재되는 온 웨이퍼 인덕터의 Q-인자 및 자기공명주파수 특성을 향상시킬 수 있는 장점이 있다.
- [0020] 특히, 본 발명은 CMOS, Si/SiGe, HBT, 바이폴라/CMOS 등 실리콘 웨이퍼 상에 집적되어 고주파 대역에서 동작하는 회로를 위한 온 웨이퍼 인덕터로서, 회로의 배선영역에 구비되어 실장면적의 축소를 꾀하는 동시에 Q-인자 및 자기공명주파수 특성이 향상된 장점을 나타낸다.
- [0021] 그 결과 본 발명은 고주파 대역에서 동작하는 각종회로의 신뢰성을 높이는 것은 물론, 실리콘 웨이퍼 기반 CMOS 기술에 의한 공정단순화, 공정비용감소, 안정화를 가능케 한다.

발명의 실시를 위한 구체적인 내용

- [0022] 이하, 도면을 참조해서 본 발명을 상세하게 살펴본다.
- [0023] 첨부된 도 1은 본 발명에 따른 온 웨이퍼 인덕터(이하, 인덕터라 한다.)의 단면구조를 나타낸 도면이다.
- [0024] 참고로, 해당 도면과 더불어 이하에서 언급될 도면들은 밀리미터 웨이브 이상의 고주파 대역에서 동작하도록 실리콘(Si) 웨이퍼(2) 상에 집적된 회로의 일부 단면도에 해당된다. 따라서 비록 도면에 나타나지는 않았지만 동일 웨이퍼(2) 상의 다른 위치에는 공지의 반도체 제조공정, 예컨대 CMOS, Si/SiGe, HBT, 바이폴라/CMOS 등의 공정을 통해 소정의 적층구조로 이루어진 반도체 구조물이 존재하며, 여기에는 트랜지스터 등의 능동소자는 물론 버랙터, 캐패시터 등의 수동소자가 포함된다.
- [0025] 이에 따라 편의상 반도체 구조물이 존재하는 부분을 실리콘 웨이퍼(2) 상의 소자영역(미도시)이라 하면, 도면에 나타난 부분은 반도체 구조물의 적층구조를 위한 복수의 절연막(12,22,32,42) 및 이들 사이로 적절히 매립되어 반도체 구조물과 전기적으로 연결된 배선(L1,L2)이 존재하는 실리콘 웨이퍼(2) 상의 배선영역(B)에 해당되는바, 아래에서 '소자영역'과 '배선영역(B)'은 일관되게 동일한 의미를 나타낸다.
- [0026] 보이는 것처럼, 본 발명에 따른 인덕터는 실리콘 웨이퍼(2)의 배선영역(B)에서 기(基) 적층된 복층의 절연막(12,22,32,42)에 관통 형성된다.
- [0027] 보다 구체적으로, 본 발명에 따른 인덕터는 복수의 절연막(12,22,32,42)을 관통하여 실리콘 웨이퍼(2)에 도달하

는 다마신홀(damascene hole:I)과, 상기 다마신홀(I)의 내면을 따라 형성된 장벽층(52)과, 상기 장벽층(52) 내로 충전된 저 유전율 절연체(low-k:62)와, 상기 저 유전율 절연체(62)에 이격 삽입되어 외부로 노출되는 한 쌍의 인덕터 전극(72)을 포함한다.

[0028] 이때, 다마신홀(I)은 실리콘 웨이퍼(2)의 배선영역(B) 내에 별도의 인덕터 영역(A)을 구획 정의하는 부분으로서 길이방향에 수직한 단면이 원형(circular type), 사각형(rectangular type), 팔각형(octagonal type), 솔레노이드 형상(solenoid type)을 나타내고, 장벽층(52)은 후술하는 저 유전율 절연체(62)와 기(基) 적층된 절연막(12,22,32,42) 사이의 확산을 방지하기 위한 것으로서 W, Ti 또는 Ta를 포함하는 금속이나 금속합금, 일례로 W, Ti, Ta, WN, TiAlN, TiSiN, TaN, RaSiN 중 선택된 하나나 Si를 포함하는 절연물질, 일례로 SiN, SiO₂ 중 선택된 하나의 물질로 이루어지며, 저 유전율 절연체(62)는 후술하는 인덕터 전극(72)과 실리콘 웨이퍼(2) 그리고 인덕터 전극(72) 사이의 기생 정전용량을 줄이기 위한 부분으로서 C 또는 F를 포함하거나 다수의 기공(porous)이 함유되어 SiO₂ 보다 낮은 유전율의 절연물질, 일례로 SiOC, SiOF, 다공성 SiO₂ 등으로 이루어진다.

[0029] 그리고 인덕터 전극(72)은 배선영역(B)의 절연막(12,22,32,42)에 매립된 배선(L1)을 외부로 연결하기 위해서 절연막(12,22,32,42) 중 최상층에 위치하는 절연막(42) 상의 배선전극(L2), 이른바 탑-메탈(top-metal)과 동일재질로 동일공정에서 구현된다.

[0030] 그 결과, 본 발명에 따른 인덕터는 실리콘 웨이퍼(2) 상의 배선영역(B)에 구비되어 실장 면적의 축소를 피하는 동시에 저 유전율 절연체(62)에 의한 Q-인자 및 자기공명주파수 특성향상의 효과를 나타낸다.

[0031] 이하, 본 발명에 따른 인덕터의 제조방법을 상세히 살펴본다.

[0032] 첨부된 도 2 내지 도 6은 본 발명에 따른 인덕터의 제조공정 별 단면도로서, 먼저 도 2와 같이 복층의 절연막(12,22,32,42) 및 상기 절연막(12,22,32,42)에 매립된 배선(L1)을 포함하는 배선영역(B)이 형성된 실리콘 웨이퍼(2)를 준비한다.

[0033] 이때, 실리콘 웨이퍼(2) 상의 소자영역(미도시)에는 소정의 적층구조에 따른 반도체 구조물이 존재하며, 상기 소자영역의 반도체 구조물과 배선영역(B)의 절연막(12,22,32,42) 및 배선(L1)은 공지의 반도체 제조공정, 예컨대 CMOS, Si/SiGe, HBT, 바이폴라/CMOS 등의 공정으로 얻어진다.

[0034] 다음으로, 도 3과 같이 복수의 절연막(12,22,32,42)을 관통해서 실리콘 웨이퍼(2)에 도달하는 다마신홀(I)을 형성한다.

[0035] 이때, 다마신홀(I)은 포토리소그래피(photolithography) 및 식각(etching)을 통해 구현 가능한데, 여기서 포토리소그래피란 목적하는 대상물의 상부로 감광성 물질인 포토레지스트(photo-resist)를 도포한 후 소정의 패턴(pattern)이 새겨진 마스크(mask)로 노광(exposure)하고 적절한 현상액으로 현상(development)하여 대상물의 일부를 노출시키는 포토리소그래피패턴(photo-lithography pattern)을 구현하는 일련의 과정을 일컫고, 식각이란 건식 또는 습식의 방법을 통해 포토레지스트패턴으로부터 노출된 대상물을 선택적으로 제거하는 과정을 총칭한다. 그리고 여기에는 잔류 포토레지스트패턴을 제거하는 스트립(strip)과 세정(clean) 등의 공정이 포함되는바, 이에 대해서는 별도의 설명이 없어도 당업자라면 쉽게 이해할 수 있을 것이다.

[0036] 다음으로, 도 4와 같이 다마신홀(I)의 내면을 따라 장벽층(52)을 증착한다.

[0037] 이때, 다마신홀(I)의 내면이라면 다마신홀(I)의 내 측면과 다마신홀(I)을 통해 외부로 노출되는 실리콘 웨이퍼(2)의 상면 일부를 의미하며, 화학기상증착(Chemical Vapour Deposition:CVD) 또는 전기화학적 도금(Electro Chemical Plating:ECP) 등의 방법으로 W, Ti 또는 Ta를 포함하는 금속이나 금속합금, 일례로 W, Ti, Ta, WN, TiAlN, TiSiN, TaN, RaSiN 중 선택된 하나나 Si를 포함하는 절연물질, 일례로 SiN, SiO₂ 중 선택된 하나의 물질을 증착하여 장벽층(52)을 구현한다.

[0038] 다음으로, 도 5와 같이 장벽층(52)의 내부로 저 유전율 절연체(60)를 충전시킨다.

[0039] 이때, 저 유전율 절연체(62)는 C 또는 F를 포함하거나 다수의 기공이 함유되어 SiO₂ 보다 낮은 유전율의 절연물질, 일례로 SiOC, SiOF, 다공성 SiO₂ 등의 스핀도포(예를 들어 Spin On Glass : SOD) 또는 화학기상방법이 사용될 수 있다.

[0040] 그리고 필요하다면 저 유전율 절연체(62)의 증착 후(後), 상기 저 유전율 절연체(62)를 치밀화(densification)하기 위한 고온의 어닐링(annealing) 단계가 이어질 수 있고, 여기에는 수소를 포함하는 적절한 기체물질이 사

용될 수 있다.

다음으로, 도 6과 같이 인터커 영역(A) 이외의 배선영역(B) 등에 불필요하게 존재하는 저 유전율 절연체(62), 장벽층(52)을 제거하기 위한 평탄화 단계를 진행한다.

이때, 평탄화를 위해서는 화학기계연마(Chemical Mechanical Polishing: CMP)방법이 사용될 수 있고, 그 결과 배선영역(B) 상 최상층의 절연막(42)이 외부로 노출되는 동시에 다마신홀(I) 내부의 장벽층(52) 및 저 유전율 절연체(62)는 그와 동일한 수위를 나타내도록 평탄화된다.

마지막으로, 다마신홀(I) 내부의 저 유전율 절연체(62)에 이격 매립되는 한 쌍의 인덕터 전극(72)을 형성하여 도 1의 본 발명에 따른 인덕터를 완성한다.

이때, 인덕터 전극(72)은 포토리소그래피와 식각 그리고 금속물질의 증착 등으로 구현 가능하고, 바람직하게는 동일공정을 통해 배선영역(B)의 절연막(12, 22, 32, 42) 중 최상층의 절연막(42)에 마련되어 배선(L1)에 전기적으로 연결되는 배선전극(L2)이 함께 구현될 수 있다. 이로써, 본 발명의 인덕터가 완성된다.

한편, 이상의 설명은 본 발명의 일 양태(樣態)에 지나지 않는 것으로, 구체적인 구성 및 작용면에서 다양한 변형이 있을 수 있다. 하지만, 이들 모든 변형이 본 발명의 기술적 사상에 포함된다면 본 발명의 권리범위에 속한다 해야 할 것인바, 본 발명의 권리범위는 이하의 특허청구범위를 통해 명확하게 명시되어 있다.

도면의 간단한 설명

도 1은 본 발명에 따른 온 웨이퍼 인덕터의 단면도.

도 2 내지 도 6은 각각 본 발명에 따른 온 웨이퍼 인덕터의 제조공정별 단면도.

<도면의 주요부분에 대한 부호의 설명>

2 : 실리콘 웨이퍼 12,22,32,42 : 절연막

52 : 장벽층 62 : 저 유전율 절연체

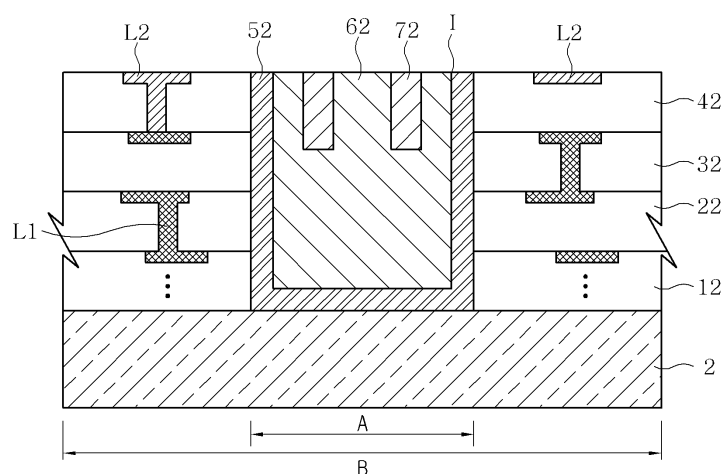
72 : 인덕터 전극 A : 인덕터 영역

B : 배선영역 I : 다마신 홀

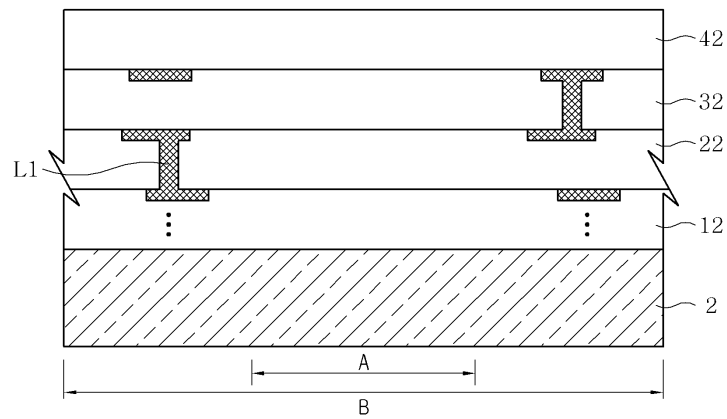
L1 : 배선 L2 : 배선평극

도면

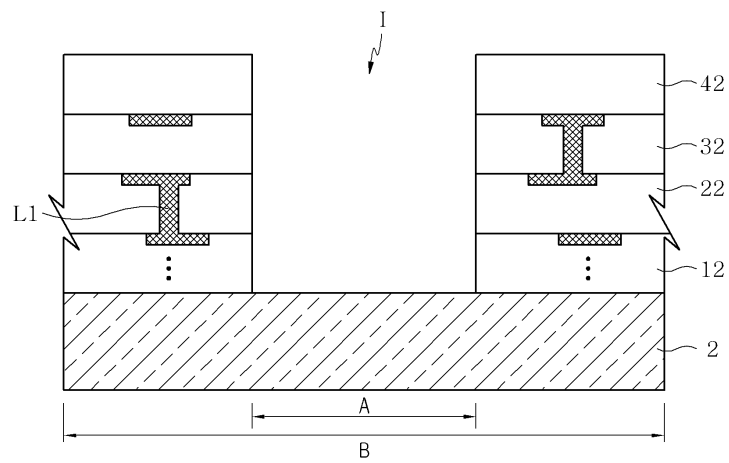
도면1



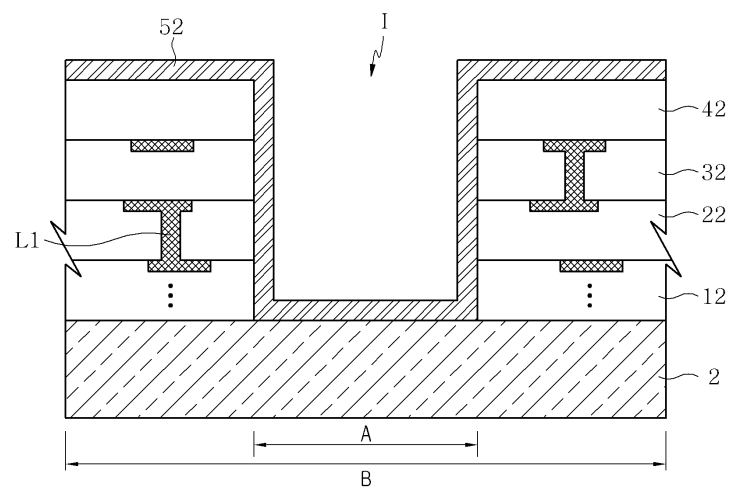
도면2



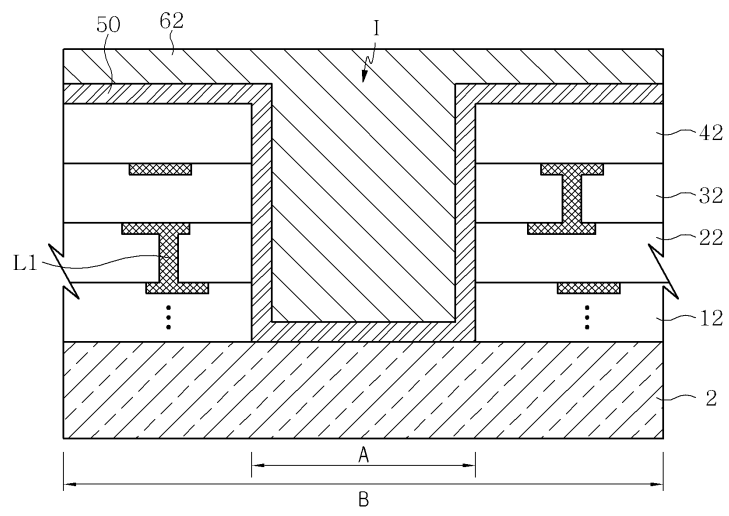
도면3



도면4



도면5



도면6

