



Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

ISSN 0433-6461

(11)

210 147

Int.Cl.³ 3(51) H 03 F 3/45
H 03 F 3/16

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 03 F/ 2427 847

(22) 25.08.82

(44) 30.05.84

(71) TECHNISCHE HOCHSCHULE "OTTO VON GUERICKE", MAGDEBURG, DD
(72) RAEBIGER, THOMAS, DIPL.-ING.; DD;

(54) **CMOS-DIFFERENZVERSTÄRKER**

(57) Die Erfindung betrifft einen CMOS-Differenzverstärker mit zwei komplementären Invertern, vorzugsweise zur Anwendung als Eingangsstufe integrierter Operationsverstärker. Ziel ist es, einen CMOS-Differenzverstärker zu schaffen, der bei wesentlich verringerten Fertigungsaufwand eine deutlich erweiterte Anwendung ermöglicht. Es besteht die Aufgabe einen CMOS-Differenzverstärker zu entwickeln, der monolithisch integrierbar ist und gegenüber den bekannten technischen Lösungen eine höhere Gleichtaktunterdrückung sowie eine höhere obere Grenzfrequenz besitzt und bei dem alle Transistoren gleiche Schwellspannungsbeträge aufweisen. Erfindungsgemäß besitzt der CMOS-Differenzverstärker zwei zusätzliche Spannungsquellen sowie je einen zusätzlichen P- bzw. N-Kanal-Anreicherungs transistor. Fig. 4

Titel der Erfindung

CMOS-Differenzverstärker

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen CMOS-Differenzverstärker mit zwei komplementären Invertern, vorzugsweise zur Anwendung als Eingangsstufe integrierter Operationsverstärker.

Charakteristik der bekannten technischen Lösungen

Aufgrund der extrem hohen Eingangswiderstände von MOS-Feldeffekttransistoren sowie des relativ geringen Leistungsverbrauchs von komplementären MOS-Schaltungen werden in zunehmendem Maße Operationsverstärker in CMOS-Technologie benötigt. Die geforderte Unterdrückung von Gleichtakteingangsspannungen wird in einem Operationsverstärker durch Differenzverstärkerstufen realisiert. Um ein hohes Gleichtaktspannungsunterdrückungsverhältnis zu erzielen, werden allgemein mehrere Differenzverstärkerstufen hintereinander geschaltet. Da die dynamische Stabilität eines gegengekoppelten Operationsverstärkers jedoch nur gewährleistet ist, wenn dieser aus möglichst wenigen Verstärkerstufen aufgebaut ist, ergibt sich die Forderung, die Gleichtaktunterdrückung durch nur eine Differenzverstärkerstufe zu erzielen. Das bedeutet, daß an den zu verwendenden Differenzverstärker außerordent-

lich hohe Anforderungen bezüglich der Gleichtaktunterdrückung gestellt werden und dieser Differenzverstärker nur eine Ausgangsklemme benötigt.

Ein aus der DE-AS 2 425 937 bekannter CMOS-Differenzverstärker besitzt zwei Ausgangsklemmen, deren Potentiale sich in Abhängigkeit von der Differenzeingangsspannung in inverser Weise ändern. Dieser CMOS-Differenzverstärker muß zur Realisierung einer hohen Gleichtaktunterdrückung Transistoren mit weit auseinander liegenden Schwellspannungen besitzen. Hierdurch wird eine monolithische Integration sehr erschwert und erfordert einen enormen Fertigungsaufwand durch die notwendige Schwellspannungseinstellung, beispielsweise mittels Ionenimplantation bzw. Substratvorspannung.

Weiterhin wird durch die Komplexität des Gegenkopplungsmechanismus nur eine relativ geringe obere Grenzfrequenz des Differenzverstärkers erreicht und somit der Anwendungsbereich stark eingeschränkt.

Aus der DD-PS 112 044 ist eine weitere Schaltung bekannt, die als Differenzverstärker eingesetzt werden kann. Diese ist aus zwei Verstärkerzweigen aufgebaut, an deren Gleichheit funktionsbedingt extreme Anforderungen gestellt sind. Dadurch ist auch diese Schaltung nur mit hohem Fertigungsaufwand realisierbar. Andererseits führen dennoch verbleibende geringe Toleranzen in den Parametern der beiden Verstärkerzweige zu sehr hohen Offsetspannungen, die den Differenzverstärker bereits ohne das Anlegen einer Differenzeingangsspannung übersteuern können und seine Anwendbarkeit stark einschränken.

Ziel der Erfindung

Ziel der Erfindung ist es, einen CMOS-Differenzverstärker zu schaffen, der bei wesentlich geringerem Fertigungsaufwand eine deutlich erweiterte Anwendung ermöglicht.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, einen CMOS-Differenzverstärker zu entwickeln, der monolithisch integrierbar ist und gegenüber den bekannten technischen Lösungen eine höhere Gleichtaktunterdrückung sowie eine höhere obere Grenzfrequenz besitzt und bei dem alle Transistoren gleiche Schwellspannungsbeträge aufweisen.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß der CMOS-Differenzverstärker mit zwei komplementären Invertern, die jeweils aus einem P- und einem N-Kanal-Anreicherungs-transistor bestehen, wobei der Eingang des jeweiligen Inverters aus der Zusammenschaltung der Gateanschlüsse und der Ausgang aus der Zusammenschaltung der Drainanschlüsse der zugehörigen Transistoren gebildet ist und außerdem jeweils die Sourceanschlüsse der beiden P-Kanal- und die Sourceanschlüsse der beiden N-Kanal-Anreicherungs-transistoren verbunden sind, zwei zusätzliche Spannungsquellen sowie einen zusätzlichen P- und einen zusätzlichen N-Kanal-Anreicherungs-transistor besitzt. Dabei ist der Drainanschluß des zusätzlichen P-Kanal-Anreicherungs-transistors mit den verbundenen Sourceanschlüssen der P-Kanal-Anreicherungs-transistoren und der Drainanschluß des zusätzlichen N-Kanal-Anreicherungs-transistors mit den verbundenen Sourceanschlüssen der N-Kanal-Anreicherungs-transistoren verbunden. Außerdem sind die Sourceanschlüsse des zusätzlichen P-Kanal- bzw. N-Kanal-Anreicherungs-transistors jeweils mit einer Betriebspotentialklemme verschaltet. Hierbei besitzt die mit dem Sourceanschluß des zusätzlichen N-Kanal-Anreicherungs-transistors verbundene Betriebspotentialklemme negatives Potential gegenüber der anderen Betriebspotentialklemme. Weiterhin ist der Ausgang des einen komplementären Inverters sowohl mit dem Minuspol der einen als auch mit dem Pluspol der anderen zusätzlichen Spannungsquelle verbunden, deren freigebliebener Pluspol zum Gateanschluß des zusätzlichen P-Kanal-Anreicherungs-transistors und deren freigebliebener Minuspol zum Gateanschluß des zusätzlichen N-Kanal-Anreicherungs-transistors führt. Schließlich sind der Aus-

gang des anderen komplementären Inverters der Ausgang und die Eingänge der komplementären Inverter die Eingänge des CMOS-Differenzverstärkers.

Der besondere Vorteil des erfindungsgemäßen CMOS-Differenzverstärkers besteht in seiner hohen Gleichtaktunterdrückung bei gleichzeitig hohem Differenzverstärkungsfaktor, woraus sich eine große Anwendungsbreite dieses Verstärkers ergibt. Besonders günstig bezüglich eines verringerten Fertigungsaufwandes wirkt sich aus, daß alle Transistoren des erfindungsgemäßen CMOS-Differenzverstärkers gleiche Schwellspannungsbeträge haben. Dies führt zu einer günstigen monolithischen Integrierbarkeit des Verstärkers, bei gleichzeitig höherer Gleichtaktunterdrückung sowie höherer oberer Grenzfrequenz.

Ausführungsbeispiel

Die Erfindung soll in einem Ausführungsbeispiel nachstehend näher erläutert werden. In den zugehörigen Zeichnungen zeigen

Fig. 1: die Schaltung eines komplementären Inverters,

Fig. 2: die Übertragungsfunktion eines komplementären Inverters,

Fig. 3: ein betriebspotentialabhängiges Übertragungsfeld eines komplementären Inverters,

Fig. 4: die Schaltung des erfindungsgemäßen CMOS-Differenzverstärkers und

Fig. 5: das Ausgangskennlinienfeld eines der zusätzlichen P- bzw. N-Kanal-Anreicherungs-transistoren.

Zur Darlegung der Wirkungsweise des erfindungsgemäßen CMOS-Differenzverstärkers sollen zunächst einige Grundlagen betrachtet werden:

Dazu zeigt Fig. 1 eine bekannte CMOS-Inverterstufe, die aus einem P-Kanal-Transistor P und einem N-Kanal-Transistor N

besteht, wobei beide Transistoren vom Anreicherungstyp sind. Über Potentialzufuhrklemmen 1 und 2 werden dem Inverter die Betriebspotentiale U_1 und U_2 zugeführt, wobei das Betriebspotential U_1 positiv gegenüber dem Betriebspotential U_2 ist. Das Eingangssignal wird an die Eingangsklemme 3 angelegt und an der Ausgangsklemme 4 kann das verstärkte und in seiner Phase um 180° gedrehte Ausgangssignal abgegriffen werden. Die Übertragungsfunktion eines solchen CMOS-Inverters ist in der Fig. 2 dargestellt.

Aus der Fig. 3 ist ersichtlich, wie sich die Lage der Übertragungsfunktion verändert, wenn die Betriebspotentiale an den Potentialzufuhrklemmen 1 und 2 eines CMOS-Inverters gleichmäßig in eine bestimmte Richtung verschoben werden, wobei die Betriebspotentialdifferenz ihren Betrag nicht ändern soll. Die mit I bezeichnete Übertragungsfunktion sei die eines CMOS-Inverters, der an den Betriebspotentialen U_1 und U_2 liegt. Bei einer Eingangsspannung U_{eo} , die betragsmäßig in der Mitte zwischen den beiden Betriebspotentialen liegt, stellt sich die Ausgangsspannung U_{ao} ein, deren Wert ebenfalls in der Mitte zwischen beiden Betriebspotentialen U_1 und U_2 liegt. Um die Ausgangsspannung U_a auf den Wert U_{a1} auszulenken, muß an den Inverter mit der Übertragungsfunktion I die Eingangsspannung U_{e1} angelegt werden. Die gleiche Ausgangsspannung kann der Inverter jedoch auch liefern, wenn die Eingangsspannung U_{eo} an seiner Eingangsklemme anliegt und die Betriebspotentiale die Werte $U_1 + \Delta U$ bzw. $U_2 + \Delta U$ haben (Übertragungsfunktion II). Eine Veränderung der Ausgangsspannung eines CMOS-Inverters kann also sowohl durch eine Veränderung der Eingangsspannung als auch durch eine Veränderung der Betriebspotentiale des Inverters erreicht werden.

Fig. 4 zeigt einen erfindungsgemäßen CMOS-Differenzverstärker, der aus komplementären Invertern A und B, betriebspotentialverschiebenden zusätzlichen P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 sowie zusätzlichen Spannungsquellen E_1 und E_2 besteht.

Die komplementären Inverter A; B sind aus P- bzw. N-Kanal-Anreicherungstransistoren P_1 ; P_2 ; N_1 ; N_2 aufgebaut und besitzen Eingangsklemmen 3; 5 sowie Ausgangsklemmen 4; 6. Hierbei bildet die Eingangsklemme 3 den nichtinvertierenden und die Eingangsklemme 5 den invertierenden Eingang des erfindungsgemäßen CMOS-Differenzverstärkers, dessen Ausgangssignal an Ausgangsklemme 6 anliegt.

An Knotenpunkten 7; 8 stellen sich nachfolgend als innere Betriebspotentiale U_1 ; U_2 bezeichnete Potentiale ein, während an Betriebspotentialklemmen 11; 22 die positiven bzw. negativen Betriebspotentiale U_{11} ; U_{22} anliegen.

Die Wirkungsweise des erfindungsgemäßen CMOS-Differenzverstärkers gem. Fig. 4 ist folgende:

Wenn beispielsweise die Beträge der positiven und negativen Betriebspotentiale U_{11} und U_{22} gleich sind und die Eingangsspannung U_{e1} an der Eingangsklemme 3 gleich dem Ruhepotential von 0 Volt ist (Mittenpotential), so liegt auch das Potential an der Ausgangsklemme 4 auf 0 Volt. Wird nun die Eingangsspannung U_{e1} beispielsweise positiver, dann tendiert das Potential an der Ausgangsklemme 4 dazu, negativer zu werden, wodurch der Kanalwiderstand des zusätzlichen N-Kanal-Anreicherungstransistors N_3 zunimmt und der Kanalwiderstand des zusätzlichen P-Kanal-Anreicherungstransistors P_3 abnimmt, was eine Verschiebung der inneren Betriebspotentiale U_1 und U_2 in Richtung des positiven Betriebspotentials U_{11} bedeutet. Bei negativer Eingangsspannung U_{e1} spielt sich der eben beschriebene Vorgang analog ab.

Die Verschiebung der inneren Betriebspotentiale U_1 und U_2 durch die P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 wirkt einer Auslenkung der Spannung an der Ausgangsklemme 4 infolge von Eingangsspannungsänderungen an der Eingangsklemme 3 entgegen, wodurch das Potential an der Ausgangsklemme 4 annähernd exakt in der Mitte zwischen den beiden Betriebspotentialen U_{11} und U_{22} gehalten wird, im betrach-

teten Beispiel auf dem Ruhepotential von 0 Volt. Um die Gegenkopplungswirkung der P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 zu erhöhen, wurden in die Verbindungen zwischen der Ausgangsklemme 4 und den Gateanschlüssen der P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 die zusätzlichen Spannungsquellen E_1 bzw. E_2 eingefügt. Dadurch wird bewirkt, daß Spannungsänderungen an der Ausgangsklemme 4 zu größeren Änderungen der Kanalwiderstände der P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 führen, wodurch eine Konstanthaltung des Potentials an der Ausgangsklemme 4 in weit stärkerem Maße gewährleistet wird als bei Verzicht auf die zusätzlichen Spannungsquellen E_1 und E_2 . Anhand der Fig. 5 soll dieses näher erläutert werden.

Der Strom durch die P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 ist bei relativ geringer Differenzaussteuerung des erfindungsgemäßen CMOS-Differenzverstärkers annähernd konstant und soll den Betrag I_{DA} haben.

Die Fig. 5 zeigt das Ausgangskennlinienfeld eines der betriebspotentialverschiebenden P- bzw. N-Kanal-Anreicherungs-transistoren P_3 bzw. N_3 . Wenn auf die Spannungsquellen E_1 und E_2 verzichtet würde, würden die Transistoren mit relativ großen Gate-Source-Spannungsbeträgen U_{GS} angesteuert werden. Eine Änderung der Gate-Source-Spannung um einen bestimmten Betrag infolge einer Änderung des Potentials an der Ausgangsklemme 4 des erfindungsgemäßen CMOS-Differenzverstärkers bewirkt in diesem Fall nur eine relativ geringe Verschiebung des inneren Betriebspotentials um einen Betrag ΔU_1 , der Arbeitspunkt des betrachteten betriebspotentialverschiebenden P- bzw. N-Kanal-Anreicherungstransistors P_3 bzw. N_3 verlagere sich beispielsweise von der Kennlinie III auf die Kennlinie IV des Ausgangskennlinienfeldes. Durch die Spannungsquellen E_1 und E_2 wird bewirkt, daß die P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 mit relativ geringen Gate-Source-Spannungsbeträgen U_{GS} angesteuert werden.

Eine Änderung der Gate-Source-Spannung U_{GS} um einen bestimmten Betrag infolge der Änderung des Potentials an Ausgangsklemme 4 des erfindungsgemäßen CMOS-Differenzverstärkers bewirkt in diesem Fall eine relativ große Verschiebung des inneren Betriebspotentials um einen Betrag ΔU_2 , der Arbeitspunkt des betrachteten betriebspotentialverschiebenden P- bzw. N-Kanal-Anreicherungstransistors P_3 bzw. N_3 verlagere sich beispielsweise von der Kennlinie V auf die Kennlinie VI des Ausgangskennlinienfeldes. Durch den Einsatz der beiden Spannungsquellen E_1 ; E_2 kann man darauf verzichten, die P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 mit betragsmäßig weitaus größeren Schwellspannungen zu versehen als sie die übrigen Transistoren der Schaltung aufweisen. Dieser Vorteil tritt besonders dann in den Vordergrund, wenn der erfindungsgemäße CMOS-Differenzverstärker mit einer hohen Betriebsspannung betrieben wird. Als Spannungsquellen E_1 ; E_2 können beispielsweise integrierte Kapazitäten dienen, die periodisch nach bestimmten Zeitabständen aufgeladen werden und die ihre Ladung während des Verstärkerbetriebes speichern.

Es soll nachfolgend die Fig. 4 weiter betrachtet werden. Die P- bzw. N-Kanal-Anreicherungstransistoren P_3 und N_3 verschieben natürlich auch die inneren Betriebspotentiale des komplementären Inverters B. Das bedeutet aber, daß bei Gleichheit der Spannungen an den beiden Eingangsklemmen 3; 5 des CMOS-Differenzverstärkers auch die Ausgangsspannung der Ausgangsklemme 6 Null Volt beträgt, (Mittenpotential), was bedeutet, daß Gleichtakteingangsspannungen keinen Einfluß auf die Ausgangsspannung des erfindungsgemäßen CMOS-Differenzverstärkers haben.

Eine Spannungsdifferenz zwischen den beiden Eingangsklemmen 3; 5 steuert demgegenüber den komplementären Inverter B aus, wobei die Ausgangsspannung bei $U_{e1} > U_{e2}$ positiv und bei $U_{e1} < U_{e2}$ negativ wird.

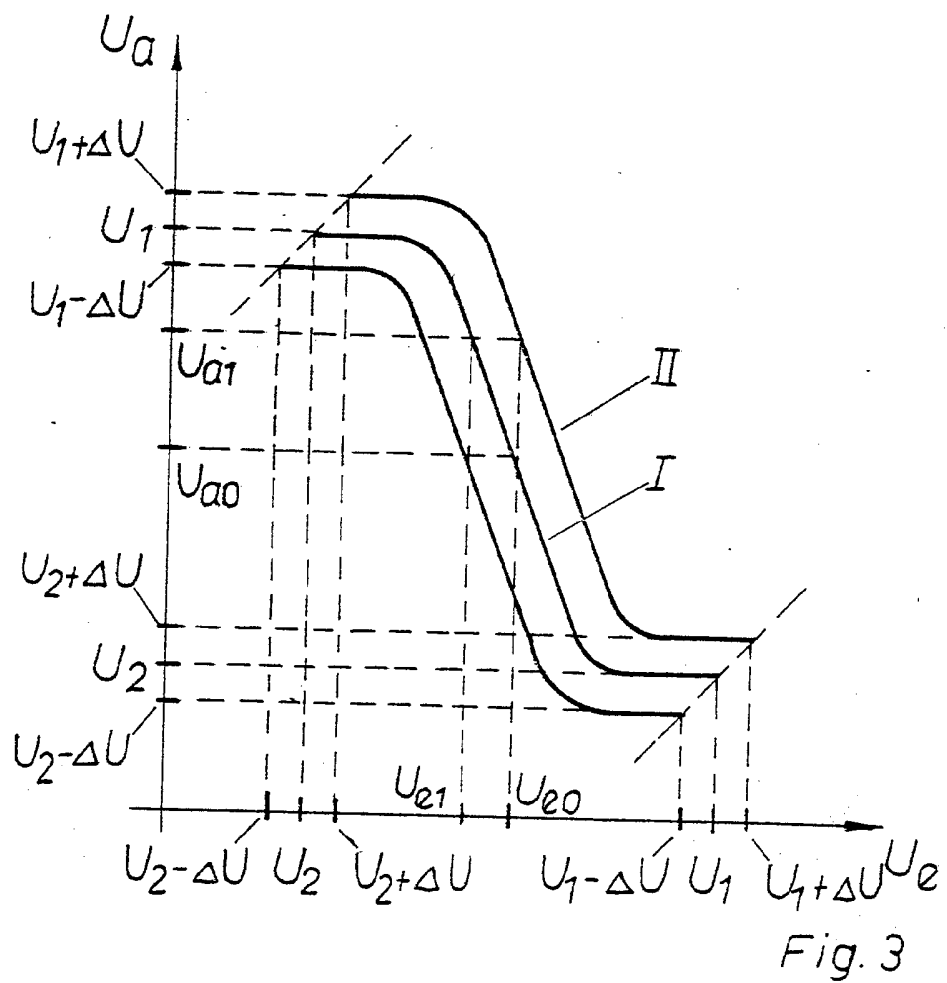
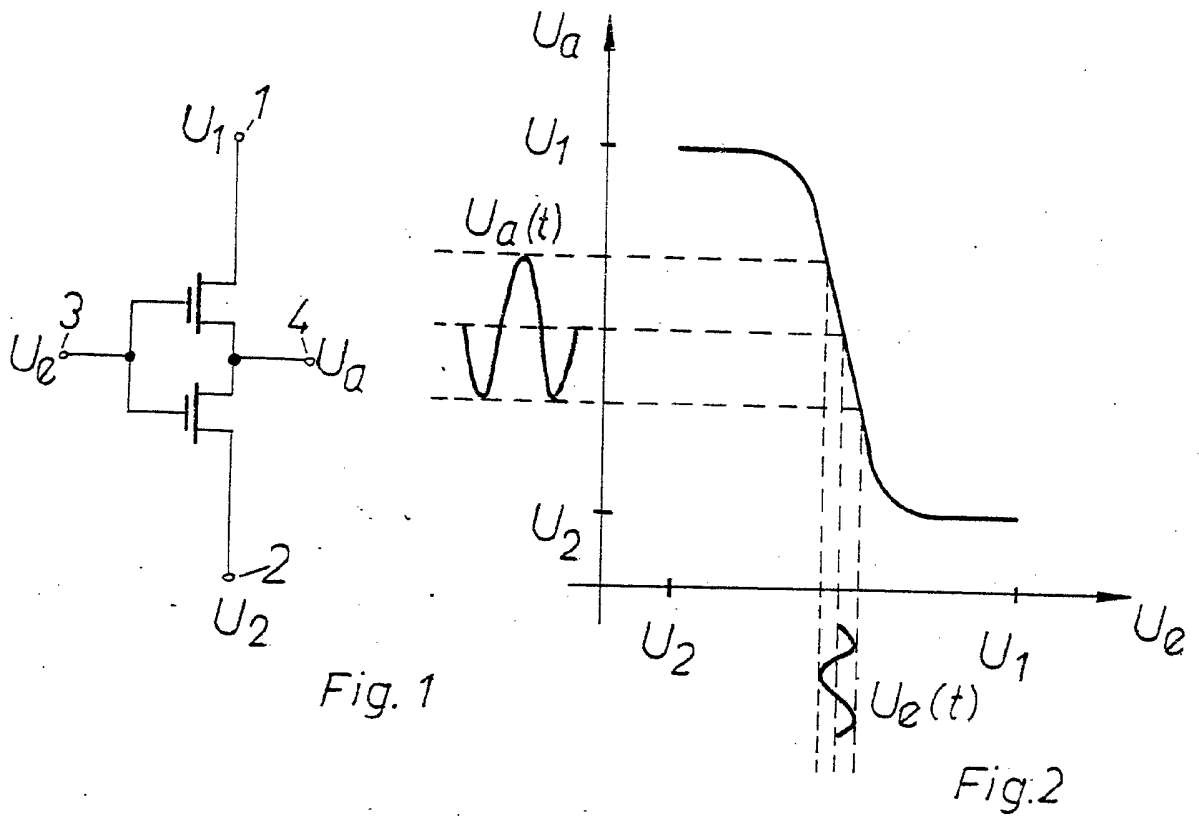
Durch den unbalancierten Aufbau des Differenzverstärkers ist

die Differenzverstärkung wesentlich größer, da nur der Inverter A den Inverter B in seinem Arbeitspunkt beeinflusst und nicht umgekehrt.

Erfindungsanspruch

CMOS-Differenzverstärker mit zwei komplementären Invertern, die jeweils aus einem P- und einem N-Kanal-Anreicherungs-transistor bestehen, wobei der Eingang des jeweiligen Inverters aus der Zusammenschaltung der Gateanschlüsse und der Ausgang aus der Zusammenschaltung der Drainanschlüsse der zugehörigen Transistoren gebildet ist und außerdem jeweils die Sourceanschlüsse der beiden P-Kanal- und die Sourceanschlüsse der beiden N-Kanal-Anreicherungstransistoren verbunden sind, gekennzeichnet dadurch, daß der CMOS-Differenzverstärker zwei zusätzliche Spannungsquellen (E_1 ; E_2) sowie einen zusätzlichen P- und einen zusätzlichen N-Kanal-Anreicherungstransistor (P_3 ; N_3) besitzt, wobei der Drainanschluß des zusätzlichen P-Kanal-Anreicherungstransistors (P_3) mit den verbundenen Sourceanschlüssen der P-Kanal-Anreicherungstransistoren (P_1 ; P_2) und der Drainanschluß des zusätzlichen N-Kanal-Anreicherungstransistors (N_3) mit den verbundenen Sourceanschlüssen der N-Kanal-Anreicherungstransistoren (N_1 ; N_2) und die Sourceanschlüsse des zusätzlichen P- bzw. N-Kanal-Anreicherungstransistoren (P_3 ; N_3) mit jeweils einer Betriebspotentialklemme (11; 22) verbunden sind und hierbei die mit dem Sourceanschluß des zusätzlichen N-Kanal-Anreicherungstransistors (N_3) verbundene Betriebspotentialklemme (22) negatives Potential gegenüber der anderen Betriebspotentialklemme (11) besitzt, weiterhin der Ausgang (4) des einen komplementären Inverters (A) sowohl mit dem Minuspol der einen zusätzlichen Spannungsquelle (E_1) als auch mit dem Pluspol der anderen zusätzlichen Spannungsquelle (E_2) verbunden ist, deren freigebliebener Pluspol zum Gateanschluß des zusätzlichen P-Kanal-Anreicherungstransistors (P_3) und deren freigebliebener Minuspol zum Gateanschluß des zusätzlichen N-Kanal-Anreicherungstransistors (N_3) führt und schließlich der Ausgang (6) des anderen komplementären Inverters (B) der Ausgang (6) und die Eingänge (3; 5) der komplementären Inverter (A; B) die Eingänge (3; 5) des CMOS-Differenzverstärkers sind.

Hierzu 3 Seiten Zeichnungen



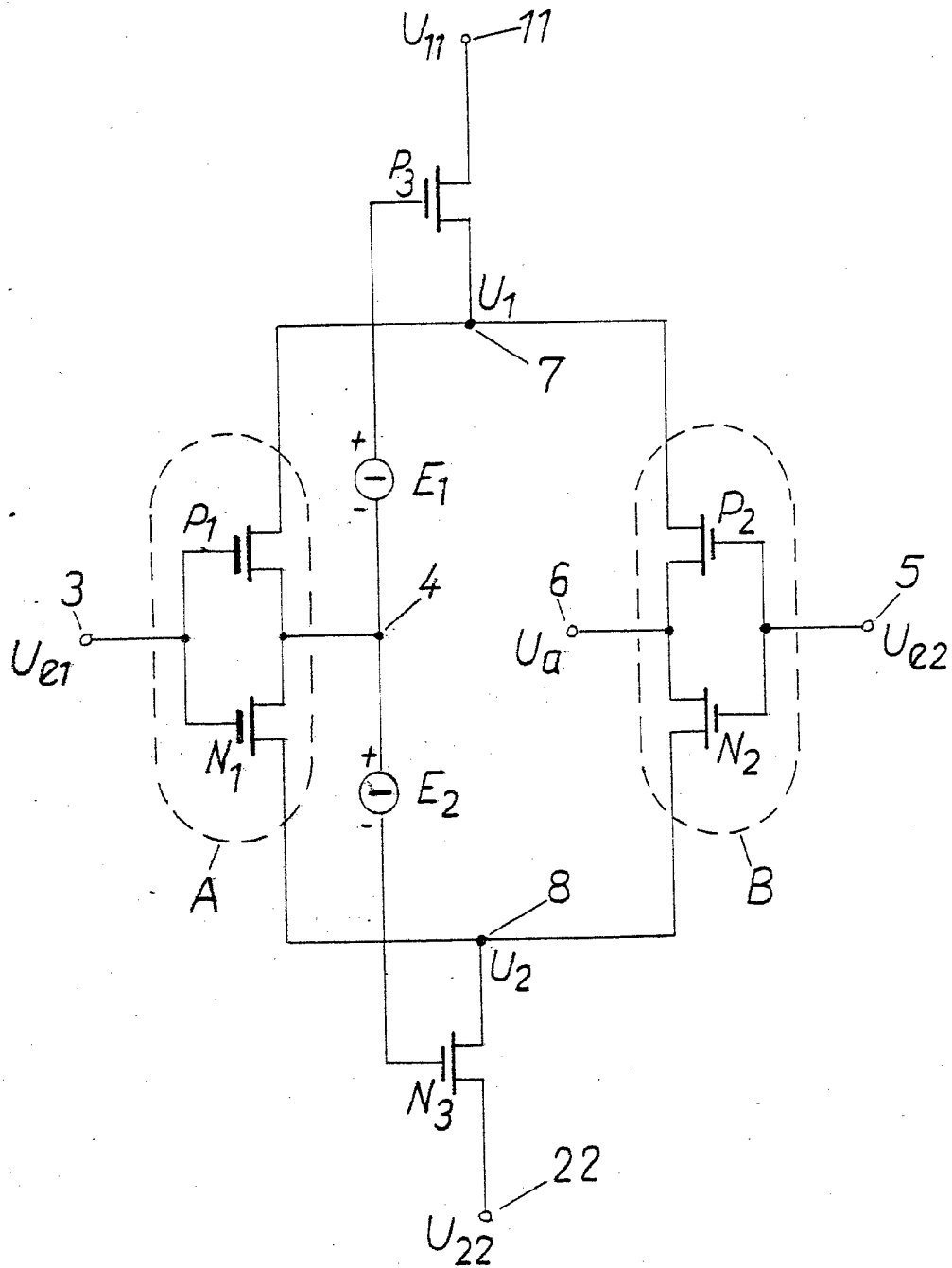


Fig. 4

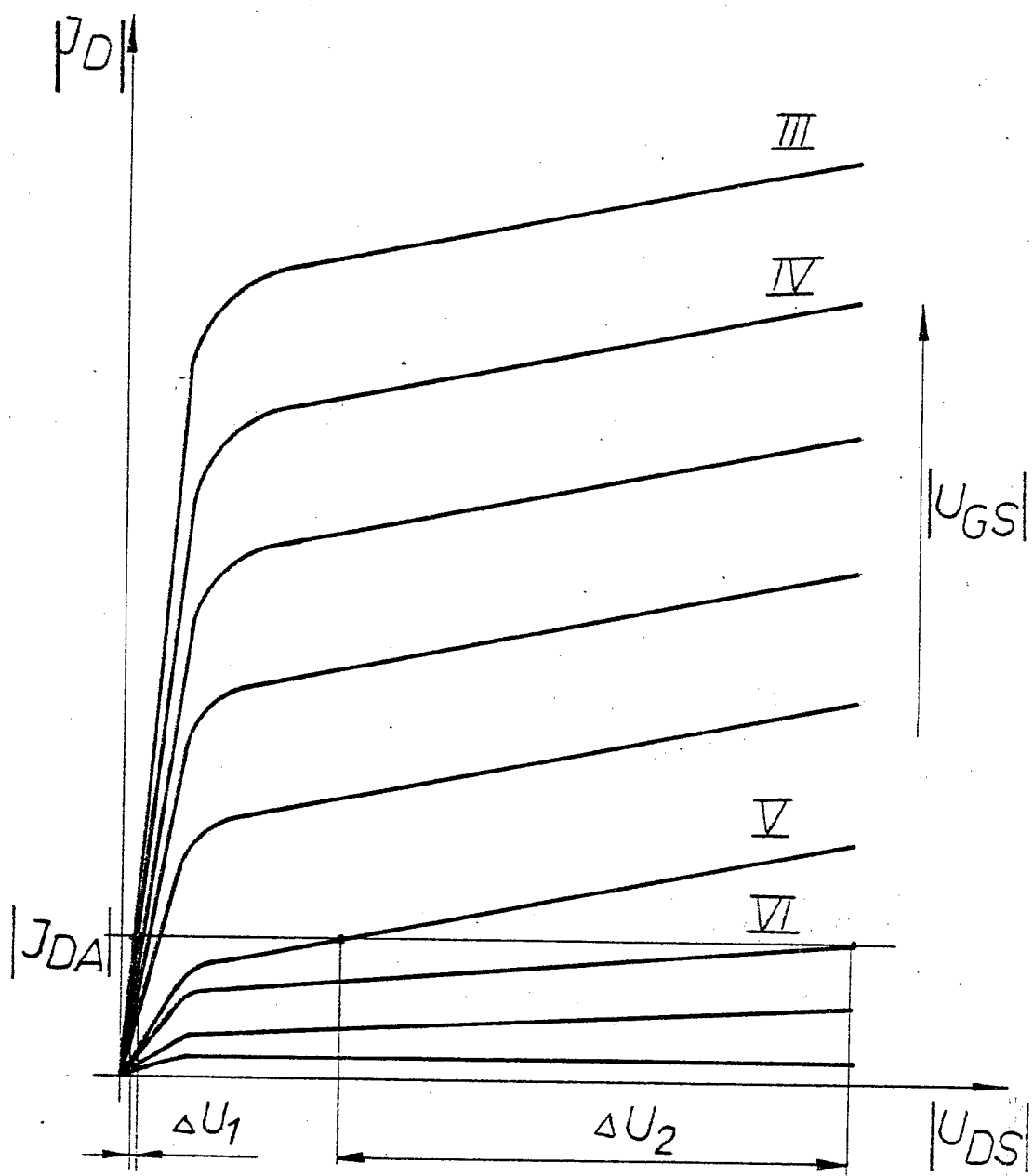


Fig.5

25 AUG 1982 * 081055