

(21)申請案號：102105887

(22)申請日：中華民國 102 (2013) 年 02 月 20 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2012/03/23 日本

2012-067662

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：橫關彌樹博 YOKOZEKI, MIKIHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：13 項 圖式數：10 共 31 頁

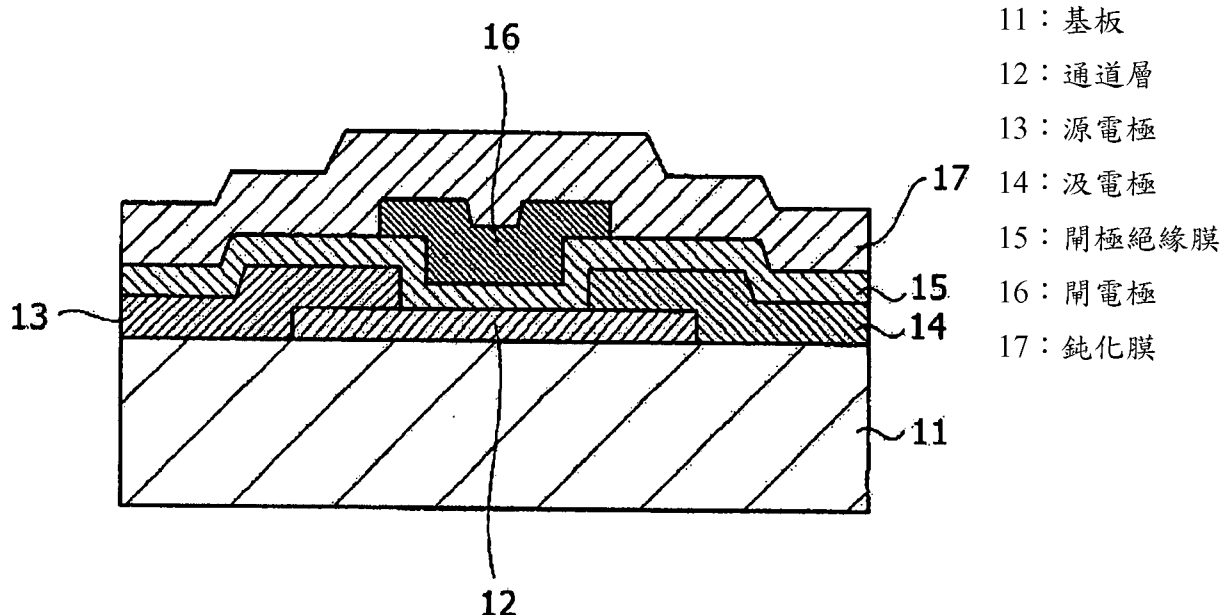
(54)名稱

薄膜電晶體、其製造方法及電子設備

THIN FILM TRANSISTOR, MANUFACTURING METHOD OF THE SAME AND ELECTRONIC EQUIPMENT

(57)摘要

本文揭示一種薄膜電晶體，其包括：由具有方鐵錳礦結構之結晶氧化物半導體製造之通道層，其中該通道層之(222)平面大致平行於載流子行進方向。



(21)申請案號：102105887

(22)申請日：中華民國 102 (2013) 年 02 月 20 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2012/03/23 日本

2012-067662

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：橫關彌樹博 YOKOZEKI, MIKIHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：13 項 圖式數：10 共 31 頁

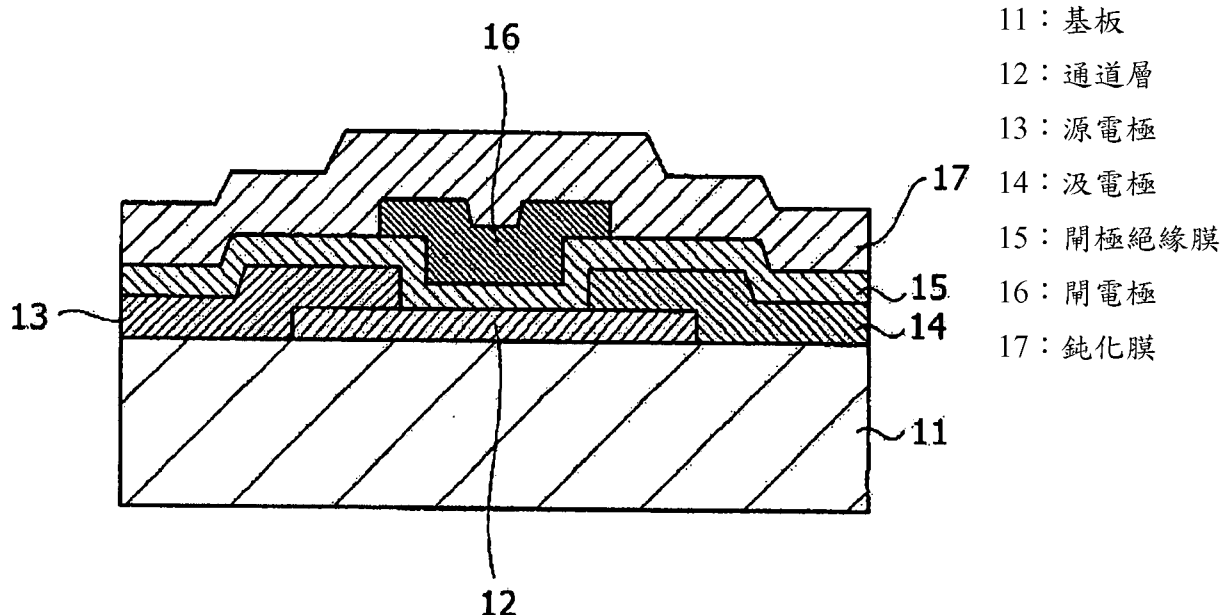
(54)名稱

薄膜電晶體、其製造方法及電子設備

THIN FILM TRANSISTOR, MANUFACTURING METHOD OF THE SAME AND ELECTRONIC EQUIPMENT

(57)摘要

本文揭示一種薄膜電晶體，其包括：由具有方鐵錳礦結構之結晶氧化物半導體製造之通道層，其中該通道層之(222)平面大致平行於載流子行進方向。



發明摘要

※ 申請案號：102105887

※ 申請日：102.2.20

※IPC 分類：

H01L29/186 (2006.01)

【發明名稱】

H01L21/336 (2006.01)

薄膜電晶體、其製造方法及電子設備

THIN FILM TRANSISTOR, MANUFACTURING METHOD OF
THE SAME AND ELECTRONIC EQUIPMENT

【中文】

本文揭示一種薄膜電晶體，其包括：由具有方鐵錳礦結構之結晶氧化物半導體製造之通道層，其中該通道層之(222)平面大致平行於載流子行進方向。

【英文】

Disclosed herein is a thin film transistor including: a channel layer made of a crystalline oxide semiconductor having a bixbyte structure, in which (222) planes of the channel layer are roughly parallel to the carrier travel direction.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

11	基板
12	通道層
13	源電極
14	汲電極
15	閘極絕緣膜
16	閘電極
17	鈍化膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

薄膜電晶體、其製造方法及電子設備

THIN FILM TRANSISTOR, MANUFACTURING METHOD OF
THE SAME AND ELECTRONIC EQUIPMENT

【先前技術】

本發明係關於一種薄膜電晶體、其製造方法及電子設備，且更特定言之，係關於一種由結晶氧化物半導體製造的薄膜電晶體、其製造方法及使用此薄膜電晶體之電子設備。

近年來，已發現顯示器尺寸及訊框率快速增加。此外，近來正在進行開發三維(3D)顯示器之競爭。在此種背景下，升級用作顯示器之像素開關元件之薄膜電晶體(TFT)的效能變得非常有必要。

詳言之，使用氫化非晶矽(a-Si:H)作為其通道層之a-Si:H TFT，亦即，用作以上TFT之TFT，就效能而言已接近其極限。因此，正在積極努力地開發下一代TFT材料(參看Hideo Hosono, Solid State Physics 9, 第44卷, 第523期, 第621頁(2009))。其中，透明非晶形氧化物半導體(TAOS)材料及基於銦(In)之TAOS作為有前景之材料尤其引人注意。已知，TAOS不昂貴且適於廣泛地使用，因為其可在低溫下形成且消除對諸如形成後雷射退火之步驟的需要。事實上，已報導TAOS TFT用於37吋顯示器(LCD)及12.1吋有機EL顯示器，但此仍處於開發階段(參看J. K. Jeong等人, Soc. Inf. Display Digest 39, 1 (2008); 及M.-C. Hung等人, TAOS 2010)。

然而，為將此TAOS TFT商業化，有必要改良其可靠性。亦即，TAOS存在以下問題：其組成原子之一，氧(O)，極容易分裂離去。已

知若由於氧自TAOS中分裂離去而導致發生缺氧，則會發生諸如臨限電壓(V_{th})偏移之特徵變化。此外，由於清晰度及訊框率日益增高，已開始探索 $30\text{ cm}^2/\text{Vs}$ 或 $30\text{ cm}^2/\text{Vs}$ 以上之高遷移率，該高遷移率高於由TAOS獲得之至多 $10\text{ cm}^2/\text{Vs}$ 之遷移率。

為了解決此等問題，使用包括以下之方法：在形成基於In之TAOS膜後對其進行退火；及在基於In之TAOS膜上形成保護膜。然而，難以完全抑制此等方法過程中之TFT特徵變化。基本上，認為必需儘可能地消除基於In之TAOS膜中之不穩定鍵。此外，尋求除InGaZnO以外的材料來改良遷移率。

近來已報導諸如InZnO及InGaZnO₄之結晶材料用於TFT通道層(參看日本專利特許公開案第2008-311342號及第2011-142310號)。預期使用該等結晶材料之TFT與TAOS TFT相比可提供減少之特徵變化。此原因在於據信此等TFT受晶界散射影響之程度較小，因為基於In₂O₃之材料中的載流子傳導由5s軌道決定(參看透明傳導膜技術(Transparent Conductive Film Technology)，透明氧化物光電子材料第166屆委員會(the 166th Commission of Transparent Oxide Photoelectron Materials)編，日本學術振興會(the Japan Society for the Promotion of Science))。然而，迄今為止，TFT特徵變化仍有待於完全抑制。

【發明內容】

根據上述，需要提供一種由結晶氧化物半導體製造且提供高遷移率、最少特徵變化及高可靠性之薄膜電晶體及其製造方法。

亦需要提供使用如上文所述之極佳薄膜電晶體的高效能電子設備。

根據本發明之一個實施例，提供一種薄膜電晶體，其包括通道層。該通道層由具有方鐵錳礦結構之結晶氧化物半導體製造。該通道層之(222)平面大致平行於載流子行進方向。

此外，根據本發明之另一實施例，提供一種薄膜電晶體之製造方法，該方法包括以使通道層之(222)平面大致平行於載流子行進方向的方式形成通道層的步驟。該通道層由具有方鐵錳礦結構之結晶氧化物半導體製造。

此外，根據本發明之另一實施例，提供具有薄膜電晶體之電子設備。該薄膜電晶體包括通道層。該通道層由具有方鐵錳礦結構之結晶氧化物半導體製造。該通道層之(222)平面大致平行於載流子行進方向。

在本發明中，具有方鐵錳礦結構之結晶氧化物半導體可具有C型稀土結構，亦即，氧化釷結構，且摻雜有雜質。根據需要自具有方鐵錳礦結構(具有由 M_2O_3 表示之組成，其中M為金屬)之各種氧化物材料之群中選擇此結晶氧化物半導體。更特定言之，該等氧化物材料有 Dy_2O_3 、 Er_2O_3 、 Eu_2O_3 、 Gd_2O_3 、 Ho_2O_3 、 In_2O_3 、 La_2O_3 、 Lu_2O_3 、 β - Mn_2O_3 、 Nd_2O_3 、 Pr_2O_3 、 Sc_2O_3 、 Sm_2O_3 、 Tb_2O_3 、 Tl_2O_3 、 Tm_2O_3 、 Y_2O_3 及 Yb_2O_3 。摻雜有雜質之此等氧化物材料有摻雜有Ti之 In_2O_3 ($In_2O_3:Ti$)、摻雜有Sn之 In_2O_3 (ITO)及摻雜有Nd之 Y_2O_3 ($Y_2O_3:Nd$)。此結晶氧化物半導體為多晶型或單晶型。由此結晶氧化物半導體製造之通道層之(222)平面為上面僅配置金屬原子之晶體平面。

通道層之載流子遷移率較佳為 $30\text{ cm}^2/Vs$ 或 $30\text{ cm}^2/Vs$ 以上。在此情況下，以提供 $30\text{ cm}^2/Vs$ 或 $30\text{ cm}^2/Vs$ 以上之遷移率的方式選擇由通道層之(222)平面與載流子行進方向形成之平均角度。此處，術語「平均角度」係指多個晶粒之由(222)平面與載流子行進方向形成之角度的平均值，因為若結晶氧化物半導體為多晶型，則此角度由於晶粒間之晶體取向變化而因晶粒而異。若結晶氧化物半導體為多晶型，且若晶粒之間的晶體平面大致彼此重合，則有可能的是將容易形成與晶粒邊界中之載流子傳導相關聯的金屬-金屬鍵(例如In-In鍵)，即使

當晶粒之晶軸由於平面內旋轉而移位時亦如此。若結晶氧化物半導體為單晶型，則平均角度係由上面僅配置此單晶之金屬原子的晶體平面與載流子行進方向形成。由(222)平面與載流子行進方向形成之平均角度較佳為例如 0° 或 0° 以上及 25° 或 25° 以下，且更佳為 0° 或 0° 以上及 10° 或 10° 以下。

薄膜電晶體可為頂部閘極薄膜電晶體，其具有依次堆疊於基板上及上方的通道層、閘極絕緣膜及閘電極；或底部閘極薄膜電晶體，其具有依次堆疊於基板上的閘電極、閘極絕緣膜及通道層。在頂部閘極薄膜電晶體中，通道層較佳設置在基板上方，其間安置具有均一組成且不含任何雜質的非晶形絕緣膜。氧化物，諸如 AlO_x (其中 x 為例如1.2或1.2以上且為1.8或1.8以下)、 GaO_x (其中 x 為例如1.2或1.2以上且為1.8或1.8以下)、 YO_x (其中 x 為例如1.2或1.2以上且為1.8或1.8以下)及 LaO_x (其中 x 為例如1.2或1.2以上且為1.8或1.8以下)，可用作非晶形絕緣膜之材料。另外，諸如 AlN 之氮化物亦可用於相同目的。可使用具有寬帶隙之晶體膜，且較佳使用具有均一組成且不含任何雜質之晶體膜，而非此非晶形絕緣膜。可用作此晶體膜之材料有 Al_2O_3 、 Ga_2O_3 、 Y_2O_3 、 La_2O_3 及 AlN 。另一方面，設置在通道層上之閘極絕緣膜可為非晶形或結晶的。其材料不僅可為 SiO_x (其中 x 為例如1.8或1.8以上且為2.2或2.2以下，且亦包括 SiO_2)及 SiN_x (其中 x 為例如1.1或1.1以上且為1.6或1.6以下，亦包括 Si_3N_4)及 AlO_x (其中 x 為例如1.2或1.2以上且為1.8或1.8以下，亦包括 Al_2O_3)，而且可為具有寬帶隙之任何其他材料。然而，較佳使用非晶形 SiO_x 、 SiN_x 及 AlO_x 膜。

基本上，任何類型之基板均可用於製造薄膜電晶體，只要該基板可耐受形成結晶氧化物半導體及進行其他製程時之溫度即可，且根據需要選擇基板類型。此基板可為透明或不透明的。雖然根據需要選擇透明基板之材料，但可例如使用透明無機材料，諸如石英、藍寶石

及玻璃及各種透明塑膠。使用透明塑膠基板作為可撓性透明基板。透明塑膠有聚對苯二甲酸伸乙酯、聚萘二甲酸伸乙酯、聚碳酸酯、聚苯乙烯、聚乙烯、聚丙烯、聚苯硫醚、聚偏二氟乙烯、乙醯纖維素、溴化苯氧基、芳族聚醯胺、聚醯亞胺、聚苯乙烯、聚芳基化合物、聚砜及聚烯烴。使用例如矽基板作為不透明基板。

在薄膜電晶體之製造方法中，較佳在至少含有氧氣之氛圍中形成通道層以便在形成由結晶氧化物半導體製造之通道層期間促進結晶。此外，較佳可在至少含有氧氣之氛圍中進行退火，以便在形成通道層後進一步促進結晶。此外，若製造頂部閘極薄膜電晶體，則首先在基板上形成非晶形絕緣膜，且較佳形成具有單一組成之非晶形絕緣膜，隨後在其上形成通道層以便形成具有極佳晶體取向之通道層。此外，較佳在通道層上形成 SiO_x 或 AlO_x 膜作為閘極絕緣膜。

電子設備可為使用一個或兩個或兩個以上薄膜電晶體之各種電子設備，且包括攜帶型及固定設備，不論功能性及使用目的如何。電子設備之特定實例有諸如液晶顯示器及有機EL顯示器之顯示器、攝影機、行動電話、行動裝置、個人電腦、博弈機、車載裝置、家用電器及工業產品。

若(222)平面，亦即，上面僅配置通道層之金屬原子的晶體平面，與載流子行進方向如上文所述大致彼此平行，則載流子在(222)平面中快速傳導，因此有助於顯著改良載流子遷移率。此外，通道層由具有方鐵錳礦結構之結晶氧化物半導體製造，因此將薄膜電晶體特徵變化減至最小且提供高可靠性。

本發明提供一種由結晶氧化物半導體製造之薄膜電晶體，其提供高遷移率、最小特徵變化及高可靠性。可藉由使用此極佳薄膜電晶體來實現高效能電子設備。

【圖式簡單說明】

圖1為說明根據第一實施例之薄膜電晶體的橫截面圖；

圖2為用於描述根據第一實施例之薄膜電晶體中由通道層之(222)平面與載流子行進方向形成之角度的示意圖；

圖3為說明根據第二實施例之薄膜電晶體的橫截面圖；

圖4為說明用於評估 In_2O_3 膜之結晶度之樣品的橫截面圖；

圖5為說明在 In_2O_3 膜上進行之X射線繞射之結果的示意圖；

圖6為說明 In_2O_3 晶體之結構的示意圖；

圖7為用於描述上面僅配置 In_2O_3 晶體之In原子之(222)平面中之電子傳導的示意圖；

圖8A及圖8B為說明高解析度透射電子顯微鏡影像之替代圖式之像片；

圖9為說明由 In_2O_3 膜之(222)平面與載流子行進方向形成之平均角度與遷移率之間的關係的示意圖；及

圖10為說明在 $\text{In}_2\text{O}_3:\text{Ti}$ 膜上進行之X射線繞射之結果的示意圖。

【實施方式】

以下將提供用於實施本發明之模式(在下文中稱為實施例)的描述。應注意，該描述將按照以下順序提供。

1. 第一實施例(薄膜電晶體及其製造方法)

2. 第二實施例(薄膜電晶體及其製造方法)

<1. 第一實施例>

[薄膜電晶體]

圖1說明根據第一實施例之薄膜電晶體。此薄膜電晶體為頂部閘極薄膜電晶體。

如圖1中所說明，在此薄膜電晶體中，由具有方鐵錳礦結構之結晶氧化物半導體製造的通道層12設置在基板11上。以跨在通道層12之兩個邊緣上之方式設置源電極13及汲電極14，與通道層12歐姆接觸。

閘極絕緣膜15以覆蓋通道層12、源電極13及汲電極14之方式設置。閘電極16設置在閘極絕緣膜15上。此外，鈍化膜17以覆蓋閘電極16之方式設置。

根據薄膜電晶體之使用目的，視情況例如自上文所列之材料中選擇材料用作基板11。

在通道層12中，(222)平面，亦即，上面僅配置構成通道層12之具有方鐵錳礦結構之結晶氧化物半導體之金屬原子的晶體平面，與載流子行進方向大致彼此平行。更特定言之，舉例而言，(222)平面與載流子行進方向之間的平均角度為 0° 或 0° 以上及 25° 或 25° 以下。此處，載流子行進方向平行於通道層12之表面。通道層12之厚度係根據例如薄膜電晶體所必需之效能來確定。根據需要自例如上文所列之材料中選擇材料用作通道層12。圖2說明由(222)平面與載流子行進方向形成之平均角度 α 。通道層12較佳設置在基板11上方，其間安置非晶形絕緣膜。較佳使用具有均一組成且不含任何雜質之非晶形絕緣膜(諸如 AlO_x 或 GaO_x 膜)作為非晶形絕緣膜。

源電極13、汲電極14及閘電極16之材料有金屬，諸如鉑(Pt)、金(Au)、鈀(Pd)、鉻(Cr)、鉬(Mo)、鎳(Ni)、鋁(Al)、銀(Ag)、鉭(Ta)、鎢(W)、銅(Cu)、鈦(Ti)、銦(In)及錫(Sn)；含有此等金屬之各種合金；及各種傳導物質，諸如摻雜有雜質之多晶矽。可使用已知傳導金屬氧化物作為源電極13及汲電極14之材料。更特定言之，該等傳導金屬氧化物有ITO、氧化錫(SnO_2)及氧化鋅(ZnO)。源電極13、汲電極14及閘電極16可具有由此等物質中之任一者製造之兩個或兩個以上層的層合結構。根據例如薄膜電晶體所必需之特徵，視情況選擇閘電極16沿通道長度之寬度(閘極長度)及源電極13與汲電極14之間的距離(圖2中所示之通道長度L)。

可使用已知材料作為閘極絕緣膜15且根據需要加以選擇。更特

定言之，形成閘極絕緣膜15之材料為例如 SiO_x 、 SiN_x 或 AlO_x 。然而，其不限於此等材料。詳言之，因為通道層12由結晶氧化物半導體製造，因此，在此情況下，可使用 AlO_x 膜，亦即，先前難以應用於相關技術中使用非晶形氧化物半導體膜之TFT之膜，作為閘極絕緣膜15。亦即，當形成非晶形氧化物半導體膜時，氧氣例如由於膜形成期間之電漿損壞及溫度升高而離開膜。因此，在膜形成之後，必須藉由在含 O_2 之氛圍中進行退火來調整臨限電壓。因此，已難以使用不容易傳遞氧氣或水分之 AlO_x 膜作為閘極絕緣膜。相比之下，儘管在形成結晶氧化物半導體膜期間存在電漿及溫度升高，氧氣亦不容易離開膜，因而允許 AlO_x 膜用作閘極絕緣膜15。若使用 AlO_x 膜作為如上文所述之閘極絕緣膜15，則可防止氧氣及水分到達並吸附至通道層12。由此可防止薄膜電晶體由於水分或其他物質吸附至通道層12而發生特徵劣化，因而有助於改良薄膜電晶體之長期可靠性。根據例如薄膜電晶體所必需之效能來選擇閘極絕緣膜15之厚度。

可使用已知材料作為鈍化膜17且根據需要加以選擇。更特定言之，鈍化膜17之材料有二氧化矽(SiO_2)、氮化矽(SiN_x ，諸如 Si_3N_4)、磷矽玻璃(PSG)、硼矽玻璃(BSG)、硼磷矽玻璃(BPSG)。然而，用作鈍化膜17之材料不限於此。根據需要選擇鈍化膜17之厚度。

[薄膜電晶體之製造方法]

如圖1中所說明，於基板11上生長具有方鐵錳礦結構之結晶氧化物半導體，因而形成通道層12。接著，根據需要藉由微影術及蝕刻將通道層12圖案化。可使用已知方法來生長結晶氧化物半導體且視情況加以選擇。更特定言之，可使用之半導體生長方法有脈衝式雷射沈積(PLD)、濺鍍、真空氣相沈積及化學氣相沈積(CVD)。雖然根據欲生長之結晶氧化物半導體及基板11之耐受溫度視情況加以選擇，但生長溫度一般為室溫或室溫以上及 1000°C 或 1000°C 以下。詳言之，若使用

玻璃基板作為基板11，則生長溫度為室溫或室溫以上及400℃或400℃以下。結晶氧化物半導體根據需要摻雜有雜質。在此情況下，可藉由雜質類型及濃度來控制結晶氧化物半導體之結晶狀態。此外，就控制通道層12之晶體取向之觀點而言，較佳在形成通道層12之前在基板11上形成變得完全非晶形之非晶形絕緣膜，隨後在非晶形絕緣膜上在其表面不曝露於氛圍的情況下形成通道層12。此舉意欲防止以下情況。亦即，在上面將形成通道層12之基板11之表面上存在水分或雜質的情況下，水分或雜質充當晶核，從而使得在形成通道層12時容易形成具有不同取向之晶粒，促進部分結晶且導致難以達成均一取向。具有均一組成且不含任何雜質(諸如 AlO_x 或 GaO_x)之材料用作此非晶形絕緣膜。此舉意欲防止以下情況。亦即，在具有不均一組成或含有雜質的非晶形絕緣膜中，具有不均一組成或雜質之區域充當晶核，從而使得容易形成具有不同取向之晶粒、促進部分結晶且導致難以達成均一取向。

接著，形成將充當源電極13及汲電極14之傳導膜，隨後藉由微影術及蝕刻將傳導膜圖案化成指定形狀，由此形成源電極13及汲電極14。可使用已知方法來形成傳導膜且根據需要加以選擇。更特定言之，用於形成傳導膜之方法有例如PLD、濺鍍、真空氣相沈積及CVD。

接著，在整個表面上形成閘極絕緣膜15。可使用已知方法來形成閘極絕緣膜15且視情況加以選擇。更特定言之，用於形成閘極絕緣膜之方法有例如濺鍍、真空氣相沈積及CVD。

接著，在整個表面上形成將充當閘電極16之傳導膜，隨後藉由微影術及蝕刻將傳導膜圖案化成指定形狀，由此形成閘電極16。可使用已知方法來形成傳導膜且根據需要加以選擇。更特定言之，用於形成傳導膜之方法有例如PLD、濺鍍及真空氣相沈積。

接著，在整個表面上形成鈍化膜17。可使用已知方法來形成鈍化膜17且根據需要加以選擇。更特定言之，用於形成鈍化膜17之方法有例如濺鍍、真空氣相沈積及CVD。

藉由以上製程步驟來製造目標頂部閘極薄膜電晶體。

如上文所述，在第一實施例中，(222)平面，亦即上面僅配置構成通道層12之具有方鐵錳礦結構之結晶氧化物半導體之金屬原子的晶體平面，與載流子行進方向大致彼此平行。更特定言之，(222)平面與載流子行進方向之間的平均角度為例如 0° 或 0° 以上及 25° 或 25° 以下。由此提供例如 $30\text{ cm}^2/\text{Vs}$ 或 $30\text{ cm}^2/\text{Vs}$ 以上之高薄膜電晶體遷移率。此外，通道層12由結晶氧化物半導體製造，因此將薄膜電晶體之特徵變化減至最小且提供高可靠性。

<2. 第二實施例>

[薄膜電晶體]

圖3說明根據第二實施例之薄膜電晶體。此薄膜電晶體為底部閘極薄膜電晶體。

如圖3中所說明，在此薄膜電晶體中之基板11上設置閘電極16。閘極絕緣膜15及通道層12按此順序以覆蓋閘電極16的方式堆疊。以覆蓋通道層12的方式設置鈍化膜17。在鈍化膜17之指定區域形成開口17a及17b。接著，設置經由開口17a與通道層12歐姆接觸的源電極13，且設置經由開口17b與通道層12歐姆接觸的汲電極14。

此薄膜電晶體在所有其他方面均與根據第一實施例之對應物相同。

[薄膜電晶體之製造方法]

如圖3中所說明，首先在基板11上形成閘電極16。

接著，在上面已如上文所述形成閘電極16之基板11之整個表面上生長具有方鐵錳礦結構之結晶氧化物半導體，由此形成通道層12。

接著，在通道層12之整個表面上形成閘極絕緣膜15。

接著，在閘極絕緣膜15之整個表面上形成鈍化膜17。

接著，藉由微影術及蝕刻移除鈍化膜17之指定區域，由此形成開口17a及17b。

接著，分別在鈍化膜17之開口17a及17b中形成源電極13及汲電極14。

藉由以上製程步驟來製造目標底部閘極薄膜電晶體。

在第二實施例中，底部閘極薄膜電晶體提供與第一實施例中相同的優勢。

<實施實例1>

將提供第二實施例之實施實例1之描述。

用以下方式製造底部閘極薄膜電晶體。

在玻璃基板上形成100 nm厚之 SiO_2 膜以忽略與此玻璃基板之界面的影響。

接著，在 SiO_2 膜上形成100 nm厚之Mo膜以形成閘電極，隨後藉由微影術及蝕刻將Mo膜圖案化成指定形狀，由此形成閘電極。

接著，在整個表面上以覆蓋閘電極之方式形成300 nm厚之 SiO_2 膜以充當閘極絕緣膜。

接著，在氧氣(O_2)氛圍中藉由PLD系統在 SiO_2 膜之整個表面上形成400 nm厚之 In_2O_3 膜以充當通道層。在室溫下，在氧氣壓力設定為8 Pa的情況下形成 In_2O_3 膜。如稍後將加以描述，在形成 In_2O_3 膜期間藉由在此等條件下形成相同膜而成功地促進結晶。

接著，在400°C下在氧氣氛圍中進行結晶退火1小時以促進 In_2O_3 膜之結晶。

接著，在整個表面上以覆蓋 In_2O_3 膜之方式形成500 nm厚之 SiO_2 膜以充當鈍化膜。

接著，藉由以蝕刻移除 SiO_2 膜之指定區域來形成開口。此外，藉由真空氣相沈積形成適於形成源電極及汲電極之金屬膜。藉由微影術及蝕刻將此金屬膜圖案化成指定形狀，由此形成源電極及汲電極。

如上文所述形成底部閘極薄膜電晶體。

研究藉由PLD形成之 In_2O_3 膜由於氧氣壓力所致之結晶度變化。亦即，如圖4中所說明，在室溫下，在氛圍中之氧氣壓力以4個水準變化(亦即，2 Pa、8 Pa、12 Pa及16 Pa)的情況下，藉由PLD系統在c-平面藍寶石基板21上形成400 nm厚之 In_2O_3 膜22。接著，藉由X射線繞射研究 In_2O_3 膜之結晶度。研究結果示於圖5中。圖5之橫軸為繞射角 2θ ，且縱軸為強度。此處，使用c-平面藍寶石基板21來形成 In_2O_3 膜22的原因在於藉由使用c-平面藍寶石基板21(亦即單晶基板)之頂點(圖5中所示之 $\text{Sap}(006)$)作為參考以便詳細研究 In_2O_3 膜22之結晶狀態來改良X射線繞射量測之對準精確度。根據圖5已發現，當氧氣壓力為8 Pa時， In_2O_3 膜22之(222)平面之峰的半寬度最窄，換言之， In_2O_3 膜22呈最高級結晶狀態。此為在形成 In_2O_3 膜期間將氛圍中之氧氣壓力設定為8 Pa的原因。

圖6說明 In_2O_3 晶體之結構。 In_2O_3 晶體之(222)平面為在上面In原子，亦即金屬原子，以平面方式配置的晶體平面。在圖6中，大球體表示In原子，且小球體為O原子。圖7說明 In_2O_3 中之電子(e^-)的傳導模型。已知，與ZnO及其他材料不同，電子傳導由於 In_2O_3 中之In原子之5s軌道重疊而非 sp^3 雜化軌道重疊而發生(參看透明傳導膜技術，第166屆透明氧化物光電子材料委員會編，日本學術振興會)。此機制被視為有助於高遷移率，儘管基於In之氧化物半導體為非晶形。

圖8A及圖8B說明當 In_2O_3 膜之(222)平面與載流子行進方向之間的角度變化時 In_2O_3 膜之橫截面透射電子顯微鏡影像(橫截面TEM影像)。然而，應注意， In_2O_3 膜為20 nm厚。圖8A及圖8B亦說明霍爾遷移率

(Hall mobility)之評估結果。 In_2O_3 膜之(222)平面之間的空隙為約0.3 nm。在圖8A中所示的情況下， In_2O_3 膜之(222)平面與載流子行進方向幾乎彼此平行。此時霍爾遷移率顯著較大或為 $64.6 \text{ cm}^2/\text{Vs}$ 。應注意，已確定在TEM視場(約2至4 μm)內的 In_2O_3 膜之大部分區域中，(222)平面幾乎平行於載流子行進方向。另一方面，在圖8B中所示之情況下， In_2O_3 膜之(222)平面與載流子行進方向之間形成較大角度或約 70° 。此時霍爾遷移率較小或為 $22.0 \text{ cm}^2/\text{V}$ 。由此顯而易見，有效地使 In_2O_3 膜之(222)平面更接近平行於載流子行進方向，以便為 In_2O_3 膜提供高遷移率。

圖9說明遷移率根據由 In_2O_3 膜之(222)平面與載流子行進方向形成之平均角度的變化。然而，應注意， In_2O_3 膜為20 nm厚。根據圖9顯而易見，為達成 $30 \text{ cm}^2/\text{Vs}$ 或 $30 \text{ cm}^2/\text{Vs}$ 以上之高遷移率， 0° 或 0° 以上且為 25° 或 25° 以下之平均角度 α 為必需的。

<實施實例2>

將提供第二實施例之實施實例2之描述。

在實施實例2中，用與實施例1中相同的方式製造薄膜電晶體，但藉由PLD使用PLD系統形成含添加Ti之 In_2O_3 的 $\text{In}_2\text{O}_3:\text{Ti}$ 膜作為由含1重量% Ti之 In_2O_3 製造的目標。

使用X射線繞射研究藉由PLD形成的 $\text{In}_2\text{O}_3:\text{Ti}$ 膜的結晶度。其結果示於圖10中。如實施實例1，使用c-平面藍寶石基板形成 $\text{In}_2\text{O}_3:\text{Ti}$ 膜。根據圖10顯而易見， $\text{In}_2\text{O}_3:\text{Ti}$ 膜之(222)平面以幾乎平行於膜表面的方式配置，因為觀察到(222)平面之峰具有窄半寬度。亦已發現此 $\text{In}_2\text{O}_3:\text{Ti}$ 膜之遷移率高達 $58 \text{ cm}^2/\text{Vs}$ 。

雖然已特定描述實施實例，但本發明技術不限於以上實施例及實施實例，且可基於其技術原理以多種方式加以修改。

舉例而言，以上實施例及實施實例中所引用之數值、結構、形

狀、材料、製程等僅為實例，且根據需要可使用與其不同的數值、結構、形狀、材料、製程等。

應注意，本發明技術可具有以下組態。

(1) 一種薄膜電晶體，其包括：

通道層，其係由具有方鐵錳礦結構之結晶氧化物半導體製造，其中

該通道層之(222)平面大致平行於載流子行進方向。

(2) 如特徵1之薄膜電晶體，其中

該通道層具有 $30 \text{ cm}^2/\text{Vs}$ 或 $30 \text{ cm}^2/\text{Vs}$ 以上之載流子遷移率。

(3) 如特徵1或2之薄膜電晶體，其中

由該等(222)平面與該載流子行進方向形成之平均角度為 0° 或 0° 以上及 25° 或 25° 以下。

(4) 如特徵1至3中任一項之薄膜電晶體，其中

該具有方鐵錳礦結構之結晶氧化物半導體為 In_2O_3 。

(5) 如特徵1至4中任一項之薄膜電晶體，其中

該具有方鐵錳礦結構之結晶氧化物半導體摻雜有雜質。

(6) 如特徵1至5中任一項之薄膜電晶體，其中

該通道層、閘極絕緣膜及閘電極係按照此順序堆疊於基板上及上方。

(7) 如特徵1至5中任一項之薄膜電晶體，其中

該通道層係設置在基板上方，其間安置非晶形絕緣膜。

(8) 如特徵1至7中任一項之薄膜電晶體，其中

該閘極絕緣膜為 Al_2O_3 膜。

(9) 如特徵1至5中任一項之薄膜電晶體，其中

閘電極、閘極絕緣膜及該通道層係按照此順序堆疊於基板上及上方。

(10) 一種薄膜電晶體之製造方法，其包括以下步驟：

用以下方式形成由具有方鐵錳礦結構之結晶氧化物半導體製造之通道層：該通道層之(222)平面大致平行於載流子行進方向。

(11) 如特徵10之薄膜電晶體之製造方法，其中該通道層係在含氧氣之氛圍中形成。

(12) 如特徵11之薄膜電晶體之製造方法，其中該通道層係形成在基板上方，其間安置非晶形絕緣膜。

本申請案含有與2012年3月23日在日本專利局(Japan Patent Office)申請之日本優先專利申請案JP 2012-067662中所揭示相關之主題，該案之全部內容以引用的方式併入本文中。

【符號說明】

11	基板
12	通道層
13	源電極
14	汲電極
15	閘極絕緣膜
16	閘電極
17	鈍化膜
17a	開口
17b	開口
21	c-平面藍寶石基板
22	In ₂ O ₃ 膜

申請專利範圍

1. 一種薄膜電晶體，其包含：
通道層，其係由具有方鐵錳礦結構之結晶氧化物半導體製造，其中
該通道層之(222)平面大致平行於載流子行進方向。
2. 如請求項1之薄膜電晶體，其中
該通道層具有 $30 \text{ cm}^2/\text{Vs}$ 或 $30 \text{ cm}^2/\text{Vs}$ 以上之載流子遷移率。
3. 如請求項2之薄膜電晶體，其中
由該等(222)平面與該載流子行進方向形成之平均角度為 0° 或 0° 以上及 25° 或 25° 以下。
4. 如請求項3之薄膜電晶體，其中
該具有方鐵錳礦結構之結晶氧化物半導體為 In_2O_3 。
5. 如請求項1之薄膜電晶體，其中
該具有方鐵錳礦結構之結晶氧化物半導體摻雜有雜質。
6. 如請求項1之薄膜電晶體，其中
該通道層、閘極絕緣膜及閘電極係按照此順序堆疊於基板上及上方。
7. 如請求項6之薄膜電晶體，其中
該通道層係設置在該基板上方，其間安置非晶形絕緣膜。
8. 如請求項1之薄膜電晶體，其中
該閘極絕緣膜為 Al_2O_3 膜。
9. 如請求項1之薄膜電晶體，其中
閘電極、閘極絕緣膜及該通道層係按照此順序堆疊於基板上及上方。
10. 一種薄膜電晶體之製造方法，其包括：

用以下方式形成由具有方鐵錳礦結構之結晶氧化物半導體製造之通道層：該通道層之(222)平面大致平行於載流子行進方向。

11. 如請求項10之薄膜電晶體之製造方法，其中

該通道層係在含氧氣之氛圍中形成。

12. 如請求項11之薄膜電晶體之製造方法，其中

該通道層係形成在該基板上方，其間安置非晶形絕緣膜。

13. 一種電子設備，其具有薄膜電晶體，該薄膜電晶體包含：

通道層，其係由具有方鐵錳礦結構之結晶氧化物半導體製造，其中

該通道層之(222)平面大致平行於載流子行進方向。

圖式

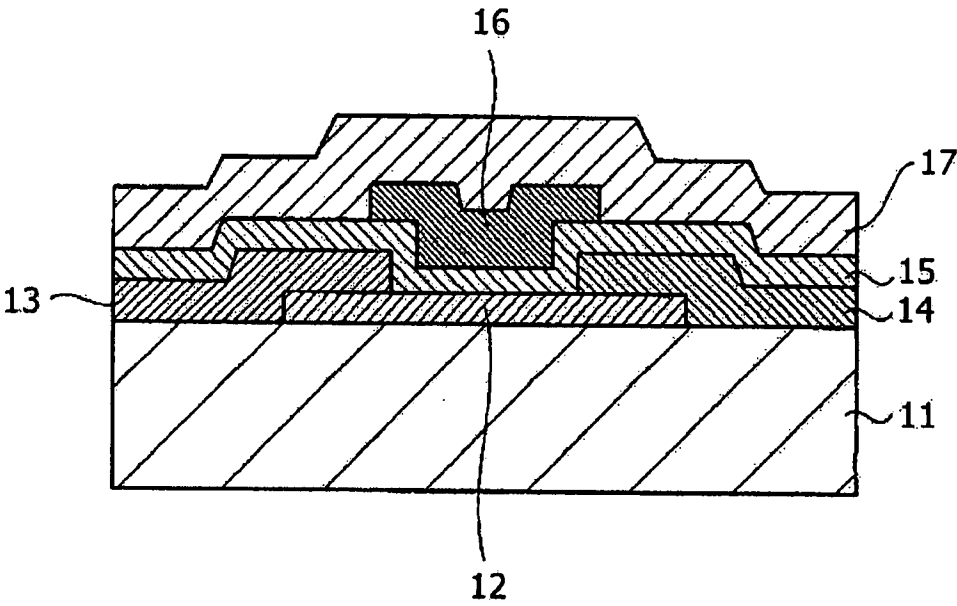


圖1

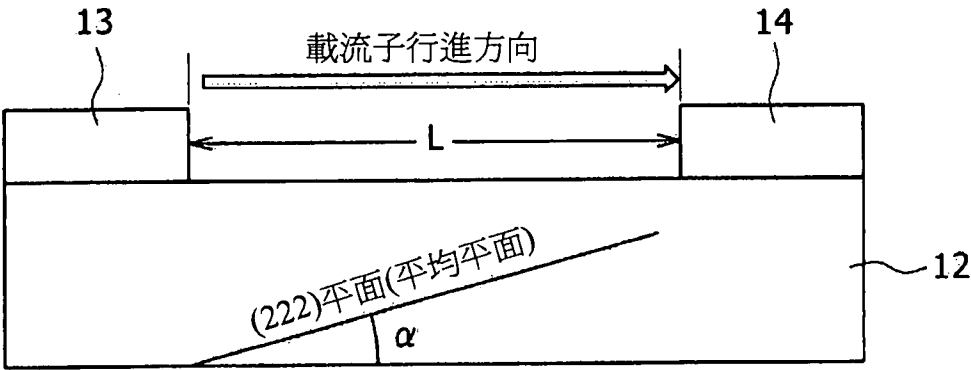


圖2

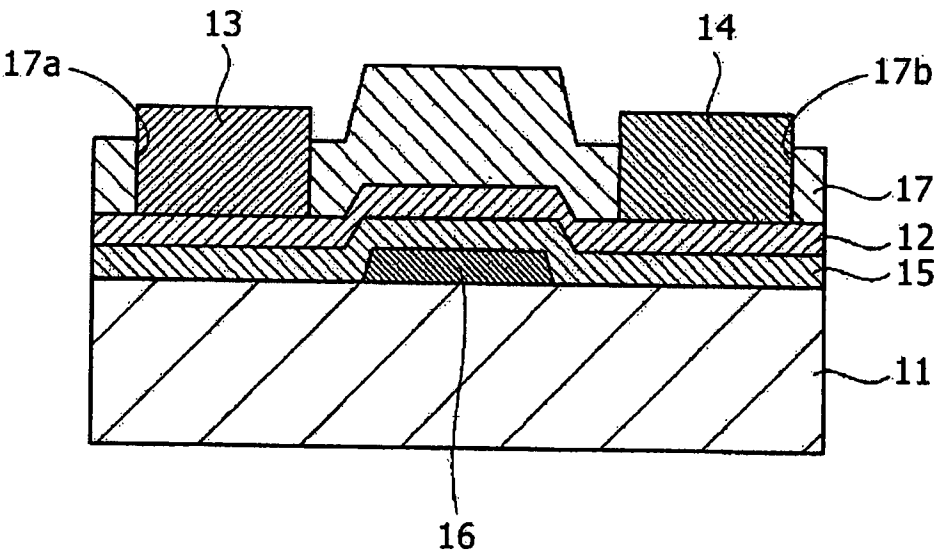


圖3

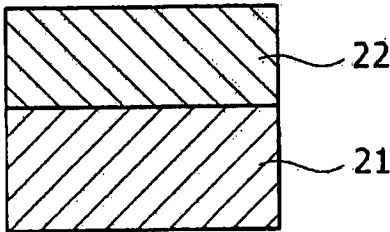


圖4

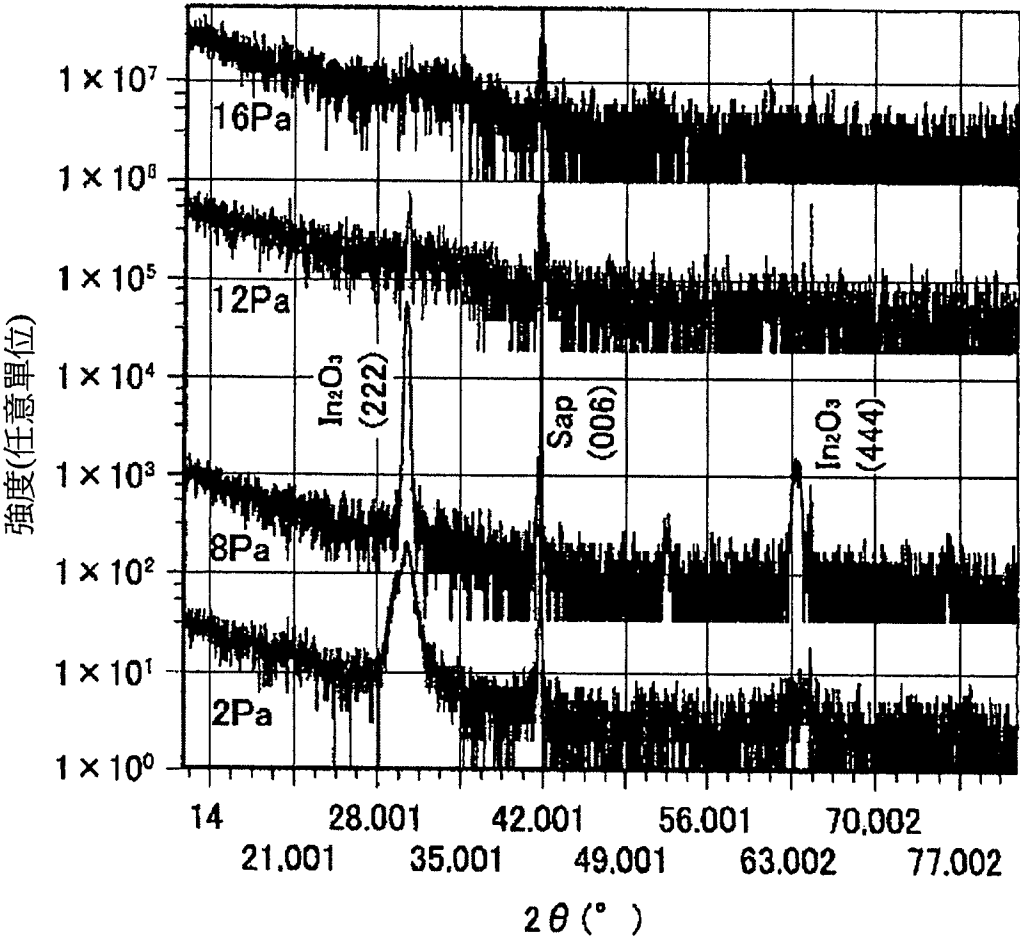


圖5

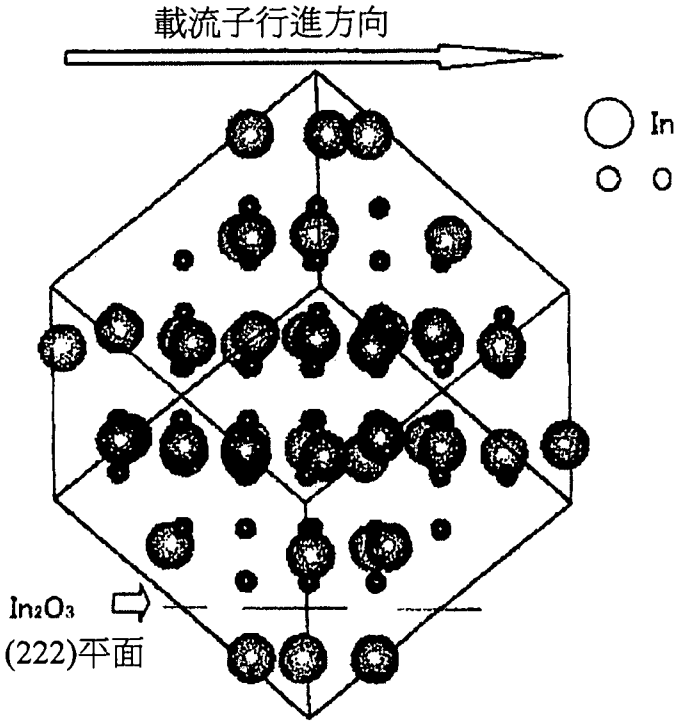


圖6

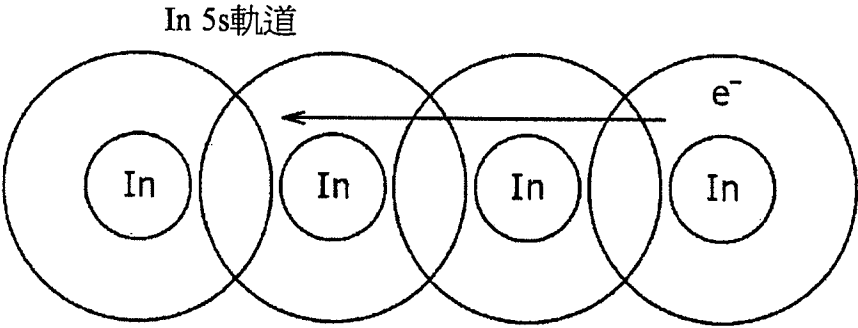


圖7

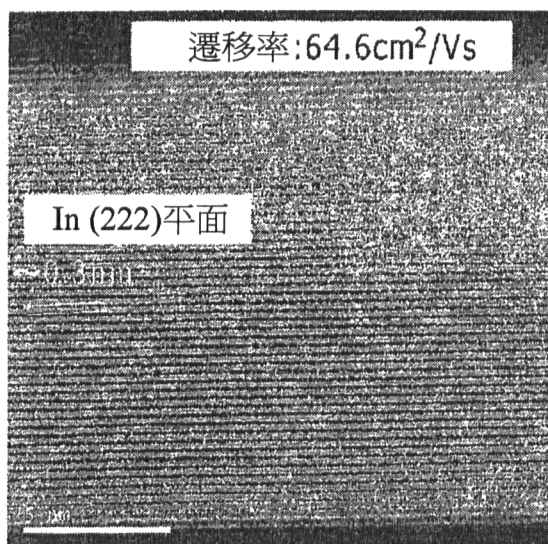


圖8A

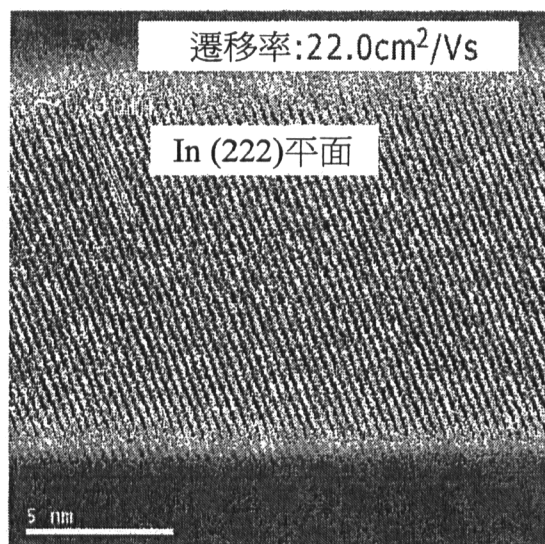


圖8B

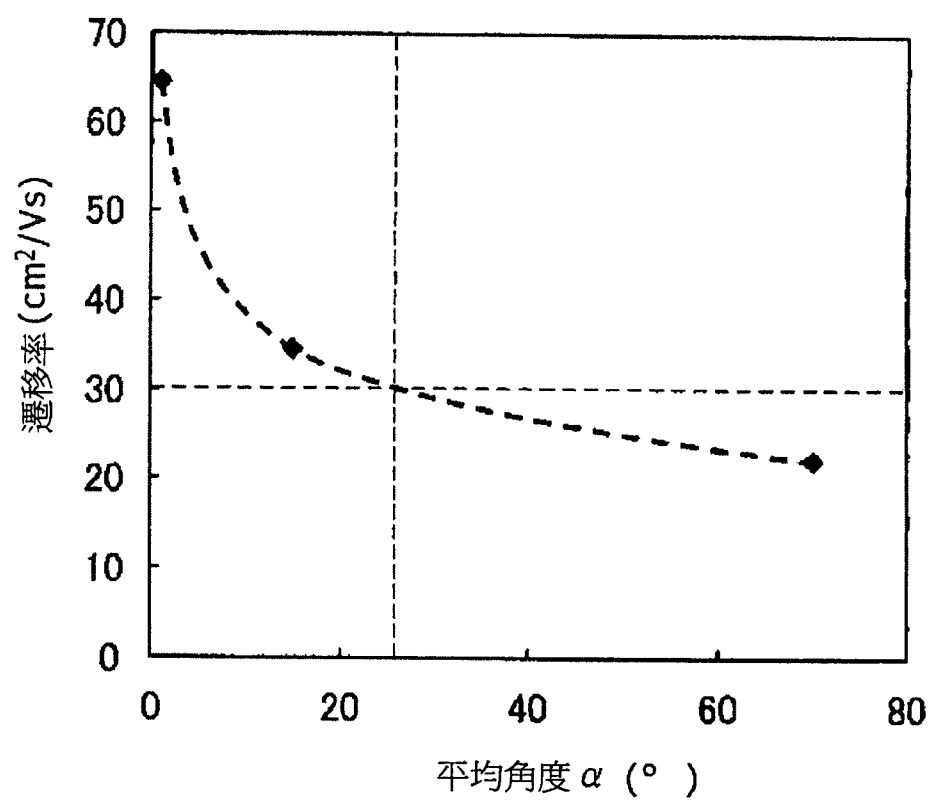


圖9

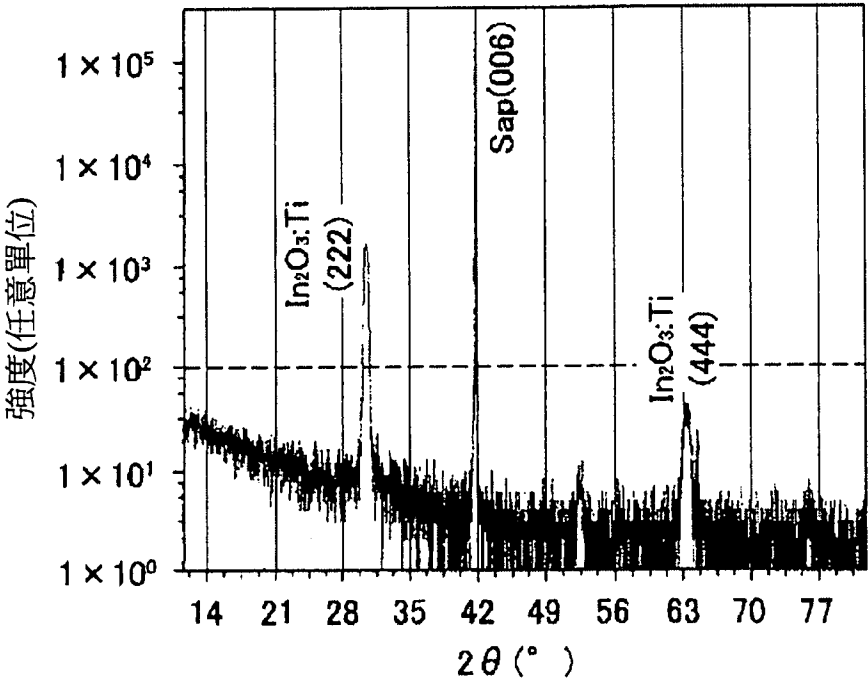


圖10