

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2003 年 10 月 1 日 10/676,437(主張優先權)

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於處理器之領域，尤係關於具有追蹤快取之處理器。

【先前技術】

在處理器中所執行之指令經編碼成為壹及零之序列。對於某些處理器架構，指令可以以固定的長度做編碼，諸如特定數目的位元組。對於其它架構，諸如 x86 架構，指令之長度可予改變。該 x86 處理器架構定義的可變長度的指令集(意即指令集中之不同指令乃藉由不同的位元組數目所定義出)，例如，80386 及 x86 處理器之後續版本使用在 1 至 15 位元組之間的位元組以定義特定的指令。指令具有運算碼，該運算碼可以是 1 至 2 位元組，並且額外的位元組可以加入以定義位址模式、運算元及關於待執行之指令之額外的細節。

在某些處理器架構中，每個指令在執行之前可以解碼成為一個或一個以上之較簡單的運算。解碼一個指令亦可以包含存取暫存器重新更名對映以決定在該指令中之每個邏輯暫存器所對映的實體暫存器及／或以分配實體暫存器儲存該指令之結果。

指令可以部分依據在該處理器內部所產生之分支預測而提取至處理器之解碼部分內。通常，該處理器之指令提取之頻寬及解碼部分可以決定是否該執行核心在每一個執行週期期間是完全使用的。因此，最好能夠在該處理器

【實施方式】

雖然本發明易於實施各種修正及替代形式，本發明之特定的實施例藉由在該圖式中之例子而作呈現並且在此將作詳細描述。然而，應該瞭解的是對於本發明之圖式及詳細說明並非意在限定本發明於所揭示之特定的形式，而相反地，本發明是在於涵括落在由該附加的申請專利範圍所定義之本發明之精神及範疇之內之所有的修正、等同及替代。應該注意的是本標題僅用於組織化之目的並且並非意在使用於限定或說明該描述或申請專利範圍。再者，應該注意的是該文字“可以(may)”在本申請案全文中是允許的含意(具潛在有、能夠的意思)，而非強制的含意(意即必須(must))。該名詞“包含(include)”及該“包含”之衍生詞意指“包含，但非限定於”。該名詞“連接(connected)”意指“直接地或非直接地連接”，並且該名詞“連結(coupled)”意指“直接或非直接地連結”。

第 1 圖為包含於處理器 100 之一實施例內之邏輯組件之方塊圖。處理器 100 係組構成用以執行儲存於系統記憶體 200 內之指令。很多這些指令係執行在儲存於系統記憶體 200 內之資料上，該系統記憶體 200 可以是實體分佈於整個電腦系統上並且藉由一個或一個以上之處理器 100 所存取。在某些實施例中，該處理器 100 可相容於 x86 架構。

處理器 100 可以包含指令快取 106 及資料快取 128。處理器 100 可以包含連結至該系統記憶體 200 之預先提取單元 108。預先提取單元 108 可以預先提取來自該系統記

記憶體 200 以儲存在指令快取 106 內部之指令碼。在一實施例中，預先提取單元 108 可組構成用以從該系統記憶體 200 猝發程式碼進入指令快取 106 內。預先提取單元 108 可以使用各種特定程式碼預先提取技術及演算法。預先提取單元 108 亦可以提取來自指令快取 106 之指令及來自追蹤快取 160 之追蹤進入發送單元 104 內。指令可以從指令快取 106 提取以回應於在追蹤快取 160 內逸失之特定指令位址。同樣地，指令可以從系統記憶體 200 提取以回應於在指令快取 106 內逸失之特定位址。

發送單元 104 可組構成用以接收來自指令快取 106 之指令及可組構成用以接收來自追蹤快取 160 之解碼及／或部分解碼的指令。該發送單元 104 可以包含解碼單元 140 以解碼來自指令快取 106 所接收之指令。該發送單元 104 亦可以包含當處理微碼指令時而使用之微碼單元。

該發送單元 104 係組構成用以發送解碼的指令給排程器 118。一個或一個以上之排程器 118 可以經由連結以接收來自發送單元 104 所發送的指令及發出指令給一個或一個以上之執行核心 124。執行核心 124 可以包含組構成用以執行存取資料快取 128 之載入儲存單元 126。由執行核心 124 所產生之結果可以輸出至結果匯流排 130。這些結果可以使用作為用於後續發出指令之運算元數值及／或可以儲存至暫存器檔案 116。退返佇列 102 可以連結至排程器 118 及發送單元 104。該退返佇列可組構成用以決定每個發出的指令何時可以隱退。

指令快取 106 在由發送單元 104 收到指令之前可以暫時地儲存指令。指令碼藉由從該系統記憶體 200 透過預先提取單元 108 預先提取程式碼而可以提供給指令快取 106。指令快取 106 可以以各種配置(例如集合聯合、完全聯合或直接對映)而實現。

如同在此所使用的，該名詞指令通常可以意指未解碼的、部分解碼的及完全解碼的指令。部分及完全解碼的指令亦可以稱作為運算。例如，未解碼的指令可以藉由解碼單元 140 描述作為受到解碼成為一個或一個以上之可直接在執行核心 124 內執行之組件運算。發送單元 104 可以輸出包含可藉由該執行核心 124 執行之位元編碼運算之訊號以及運算元位址資訊、即時資料及／或位移資料。當接收包含暫存器之更新之指令時，該發送單元 104 可以保留在暫存器檔案 116 內部之暫存器位置以儲存推測暫存器狀態(在另一個實施例中，重新定序緩衝器可以使用以儲存一個或一個以上之用於每個暫存器之推測暫存器狀態)。暫存器對映可以轉譯來源及目的運算元之邏輯暫存器名稱成為實體暫存器名稱以促使暫存器重新命名。此類的暫存器對映可以追蹤在暫存器檔案 116 內部之暫存器何者目前為已分派或未分派。

當藉指令由發送單元 104 所處理時，若所需的運算元為暫存器位置，暫存器位址資訊可以遞送至暫存器對映或重新定序緩衝區。例如，在該 x86 架構中，具有八個 32 位元邏輯暫存器(例如 EAX、EBX、ECX、EDX、EBP、ESI、

EDI 及 ESP)。實體暫存器檔案 116(或重新定序緩衝區)包含用於改變這些邏輯暫存器之內容之結果的儲存，而允許脫序執行。在暫存器檔案 116 內之實體暫存器可以分派以儲存修正其中一個該邏輯暫存器之內容之每個指令的結果。因此，在特定程式之執行期間之各種位置處，暫存器檔案 116(或者在另一個實施例中，重新定序緩衝區)可以具有一個或一個以上含有給定邏輯暫存器之該推測執行的內容之暫存器。

暫存器對映可以指定實體暫存器給定義成用於指令之目的運算元之特定的邏輯暫存器。暫存器檔案 116 可以具有指定給定義成為在給定的指令中之來源運算元的邏輯暫存器之一個或一個以上之預先分配的實體暫存器。該暫存器對映可以提供標籤給最新指定給該邏輯暫存器之實體暫存器。此標籤可以使用於存取在該暫存器檔案 116 內之該運算元的資料數值或用於接收經由傳遞在該結果匯流排 130 之上的結果之該資料數值。若該運算元符合記憶體位置，該運算元數值可以透過載入儲存單元 126 而提供在該結果匯流排(用於傳遞及／或儲存於暫存器檔案 116 之內之結果)之上。當該指令藉由其中一個該排程器 118 發出時，運算元資料數值可以提供給執行核心 124。需要注意的是在另一個實施例中，當指令發送時，運算元數值可以提供給對應的排程器 118(而非當該指令發出時，提供給對應的執行核心 124)。

第 1 圖之該處理器 100 支援脫序執行。退返佇列

102(或者另外，重新定序緩衝區)可以保持用於暫存器讀取及寫入運算之該原始程式順序之追蹤、允許推測指令執行及分支錯誤預測回復及促進精確排除。在很多實施例中，退返佇列 102 可以產生類似於重新定序緩衝區之功能。然而，不像典型的重新定序緩衝區，退返佇列 102 可以不提供任何資料數值儲存。在另一個實施例中，退返佇列 102 可以產生更加類似於重新定序緩衝區之功能並且亦藉由提供用於推測暫存器狀態之儲存之資料數值而支援暫存器重新命名。在某些實施例中，退返佇列 102 可以以先入先出配置方式而實現，其中當運算為有效時，該運算移至該緩衝區之“底部(bottom)”，因此在該佇列之“頂部(top)”處產生用於新的登錄之空間。當指令隱退時，退返佇列 102 可以在暫存器檔案 116 內解除分配暫存器，該暫存器遂不再需要儲存推測暫存器狀態，該退返佇列 102 然後提供訊號給暫存器對映而顯示那一個暫存器目前是閒置的。藉由維持在暫存器檔案 116 內部之推測暫存器狀態(或者，在另一個實施例中，在重新定序緩衝區之內部)直到產生那些狀態之指令是有效的，若分支預測是不正確的，依循錯誤預測的路徑之推測執行的指令結果在該暫存器檔案 116 內可以是無效的。

提供在發送單元 104 之輸出處之該位元編碼運算及即時資料可以傳遞至一個或一個以上之排程器 118。應該注意如同在此所使用的，排程器係用以偵測何時指令已待執行及發出即時指令給一個或一個以上之執行單元。例如，

保留站(reservation station)為排程器之一種形式。每個排程器 118 可以能夠保留指令資訊(例如，位元編碼的執行位元以及運算元數值、運算元標籤及／或即時資料)用於數個等待發出至執行核心 124 之待決指令。在某些實施例中，每個排程器 118 可以不提供運算元數值儲存。相反地，每個排程器可以監測發出的指令及在暫存器檔案 116 內既有之結果以決定何時運算元數值將可藉由執行核心 124(從暫存器檔案 116 或結果匯流排 130)讀取。在某些實施例中，每個排程器 118 可以與預設的功能性單元(例如整數單元、浮點單元、載入儲存單元等等)及／或執行核心 124 結合。在其它實施例中，單一排程器 118 可以發出指令給超過一個的接收器。

排程器 118 可暫時儲存藉由該執行核心 124 所執行之運算資訊。指令發出至執行核心 124 以供執行，俾回應任何需要之可即時獲得以供執行的運算元之數值。因此，執行指令之順序可以不同於該原始程式指令序列之順序。

在一實施例中，每個該執行核心 124 可以包含功能性單元，諸如用以執行加法及減法之整數算術運算以及轉移、旋轉、邏輯運算及分支運算。浮點單元亦可以包含在內以供浮點運算。一或一個以上之該執行核心 124 可組構成用以執行用於藉由載入儲存單元 126 所執行之載入及儲存記憶體運算之位址產生。

該執行核心 124 亦可以提供關於條件分支指令之執行之資訊給分支預測單元 132。若來自該執行核心 124 之資

訊顯示分支預測是不正確，該分支預測單元 132 可以清除接續於已經進入該指令處理管線之錯誤分支之指令並且重新指向預先提取單元 108。該重新指向預先提取單元 108 接著可以從指令快取 106、及／或系統記憶體 200 開始提取該正確的指令集。在此種狀況下，在該錯誤分支指令之後所發生之該原始程式序列內之指令之結果可以捨棄，包含推測執行及暫時儲存於載入儲存單元 126 及／或暫存器檔案 116 內之結果。

若更新暫存器數值，在執行核心 124 內之元件所產生之結果可以輸出在該結果匯流排 130 之上而至該暫存器檔案 116。若更改記憶體位置之內容，在執行核心 124 內部所產生之結果可以提供給該載入儲存單元 126。

載入儲存單元 126 提供介面於執行核心 124 及資料快取 128 之間。在一實施例中，載入儲存單元 126 可與一載入儲存緩衝區配置，該載入儲存緩衝區具有數個用於待決載入或儲存之資料及位址資訊之儲存位置。該載入儲存單元 126 亦可以執行用於載入指令對照待決儲存指令之附屬性確認以確保資料一致性之維持。

資料快取 128 為用以暫時儲存在載入儲存單元 126 及該系統記憶體 200 之間轉移之資料的快取記憶體。類似於上文所描述之該指令快取 106，該資料快取 128 可以以各種特定的記憶體配置而實現，包含集合聯合配置。此外，資料快取 106 及指令快取 128 在某些實施例中可於單一化的快取中實現。

退返佇列 102 可以提供確認程式追蹤之訊號予追蹤產生器 170。追蹤產生器 170 亦可為填覆單元。追蹤產生器 170 可將藉由退返佇列 102 所確認之追蹤存入追蹤快取 160 內。每個追蹤可以包含儲存在順序而非程式順序內之指令並且該指令為部分數個不同的基本區塊。基本區塊為所有指令將會執行或所有指令將不執行之指令集。換言之，若任何在基本區塊內之指令執行時，在該基本區塊內之所有該其餘的指令亦將會執行。基本區塊之例子為剛好在分支指令之後開始及隨著另一個分支指令而結束。儲存在追蹤快取 160 之內的追蹤在某些實施例中可以包含解碼或部分解碼的指令。如同在此所使用的，“追蹤”為儲存在該追蹤快取 160 內之單一追蹤快取登錄(例如單一系列或線路)內部之指令群組。在登錄內之所有資訊可以在同一時間存取(例如回應於追蹤讀取週期之宣告)。應該注意的是在另一實施例中，追蹤產生器 170 可以連結至該處理器之前端(例如在該發送單元之前或之後)及用以產生追蹤以回應於所提取及／或發送之指令。

預先提取單元 108 可以從追蹤快取 160 提取指令進入發送單元 104。從追蹤快取 160 提取指令，相對於從指令快取 106 提取，可以提供跨越分支邊界之改良的提取效能。例如，若分支是經預測而予採用，在該預測採用路徑內之指令可已儲存在如同於追蹤快取 160 之分支內部之相同的追蹤內。此外，在指令是以至少部分解碼形式儲存在追蹤快取 160 中之實施例內，來自該追蹤快取之提取指令

可允許該解碼單元 140 成為至少部分旁通，以使用於該快取指令之發送單元之數目減少。因此，當執行追蹤超過一次時，該追蹤快取 160 可使用以部分(或完全地)解碼該快取指令所耗時間攤列於數個執行疊代。

應該注意的是除了在此所呈現的組件之外，處理器 100 可以包含及／或連結至很多其它的組件。例如，額外的快取階層可以包含(內部及／或外部連結至處理器 100)在處理器 100 及系統記憶體 200 之間。同樣地，處理器 100 在某些實施例中可以包含組構成用以控制系統記憶體 200 之整合的記憶體控制器。此外，在邏輯組件之間之內連接在實施例之間可以作變化。

追蹤快取

第 2 圖依據一實施例說明例示性的追蹤快取 160。該追蹤快取 160 可以包含數個登錄 162。每個登錄 162 儲存包含數個指令 165 之追蹤。在追蹤內之該指令 165 可以不儲存於程式順序內。例如，當採用該分支時(相對於依循在程式順序內之之分支之指令)，登錄 162 可以儲存分支指令及為該分支之目的之指令。在某些實施例中，該指令 165 在每個追蹤快取登錄 162 內可以以至少部分解碼的形式而儲存。如同在此所使用的，該名詞“追蹤”是使用於意指儲存在單一追蹤快取登錄 162 內之一個或一個以上之指令的群組。

返回參閱第 1 圖，應該注意的是從該追蹤快取 160 所提取之指令串列之處理可以不同於從指令快取 106 所提取

之指令串列。來自指令快取 106 之指令串列可以包含確認指令邊界之資訊，即使在指令解碼成為一個或一個以上之組件運算之後。這種邊界資訊可以藉由退返佇列 102 所用以決定對應於特定指令之運算何時可以隱退。通常，該退返佇列 102 以原始的程式順序操作以退返運算。對應於該相同的指令之運算可以在相同的時間隱退。

相反地，若該指令在儲存於追蹤快取 160 內之前已經解碼及／或修正(例如藉由結合指令以增加在追蹤快取 160 之內部之儲存效率)，來自追蹤快取 160 之指令串列可以不包含確認指令邊界之資訊。因此，退返佇列 102 可須退返包含在運行表面上之此類指令串列內之指令。例如，在某些實施例中，退返佇列 102 可以不退返包含在追蹤內之任何指令，直到在該追蹤內之所有指令得予退返。

在某些追蹤快取型處理器之內可能產生之其中一項問題在於某些指令，在此稱為“特殊”指令，可能需要特別的處理，該處理影響該些指令何時可以退返。由於在該相同的追蹤中如同異常指令之其它指令(包含在程式順序中較早產生之指令)之退返可以視準備好退返之該異常指令而定，此類異常指令可以阻擋在該追蹤中之其它指令之退返。在某些情況下，若該異常指令之不退返，則可阻擋包含於該相同追蹤內之較舊的運算之退返。此外，若異常指令由於缺乏來自該追蹤快取所提供之指令邊界資訊而阻擋在該相同的追蹤內之其它指令之退返，在該追蹤內之所有該非可退返的指令(及在程式順序中，已經準備好發送之任何

較新的指令)可能必須從該指令快取重新提取並且重新執行。

異常指令包含產生特例或中斷之指令。異常指令相對於非異常指令可能會花費明顯較長時間來完成。例如，執行核心 124 在一至三個執行週期內可以完成典型的非異常指令。相反地，異常指令可能須 10 倍(或更多)於用以執行之執行週期的時間來產生中斷。具有至少某些異常指令，對所有較特定異常指令為舊之該指令(在程式順序中)能夠獨立於該異常指令而退返可能是有益的或甚至是需要的。如同上文所提及的，在追蹤中缺乏指令邊界資訊可能減少或失去不同的指令於該相同的追蹤中獨立退返之能力。因此，在追蹤中之異常指令包含於其它指令可能最後造成在該追蹤中之所有該指令必須從指令快取重新提取以獲得該邊界資訊。

為了減少異常指令阻擋其餘指令之退返及／或造成其它指令捨棄、重新提取及重新執行之可能性，追蹤產生器 170 組成用以偵測異常指令及不儲存在包含任何其它指令之追蹤內之此類指令。在某些實施例中，追蹤產生器 170 可以儲存在僅包含該異常指令之追蹤中所偵測到的異常指令。雖然此類配置可能降低追蹤快取儲存效率，然其得從該追蹤快取繼續提取而非造成在該指令快取 106 及追蹤快取 160 之間提取的切換。在其它實施例中，追蹤產生器 170 可以完全不儲存在追蹤快取 160 內所偵測到之異常指令，造成該異常指令一直從指令快取 106 提取。追蹤產

生器 170 為用於在追蹤快取內部之追蹤快取登錄中儲存指令群組之工具的例子。

追蹤產生器 170 藉由檢驗用於儲存在該追蹤快取內之每個候選指令的特定運算碼、運算元、位址模式及其它特性而可以偵測出異常指令。在一實施例中，確認潛在異常指令之特性可以程式化於該追蹤產生器 170 之內。需注意的是在該等實施例中，該追蹤產生器 170 可組構成用以經常性地確認特定形式的指令為異常指令，即使那些形式的指令在特定環境下可能是可執行的而不需要特別的處理。在某些實施例中，解碼單元 140 在指令解碼期間可以產生確認異常指令之標籤。每個標籤可以透過該處理器 100 結合由該標籤確認成為異常的之解碼指令而遞送。除能(或者除了)獨立地決定解碼的指令是否特殊之外，追蹤產生器 170 可視藉由解碼單元 140 所產生之標籤而定以確認異常指令。因此，追蹤產生器 170 及解碼單元 140 兩者為用於偵測在該指令群組內部之異常指令之工具的例子。

回應於偵測儲存在該追蹤快取 160 中之指令串列內之異常指令，追蹤產生器 170 可以結束指令儲存於該目前追蹤內(即使在該追蹤內仍有儲存額外指令之空間)。若追蹤產生器 170 組構成用以在追蹤快取 160 內之獨立追蹤中儲存異常指令，該追蹤產生器可以分配新的追蹤快取登錄以儲存該異常指令。該追蹤產生器 170 可以儲存下一個指令，該指令剛好在於目前另一個追蹤快取登錄內之程式順序中的異常指令之後產生。若該追蹤產生器 170 為相反地

組構成用以從該追蹤快取 160 排除全部異常指令，當偵測到該異常指令時(除非未有其它舊的指令已經準備好儲存於該目前追蹤內)該追蹤產生器可以僅結束該目前追蹤並且開始儲存於程式順序中之該下一個非異常指令，該指令為用於儲存在該下一個追蹤之追蹤快取內之候選指令。需注意的是該追蹤產生器 170 可以設定流程資訊於該目前追蹤內以指示該異常指令為該下一個欲提取之指令。因此，回應於所提取之追蹤，預先提取單元 170 可組構成用以從指令快取 106 預先提取在該流程資訊內所確認之指令。因此，由於該異常指令係從該追蹤快取 160 排除，該執行串列將從該追蹤快取 160 切換至該指令快取 106。

某些異常指令不一定能為追蹤產生器 170 所偵測到。例如，某些指令每一次執行時，其行為可能是不同的。因為這些指令之特性(例如此類指令甚少是異常的)，追蹤產生器 170 可組構成用以被動地確認指令為特殊者。因此，這些異常指令可以藉由追蹤產生器 170 与其它指令儲存在追蹤內。由於在該相同的追蹤內之其它指令之阻擋的退返，為了避免此類異常指令之排除造成問題，重新啟動邏輯 190 可以監測退返佇列 102 前一次退返任何運算後，已經過多少阻擋週期。若沒有運算在時脈週期之預定的數目內已經退返，重新啟動邏輯 190 可以從指令快取 106 重新啟動處理器 100 之執行。在一實施例中，重新啟動邏輯 190 可以藉由清除該處理管線及藉由重新提取在處理器 100 內部與該最舊待決的非退返指令開始之指令而重新啟動執

行。當該指令從指令快取 106 提取時，關於指令邊界之資訊將可提供予退返佇列 102。因此，若藉由重新啟動邏輯 190 所偵測之該非退返是藉由阻擋追蹤之退返之異常指令所造成，從指令快取 106 提取該指令可以允許該退返佇列 102 獨立地退返該有問題的異常指令而不需要非必要地阻擋其它指令之退返。

某些指令可以是不可重新執行的，並且若該指令從追蹤快取 160 而執行、藉由包含在該相同的追蹤內之異常指令之退返所阻擋以及接著因為重新啟動邏輯 190 之運算而重新執行，此類的指令可能是不正確的。例如，特定負載(例如某些輸入／輸出負載)之效能可以修正所讀取之數值。若此類指令重新執行，為了要避免可能造成之問題，追蹤產生器 170 可組構成用以確認這些指令為不與其它指令儲存在追蹤內的異常指令之另一個類別。因此，該追蹤產生器 170 可以從該追蹤快取 160 排除這些異常指令或者儲存這些異常指令於不包含任何其它指令(例如一般如同上文所描述關於異常指令)之單獨追蹤內。

如同某些其它異常指令，一些非可重新執行的指令不一定能為追蹤產生器 170 所偵測出。例如，載入在其中一個程式重覆及輸入／輸出暫存器該下一個重覆期間可以存取系統記憶體 200 位址。在該第一重覆之後，該載入可以儲存於追蹤內。在該下一個重覆期間，基於該輸入／輸出暫存器讀取之特性該載入可以是非可重新執行的。因此，若在該相同追蹤內作為該載入之另一個指令是異常的(例

如，若另一個指令產生頁面錯誤)，該追蹤之退返可以延遲足夠長的時間以觸發重新啟動邏輯 190。然而，這可能令人無法接受地造成該載入之重新執行。為了避免這種情況，發送單元 104 或處理器 100 內部之之另一個組件可組成用以確認在該載入實際地執行之前該載入在特定時點成為已非可重新執行的。回應於在從追蹤快取 160 所提取之指令群組內部之非可重新執行的指令之偵測，重新啟動邏輯 190 可造成該處理器管線受到清除(在該非可重新執行的指令之執行之前)並且從指令快取 106 重新啟動執行。

例示性追蹤

第 3A 圖說明組構成用以儲存至少部分解碼的指令之追蹤快取登錄 162 之一實施例。在該第 3A 圖之實施例中，追蹤快取登錄 162 可以儲存多達包含於運算儲存單元 166A 至 166H 內之解碼及／或部分解碼的指令群組中之八個組件運算。需要注意的是其它實施例可以包含較少或額外的運算儲存單元 166，而允許在每個追蹤快取登錄 162 內部之運算之不同的數目的儲存。

在追蹤快取錄 162 內部之某些運算儲存單元 166 可以保留予某些形式的運算。例如，在一實施例中，運算儲存單元 166A 至 166D 可以使用於儲存記憶體運算。同樣地，運算儲存單元 166E 至 166H 可以使用於儲存資料運算。需要注意的是其它實施例可以不同地結合某些形式的運算與某些運算儲存單元(或者並非全部)。

除了包含數個運算儲存單元 166 之外，每個追蹤快取

錄 162 亦包含確認標籤 164 及流程控制資訊 168。標籤 164 可以類似於在指令快取 106 內之標籤，允許預先提取單元 108 決定給定的運算於追蹤快取 160 內是否是正確或錯誤的。例如，標籤 164 可以包含所有或某些該位址位元而確認在該追蹤快取登錄內部之指令(例如在程式序順中，該標籤可以包含儲存在該追蹤內之該最早指令之位址)。在某些實施例中，該標籤可以包含足夠的資訊，該資訊乃指每個指令之位址(或者至少在每個存在群組內部之該最早的指令，於下文中作更詳細的描述)可以使用儲存在該追蹤內之資訊而獨立地確認者。在其它實施例中，只有在追蹤內之最早的指令之位址可以獲得。

在所述的實施例中，每個追蹤可以包含多達兩個之分支指令。其它實施例可以包含較少或額外的分支指令於每個追蹤內。流程控制資訊 168 可以包含用於包含在該追蹤內之每個分支指令之標記。視個別之分支之解析度(採用，不採用)而定，該標記可以是確認控制所應分支至之位址之指示。因此，流程控制資訊 168 之每個項目可以結合特定的分支運算。例如，在一實施例中，在追蹤內之一個流程控制資訊儲存位置可以結合在該追蹤內之第一分支運算，且其它流程控制資訊儲存位置可以結合在該追蹤內之第二分支。另外，該流程控制資訊可以包含確認該流程控制資訊所結合之該分支運算之標籤或其它資訊。在另一實施例中，確認那一個流程控制資訊對應於分支運算之分支預測及／或資訊可以與在運算儲存 166 內之該分支運算一起儲

存。

在追蹤內提供增加的退返粒度(Granularity)

如同上文所提及的，在追蹤內關於指令邊界之資訊是有限的。例如，在儲存於追蹤內之前，若指令是部分解碼成為該指令本身的組件運算，在該追蹤內缺乏描述該不同的指令之資訊可以包含於該追蹤內。再者，若在解碼之後，不同的指令之組件運算之組合、重新定序及／或修正，可能使確認指令邊界更為困難。

為了在追蹤內提供增加的指令邊界資訊，在追蹤內之解碼指令可以再細分成為不同的存在群組。追蹤產生器 170 可以標記儲存在特定追蹤快取登錄內部之每個解碼的指令成為屬於在該追蹤內之特定存在群組。關於在每個存在群組內之經解碼的指令之指令邊界的資訊可能無法獲得，然而，該存在群組本身可以創造使得該解碼指令可以在存在群組邊界上退返。

在追蹤內之每個運算 166 可以具有相關聯的存在指示。每一運算的存在指示可以與本身相結合的運算在其中一個運算儲存單元 166 內一起儲存。存在指示係確認出每個運算所屬的存在群組。每個存在群組為在該追蹤內之運算群組，該追蹤為部分該相同的基本區塊。例如，在程式順序中，在該追蹤內之達到及包含該第一分支運算之運算可以包含於其中一個存在群組內。本身的執行依賴該第一分支運算之解析度之運算可以包含於另一個存在群組之內。因此，存在群組類似於基本區塊，因在該相同的存在

群組內之運算將全部執行或者全部不執行。存在群組不同於基本區塊，因在該相同的基本區塊內之運算可以包含於不同的追蹤內(例如在該基本區塊內之某些運算可以包含於其中一個追蹤內之最終存在群組內並且在該基本區塊內之剩餘運算可以包含於另一個追蹤內之該第一存在群組中)。因此，在該相同的存在群組內之運算必須是該相同的基本區塊之一部分，但是在該相同的基本區塊內之運算可以不需要是該相同的存在群組之一部分(意即若該基本區塊超過一個以上之追蹤快取登錄)。

該存在指示確認相對於包含在該相同的追蹤快取登錄內之該分支運算之每一個運算的程式順序。在第一存在群組內之運算並非視在該追蹤內之第一分支運算之結果而定。需要注意的是由於該第一分支運算非有條件的執行，該第一分支運算為該第一存在群組之一部分。在該第一存在群組內之運算可以以不同於經由使用以確認發生在該第一分支運算之後的運算之第二存在群組之存在指示而確認。同樣地，視該第一分支運算及第二分支運算(意即包含於該第二存在群組內之該最終運算)兩者之結果而定之位。在第三存在群組內之指令，可以以另一個存在指示而確認。存在指示允許運算以不同於本身的程式順序之順序而儲存在追蹤快取登錄 162 內部，同時仍決定出該運算之程式順序(相對於該分支運算)。

此外，存在指示允許發送單元 104 預測在特定追蹤內之運算何者會執行。在該第一存在群組內之運算(意即非視

包含在追蹤內之第一分支而定之運算)將一直執行(在該追蹤執行內之任何運算)。然而，在該第二存在群組內之運算之執行(意即視該第一分支而定之運算)視該第一分支之結果而定。例如，在其中該追蹤產生器 170 包含在處理器 100 之處理管線之後段處的實施例中，運算可依據運算執行之順序而儲存於追蹤內，以便若該運算隨後再次執行，該運算可以從該追蹤快取而非從該指令快取所存取。因此，若儲存在該追蹤內之第一分支之執行為該第一次分支之執行，則在該第一分支已採用時，儲存在第二存在群組內之該運算可以是應該執行之運算。因此，若該追蹤稍後提供給發送單元 104 並且用於該第一分支之目前的分支預測“未採用”，該發送單元 104 可以預測在該第二存在群組內之運算不應該執行。若該第一分支並未採用，結合該第一分支運算之該流程控制資訊 168 亦可開始預先提取應該執行之指令或追蹤。

第 3B 圖顯示可以使用於一實施例中之例示性的存在編碼。該第一存在編碼，“非條件式存在”，可用以確認在該追蹤內之該第一(在程式順序中)存在群組。在這個存在群組內之運算是非條件式存在，前題係若執行該追蹤，這些運算將一直執行。該第一存在群組可以包含分支運算成為在該存在群組內之最終運算(在程式順序中)。這些運算非視包含在該相同的追蹤內之任何分支運算而定。在很多實施例中，這些運算相對於彼此在該追蹤內可以以任何順序而儲存。

該次一個存在編碼，“接續於第一分支”是使用於確認在該追蹤內之該第二(在程式順序中)存在群組。這些運算是視該第一分支運算之結果而定，該第一分支運算包含於前一個存在群組內。需要注意的是若非推測執行在該存在群組內之任何運算，在該存在群組內之所有指令將會執行。

該第三存在編碼，“接續於第二分支”是使用於確認在該追蹤內之第三(在程式順序中)基本區塊。這些運算是視該追蹤內之該第一及該第二分支運算兩者之結果而定。因此，即使執行具有該第二存在編碼之運算，這些運算可以不執行。如同上述，若非推測執行該存在群組內之任何運算，在該存在群組內之所有運算將會執行。

該“非條件式無效(unconditionally dead)”存在編碼可用以確認未使用的運算儲存單元 166。若超過分支運算之最大數目發生在運算集合內，可不使用運算儲存單元 166。例如，若多達八個運算可以儲存在追蹤內並且若僅有兩個分支運算可以儲存在追蹤內，則若給定的八個運算集合包含三個分支運算時，該追蹤可儲存少於八個運算。因此，若最大限制係設在可以儲存在追蹤內之分支運算之數目 N ，在該追蹤內之該第 N 個分支運算之儲存可以結束該追蹤。再者，在某些實施例中，若特定運算儲存在追蹤內，即使運算可予儲存，後續的運算(在程式順序中)可以不儲存在該追蹤內。例如，子程式呼叫運算可以結束追蹤(例如，以在該子程式內部之第一運算可以儲存成為在另一個追蹤內之第一運算，使該運算之標籤成為追蹤標籤)。同樣

快取產生器 170。電腦系統之其它實施例是可能且能推及的。在該描述的系統中，主記憶體 200 透過記憶體匯流排 406 連結至匯流排橋接 402，並且繪圖控制器 408 透過繪圖加速埠匯流排 410 連結至匯流排橋接 402。數個週邊組件介面裝置 412A 至 412B 透過週邊組件介面匯流排 414 連結至匯流排橋接 402。第二匯流排橋接 416 亦可供一電子介面透過延伸工業標準架構／工業標準架構匯流排(EISA／ISA bus)420 而相容於一個或一個以上之延伸工業標準架構或工業標準架構裝置 418。在這個例子中，處理器 100 透過中央處理單元匯流排 424 連結至匯流排橋接 402 及連結至選擇的 L2 快取 428。在某些實施例中，該處理器 100 可以包含整合的 L1 快取(未圖示)。

匯流排橋接 402 提供介面於處理器 100、主記憶體 404、繪圖控制器 408 及連結至週邊組件介面匯流排 414 之裝置之間。當運算從其中一個連接至匯流排橋接 402 之裝置所接收時，匯流排橋接 402 確認該運算之目標(例如特定的裝置，或者在週邊組件介面匯流排 414 之例子中，該目標是在週邊組件介面匯流排 414 之上的裝置)。匯流排橋接 402 遞送該運算給該目標裝置。匯流排橋接 402 通常從藉由該來源裝置或匯流排所使用之協定轉譯運算給藉由該目標裝置或匯流排所使用之協定。

除了提供介面至用於週邊組件介面匯流排 414 之工業標準架構／延伸工業標準架構匯流排之外，第二匯流排橋接 416 可以併入額外的功能性。輸入／輸出控制器(未圖

示)，不論是從第二匯流排橋接 416 外部或與第二匯流排橋接 416 整合，亦可以包含在電腦系統 400 內部，以提供運算支援給鍵盤及滑鼠 422 及各種序列及平行埠。外部快取單元(未圖示)在其它實施例中亦可以連結至在處理器 100 及匯流排橋接 402 之間之中央處理器單元匯流排 424。另外，該外部快取可以連結至匯流排橋接 402 並且用於該外部快取之快取控制邏輯可以整合至匯流排橋接 402 之內。L2 快取 428 係示為該處理器 100 之背面組構。需要注意的是 L2 快取 428 可以與處理器 100 分離，與處理器 100 整合至卡匣(例如插槽 1 或插槽 A)內，或者甚至與處理器 100 整合至半導體基板之上。

主記憶體 200 為儲存應用程式及處理器 100 主要由其所執行之記憶體。適當的主記憶體 200 可以包含動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)。例如，複數組同步動態隨機存取記憶體(Synchronous Dynamic Random Access Memory, SDRAM)或 Rambus 動態隨機存取記憶體(Rambus Dynamic Random Access Memory, RDRAM)均可適用。

週邊組件裝置 412A 至 412B 係用以說明各種週邊裝置，諸如網路介面卡、視訊加速器、音訊卡、硬式或軟式磁碟機或驅動控制器、小型電腦系統介面(Small Computer Systems Interface, SCSI)轉接器及電話卡。同樣地，工業標準架構裝置 418 係用以說明各種形式的週邊裝置，諸如數據機、音效卡及諸如通用介面匯流排(BPIB)或欄位匯流

排介面卡(field bus interface cards)之各種資料擷取卡。

繪圖控制器 408 係用以控制在顯示器 426 上之文字及影像之呈現。繪圖控制器 408 可包括一般在該技藝中已知之典型的繪圖加速器，以呈現能有效地移轉至主記憶體 200 內及由主記憶體 200 移轉出之三維資料結構。繪圖控制器 408 因此可以是繪圖加速埠匯流排 410 之主控者，因該繪圖控制器 408 能請求及接收存取在匯流排橋接 402 內部之目標介面，藉以取得主記憶體 200 之存取。所成之繪圖匯流排係供應從主記憶體 404 而來之資料的快速取回。對於特定運算，繪圖控制器 408 更可組構成用以產生週邊組件介面協定處理於繪圖加速埠匯流排 410 之上。匯流排橋接 402 之繪圖加速埠介面可以因此包含功能性支援繪圖加速埠協定處理以及週邊組件介面目標及啟始器處理兩者之功能。顯示器 426 為影像或文字能呈現在其上之任何電子顯示器。適當的顯示器 426 包含陰極射線管(“cathode ray tube, CRT”)、液晶顯示器(“liquid crystal display, LCD”)等等。

應該注意的是，雖然該繪圖加速埠、週邊組件介面及工業標準架構或延伸工業標準架構匯流排已做為所述之例子，任何匯流排架構可以依所需而替換。更應該注意的是電腦系統 400 可以是包含額外的處理器之多工處理的電腦系統(例如顯示為電腦系統 400 之選擇性的組件之處理器 100a)。處理器 100a 可以類似於處理器 100。尤其，處理器 100a 在一實施例中可以是處理器 100 之相同複製。處理

器 100a 經由獨立的匯流排(如同在第 6 圖中所示者)可以連接至匯流排橋接 402 或者可以與處理器 100 分享中央處理器單元匯流排 224。再者，處理器 100a 可以連結至類似於 L2 快取 428 之選擇的 L2 快取 428a。

現參照第 7 圖，該圖顯示電腦系統 400 之另一實施例。其它的實施例是可能並可推及的。在第 7 圖之實施例中，電腦系統 400 包含數個處理節點 612A、612B、612C 及 612D。每個處理節點經由包含在每個個別的處理節點 612A 至 612D 內部之記憶體控制器 616A 至 616D 而連結至相對的記憶體 614A 至 614D。此外，處理節點 612A 至 612D 包含用以在該處理節點 612A 至 612D 之間通訊之介面邏輯。例如，處理節點 612A 包含用於與處理節點 612B 通訊之介面邏輯 618A、用於與處理節點 612C 通訊之介面邏輯 618B 及用於與另一個處理節點通訊之第三介面邏輯 618C(未圖示)。同樣地，處理節點 612B 包含介面邏輯 618D、618E 及 618F；處理節點 612C 包含介面邏輯 618G、618H 及 618I；及處理節點 612D 包含介面邏輯 618J、618K 及 618L。處理節點 612D 經由介面邏輯 618L 而連結以與複數個輸入／輸出裝置通訊(例如在菊鏈式串接結構中之裝置 620A 至 620B)。其它的處理節點可以與其它輸入／輸出裝置以類似的方式而產生通訊。

處理節點 612A 至 612D 係實現用於內部處理節點通訊之封包型連結。在本實施例中，該連結以單向線路組而實現(例如，線路 624A 用以從處理節點 612A 傳送封包至處

理節點 612B 並且線路 624B 用以從處理節點 612B 傳送封包至處理節點 612A)。其它組線路 624C 至 624H 係用以傳送封包於其它處理節點之間，如同在第 7 圖中之說明。通常，每組線路 624 可以包含一個或一個以上之資料線路、對應於該資料線路之一個或一個以上之時脈線路及顯示所傳送之封包類型之一個或一個以上之控制線路。該連結可以以快取耦合的方式運作而用於處理節點間之通訊或者以非耦合的方式而用於處理節點及輸入／輸出裝置(或匯流排橋接至習知架構之輸入／輸出匯流排，諸如該週邊組件介面匯流排或工業標準架構匯流排)間之通訊。再者，該連結係如圖所示，可以在輸入／輸出裝置之間使用菊鏈式架構以非耦合性方式而運作。應該注意的是從其中一個處理節點至另一個所傳送之封包可以透過一個或一個以上之中介節點而傳遞。例如，由處理節點 612A 傳送至處理節點 612D 之封包可以透過如同於第 7 圖所示之處理節點 612B 或處理節點 612C 而傳送。任何適當的遞送演算法均可使用。電腦系統 400 之其它實施例可以包含比在第 7 圖中所示之實施例更多或更少的處理節點。

通常，該封包可以以一個或一個以上之位元次數在節點之間之線路 624 上傳送。位元次數可以是在該對應之時脈線路上之時脈訊號之上升或下降緣。該封包可以包含用於啟始處理之指令封包、用於維持快取耦合性之探測封包及來自於回應探測及指令之回應封包。

除了記憶體控制器及介面邏輯之外，處理節點 612A

至 612D 可以包含一個或一個以上之處理器。廣泛地說，處理節點包含至少一個處理器並且可以選擇性地包含用於與記憶體及其它所需邏輯通訊之記憶體控制器。尤其，每一個處理器節點 612A 至 612D 可以包含一個或一個以上之處理器 100 之複製。每一個處理節點 612 可以包含處理器 100，如同上文所描述，該處理器 100 包含發送單元 104、追蹤快取 160、退返佇列 102、重新啟動邏輯 190 及／或追蹤快取產生器 170。外部介面單元 18 可以包含在該節點內部之介面邏輯 618，以及該記憶體控制器 616。

記憶體 614A 至 614D 可以包含任何適當的記憶體裝置。例如，記憶體 614A 至 614D 可以包含一個或一個以上之 RAMBUS 動態隨機存取記憶體、同步動態隨機存取記憶體、靜態隨機存取記憶體等等。電腦系統 400 之位址空間在記憶體 614A 至 614D 間係予分隔開。每個處理節點 612A 至 612D 可以包含用以決定那一個位址為對映至那一個記憶體 614A 至 614D 之記憶體對映，及繼而決定特定位址之記憶體請求應遞送至該處理節點 612A 至 612D 之何者。在一實施例中，對於位址在電腦系統 400 之內部之耦合點為記憶體控制器 616A 至 616D 連結至對應於該位址之記憶體儲存位元組處。易言之，該記憶體控制器 616A 至 616D 負責確保存取該對應記憶體 614A 至 614D 之每一個記憶體以快取耦合方式而產生。記憶體控制器 616A 至 616D 可以包含用於與記憶體 614A 至 614D 介面接合之控制電路。此外，記憶體控制器 616A 至 616D 可以包含用於

等待記憶體請求之請求佇列。

介面邏輯 618A 至 618L 可以包含用於從該連結接收封包及用於在連結時緩衝所傳送之封包之各種緩衝區。電腦系統 400 可以使用用於傳送封包之任何適當的流程控制機制。例如，在一實施例中，每個介面邏輯 618 儲存在該介面邏輯所連接之連結之另一端處的該接收器內部之每個形式的緩衝區之數目的計數。該介面邏輯不傳送封包，除非該接收介面邏輯具有閒置的緩衝區以儲存該封包。當接收的緩衝區藉由向前傳遞封包而閒置時，該接收介面邏輯傳送訊息至該發出介面邏輯以顯示該緩衝區已經是閒置的。此類的機制可以稱為“附加型(coupon-based)”系統。

輸入／輸出裝置 620A 至 620B 可以是任何適當的輸入／輸出裝置。例如，輸入／輸出裝置 620A 至 620B 可以包含用於與另一個電腦系統通訊之裝置，該裝置可以與該另一個電腦系統連結(例如網路介面卡或數據機)。再者，輸入／輸出裝置 620A 至 620B 可以包含視訊加速器、音訊卡、硬式或軟式磁碟機或驅動控制器、小型電腦系統介面(Small computer system Interface, SCSI)轉接器及電話卡、音效卡及各種資料擷取卡，諸如通用介面匯流排或欄位匯流排介面卡。應該注意的是該名詞“輸入／輸出裝置”及該名詞“週邊裝置”在此是意指同義的。

如同在此所使用的，該名詞“時脈週期”或“週期”意指其中該指令處理管線之各種行程完成本身任務之時間的間隔。指令及計算的數值是藉由記憶體元件(諸如暫存器或陣

列)依據定義該時脈週期之時脈訊號而捕捉。例如，記憶體元件依據該時脈訊號之上升或下降緣可以捕捉數值。

對於熟習此項技藝之人士在完全瞭解上文之揭示時，各種變化及修正將變得明顯。該下文的申請專利範圍應該解釋為涵括所有此類的變化及修正。

【圖式簡單說明】

當參酌下列詳細的說明並結合下列的圖式時，可較佳地瞭解本發明，其中：

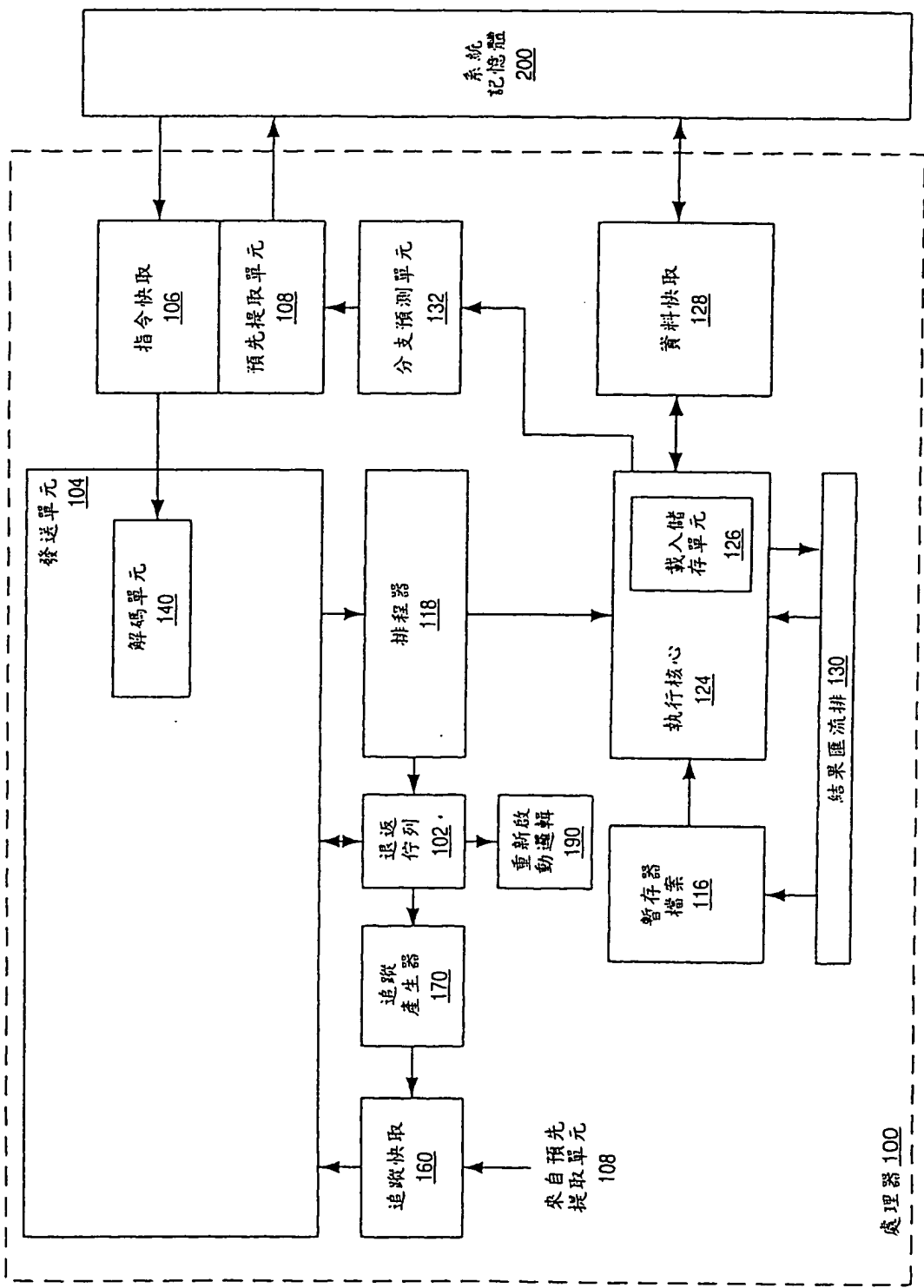
- 第 1 圖顯示處理器之一實施例。
- 第 2 圖為依據實施例之追蹤快取之方塊圖。
- 第 3A 圖說明依據實施例之例示性追蹤快取登錄。
- 第 3B 圖為依據實施例可用以判別在追蹤內之每個運算歸屬之該存在群組的存在編碼之表格。
- 第 4 圖為依據實施例在追蹤快取內產生用於儲存之追蹤的方法之實施例之流程圖。
- 第 5 圖為依據實施例執行包含異常指令之追蹤的方法之其中一實施例之流程圖。
- 第 6 圖係依據實施例以顯示出電腦系統之方塊圖。
- 第 7 圖為依據另一實施例之電腦系統之方塊圖。

【主要元件符號說明】

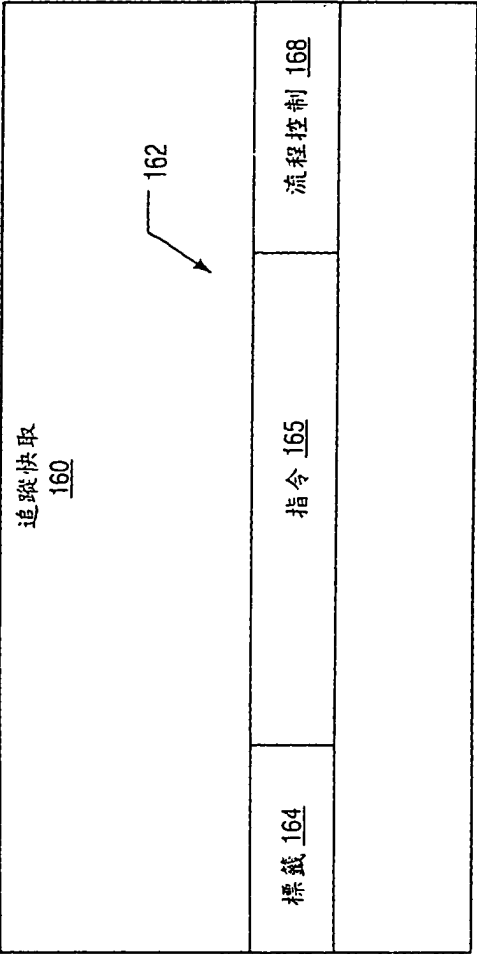
10	步驟	12	步驟
14	步驟	16	步驟
20	步驟	22	步驟
24	步驟	26	步驟

28	步驟	30	步驟
100	處理器	100a	處理器
102	退返佇列	104	發送單元
106	指令快取	108	預先提取單元
116	暫存器檔案	118	排程器
124	執行核心	126	載入儲存單元
128	資料快取	130	結果匯流排
132	分支預測單元	140	解碼單元
160	追蹤快取	162	登錄
164	標籤	165	指令
166	運算儲存單元	166A	運算儲存單元
166B	運算儲存單元	166C	運算儲存單元
166D	運算儲存單元	166E	運算儲存單元
166F	運算儲存單元	166G	運算儲存單元
166H	運算儲存單元	168	流程控制資訊
170	追蹤產生器	190	重新啟動邏輯
200	主記憶體	266	編碼
400	電腦系統	402	匯流排橋接
404	主記憶體	406	記憶體匯流排
408	繪圖控制器	410	繪圖加速埠匯流排
412A	週邊組件介面裝置	412B	週邊組件介面裝置
414	週邊組件介面匯流排	416	第二匯流排橋接
418	工業標準架構裝置		
420	延伸工業標準架構／工業標準架構匯流排		

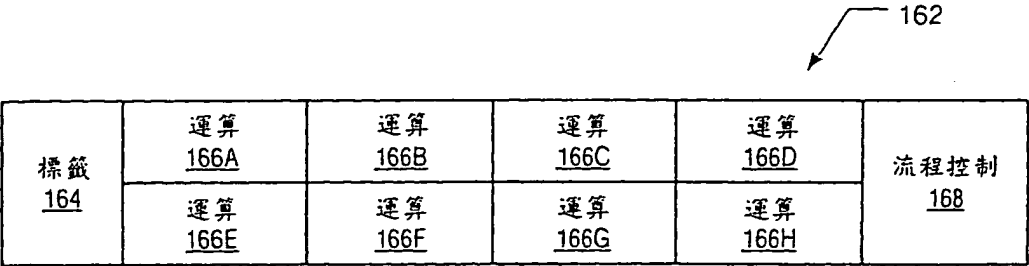
422	鍵盤及滑鼠	424	中央處理器單元匯流排
426	顯示器	428	L2 快取
428a	L2 快取	612A	處理節點
612B	處理節點	612C	處理節點
612D	處理節點	614A	記憶體
614B	記憶體	614C	記憶體
614D	記憶體	616A	記憶體控制器
616B	記憶體控制器	616C	記憶體控制器
616D	記憶體控制器	618A	介面邏輯
618B	介面邏輯	618C	介面邏輯
618D	介面邏輯	618E	介面邏輯
618F	介面邏輯	618G	介面邏輯
618H	介面邏輯	618I	介面邏輯
618J	介面邏輯	618K	介面邏輯
618L	介面邏輯	620A	輸入／輸出裝置
620B	輸入／輸出裝置	624A	線路
624B	線路	624C	線路
624D	線路	624E	線路
624F	線路	624G	線路
624H	線路		



第1圖



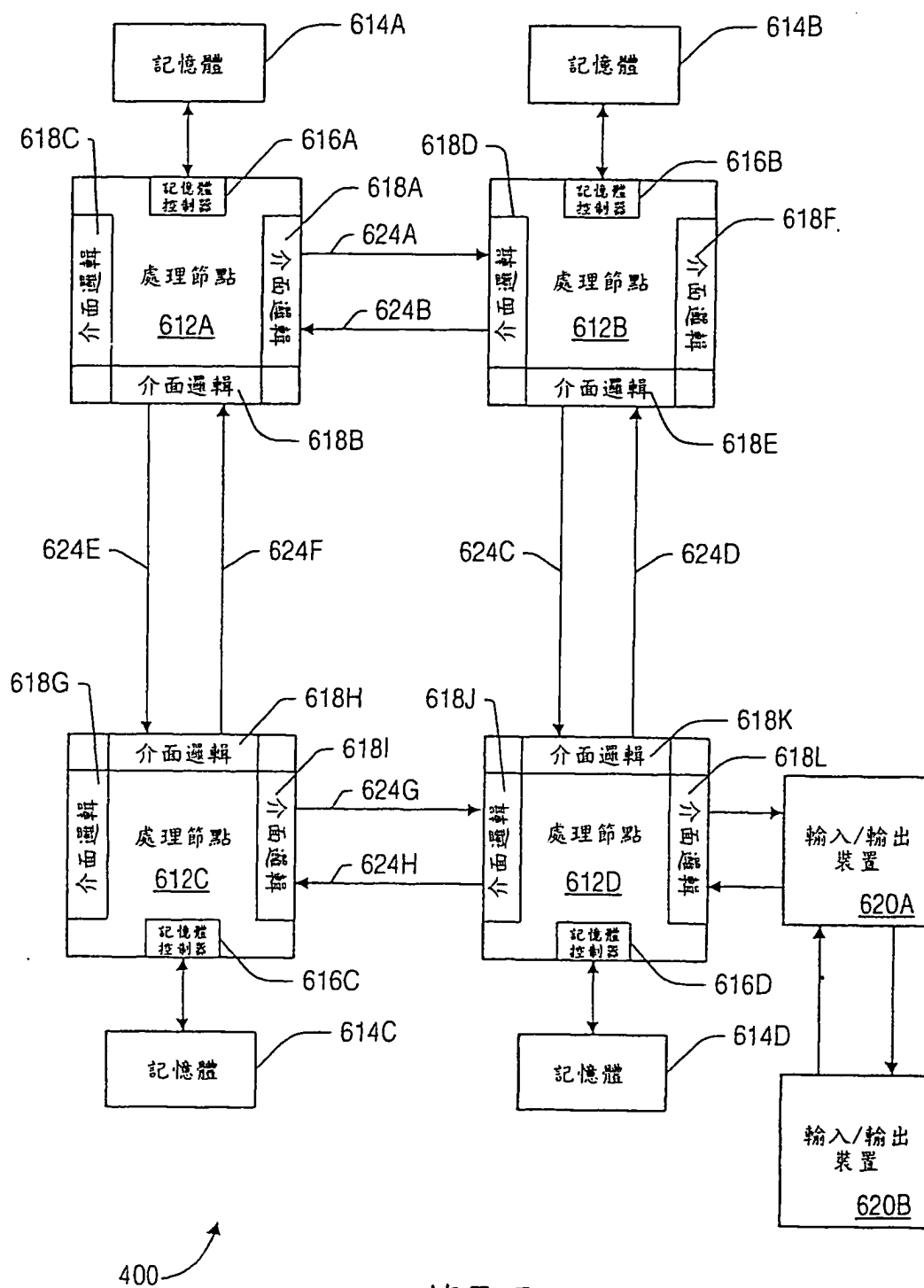
第2圖



第3A圖

存在	編碼 266
非條件式存在	11
接續第1分支	10
接續第2分支	01
非條件式無效	00

第3B圖



第7圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

100	處理器	102	退返佇列
104	發送單元	106	指令快取
108	預先提取單元	116	暫存器檔案
118	排程器	124	執行核心
126	載入儲存單元	128	資料快取
130	結果匯流排	132	分支預測單元
140	解碼單元	160	追蹤快取
170	追蹤產生器	190	重新啟動邏輯
200	主記憶體		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

發明專利說明書

公 告 本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93129526

※ 申請日期：93.9.30

※IPC 分類：G06F9/30(2006.01)

一、發明名稱：(中文/英文)

處置在基於追蹤快取之處理器中的異常指令的系統及方法

SYSTEM AND METHOD FOR HANDLING EXCEPTIONAL INSTRUCTIONS IN A
TRACE CACHE BASED PROCESSOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國・加州 95305・密爾皮塔斯・100 室・麥卡錫大道・北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California 95305,

U. S. A.

國 籍：(中文/英文) 美國 / U. S. A.

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 奧薩 米雪兒 / ALSUP, MITCHELL

2. 思馬斯 喬利 威利廉 / SMAUS, GREGORY WILLIAM

3. 皮克 詹姆士 K / PICKETT, JAMES K.

4. 麥克明 布萊恩 D / MCMINN, BRIAN D.

5. 菲利波 麥可 A / FILIPPO, MICHAEL A.

6. 沙德 班傑明 T / SANDER, BENJAMIN T.

國 籍：(中文/英文) 1. 至 6. 美國/U. S. A.

之指令提取及解碼部分內提供足夠的頻寬以儘可能地保持該執行核心完全供應有工作之狀態。

【發明內容】

本發明揭示依據處理器在追蹤快取內部用於處理異常指令之方法及系統之各種實施例。在某些實施例中，系統可以包含指令快取、包含複數個追蹤快取登錄之追蹤快取及連結至該指令快取及該追蹤快取之追蹤產生器。該追蹤產生器可用以接收藉由該指令快取所輸出而用於儲存於該複數個追蹤快取登錄之一者內之指令群組。該追蹤產生器可組構成用以偵測在該指令群組內部之額外指令及避免該異常指令儲存於與任何非異常指令相同之該複數個追蹤快取登錄之其中一者內。在其中一個實施例中，該追蹤產生器可用以完全不儲存該異常指令於該追蹤快取內。在另一個實施例中，該追蹤產生器可組構成用以儲存該異常指令於不同於該一個或多個其它指令之追蹤快取登錄內，並可組構成用以不儲存具有該異常指令之任何其它指令於該不同的追蹤快取登錄內。該追蹤產生器可組構成以至少部分解碼的形式儲存指令於該追蹤快取內。

該系統亦可以包含連結至退返執行指令之退返佇列。該退返佇列可組構成用以避免從該追蹤快取所提取之任何指令之隱退，直到包含於與該指令相同的追蹤快取登錄內之所有的指令已可退返為止。另外，該退返佇列可組構成用以避免從該追蹤快取所提取之任何指令之隱退，直到包含於在與該指令相同的追蹤快取登錄內部之相同的存

在群組之所有指令已得退返為止。

該系統可以包含組構成用以監測自該退返佇列前次退返一指令後所歷經之週期數目之重新啟動邏輯。若該週期之數目超過臨界數目，該重新啟動邏輯可組構成用以清除從該追蹤快取所提取之處理管線執行指令及從該指令快取重新啟動執行。

包含於該系統內之發送單元可組構成用以發送從該追蹤快取所接收之指令。該發送單元可組構成用以偵測從該追蹤快取所接收之指令群組內部之不可重新執行的指令，並提供該不可重新執行的指令之指示給該重新啟動邏輯。回應於該指示，在該不可重新執行的指令之執行之前，該重新啟動邏輯可組構成用以清除該處理管線及從該指令快取重新啟動執行。

該發送單元可組構成用以偵測從該指令快取所接收之指令群組內部之異常指令及提供該異常指令之指示給該追蹤產生器，俾令該追蹤產生器偵測該異常指令。該追蹤產生器亦可組構成用以偵測異常指令以回應於該異常指令之一個或多個特性(例如運算碼、定址模式等等)。

在某些實施例中，本發明之方法可以包含：接收指令群組以儲存於在追蹤快取內部之追蹤快取登錄內；儲存包含於該追蹤快取登錄內之指令群組中之一個或多個指令；偵測在該指令群組內部之異常指令；以及回應於該偵測，不儲存在具有該一個或多個指令的該追蹤快取登錄內部之異常指令。

地，子程式回傳運算可以結束追蹤。

再參照第 1 圖，追蹤產生器 170 可組構成用以產生每個運算之適當的存在編碼，並且用以儲存在該相同的運算儲存單元 166 內之該存在編碼而成為在追蹤快取 160 中之追蹤快取登錄 162 內之運算。依據關於該每一分支運算首次執行之每個分支之結果的資訊，追蹤產生器 170 可以產生用於每個運算之存在編碼。這種資訊可以由退返佇列 102 而提供。額外的資訊可以由分支預測單元 132 所提供而確認用於在一個或一個以上之先前執行內之每個分支之每個預測之預測的結果及／或成功。

當指令從追蹤快取 160 提取時，與每個運算結合之該存在編碼可與該指令經由該處理器傳送。該退返佇列 102 可以使用用於每個運算之存在編碼以決定指令可以退返於運算上之邊界。例如，除了替阻擋在追蹤內之運算之退返而該追蹤內之任何所有的運算皆可退返外，一旦當在該追蹤內之相同的存在群組中之所有該指令準備好退返時，該退返佇列 102 可以退返在該追蹤內之該運算之子集合。在某些實施例中，這種增加的退返粒度可以減少重新啟動邏輯 190 由於阻擋退返所需要重新啟動執行之可能性。

第 4 圖說明產生用於儲存在追蹤快取內儲存之追蹤之方法之一實施例。在步驟 10，接收一個或一個以上之指令而儲存在該追蹤快取內。若任何該指令是異常的(例如若任何指令可能造成例外或者若任何指令為不能夠重新執行者)，該異常指令可不儲存在與任何其它的指令相同的追蹤

內，如同在步驟 12 及步驟 14 所示者。若在步驟 10 所接收之指令均非異常的，這些指令可以一起儲存在與額外非異常指令相同的追蹤內及／或包含在與額外非異常指令相同的追蹤內，如同步驟 12 及 16 處所示者。

第 5 圖為處理錯誤地包含在該追蹤快取內部之追蹤內之未偵測到的異常指令之方法之一實施例之流程圖。在步驟 20，指令串列從該追蹤快取提取。若異常指令在所提取的指令串列內部偵測到，如同在步驟 22 所決定的，該管線可予清除並且處理器執行可以由該指令快取重新啟動，如同在步驟 24 所示者。

在該指令串列內部之某些異常指令在步驟 22 可能偵測不到。若此類的指令造成例外，該例外接而會如同異常指令阻擋在該相同的追蹤內之其它指令之退返，該處理器管線可予清除並且執行可以由該指令快取重新啟動，如同在步驟 26 及 28 所示者。決定是否阻擋指令之退返可以包含偵測指令退返。若為期一預定數目的週期沒有指令退返，可以確認退返受到阻擋。若指令退返並未受到阻擋，從該追蹤快取所提取之該指令串列可予執行及退返，如同在步驟 26 及 30 所示者。

例示性電腦系統

第 6 圖顯示包含透過匯流排橋接 402 連結至各種系統組件之處理器 100 的電腦系統 400 之一實施例之方塊圖。處理器 100 可以包含如同上文所描述之發送單元 104、追蹤快取 160、退返佇列 102、重新啟動邏輯 190 及／或追蹤

五、中文發明摘要：

系統可以包含指令快取、包含複數個追蹤快取登錄之追蹤快取及連結至該指令快取及該追蹤快取之追蹤產生器。該追蹤產生器可以組構成接收藉由該指令快取所輸出之指令群組而用於儲存在其中一個該複數個追蹤快取登錄內。該追蹤產生器可以組構成偵測在該指令群組內部之異常指令及組構成避免該異常指令儲存在與任何非異常指令相同的其中一個該複數個追蹤快取登錄內。

六、英文發明摘要：

A system may include an instruction cache, a trace cache including a plurality of trace cache entries, and a trace generator coupled to the instruction cache and the trace cache. The trace generator may be configured to receive a group of instructions output by the instruction cache for storage in one of the plurality of trace cache entries. The trace generator may be configured to detect an exceptional instruction within the group of instructions and to prevent the exceptional instruction from being stored in a same one of the plurality of trace cache entries as any non-exceptional instruction.

十、申請專利範圍：

1. 一種用於處理異常指令之系統，包括：

指令快取；

包含複數個追蹤快取登錄之追蹤快取；以及

連結至該指令快取及該追蹤快取之追蹤產生器；

其中，該追蹤產生器係組構成接收藉由該指令快取所輸出之指令群組而儲存在該複數個追蹤快取登錄之其中一者內，其中，該追蹤產生器係組構成偵測在該指令群組內部之異常指令，其中，該追蹤產生器係組構成儲存該異常指令於不同於任何非異常指令的追蹤快取登錄內。

2. 如申請專利範圍第 1 項之系統，其中，該追蹤產生器係組構成以至少部分解碼的形式儲存指令於該追蹤快取內。

3. 如申請專利範圍第 2 項之系統，更包括連結以退返執行指令之退返佇列，其中，該退返佇列係組構成避免從該追蹤快取提取之任何指令之退返，直到包含在與該指令相同之追蹤快取登錄內之所有的指令準備好退返。

4. 如申請專利範圍第 3 項之系統，更包括組構成監測自該退返佇列前一次退返一指令後所經過之週期數目之重新啟動邏輯，其中，若該週期數目超過臨界數目，該重新啟動邏輯係組構成清除執行從該追蹤快取所提取之指令的處理管線及從該指令快取重新啟動執行。

5. 如申請專利範圍第 4 項之系統，更包括組構成發送從該

追蹤快取所接收之指令之發送單元，其中，該發送單元係組構成偵測從該追蹤快取所接收之指令群組內部之非重新執行的指令及提供該非重新執行的指令之指示給該重新啟動邏輯；

其中，回應於該指示，在該非重新執行的指令執行前，該重新啟動邏輯係組構成清除該處理管線及從該指令快取重新啟動執行。

6. 如申請專利範圍第 2 項之系統，更包括組構成發送從該指令快取所接收之指令之發送單元，其中，該發送單元係組構成偵測從該指令快取所接收之指令群組內部之該異常指令及提供該異常指令之指示給該追蹤產生器，其中，回應於來自該發送單元之該指示，該追蹤產生器係組構成偵測該異常指令。
7. 如申請專利範圍第 2 項之系統，其中，回應於該異常指令之特性，該追蹤產生器係組構成偵測該異常指令。
8. 如申請專利範圍第 2 項之系統，其中，該異常指令為導致中斷或特例之指令。
9. 如申請專利範圍第 2 項之系統，其中，該追蹤產生器係組構成不儲存具有該異常指令之任何其它的指令於該不同的追蹤快取登錄內。
10. 如申請專利範圍第 2 項之系統，其中，該異常指令為非重新執行的指令。
11. 如申請專利範圍第 2 項之系統，更包括連結以退返執行指令之退返佇列，其中，該退返佇列係組構成避免自該

追蹤快取所提取之任何指令之退返，直到包含在與該指令相同的追蹤快取登錄內部之相同的存在群組內之所有的指令準備好退返。

12. 一種用於處理異常指令之方法，包括：

接收用於儲存在追蹤快取內部之追蹤快取登錄內之指令群組；

儲存包含在該追蹤快取登錄內之該指令群組中的一個或多個指令；

偵測在該指令群組內部之異常指令；以及

回應於該偵測，儲存該異常指令於不同於任何非異常指令的追蹤快取登錄內。

13. 如申請專利範圍第 12 項之方法，其中，該儲存包括以至少部分解碼的形式儲存該一個或多個指令於該追蹤快取登錄內。

14. 如申請專利範圍第 13 項之方法，更包括避免從該追蹤快取所提取之任何指令之退返，直到包含在與該指令相同之追蹤快取登錄內之所有的指令準備好退返。

15. 如申請專利範圍第 14 項之方法，更包括：

監測自任何指令之退返後所經過之週期數目；以及

若該週期數目超過臨界數目，清除執行從該追蹤快取所提取之指令的處理管線及從該指令快取重新啟動執行。

16. 如申請專利範圍第 14 項之方法，更包括：

偵測自該追蹤快取所提取之指令群組內部之非重

新執行的指令；以及

回應於該非重新執行指令之偵測，在該非重新執行指令之執行前，清除該處理管線及從該指令快取重新啟動執行。

- 17.如申請專利範圍第 13 項之方法，更包括發送自該指令快取所接收之指令，其中，該偵測該異常指令係在該發送期間執行。
- 18.如申請專利範圍第 13 項之方法，其中，該偵測包括回應於該異常指令之特性，追蹤產生器偵測該異常指令。
- 19.如申請專利範圍第 13 項之方法，其中，該異常指令為導致中斷或特例之指令。
- 20.如申請專利範圍第 13 項之方法，更包括避免任何其它的指令與該異常指令一起儲存在該不同的追蹤快取登錄內。
- 21.如申請專利範圍第 13 項之方法，其中，該異常指令為非重新執行的指令。
- 22.如申請專利範圍第 13 項之方法，更包括避免自該追蹤快取所提取之任何指令之退返，直到包含在與該指令相同的追蹤快取登錄內部之相同的存在群組內之所有指令準備好退返。
- 23.一種電腦系統，包括：
系統記憶體；以及
連結至該系統記憶體之處理器，其中，該處理器包含：

指令快取；

包含複數個追蹤快取登錄之追蹤快取；以及

連結至該指令快取及該追蹤快取之追蹤產生器；

其中，該追蹤產生器係組構成接收藉由該指令快取所輸出之指令群組而儲存在其中一個該複數個追蹤快取登錄內，其中，該追蹤產生器係組構成偵測在該指令群組內部之異常指令，其中，該追蹤產生器係組構成儲存該異常指令於不同於任何非異常指令的追蹤快取登錄內。

24.如申請專利範圍第 23 項之電腦系統，其中，該追蹤產生器係組構成以至少部分解碼的形式儲存指令於該追蹤快取內。

25.如申請專利範圍第 24 項之電腦系統，更包括連結以退返執行指令之退返佇列，其中，該退返佇列係組構成避免自該追蹤快取所提取之任何指令之退返，直到包含在與該指令相同的追蹤快取登錄內之所有的指令準備好退返。

26.如申請專利範圍第 25 項之電腦系統，更包括組構成監測自該退返佇列前一次退返指令後所經過之週期數目之重新啟動邏輯，其中，若該週期數目超過臨界數目，該重新啟動邏輯係組構成清除執行從該追蹤快取所提取之指令的處理管線及從該指令快取重新啟動執行。

27.如申請專利範圍第 26 項之電腦系統，更包括組構成發送從該追蹤快取所接收之指令之發送單元，其中，該發

送單元係組構成偵測自該追蹤快取所接收之指令群組內部之非重新執行的指令及提供該非重新執行指令之指示給該重新啟動邏輯；

其中，回應於該指示，在該非重新執行的指令之執行前，該重新啟動邏輯係組構成清除該處理管線及從該指令快取重新啟動執行。

28.如申請專利範圍第 24 項之電腦系統，其中，該異常指令為導致中斷或特例之指令。

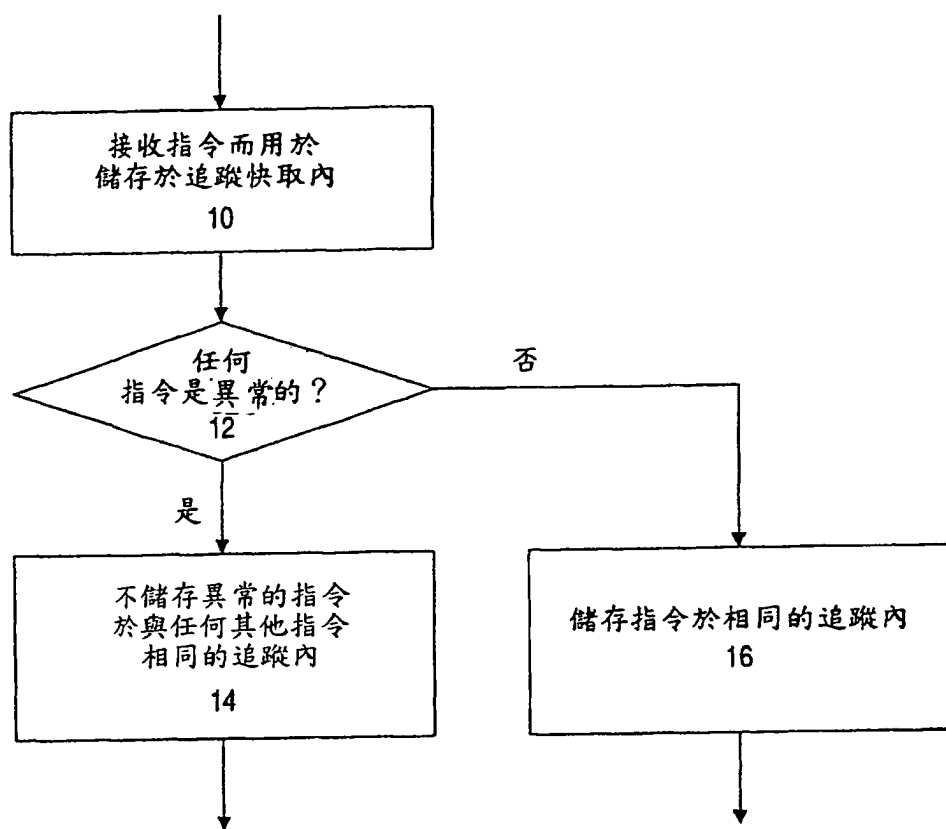
29.如申請專利範圍第 24 項之電腦系統，更包括連結以退返執行指令之退返佇列，其中，該退返佇列係組構成避免自該追蹤快取所提取之任何指令之退返，直到包含在與該指令相同的追蹤快取登錄內部之相同的存在群組內之所有指令準備好退返。

30.一種用於處理異常指令之系統，包括：

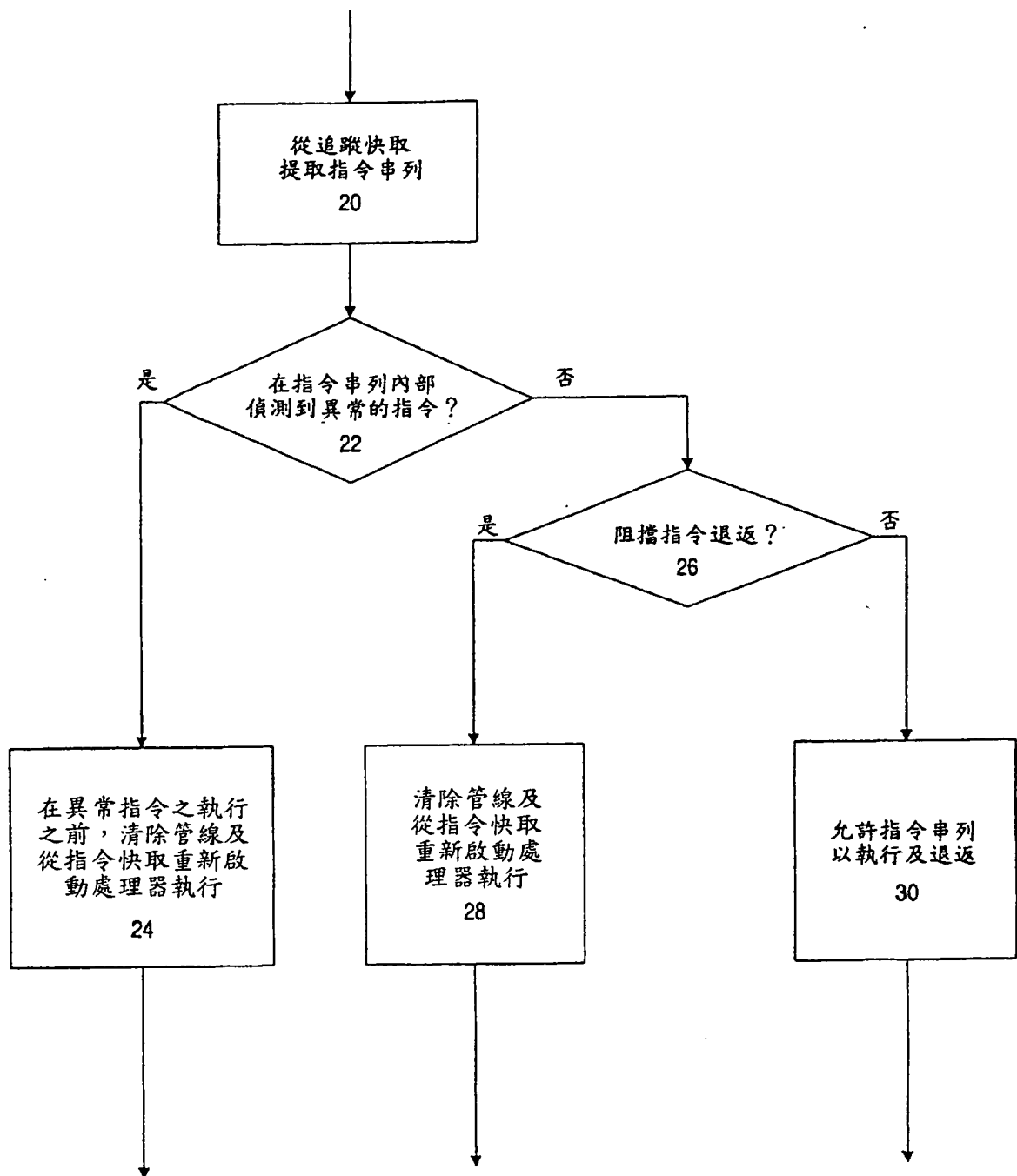
用於儲存指令群組在追蹤快取內部之追蹤快取登錄內之裝置；

用於偵測在該指令群組內部之異常指令之裝置；以及

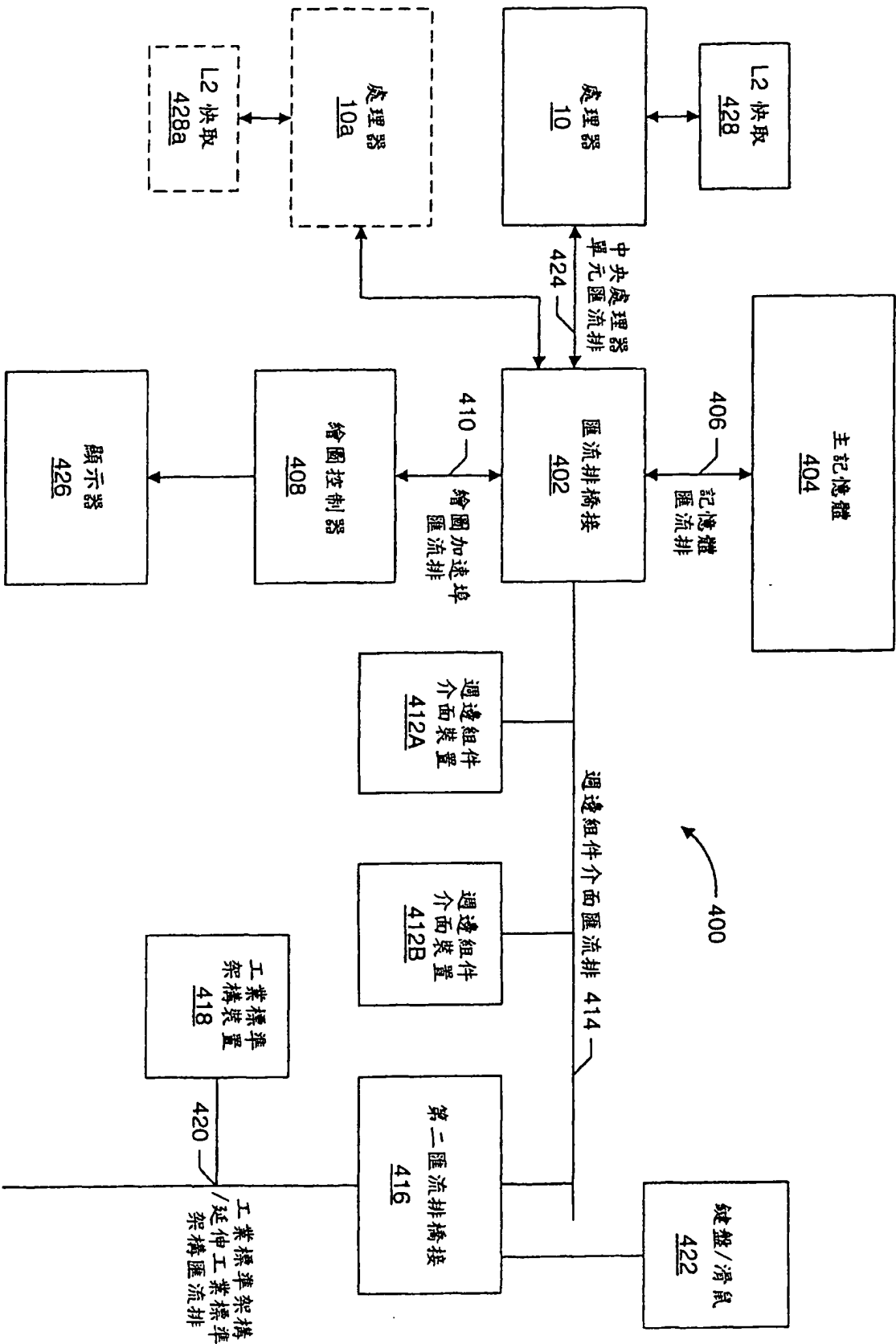
其中，回應於該偵測，該用於儲存之裝置儲存該異常指令於不同於任何非異常指令的追蹤快取登錄內。



第4圖



第5圖



第6圖