(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 1999년07월15일
(11) 등록번호 10-0209252
(24) 등록일자 1999년04월20일

(21) 출원번호	10-1996-0031861	(65) 공개번호	특1997-0030648
(22) 출원일자	1996년07월31일	(43) 공개일자	1997년06월26일
(30) 우선권주장	95-290799 1995년11월09일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 쿠니키요 타츠야
일본국 도오쿄도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 뎅끼 가부시끼가이샤 나이
(74) 대리인 이화익

심사관 : 김용정

(54) 반도체장치의 제조방법 및 반도체장치

요약

깊이(d1)까지는 통상의 이방성에칭을 하고, 깊이(d1)로부터는 기상중의 성분, 실리콘기판(1)의 온도 등의 에칭조건을 바꿔, 내측에 테이퍼가 형성되도록 이방성에칭을 하여 홈(20)을 형성한다.

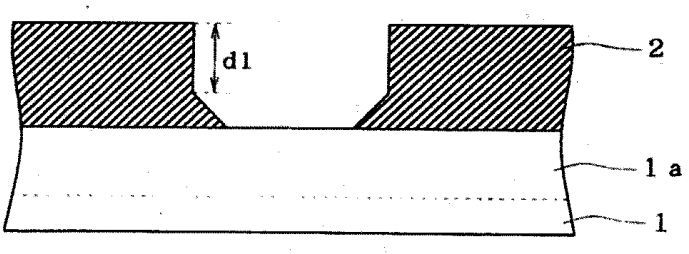
그 후, 실리콘을 홈(20)내에 에피택셜성장시켜서 에피택셜실리콘층(4)을 형성한다.

그리고, 에피택셜실리콘층(4)의 상층부에 NMOS 트랜지스터를 형성한다.

이때, NMOS 트랜지스터를 구성하는 n^+ 층(8)의 일부의 아래쪽으로 홈(20)의 테이퍼가 위치된다.

이와 같이, 제조시 헐레이션이 일어나지 않고, 버드비크가 형성되지 않고, 소자간을 흐르는 리이크전류를 최소한으로 누른 소자분리가 가능한 반도체 장치의 제조방법을 얻는다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법 및 반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 실시의 형태 1의 소자분리방법을 나타내는 단면도.

제2도는 본 발명의 실시의 형태 1의 소자분리방법을 나타내는 단면도.

제3도는 본 발명의 실시의 형태 1의 소자분리방법을 나타내는 단면도.

제4도는 본 발명의 실시의 형태 1의 소자분리방법을 나타내는 단면도.

제5도는 본 발명의 실시의 형태 2의 소자분리방법을 나타내는 단면도.

제6도는 본 발명의 실시의 형태 2의 소자분리방법을 나타내는 단면도.

제7도는 본 발명의 실시의 형태 3의 소자분리방법을 나타내는 단면도.

제8도는 본 발명의 실시의 형태 4의 소자분리방법을 나타내는 단면도.

제9도는 본 발명의 실시의 형태 4의 소자분리방법을 나타내는 단면도.

제10도는 종래의 이온주입에 의한 불순물 프로파일(profile)을 나타내는 그래프.

제11도는 본 발명의 실시의 형태 5의 소자분리방법으로 제조된 에피택셜 실리콘층의 불순물 프로파일을 나타내는 그래프.

제12도는 본 발명의 실시의 형태 6의 소자분리방법을 나타내는 단면도.

제13도는 본 발명의 실시의 형태 6의 소자분리방법을 나타내는 단면도.

제14도는 종래의 LOCOS 법을 나타내는 단면도.

제15도는 종래의 LOCOS 법을 나타내는 단면도.

제16도는 종래의 LOCOS 법을 나타내는 단면도.

제17도는 종래의 LOCOS 법을 나타내는 단면도.

제18도는 종래의 개량 LOCOS 법의 제1의 형태를 나타내는 단면도.

제19도는 종래의 개량 LOCOS 법의 제1의 형태를 나타내는 단면도.

제20도는 종래의 개량 LOCOS 법의 제1의 형태를 나타내는 단면도.

제21도는 종래의 개량 LOCOS 법의 제1의 형태를 나타내는 단면도.

제22도는 종래의 개량 LOCOS 법의 문제점을 나타내는 단면도.

제23도는 종래의 개량 LOCOS 법의 문제점을 나타내는 단면도.

제24도는 종래의 개량 LOCOS 법의 제2의 형태를 나타내는 단면도.

제25도는 종래의 개량 LOCOS 법의 제2의 형태를 나타내는 단면도.

제26도는 종래의 개량 LOCOS 법의 제2의 형태를 나타내는 단면도.

제27도는 종래의 트렌치분리법을 나타내는 단면도.

제28도는 종래의 트렌치분리법을 나타내는 단면도.

제29도는 종래의 트렌치분리법을 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘기판 2 : 열산화막

3 : 채널커트층 4 : 에피택셜실리콘층

5 : 게이트산화막 6 : 폴리실리콘게이트

7 : n층 8 : n^+층

9 : 사이드웰 10 : 배선

11 : 보호막 12 : 매립산화막

13 : 비단결정실리콘층 17 : 비결정층

[발명의 상세한 설명]

[발명이 속하는 기술분야]

본 발명은 일반적으로 반도체장치의 제조방법 및 반도체장치에 관한 것으로, 특히, 산화막에 의해 소자분리를 하는 구조의 반도체장치의 제조방법 및 반도체장치에 관한 것이다.

[종래의 기술]

반도체소자의 미세화에 따라 집적도는 향상하지만, 집적도를 결정짓는 요인의 하나로서 소자간분리가 있다.

소자간분리에 요구되는 것에는 소자간리이크전류가 작은 것, 분리내압이 높은 것, 소자영역에 대하여 소자간분리영역이 평탄한 것, 소자간분리영역이 작은 것 및 소자간분리영역단에서의 응력이 작은 것의 5개를 들 수 있다.

이하, 이 3개의 시점으로부터 소자간분리기술을 개관하여, 그 문제점을 든다.

소자분리방법의 대표적인 기술로서, LOCOS(LOCal Oxidation of Silicon)법, 개량LOCOS법, 트렌치법의 3개가 있다.

LOCOS 법은 실리콘기판을 선택적으로 산화하여 형성된 열산화막을 소자간 분리영역으로 하는 방법이다.

제14도～제17도는 종래의 LOCOS 법에 의한 프로세스플로우를 나타내는 단면도이다.

이하, 이것들의 도면을 참조하여 LOCOS 법의 프로세스를 설명한다.

우선, 제14도에 나타낸 것 같이, 실리콘기판(21)상에 얇은 산화막(22)을 형성하고, 그 산화막(22)상에 질화막(23)을 퇴적한다.

산화막(22)은 질화막(23)에 의한 응력으로 실리콘기판에 결정결함이 발생하는 것을 막기위한 막이다.

다음에, 제15도에 나타낸 것 같이, 산화막(22) 및 질화막(23)으로부터, 소자영역을 소망하는 개소만을 남기고, 그 이외의 개소는 에칭처리를 시행하여 제거한다.

다음에, 이 상태로 산화한다.

질화막(23)내에서는 산화제의 확산계수가 작기 때문에 질화막(23)아래의 부분은 거의 산화되지 않고, 실리콘기판(21)이 노출한 개소만 선택적으로 산화된다.

그 결과, 제16도에 나타낸 것 같이, 선택적으로 막두께가 두꺼운 LOCOS 산화막(24)이 형성된다.

이 LOCOS 산화막(24)은 소자분리막이다.

그리고, 질화막(23)을 에칭제거하면 제17도에 나타낸 것과 같다.

LOCOS 산화막(24)은 소자분리영역의 단부로 실리콘기판과 매끈하게 접속한다.

그 때문에, 소자분리영역의 단부의 단면은 버드비크(bird's beak)와 같은 매끈매끈한 테이퍼(taper)를 가진다.

이 버드비크(25)는 평탄화에는 유효하지만, 소자분리영역의 실질적인 확대이기 때문에, 집적도 향상에서는 문제점이었다.

버드비크의 길이를 짧게 하기위해서, 종래의 LOCOS법이 개량되었다.

그것들을 총칭하여 개량 LOCOS법이라고 한다.

제18도~제21도는 개량 LOCOS 법의 제1 형태를 나타내는 단면도이다.

이하, 제18도~제21도를 참조하여 개량 LOCOS 법의 제1의 형태를 설명한다.

우선, 제18도에 나타낸 것 같이, 실리콘기판(41)상에 산화막(42), 폴리실리콘막(43), 질화막(44)을 순차 퇴적한다.

다음에, 제19도에 나타낸 것 같이, 질화막(44)을 선택적으로 에칭제거하여 폴리실리콘막(43)을 일부 노출시킨다.

다음에, 제20도에 나타낸 것 같이 산화하여 LOCOS 산화막(45)이 형성되고, 이것이 소자분리영역(26)으로 된다.

산화시에, 산화제는 폴리실리콘막(43)과 실리콘기판(41)에서 확산되고, 폴리실리콘막(43)이 없는 경우에는 실리콘기판(41)에 도달하는 산화제의 양이 적어지기 때문에, 버드비크의 길이가 억제된다.

다음에, 질화막(44), 폴리실리콘막(43) 및 산화막(42)을 에칭제거하면, 제21도와 같이, LOCOS 산화막(45)에 의해 소자간을 분리할 수가 있다.

그렇지만, 이 방법으로서는, LOCOS 산화막(45)의 단부(버드비크가 형성되는 곳)의 경사가 급해서, 게이트전극을 전사 공정에서 패터닝할 때에 광의 일부가 LOCOS 산화막(45)의 단부의 사면으로 반사되어 측면으로부터 게이트 전극으로 인가되기 때문에, 게이트전극이 마스크패턴대로 패터닝되지 않는다고 하는, 헐레이션(halation)이라고 불리는 현상이 생기어버리는 문제점이 있었다.

제22도는 헐레이션현상의 설명용의 단면도이다.

게이트전극부는 게이트산화막(27)과 폴리실리콘막(28)으로 구성되고, 배선에는 텅스텐실리사이드(29)가 사용된다.

게이트전극을 패터닝할 때에는 레지스트(30)와 마스크(31)를 사용한다.

레지스트(30)는 포지티브형이고, 빛이 거기에 입사되면 분해된다.

헐레이션이 없는 경우는 도면증의 점선과 같이 마스크(31)의 형상을 정확히 반영하여 패터닝하지만, 헐레이션이 있으면 관선(32)이 텅스텐실리사이드(29)에 반사되고, 레지스트(30)중, 마스크(31)로 덮고 있는 부분의 측면으로 부터도 빛이 입사되기 때문에, 도면중의 실선과 같이 레지스트막(33)이 패터닝되어 버린다.

이 레지스트막(22)을 마스크로서 이방성 에칭처리를 하면, 제23도에 나타낸 것 같이, 사다리꼴의 게이트전극(46)이 형성된다.

제24도~제26도는 개량LOCOS 법의 제2의 형태를 나타내는 단면도이다.

이하, 제24도~제26도를 참조하여 개량LOCOS 법의 제2의 형태를 설명한다.

제24도에 나타낸 것 같이, 실리콘기판(51)의 일부를 테이퍼에 붙여서 에칭제거하고, 산화막(52)을 전체면에 형성후, 질화막(53)을 전체면에 퇴적후, 질화막(53)의 일부를 에칭제거한다.

다음에, 산화처리를 행하면, 제25도에 나타낸 것 같이, LOCOS 산화막(54)이 형성된다.

그 후, 질화막(53)을 제거하면 제26도에 나타낸 것과 같게 된다.

실리콘기판(51)을 에칭제거한 경우에 LOCOS 산화막(54)이 형성되기 때문에, 소자분리영역과 소자영역과의 단차는 작게 된다.

그 때문에, 헐레이션의 문제는 피하게 되지만 버드비크는 아무리 해도 형성된다고 하는 문제가 여전히 남는다.

버드비크와 헐레이션의 문제를 피하는 방법으로서 트랜치분리법이 있다.

제27도~제29도는 트렌치분리법을 나타내는 단면도이다.

이하, 제27도~제29도를 참조하여 트렌치분리법을 설명한다.

우선, 실리콘기판(21)상의 전체면에 산화막(22)을 형성후, 질화막(23)을 전체면에 퇴적한다. 다음에, 트렌치를 형성하는 이외의 영역을 레지스트(도시하지 않고)로 덮는다.

이 레지스트를 마스크로서 질화막(23), 산화막(22) 및 실리콘기판(21)에 대하여 이방성에칭을 행하면 트렌치(34)가 형성된다.

다음에, 소자간 리이크 전류를 막기 위해서 트렌치(34)의 저면과 측면에 붕소(35)를 주입하면, 제14도에 나타낸 것 같이, 붕소의 불순물층(36)이 형성된다.

그리고, 트렌치(34)의 저면과 측벽을 클리닝을 한 후에 제28도에 나타낸 것 같이 트렌치(34)의 내부를 얇게 열산화하여 열산화막(39)을 형성한다.

다음에, 제29도에 나타낸 것 같이, 트렌치(34)의 내부를 매립하는 두께로 CVD(Chenical Vapor Deposition)산화막(37)을 퇴적하면, 트렌치분리영역(38)이 형성된다.

트렌치 분리법은 버드비크와 헐레이션의 문제도 없다.

그렇지만, 트렌치(34)의 내부에 얇은 산화막을 형성할 때에 응력이 발생하여, 소자사이에 미소 리이크 전류가 생긴다고 하는 문제점이 있었다.

종래의 소자분리방법은 이상과 같이 행해지고 있고, 헐레이션, 버드비크, 소자간의 미소 리이크 전류의 발생등, 여러 가지의 문제점이 있었다.

[발명의 요약]

본 발명의 제1의 관점에 따른, 산화막에 의해 소자분리되는 반도체장치를 제조하는 방법은 (a)반도체기판을 준비하는 스텝과, (b)상기 반도체기판상에 산화막을 형성하는 스텝과, (c)상기 산화막을 선택적으로 제거하여 홈을 형성하고, 그 홈을 충전하여 반도체영역을 형성하는 스텝을 구비하고, 상기 홈은 상기 산화막의 표면에서 소정의 깊이보다 깊은 부분에서 내측에 테이퍼가 형성되고, (d)상기 반도체영역의 상기 소정의 깊이보다도 얕은 영역에 반도체소자를 형성하는 스텝을 더 구비하고, 상기 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 상기 홈의 테이퍼가 위치한다.

또한, 본 발명의 제2의 관점에 따른, 상기 스텝(c)은 (c-1)상기 산화막을 선택적으로 제거하고, 상기 산화막의 일부를 관통시켜서, 노출한 상기 반도체기판의 표면을 저면으로 한 상기 홈을 형성하는 스텝과, (c-2)상기 홈을 충전하여 상기 반도체영역을 형성하는 스텝을 구비한다.

더욱이, 본 발명의 제3의 관점에 따른, 상기 스텝(c-2)은 (c-2-1)상기 홈의 저면에 비결정층을 형성하는 스텝과, (c-2-2)상기 홈을 충전하여, 상기 반도체기판과는 다른 반도체종별의 부분 반도체영역을 형성하고, 상기 비결정층과 상기 부분 반도체 영역에 의해 상기 반도체영역을 형성하는 스텝을 구비한다.

또한, 본 발명의 제4의 관점에 따른, 상기 스텝(c)은 (c-1)상기 산화막을 선택적으로 제거하여, 상기 산화막을 관통하지 않고 상기 홈을 형성하는 스텝과, (c-2)상기 홈을 충전하여 상기 반도체영역을 형성하는 스텝을 구비한다.

더욱이, 본 발명의 제5의 관점에 따른, 상기 스텝(c-2)은 상기 홈의 상부에 미충전의 공간이 남도록 상기 반도체영역을 형성해도 좋다.

또한, 본 발명의 제6의 관점에 따른, 상기 스텝(c)은 (c-1)상기 산화막을 선택적으로 제거하고, 상기 산화막의 일부를 관통하여 관통홈을 형성하는 스텝과, (c-2)상기 관통홈을 충전하여, 단결정질의 상기 반도체 영역을 형성하는 스텝과, (c-3)상기 반도체기판의 표면에 대하여 산화처리를 하여 제2의 산화막을 형성하고, 상기 관통홈의 저부를 제2의 산화막으로 막고, 저부가 상기 제2의 산화막으로 되는 상기 홈을 형성하는 스텝을 구비한다.

또한 본 발명의 제7의 관점에 따른, 상기 홈을 복수의 홈을 갖고, 상기 반도체영역은 복수의 반도체영역을 갖고, 상기 스텝(c)은 상기 복수의 홈을 충전하여 상기 복수의 반도체영역을 각각 형성하고, 상기 복수의 반도체영역은 각각 상기 반도체기판을 종으로 한 에피텍셜 성장법에 의해 형성되고, 상기 복수의 반도체영역의 불순물분포는 각각 다르게 설정해도 좋다.

본 발명의 제8의 관점에 따른, 반도체장치는 반도체기판과, 상기 반도체기판상에 형성되어 있는 산화막을 구비하고, 상기 산화막은 그 표면에 개구를 가지는 홈을 갖고, 상기 홈은 상기 산화막의 표면으로부터 소정의 깊이보다 깊은 부분에 있어서 내측으로 테이퍼가 형성되고, 상기 홈을 충전하여 형성되어 있는 반도체영역과, 상기 반도체영역의 상기 소정의 깊이보다도 얇은 영역에 형성된 반도체소자를 더 구비하고, 상기 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 상기 홈의 테이퍼가 위치하고 있다.

또한, 본 발명의 제9의 관점에 따른, 상기 홈의 저면은 상기 반도체기판의 표면이다.

또한, 본 발명의 제10의 관점에 따른, 상기 홈의 저면은 상기 산화막의 일부이다.

또한, 본 발명의 제11의 관점에 따른, 반도체영역의 표면 높이는 상기 산화막의 표면의 높이보다도 낮고, 상기 반도체소자의 일부가 상기 반도체영역상에 형성되고, 상기 반도체소자의 최상부와 상기 산화막의 표면이 같은 높이어도 좋다.

또한, 본 발명의 제12의 관점에 따른, 상기 반도체영역은 상기 홈의 저면에 형성되어 있는 비결정층과, 상기 홈을 충전하여 상기 비결정층상에 형성되어 있는 부분 반도체영역을 구비하고, 상기 부분 반도체영역은 상기 반도체 기판과는 다른 반도체종별이어도 좋다.

본 발명의 제1의 관점에 따른 반도체장치의 제조방법에 있어서, 스텝(c)에서 형성되는 홈은 산화막의 표면에서 소정의 깊이보다 깊은 부분에 있어서 내측으로 테이퍼가 형성되고, 스텝(d)에서 반도체영역의 소정의 깊이보다도 얕은 영역에 반도체소자를 형성함으로써, 반도체소자가 형성되는 영역은 테이퍼의 영향을 받지 않는다.

그리고, 스텝(c)에서 홈의 소정의 깊이보다 깊은 부분에 있어서 내측으로 테이퍼를 형성하고, 스텝(d)에서 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 테이퍼가 위치하도록 반도체소자를 형성함으로써, 반도체소자를 구성하는 확산영역에 역바이어스를 인가 할 때, 공핍층이 반도체기판의 표면에 달하는 것을 홈의 테이퍼에 의해 억제할 수가 있다.

그 결과, 반도체소자를 구성하는 확산영역의 시이트저항(sheet resistivity)을 충분히 낮게 할 수가 있음과 동시에, 장치의 분리내압을 향상시킬 수 있다.

덧붙여, 스텝(c)에서 산화막에 홈을 형성한 후, 잔존한 열산화막을 소자간 분리 산화막으로 함으로써, 버드비크가 생기지 않는다.

더욱이, 스텝(b)에서 행하는 산화막의 형성처리는 주소적인 산화처리가 아니기 때문에, 스텝(b)의 산화에 의한 응력이 생기지 않는다.

따라서, 반도체소자와 다른 반도체소자와의 사이에 미소 리이크 전류가 흐르지 않는다.

또한, 본 발명의 제2의 관점에 따른 반도체장치의 제조방법은 스텝(c-1)에서 노출한 반도체기판의 표면을 저면으로 한 홈을 형성하기 때문에, 스텝(c-2)에서 반도체기판을 종으로 한 에피택셜성장에 의해 단결정질의 반도체영역을 형성할 수가 있다.

그 결과, 본 발명의 제2의 관점에 따른 제조방법에 의해 제조되는 반도체장치는 반도체영역내에 형성되는 반도체소자의 캐리어의 이동도를 높이고, 동작속도가 빠른 반도체소자를 형성할 수가 있다.

또한, 본 발명의 제3의 관점에 따른 반도체장치의 제조방법에 있어서, 부분반도체 영역은 반도체 기판과는 다른 반도체종별이기 때문에, 반도체기판의 반도체 종별에 의존하지 않고, 반도체 소자의 동작성능에 적합한 종류의 반도체로 부분 반도체 영역을 형성할 수가 있다.

또한, 반도체 기판과 부분 반도체 영역과의 사이에 비결정층을 설치하는 것에 의해, 반도체기판과 부분반도체영역과의 반도체종별이 다름으로 생기는 악영향을 완화할 수가 있다.

또한, 본 발명의 제4의 관점에 따른 반도체장치의 제조방법에 있어서, 상기스텝(c-1)은 산화막을 관통하지 않고 홈을 형성하기 때문에, 반도체소자가 형성되는 반도체영역은, 반도체기판상을 절연막(산화막)을 개재하여 형성된, 소위 SOI (semiconductor(silicon) on insulator)구조를 보인다.

그 결과, 본 발명의 제4의 관점에 따른 제조방법에 의해 제조되는 반도체장치는 SOI 구조에 의해 2차캐리어에 의해서 반도체소자가 오동작을 하는 소프트에러를 거의 일으키지 않는 효과를 나타낸다.

또한, 본 발명의 제5의 관점에 따른 반도체장치의 제조방법에 있어서, 상기 스텝(c-2)은 홈의 상부에 미충전의 공간이 남도록 반도체영역을 형성하기 때문에, 반도체영역의 윗쪽에 반도체소자의 일부가 형성되는 경우에도, 반도체소자의 최상부와 산화막의 표면과의 높이가 일치하도록 형성할 수가 있다.

그 결과, 반도체소자상에 배선을 형성할 때에, 배선을 얇은 막두께로 비교적 용이하게 평탄화하여 형성할 수가 있다.

또한, 본 발명의 제6의 관점에 따른 반도체장치의 제조방법에 있어서, 상기 스텝(c-1)에서 노출한 반도체기판의 표면을 저면으로 한 관통홈을 형성하기 때문에, 상기 스텝(c-2)에서 반도체기판을 종으로 한 에피택셜성장에 의해 단결정질의 반도체영역을 형성할 수 있다.

덧붙여, 상기 스텝(c-3)은 관통홈의 저부를 제2의 산화막으로 막고, 저부가 제2의 산화막이 되는 홈을 형성하기 때문에, 반도체영역은 반도체기판상에 절연막(산화막)을 개재하여 형성되는 SOI 구조를 보인다.

그 결과, 본 발명의 제6의 관점에 따른 제조방법에 의해 제조되는 반도체장치는 반도체영역내에 형성되는 반도체소자의 캐리어의 이동도를 높이고, 동작속도가 빠른 반도체소자를 형성할 수가 있음과 동시에, 2차캐리어에 의해서 반도체소자가 오동작을 하는 소프트에러를 거의 일으키지 않는 효과를 나타낸다.

또한, 본 발명의 제7의 관점에 따른 반도체장치의 제조방법에 있어서, 복수의 반도체영역은 각각 반도체기판을 종이로 한 에피택셜 성장법에 의해 형성되고, 복수의 반도체영역의 불순물분포는 각각 다르게 설정되기 때문에, 내부에 형성되는 반도체소자에 적합한 불순물분포를 설정할 수가 있다.

본 발명의 제8의 관점에 따른 반도체장치에 있어서, 홈은 산화막의 표면에서 소정의 깊이보다 깊은 부분에 있어서 내측으로 테이퍼가 형성되고, 반도체소자는 반도체영역의 소정의 깊이보다도 얕은 영역에 형성되기 때문에, 반도체소자가 형성되는 영역은 테이퍼에 의한 영향을 받지 않는다.

또한, 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 홈의 테이퍼가 위치하기 때문에, 반도체소자를 구성하는 확산영역에 역바이어스를 인가 할 때, 공핍층이 반도체기판의 표면에 달하는 것을 홈의 테이퍼에 의해 억제할 수가 있다.

그 결과, 반도체소자를 구성하는 확산영역의 시이트저항을 충분히 낮게 할 수가 있음과 동시에, 장치의 분리내압을 향상시킬 수 있다.

또한, 본 발명의 제9의 관점에 따른 반도체장치에 있어서, 상기 홈의 저면은 반도체기판의 표면이기 때문

에, 반도체기판을 종으로 한 에피택셜성장에 의해 단결정질의 반도체영역을 형성할 수가 있다.

그 결과, 본 발명의 반도체장치는 반도체영역내에 형성되는 반도체소자의 케리어의 이동도를 높이고, 동작속도가 빠른 반도체소자를 얻을 수 있다.

또한, 본 발명의 제10의 관점에 따른 반도체장치에 있어서, 상기 홈의 저면은 산화막의 일부이기 때문에, 반도체가 형성되는 반도체영역은 반도체기판상에 절연막(산화막)을 개재하여 형성된, SOI 구조를 보인다.

그 결과, 본 발명의 제10의 관점에 따른 반도체장치는 SOI구조에 의해, 2차캐리어에 의해서 반도체소자가 오동작을 하는 소프트에러를 거의 일으키지 않는다.

또한, 본 발명의 제11의 관점에 따른 반도체장치에 있어서, 반도체영역의 표면의 높이는 산화막의 표면의 높이보다도 낮게, 반도체소자의 일부가 반도체영역의 윗쪽에 형성되고, 반도체소자의 최상부와 산화막의 표면과의 높이가 일치하기 때문에, 반도체장치상에 배선을 형성할 때에, 배선을 얇은 막두께로 비교적 용이하게 평탄화하여 형성할 수가 있다.

또한, 본 발명의 제12의 관점에 따른 반도체장치에 있어서, 상기 부분반도체 영역은 반도체기판과는 다른 반도체종별이기 때문에, 반도체기판의 반도체종별에 의존하지 않고, 반도체소자의 동작성능에 적합한 종류의 반도체로부터 부분반도체영역을 형성함으로써, 반도체소자의 성능향상을 꾀할 수 있다. 또한, 반도체기판과 부분반도체영역과의 사이에 비결정층을 설치함으로써 반도체기판과 부분 반도체영역과의 반도체종별이 다름으로서 생기는 악영향을 완화할 수가 있다.

따라서, 본 발명은 이것들의 문제점을 해결하기 위해서 고안된 것으로, 제조시에 헐레이션이 일어나지 않고, 버드비크가 형성되지 않고, 소자간을 흐르는 리이크 전류를 최소한으로 누른 소자분리가 가능한 반도체장치의 제조방법 및 반도체장치를 얻는 것을 목적으로 한다.

본 발명의 상기와 다른 목적, 특징, 관점 및 이점은 첨부도면에 의거하여 본 발명의 상세한 설명으로부터 더 분명해진다.

[발명의 실시의 형태]

[실시의 형태 1]

제1도~제4도는 본 발명의 실시의 형태 1의 소자분리방법을 나타내는 단면도이다.

이하, 제1도~제4도를 참조하여 소자분리방법을 설명한다.

우선, 제1도에 나타낸 것 같이, 실리콘기판(1)을 세정후, 실리콘기판(1)의 전체면을 산화하여, 실리콘기판(1)상의 전체면에 열산화막(2)을 형성한다.

다음에, 이온주입법에 의해 실리콘기판(1)의 상층부에 웰영역(1a)를 형성한다.

웰영역(1a)는 N형의 경우에 비소이온을, P 형의 경우에 붕소이온을 주입함으로써 형성된다.

이후, 실리콘기판(1)은 웰영역(1a)를 포함하고 가정한다.

그 후, 열산화막(2)상에 레지스트(도시하지 않고)를 형성하고, 이 레지스트에 대하여 패터닝처리를 하고, 패터닝된 레지스트를 마스크로서 열산화막(2)에 대하여 이방성 에칭을 하여, 홈(20)을 형성한다.

이 홈(20)의 내부가 (반도체)소자형성영역이 되어, 소자형성영역내에 반도체 소자가 형성된다.

홈(20)의 형성시에 있어서, 깊이(d1)까지는 테이퍼를 붙이지 않고서 수직하게 열산화막(2)을 제거하고, 깊이(d1)보다 깊은 곳에서는 내측에 테이퍼를 붙여서 제거한다.

에칭제거된 부분은 홈(20)으로 되고, 에칭되지 않고서 남은 열산화막(2)은 소자분리막으로 된다.

또, 깊이(d1)는 반도체소자의 확상영역의 형성깊이에 약간의 여유를 가지게 한 깊이이다.

이러한 구조의 홈(20)의 형성의 에칭처리는 아래와 같이 행한다.

깊이(d1)까지는 통상의 이방성에칭을 하고, 깊이(d1)로부터는 기상중의 성분, 실리콘기판(1)의 온도 등의 에칭조건을 바꾸어, 내측에 테이퍼가 형성되도록 이방성에칭을 한다.

다음에, 제2도에 나타낸 것 같이, 열산화막(2)아래에 있는 실리콘기판(1)의 상층부에 이온주입법 등을 사용하여 채널커트층(3)을 형성한다.

그리고, 제3도에 나타낸 것 같이, 홈(20)의 저면인, 노출한 실리콘기판(1)의 표면을 종으로서, 실리콘을 홈(20)내에 에피택셜 성장시켜서 에피텍셜실리콘층(4)을 형성한다.

이 에피텍셜실리콘층(4)은 소자형성영역이 된다.

또, 이방성에칭으로 형성된 홈(20)의 저면, 즉, 노출한 실리콘기판(1)의 표면에는 에칭손해상에 따르는 결정결함이 발생하여, 이것이 리이크전류의 원인이 된다.

이러한 결정결함을 피하기 위해, 에피택셜성장하기 전에, 이방성에칭후의 실리콘기판(1)의 표면을 클리닝으로 하여 웨트케미켈액(wet chemical liquid)에 의한 세정에 덧붙여 희생산화막에 의한 표면층제거처리를 하여, 결정결함이 발생한 실리콘기판(1)의 표면을 제거한다.

또, 희생산화막이란, 후에 완성되는 소자의 구조에 남아있지 않고서, 홈의 형상을 조정하고, 또한, 홈내부의 결함, 왜곡, 오염 등을 제거하기 위해서 회생이 되기 때문에, 일단 형성된 후에 즉시 제거되는 산화막이다.

열산화막(2)과 에피택셜층(4)의 표면은 반드시 평탄하지 않기 때문에, 제3도에 나타낸 것 같이,

CMP(Chemical Mechanical Polishing) 등의 공정에 의해서 평탄화 처리를 한다.

다음에, 전체면에 산화막, 폴리실리콘막을 순차 퇴적후, 이들 산화막 및 폴리실리콘막에 대하여 패터닝처리를 하여, 제4도에 나타낸 것 같이, 게이트산화막(5) 및 폴리실리콘게이트(6)를 형성한다.

그리고, 폴리실리콘게이트(6)를 마스크로서, 예컨대, 비소를 이온주입하는 것에 의해 자기정합적으로 n^-층(7)을 형성한다.

다음에, 전체면에 산화막을 퇴적한 후, 산화막에 대하여 이방성에칭을 행하여 폴리실리콘게이트(6)의 측면에, 제4도에 나타낸 것 같이, 측벽(9)을 형성한다.

그 후, 폴리실리콘게이트(6) 및 측벽(9)을 마스크로서, 예컨대 비소를 이은주 입하여 자기정합적으로 n^+층(8)을 형성한다.

이 다음에, 열처리하면 불순물이 전기적으로 활성화되어, NMOS트랜지스터가 형성된다. 즉 n^-층(7) 및 n^+층(8)이 NMOS 트랜지스터의 확산영역(드레인, 소스영역)이 된다.

이때, 제4도에 나타낸 것 같이, n^-층(7) 및 n^+층(8)은 홈(20)의 깊이(d1)보다 얕은 영역에 형성되고, n^+층(8)의 일부의 아래쪽으로 홈(20)의 테이퍼가 위치하도록 형성된다.

또, 실시의 형태 1의 소자분리방법에서는 에피택셜실리콘층(4)내에 형성되어, 소자간분리되는 반도체소자로서 NMOS 트랜지스터를 예에 들었지만, PMOS트랜지스터, 바이폴라트랜지스터, 전력소자, TGT(Thin Film Transistor) 등을 형성하는 것도 물론 가능하다.

이와 같이, 실시의 형태 1의 소자분리방법은 열산화막(2)의 일부에 홈(20)을 형성하고, 홈(20)의 형상을 깊이(d1)까지는 수직하게, 깊이(d1)보다 깊은 부분에서는 내측에 테이퍼형상을 형성하고 있다.

그리고, 에피택셜실리콘층(4)의 상층부에 반도체소자(NMOS 트랜지스터)를 형성하도록 홈(20)내에 형성되는 에피택셜실리콘층(4)을 소자형성영역으로서 사용하고, 잔존한 열산화막(2)을 소자간분리막으로서 사용하고 있다.

홈(20)의 깊이(d1)까지 산화막(2)의 측벽을 수직하게 형성함으로써, 반도체 소자(NMOS 트랜지스터)를 구성하는 확산영역(n^-층(7), n^+층(8))의 저면에서의 횡축의 폭을 충분히 확보하여 시이트저항을 내릴 수 있다.

또한, 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽에 홈(20)의 테이퍼가 위치하도록 깊이(d1)보다 깊은 개소에 내측테이퍼를 붙임으로써, 반도체소자의 확산영역(7,8)에 역바이스를 인가할 때에 공핍층이 실리콘기판(1)의 표면에 있는 채널커트층(3)에 달하는 것을 홈(20)의 테이퍼에 의해 억제할 수가 있다.

그 결과, 종래의 LOCOS 법으로 제조되는 경우와 비교하여, 확산영역(7,8)으로부터의 공핍층이 채널커트층(3)에 거의 달하지 않기 때문에, 장치의 분리내압이 향상한다.

덧붙여, 열산화막(2)에 홈(20)을 형성한 후, 잔존한 열산화막(2)을 소자 분리 산화막이라고 하고 있기 때문에, 버드비크가 생기지 않는다.

더욱이, 열산화막(2)의 형성은 실리콘기판(1)상의 전체면에 형성되고, 종래의 LOCOS 법과같이 국소적으로 산화를 하지 않기 때문에, 산화에 의한 응력이 생기지 않고 소자분리된 반도체소자간의 미소 리이크 전류를 지극히 적게 할 수 있다.

또한, 이방성에칭에 의한 홈(20)의 형성후, 결정결함이 발생한 실리콘기판(1)의 표면에 대하여, 에피택셜실리콘층(4)을 형성하기 전에 표면 클리닝으로서 웨트케미컬액에 의한 세정에 덧붙여 희생산화막에 의한 표면층 제거를 하기 때문에, 결정결함에 기인하여 생기는 리이크전류를 확실히 억제할 수가 있다.

[실시의 형태 2]

실시의 형태1의 소자분리방법에서는, 열산화막(2)과 에피택셜층(4)의 표면이 일치하도록 평탄화처리을 하였다.

실시의 형태 1의 소자분리방법에 의해 얻어지는 구조는 게이트 전극 형성시의 헐레이션이 적다고 하는 이점이 있지만, 제4도로 나타낸 구조로부터, 더욱이 배선 및 보호막을 퇴적시킬 때에, 트랜지스터의 게이트부분이 열산화막(2) 및 에피택셜 실리콘층(4)으로부터 돌출하여, 배선 및 보호막을 평탄히 형성하는 것이 어렵다.

특히, 배선에 관하여는 요철의 부분에 전계가 집중하여 마이그레이션에 의한 신뢰성의 저하를 야기하는 문제가 있다.

그래서, 실시의 형태 2에서는 제5도에 나타낸 것 같이, 홈(20)의 상부에 미충전의 공간이 남도록, 홈(20)의 일부에 에피택셜실리콘층(4)을 형성한다.

또, 홈(20)의 형상은 홈(20)의 미충전 공간거리를 d2로 하면, 깊이(d1)에 상부공간거리(d2)를 가한 깊이까지는 수직하게, 깊이(d1+d2)보다 깊은 부분에서는 내측에 테이퍼형상을 형성하고 있다.

그리고, 실시의 형태 1의 소자분리방법과 같은 방법에 의해, 제7도에 나타낸 것 같이, 열산화막(2)과 폴리실리콘게이트전극(6)의 상단이 일치하도록 NMOS 트랜지스터를 형성한다.

이와 같이, 실시의 형태 2의 소자분리방법은 실시의 형태 1의 효과에 덧붙여, 홈(20)내에 에피택셜실리콘층(4)을 형성할때에, 에피택셜 실리콘층(4)의 윗쪽에 형성되는 반도체소자의 형성높이에 대응하는 공간이 홈(20)의 상부의 미층전공간으로서 남도록 형성하기 때문에, 배선(10) 및 보호막(11)의 형성시에, 배선

(10)과 보호막(11)을 각각 얇은 막두께로 비교적 용이하게 평탄화하여 형성할 수가 있다.

[실시의 형태 3]

제5도 및 제6도로 나타낸 실시의 형태 2의 소자분리방법에서 제조되는 구조의 이점을 헐레이션이 없는 것, 버드비크가 없는 것, 산화에 의한 응력이 생기지 않기 때문에 미소리이크전류가 지극히 적은 것이고, 더욱이, 종래의 LOCOS 분리구조와 비교하여, 소자분리산화막의 실리콘기판측(테이퍼부분)은 길게, 표면측은 짧게, 분리내압은 높게, 또한, 소자형성영역은 넓게 잡을 수 있다.

이 구조를 더 추진한 것이 제7도로 나타내는 실시의 형태 3에 의한 소자분리방법이다.

이 방법에서는 홈(20)을 열산화막(2)을 관통하지 않고 형성하고, 홈(20)의 하부의 측벽은 내측에 테이퍼를 붙여서 저면상에 열산화막(2)을 잔존시킨다. 홈(20)의 형상은 실시의 형태 2와 같이, 홈(20)의 상부의 미충전공간의 깊이를 d2로 하면, 상기 홈(20)을 깊이(d1 + d2)까지는 수직하게, 깊이(d1 +d2)보다 깊은 부분에서는 내측에 테이퍼형상이 되도록 형성된다.

홈(20)의 저부에 잔존하는 산화막(12)을 매립산화막이라고 부른다.

이 경우, 홈의 저면에 실리콘기판(1)이 노출되지 않기 때문에, 홈(20)을 에피택셜 실리콘층으로 충전하는 것은 할 수가 없다.

그래서, 대신해서 비결정의 실리콘 또는 폴리실리콘으로 이루어지는 비단결정 실리콘층(13)으로 홈(20)을 충전한다.

이와 같이, 실시의 형태 3의 소자분리방법에 의해 얻어지는 구조는 SOI(Sillcon on Insulator)구조라고 불리고 있다.

SOI구조는 패키지중에 미량으로 포함되고 있는 우라늄이든지 토륨(thorium)등으로부터 방사되는 a선이 실리콘기판에 조사되고, 이때에 발생한 2차캐리어에 의해서 반도체소자가 오동작을 하는 소프트에러가 거의 발생하지 않는다고 하는 이점이 있다.

SOI 구조는 통상, SIMOX(Separation implanted Oxygen)법이라고 하고, 실리콘기판(1)에 산소이온을 주입한 후, 고온으로 열처리하는 방법에 의해서 형성될 수가 있다.

SIMOX 법의 결정을 부분적으로 기판과 SOI 층을 실리콘층으로 접속하는 것이 어렵고, 비용이 높다는 것이다.

실시의 형태 3의 소자분리방법에서는 소자형성영역의 폭과 이방성에칭의 테이퍼각을 조절하는 것에 의해 선택적으로 최적의 SOI 구조를 형성할 수가 있다.

[실시의 형태 4]

제7도에 나타낸 실시의 형태 3의 소자분리방법에서는 SOI층인 비단결정 실리콘층(13)의 구성물을 플리실리콘 또는 비결정 실리콘으로 한정되어 있다.

그렇지만, SOI 층을 단결정 실리콘으로 형성하지 않은 경우, 케리어의 이동도가 낮아져서 소자의 스피드가 저하하여 버린다고 하는 문제가 있다.

그래서, 실시의 형태 4의 소자분리방법에서는 홈(20)형성의 제1단계로서, 제8도에 나타낸 것 같이, 홈(20)의 저면에 실리콘기판(1)의 작은 영역이 노출하도록 테이퍼를 붙여서, 홈(20)을 형성한다.

그리고, 실리콘기판(1)의 작은 노출영역을 종결정으로서 사용하여, 에피택셜 실리콘층(4)을 형성한다.

그 후, 제9도에 나타낸 것 같이, 에피택셜실리콘층(4)의 표면에 하층 산화막(14)을 형성 후, 질화막(15)을 퇴적한다.

그 후, 산화처리를 하면, 열산화막(2)이 성장하며, 에피택셜실리콘층(4)과 실리콘기판(1)과의 사이에 매립산화막(12)이 형성된다.

이때 SOI 층인 에피택셜실리콘층(4)은 절화막(15)으로 보호되기 때문에 거의 산화되지 않는다.

이상의 공정에 의해, 단결정실리콘으로 이루어지는 SOI 층(에피택셜실리콘층(4))을 형성할 수가 있다.

이와 같이, 실시의 형태 4의 소자분리방법에서는 SOI 층을 단결정으로 형성 할 수가 있기 때문에, 실시의 형태 3의 효과에 덧붙여, 캐리어의 이동도를 높이고, 소자의 스피드를 빠르게 할 수 있다.

[실시의 형태 5]

실시의 형태 1~4는 설명의 형편상, 소자형성영역인 에피택셜실리콘층(4)을 1개밖에 도시않고 있지만, 잔존한 열산화막(2)에 의해 소자분리를 하는 것으로부터, 실제로는 열산화막(2)에 복수의 홈(20)이 형성되고, 그 홈(20)을 충전하여 복수의 에피택셜실리콘층(4)이 각각 형성된다.

실시의 형태 5의 소자분리방법은 복수의 에피택셜실리콘층(4)의 형성시에, 에피택셜실리콘층(4)마다 다른 불순물분포가 되도록 에피택셜성장시킨다.

그 결과, 실시의 형태 5의 소자분리방법은 각 에피택셜실리콘층(4)의 내부에 형성되는 반도체소자의 적합한 불순물분포를 설정할 수가 있다.

예컨대, PMOS 트랜지스터를 형성하는 경우를 생각한다.

제10도는 종래의 매립형의 PMOS 트랜지스터의 채널영역의 깊이방향의 불순물 농도 분포이다.

통상 이것들이 분포는 이온주입을 사용하여 형성하기 때문에, 급속하게 변화하는 분포를 얻는 것은 어렵

다.

이것에 대하여, 실시의 형태 5에 의한 소지분리방법에서는 PMOS 트랜지스터를 형성용의 에피택셜 실리콘층(4)을 선택적으로 에피택셜 성장시킬 수 있어 제11도와 같이 접합부근에서 급속하게 변화하는 분포를 얻을 수 있다. 그 결과, 제11도에 나타내는 것 같은 불순물분포를 갖는 채널영역을 갖는 PMOS 트랜지스터가 펀치쓰루를 거의 일이키지 않기 때문에, 게이트전압에 의한 전류제어를 높은 정밀도로 행할 수 있다고 하는 양호한 특성을 얻을 수 있다.

[실시의 형태 6]

소자형성영역용의 층은 실리콘에 한하지 않고 다른 물질이라도 좋다.

실시의 형태 6에 의한 소자분리방법은 소자형성영역을 비소화물(arsenide)갈륨층(18)으로 형성하는 방법이다.

실시의 형태 2와 같이, 열산화막(2)에 홈(20)을 형성후, 예컨대, 제12도에 나타낸 것 같이, 실리콘이온(16)을 주입하여, 실리콘기판(1)의 표면을 비결정의 상태로 하여 비결정층(17)을 형성한다.

비결정층(17)은 실리콘기판(1)의 표면의 결정구조를 혼란시켜서 내부에 격자간실리콘이 형성된 층이고, 이 격자간실리콘에 의해 비소화물 갈륨의 격자정수에 가까운 간격을 갖는 실리콘원자가 표면에 복수 존재한다.

그 후, 제13도에 나타낸 것 같이, 비소화물 갈륨을 성장시켜서 비소화물 갈륨층(18)을 형성한다.

먼저 비결정층(17)을 형성하여, 실리콘과 비소화물 갈륨과의 격자정수의 차이를 완화시키고, 비결정층(17)을 개재하여,실리콘기판(1)과 비소화물 갈륨층(18)과의 접속을 쉽게 한다.

비소화물 갈륨을 실리콘보다 이동도가 크기 때문에, 비소화물 갈륨층(18)에 반도체소자를 형성하는 것에 의해, 스위칭정밀도가 뛰어난 반도체소자를 얻을 수 있다.

이밖에, 도면에는 나타내지 않지만 SiGe를 사용한 바이폴라 트랜지스터를 형성하는 것도 가능하다.

이와 같이, 실시의 형태 6의 소자분리방법은 소자형성영역으로서 비소화물 갈륨층을 형성하기 때문에, 스위칭정밀도가 뛰어난 반도체소자를 얻을 수 있다.

상기 발명을 상세히 설명했지만, 상기 설명은 모든 관점에 예시적인 것이지 한정적인 것은 아니다.

다양한 변경 및 변화는 본 발명의 범위를 벗어나지 않고 고안될 수 있다.

(57) 청구의 범위

청구항 1

산화막에 의해 소자분리되는 반도체장치의 제조방법에 있어서, (a) 반도체기판을 준비하는 스텝과, (b) 상기 반도체기판상에 산화막을 형성하는 스텝과, (c) 상기 산화막을 선택적으로 제거하여 홈을 형성하고, 그 홈을 충전하여 반도체영역을 형성하는 스텝을 구비하고, 상기 홈은 상기 산화막의 표면에서 소정의 깊이보다 깊은 부분에 있어서 내측에 테이퍼가 형성되고, (d) 상기 반도체영역의 상기 소정의 깊이보다도 얕은 영역에 반도체소자를 형성하는 스텝을 더 구비하고, 상기 스텝(d)은 상기 반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 상기 홈의 테이퍼가 위치하도록 상기 반도체소자를 형성한 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 스텝(c)은 (c-1) 상기 산화막을 선택적으로 제거하고, 상기 산화막의 일부를 관통시켜서, 노출한 상기 반도체기판의 표면을 저면으로 한 상기구를 형성하는 스텝과, (c-2) 상기 홈을 충전하여 상기 반도체영역을 형성하는 스텝을 구비하는 반도체장치의 제조방법.

청구항 3

제2항에 있어서, 상기 스텝(c-2)은 상기 홈의 상부에 미충전의 공간이 남도록 상기 반도체영역을 형성한 반도체장치의 제조방법.

청구항 4

제3항에 있어서, 상기 스텝(c-2)은 상기 반도체영역의 표면과 상기 산화막의 표면과의 높이가 일치하도록 상기 반도체영역을 형성한 반도체장치의 제조방법.

청구항 5

제2항에 있어서, 상기 스텝(c-1)은 (c-1-1)상기 산화막의 표면에서 상기 소정의 깊이까지 상기 반도체기판의 표면상에 수직하게 이방성 에칭을 하는 스텝과, (c-1-2)에칭조건을 변경하여 상기 반도체기판의 표면에 대하여 내측에 테이퍼가 형성되도록 상기 소정깊이까지, 상기 반도체기판의 표면상에 이방성에칭을 하는 스텝을 구비한 반도체장치의 제조방법.

청구항 6

제2항에 있어서, 상기 스텝(c-2)은 (c-2-1) 상기 홈의 저면에 비결정층을 형성하는 스텝과, (c-2-2) 상기 홈을 충전하여, 상기 반도체기판과는 다른 반도체종별의 부분 반도체영역을 형성하고, 상기 비결정층과 상기 부분 반도체영역에 의해 상기 반도체영역을 형성하는 스텝을 구비하는 반도체장치의 제조방법.

청구항 7

제6항에 있어서, 상기 스텝(c-2-2)은 상기 홈의 상부에 미충전의 공간이 남도록 상기 부분 반도체영역을 형성하는 반도체장치의 제조방법.

청구항 8

제1항에 있어서, 상기 스텝(c)은 (c-1) 상기 산화막을 선택적으로 제거하여, 상기 산화막을 관통하지 않고 상기 홈을 형성하는 스텝과, (c-2) 상기 홈을 충전하여 상기 반도체영역을 형성하는 스텝을 구비하는 반도체장치의 제조방법.

청구항 9

제8항에 있어서, 상기스텝(c-2)은 상기 홈의 상부에 미충전의 공간이 남도록 상기 반도체영역을 형성하는 반도체장치의 제조방법.

청구항 10

제1항에 있어서, 상기 스텝(c)은 (c-1) 상기 산화막을 선택적으로 제거하고, 상기 산화막의 일부를 관통하여 관통홈을 형성하는 스텝과, (c-2) 상기 관통홈을 충전하여, 단결정질의 상기 반도체영역을 형성하는 스텝과, (c-3) 상기 반도체기판의 표면에 대하여 산화처리를 하여 제2의 산화막을 형성하고, 상기 관통홈의 저부를 제2의 산화막으로 막고, 저부가 상기 제2의 산화막이 되는 상기 홈을 형성하는 스텝을 구비하는 반도체장치의 제조방법.

청구항 11

제10항에 있어서, (c-4) 상기스텝(c-2)과 스탭(c-3) 과의 사이의 상기 반도체영역의 표면상에 상기 반도체영역의 산화를 억제하는 특성을 가진 산화억제만을 형성하는 스텝을 더 구비하는 반도체장치의 제조방법.

청구항 12

제10항에 있어서, 상기 스텝(c-2)은 상기 홈의 상부에 미충전의 공간이 남도록 상기 반도체영역을 형성하는 반도체장치의 제조방법.

청구항 13

제1항에 있어서, 상기 홈은 복수의 홈을 갖고, 상기 반도체영역은 복수의 반도체영역을 갖고, 상기 스탭(c)은 상기 복수의 홈을 충전하여 상기 복수의 반도체영역을 각각 형성하고, 상기 복수의 반도체영역은 각각 상기 반도체기판을 종으로 한 에피택셜성장법에 의해 형성되고, 상기 복수의 반도체영역의 불순물분포는 각각 다르게 설정되어 있는 반도체장치의 제조방법.

청구항 14

제13항에 있어서, 상기 복수의 반도체영역중의 적어도 하나는 P-N 접합 부근의 영역에서 급속하게 변화되어 있는 불순물분포를 갖는 반도체장치의 제조방법.

청구항 15

반도체기판과, 상기 반도체기판상에 형성되는 산화막을 구비하고, 상기 산화막은 그 표면에 개구를 갖는 홈을 갖고, 상기 홈은 상기 산화막의 표면에서 소정의 깊이보다 깊은 부분에 있어서 내측에 테이퍼가 형성되고, 상기 홈을 충전하여 형성되는 반도체영역과, 상기 반도체영역의 상기 소정의 깊이보다도 얕은 영역에 형성된 반도체소자를 더 구비하고, 상기반도체소자를 구성하는 확산영역의 적어도 일부의 아래쪽으로 상기 홈의 테이퍼가 위치한 반도체장치.

청구항 16

제15항에 있어서, 상기 홈의 지면은 상기 반도체기판의 표면인 반도체장치.

청구항 17

제15항에 있어서, 상기 홈의 저면은 상기 산화막의 일부인 반도체장치.

청구항 18

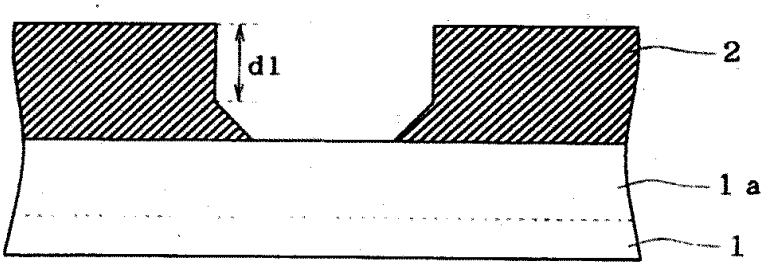
제15항에 있어서, 상기 반도체영역의 표면의 높이는 상기 산화막의 표면의 높이보다도 낮고, 상기 반도체소자의 일부는 상기 반도체영역의 윗쪽에 형성되고, 상기 반도체소자의 최상부와 상기 산화막의 표면과 높이가 일치한 반도체장치.

청구항 19

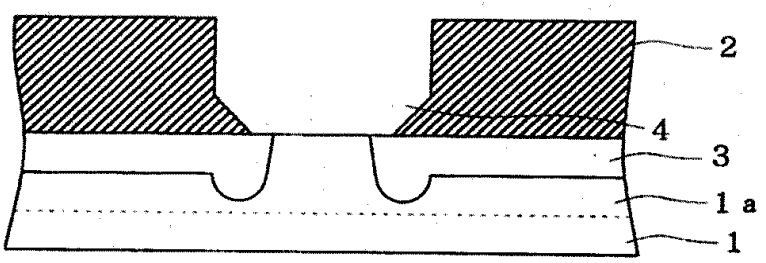
제15항에 있어서, 상기 반도체영역은 상기 홈의 저면에 형성되는 비결정층과, 상기 홈을 충전하여 상기 비결정층상에 형성되는 부분 반도체영역을 구비하고, 상기 부분반도체영역은 상기 반도체기판과는 다른 반도체종별인 반도체장치.

도면

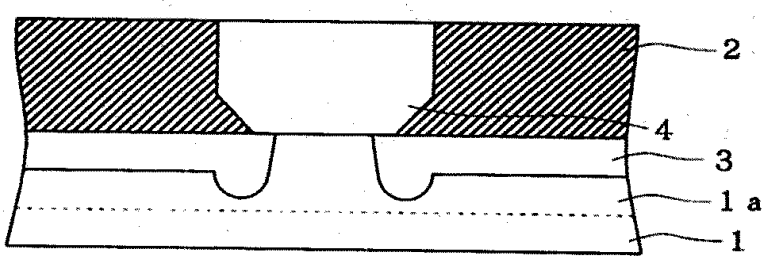
도면1



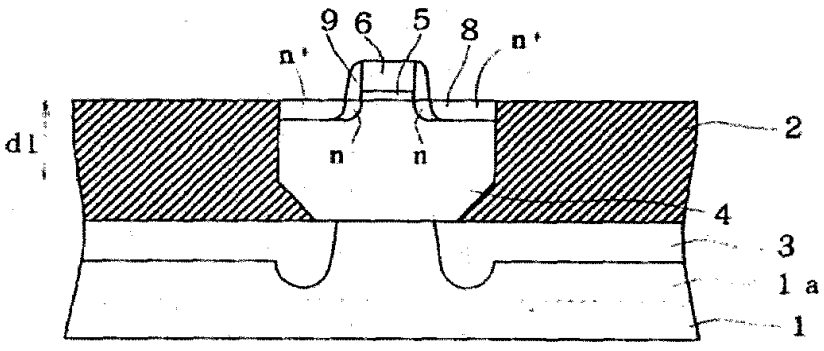
도면2



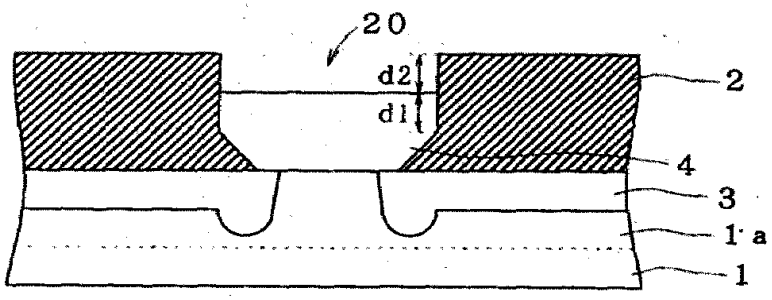
도면3



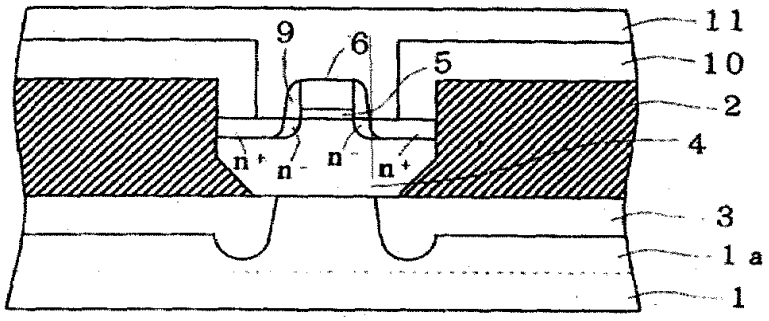
도면4



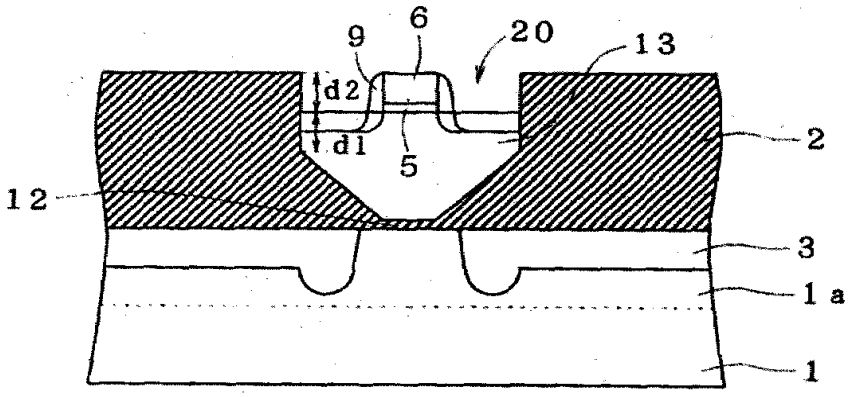
도면5



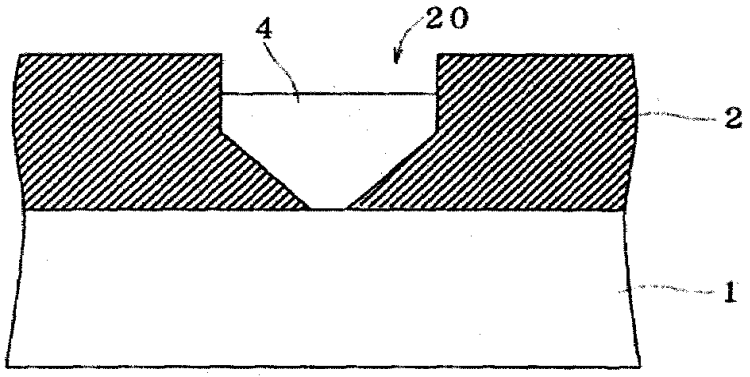
도면6



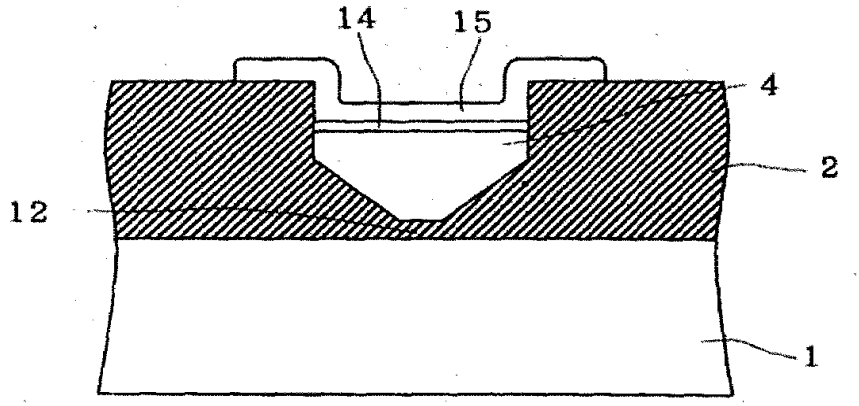
도면7



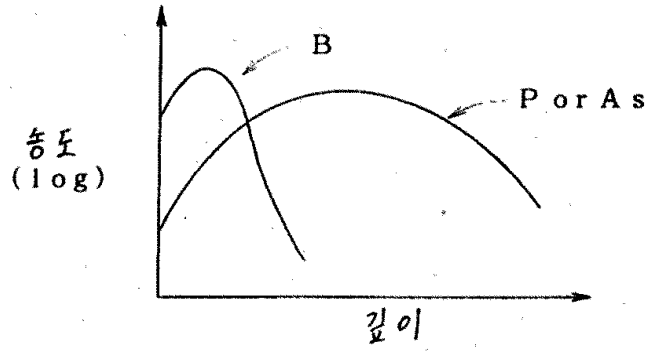
도면8



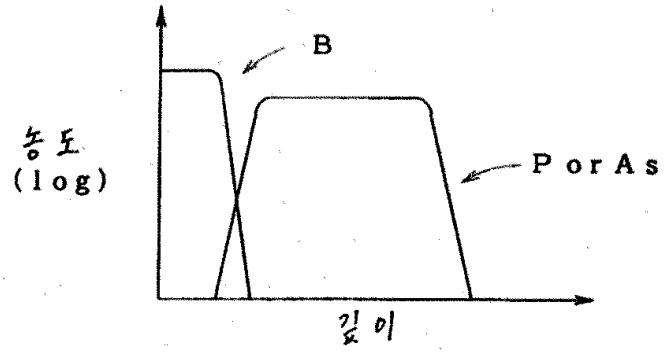
도면9



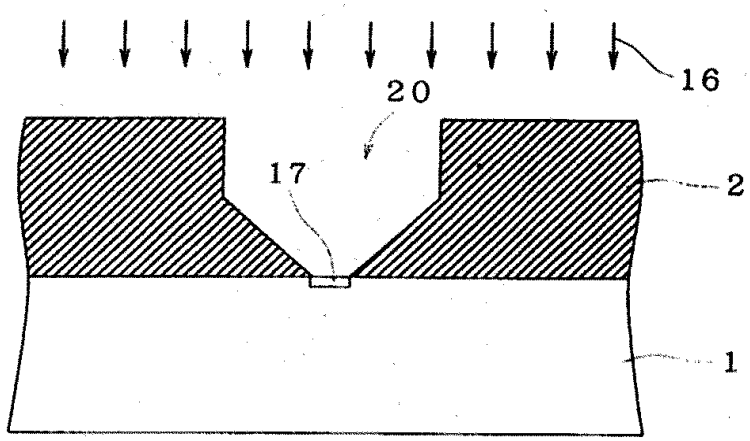
도면10



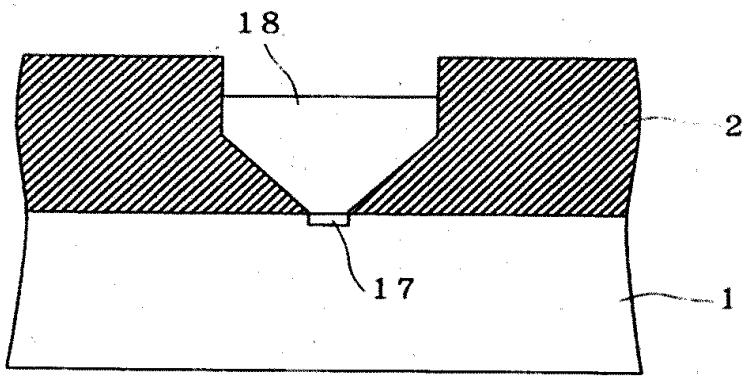
도면11



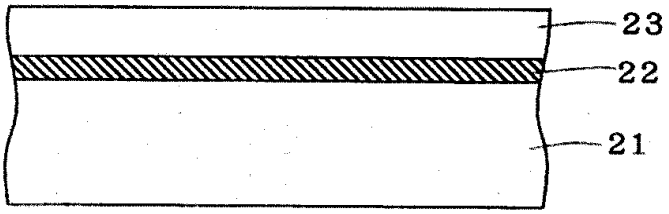
도면12



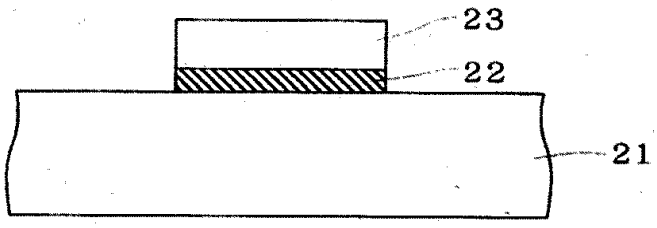
도면13



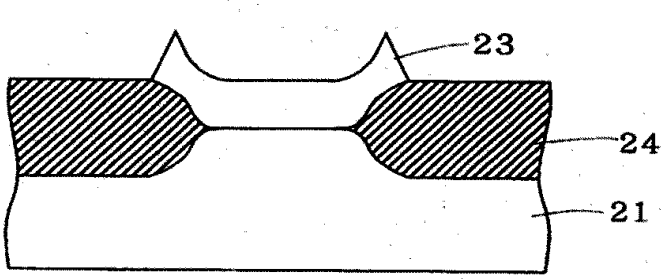
도면14



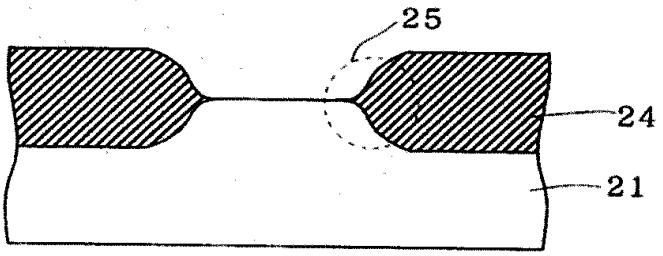
도면15



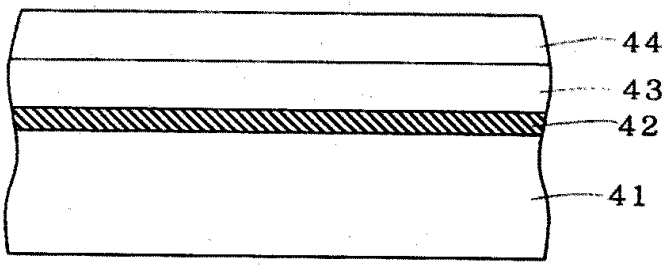
도면16



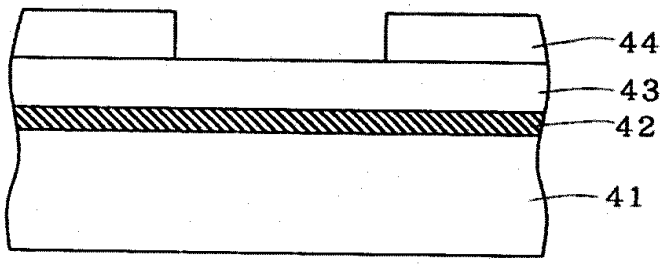
도면17



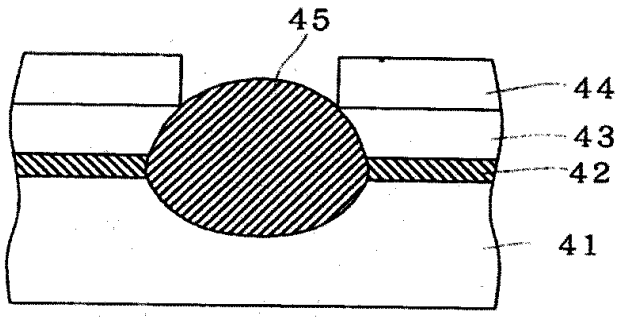
도면18



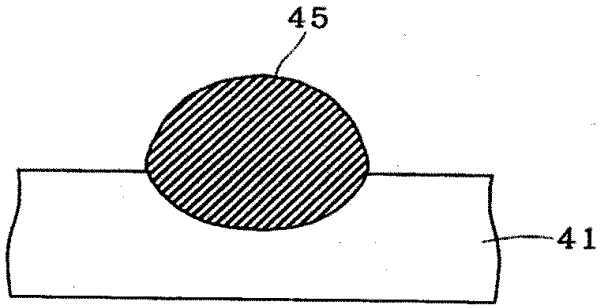
도면19



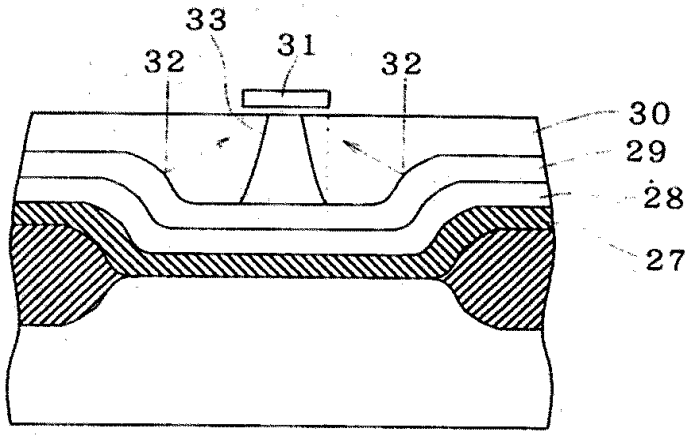
도면20



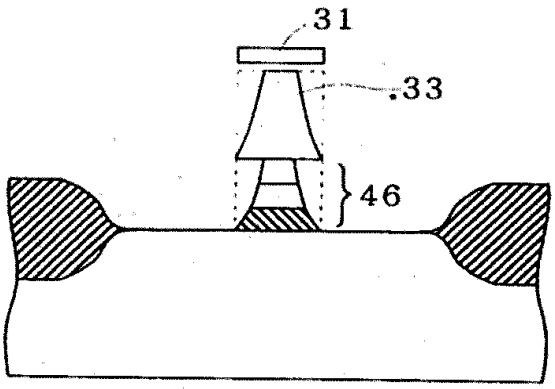
도면21



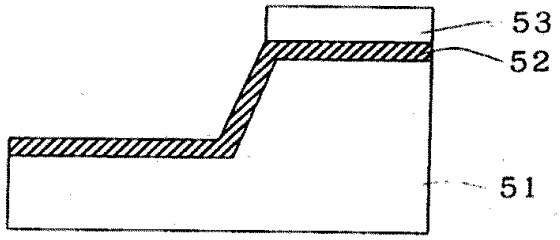
도면22



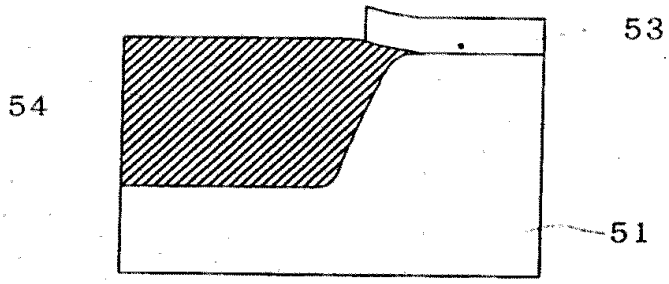
도면23



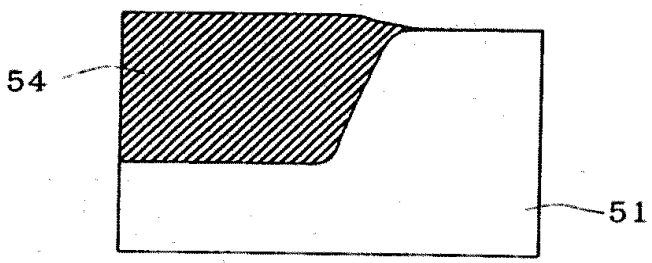
도면24



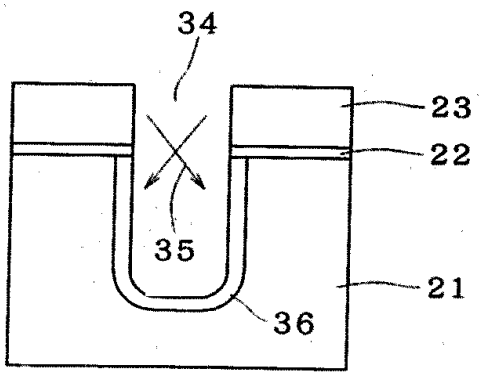
도면25



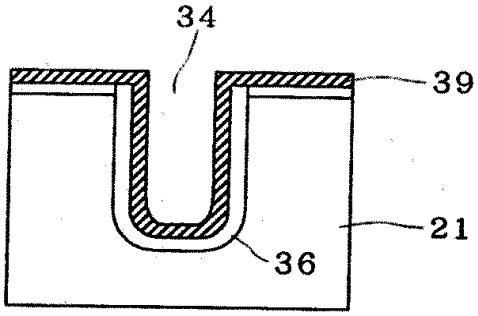
도면26



도면27



도면28



도면29

