



(12) 发明专利

(10) 授权公告号 CN 101052979 B

(45) 授权公告日 2013. 06. 26

(21) 申请号 200580015947. 9

(22) 申请日 2005. 03. 16

(30) 优先权数据

077041/2004 2004. 03. 17 JP

(85) PCT申请进入国家阶段日

2006. 11. 17

(86) PCT申请的申请数据

PCT/JP2005/005297 2005. 03. 16

(87) PCT申请的公布数据

W02005/088535 EN 2005. 09. 22

(73) 专利权人 佳能株式会社

地址 日本东京都

(72) 发明人 真继优和

(74) 专利代理机构 北京魏启学律师事务所

11398

代理人 魏启学

(51) Int. Cl.

G06N 3/04 (2006. 01)

(56) 对比文件

EP 1262912 A2, 2002. 12. 04, 全文.

US 5704016 A, 1997. 12. 30, 全文.

Masakazu Matsugu. 《Hierarchical Pulse-coupled Neural Network Model with Temporal Coding and Emergent Feature Binding Mechanism》. 《Proceedings IJCNN'01. International Joint Conference on Neural Networks. 2001》. 2001, 802 页右栏第 2 段至 804 页左栏第 1 段.

审查员 颜世莹

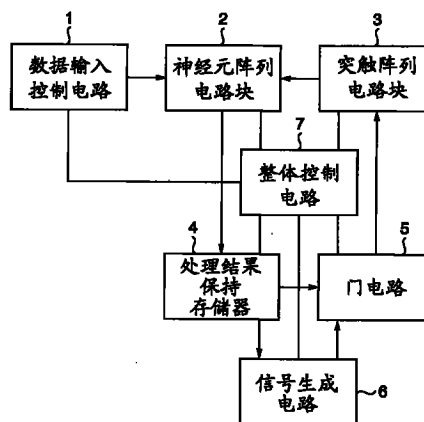
权利要求书2页 说明书17页 附图23页

(54) 发明名称

并行脉冲信号处理设备、模式识别设备和图像输入设备

(57) 摘要

在包括多个脉冲输出运算元件 (2)、并行连接预定运算元件的多个连接元件 (3)、选择性地传递来自多个连接元件的脉冲信号的门电路 (5) 的并行脉冲信号处理设备中, 运算元件输入多个时序脉冲信号, 基于输入的多个时序脉冲信号执行预定的调制处理, 并且基于调制处理的结果输出脉冲信号, 其中, 门电路选择性地传递来自多个连接元件的信号中与预定上位输出电平相对应的有限数量的脉冲信号。



1. 一种并行脉冲信号处理设备,该设备包括多个脉冲输出运算元件、在该脉冲输出运算元件的预定元件之间连接的多个连接元件、从所述多个脉冲输出运算元件向所述多个连接元件选择性地传递脉冲信号的门电路,

其特征在于,所述脉冲输出运算元件包括:

输入部件,用于输入多个时序脉冲信号,

调制处理部件,用于基于由所述输入部件输入的该多个时序脉冲信号执行预定的调制处理,以及

脉冲输出部件,用于基于所述调制处理部件的预定的调制处理的结果输出所述脉冲信号至所述连接元件,并且

所述门电路对从所述多个脉冲输出运算元件至所述多个连接元件的所述脉冲信号中与预定上位输出电平相对应的脉冲信号的数量进行计数,并且传递所述与预定上位输出电平相对应的脉冲信号直至所述数量达到预定数量。

2. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,该设备还包括生成预定定时信号的定时信号生成电路,

其中,在输入来自所述定时信号生成电路的该预定定时信号之后,所述门电路传递所述与该预定上位输出电平相对应的脉冲信号。

3. 根据权利要求2所述的并行脉冲信号处理设备,其特征在于,所述门电路以相对于来自所述定时信号生成电路的定时信号的延迟的升序传递所述与预定上位输出电平相对应的脉冲信号。

4. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路被连接到与所述多个连接元件连接的预定总线上,并且传递在该总线上传播的脉冲信号中所述与该预定上位输出电平相对应的脉冲信号。

5. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述脉冲输出运算元件在预定时间窗对输入的时序脉冲信号串进行积分,并且以与该积分值相对应的相位和频率之一输出脉冲信号。

6. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路包括切换电路,该切换电路选择性地连接到所述多个连接元件中连接强度取最大值且不低于预定电平的连接元件。

7. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路包括切换电路,该切换电路选择性地连接到所述多个连接元件中连接强度不低于预定电平的连接元件。

8. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路以相对于预定参考时间的延迟的升序传递所述与预定上位输出电平相对应的脉冲信号。

9. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路传递所述与预定上位输出电平相对应的脉冲信号中具有最大输出电平的信号。

10. 根据权利要求1所述的并行脉冲信号处理设备,其特征在于,所述门电路从最上位电平起传递所述与预定上位输出电平相对应的脉冲信号中具有最大值的预定数量的信号。

11. 一种模式识别设备,其特征在于,该设备包括权利要求1所述的并行脉冲信号处理设备。

12. 一种图像输入设备,其特征在于,该图像输入设备包括权利要求 1 所述的并行脉冲信号处理设备,该图像输入设备通过使用该并行脉冲信号处理设备执行模式识别,且基于该模式识别的结果执行预定图像信号的输入控制。

13. 一种并行脉冲信号处理设备的控制方法,该并行脉冲信号处理设备包括多个脉冲输出运算元件、在预定脉冲输出运算元件之间连接的多个连接元件、以及从所述多个脉冲输出运算元件向所述多个连接元件选择性地传递脉冲信号的门电路,

其特征在于,该脉冲输出运算元件输入多个时序脉冲信号,

基于输入的该多个时序脉冲信号执行预定的调制处理,以及

基于该预定的调制处理的结果输出所述脉冲信号至所述连接元件,并且

所述门电路对从所述多个脉冲输出运算元件至该多个连接元件的所述脉冲信号中与预定上位输出电平相对应的脉冲信号的数量进行计数,并且传递所述与预定上位输出电平相对应的脉冲信号直至所述数量达到预定数量。

14. 一种模式识别设备的控制方法,其特征在于,该模式识别设备包括权利要求 1 所述的并行脉冲信号处理设备,该控制方法包括:

该脉冲输出运算元件输入多个时序脉冲信号,

基于由所述输入部件输入的该多个时序脉冲信号执行预定的调制处理,以及

基于所述调制处理部件的预定的调制处理的结果输出所述脉冲信号至所述连接元件,并且

所述门电路对从所述多个脉冲输出运算元件至该多个连接元件的所述脉冲信号中与预定上位输出电平相对应的脉冲信号的数量进行计数,并且传递所述与预定上位输出电平相对应的脉冲信号直至所述数量达到预定数量。

15. 一种图像输入设备的控制方法,其特征在于,该方法包括通过使用权利要求 13 所述的并行脉冲信号处理设备的控制方法执行模式识别,并且基于该模式识别的结果执行预定图像信号的输入控制。

并行脉冲信号处理设备、模式识别设备和图像输入设备

技术领域

[0001] 本发明涉及一种并行脉冲信号处理电路或者具有模式识别功能的神经网络。

背景技术

[0002] 作为通过小规模电路实现大规模神经网络的方案,传统上已知一种通过使用传统公开的神经元模型执行分时多路复用以生成脉冲信号的配置(例如,日本专利公开号 5-47870 和日本专利号 2679730)。之前还公开了另一种配置,该配置可以通过使用输出脉冲串(pulse train)的元件和主存储部件形成神经元元件来解决布线问题(例如,日本专利公开号 6-93249)。

[0003] 在图像识别领域,提出了一种通过使用神经网络模型实现专用于特定识别目标的识别处理算法的模式识别方法(执行分层模板匹配的方法),该神经网络模型的概念从活体的信息处理机制中获得(例如,日本专利公开号 60-712 以及 Fukushima & Miyake,“1982 Neocognitron: A new algorithm for pattern recognition tolerant of deformation and shifts in position, Pattern Recognition, Vol. 15, pp. 455-469)。

[0004] 作为更忠实地采用基于活体神经网络的信息处理机制的尝试,提出了一种通过与动作电位相对应的脉冲串传递以及表达信息的神经网络模型电路(例如, Murray et al., 1991 Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques, IEEE Trans. on Neural Networks, Vol. 2, pp. 193-204, 日本专利公开号 7-262157、7-334478 和 8-153148, 以及日本专利号 2624143 和 2879670)。

[0005] 作为通过由脉冲串生成神经元形成的神经网络来识别并且检测特定目标的方法,有一种使用 Eckhorn 等提出的前提是将输入和反馈输入链接起来的高阶(二阶或者更高阶)模型(例如, Eckhorn et al. 1990, Feature linking via synchronization among distributed assemblies: Simulation of results from cat cortex, Neural Computation, Vol. 2, pp. 293-307),即脉冲耦合神经网络(下文简称为 P CNN, pulse coupled neural network)(例如,美国专利号 5,664,065, 以及 Broussard, et al. 1999, Physiologically Motivated Image Fusion for Object Detection using a Pulse Coupled Neural Network, IEEE Trans. on Neural Networks Vol. 10, pp. 554-563)的方案。

[0006] 在根据现有技术的神经网络中,执行分时多路复用的配置有以下问题:处理时间随着突触连接数量的增加而增加。其余配置几乎不能作为电子电路来实现,因为随着突触连接数量的增加,电路规模的增大和布线问题变得很突出,并且所要保持的信息(例如,加权和值)的动态范围也随着通过突触连接添加信号而增大。

发明内容

[0007] 考虑到上述问题作出了本发明,且本发明的目的是解决布线问题并且减小电路规模和电力消耗。

[0008] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备包括以下配置。

[0009] 即,一种并行脉冲信号处理设备,其包括多个脉冲输出运算元件、并行连接该运算元件的预定元件的多个连接元件、选择性地传递来自该多个连接元件的脉冲信号的门电路,

[0010] 其特征在于,所述运算元件包括:

[0011] 输入部件,用于输入多个时序脉冲信号,

[0012] 调制处理部件,用于基于输入的该多个时序脉冲信号执行预定的调制处理,以及

[0013] 脉冲输出部件,用于基于调制处理的结果输出脉冲信号,并且

[0014] 所述门电路选择性地传递来自所述多个连接元件的信号中与预定上位 (upper) 输出电平相对应的有限数量的脉冲信号。

[0015] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备包括以下配置。

[0016] 即,一种分层执行多个运算处理操作的并行脉冲信号处理设备,其特征在于,该设备包括:

[0017] 多个运算元件,用于通过预定的局部感受野 (receptor field) 结构接收来自不同层水平的信号,并且输出预定的脉冲信号;以及

[0018] 门电路元件,用于根据该脉冲信号的信号电平,选择性地传递来自属于预定感受野的所述多个运算元件的脉冲信号。

[0019] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备包括以下配置。

[0020] 即,一种并行脉冲信号处理设备,其包括用于输入预定维数据的输入部件、多个数据处理部件、选择性地传递来自所述数据处理部件的信号的信号的门电路、以及用于输出模式检测结果的输出部件,

[0021] 其特征在于,所述数据处理部件包括通过预定连接部件并行连接的多个运算元件,

[0022] 包括在所述数据处理部件中的所述运算元件基于在预定时间窗输入的来自预定运算元件的多个脉冲的到达时间模式,输出表示预定种类的模式的结果的脉冲形状的信号串,并且

[0023] 所述输出部件基于来自所述运算元件的输出,输出数据中该 预定模式的结果。

[0024] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备包括以下配置。

[0025] 即,一种并行脉冲信号处理设备,其包括用于输入预定维数据的输入部件、用于输出脉冲信号的多个数据处理部件、选择性地传递来自所述数据处理部件的信号的信号的门电路、以及用于输出模式检测结果的输出部件,

[0026] 其特征在于,所述数据处理部件包括通过预定连接部件并行连接的多个运算元件,

[0027] 所述门电路基于来自所述多个数据处理部件的脉冲信号的信号电平,选择性地传递该脉冲信号,

[0028] 所述运算元件接收时序脉冲信号、识别多类时序脉冲信号模式、并且输出对于在预定时间窗输入的多个预定脉冲信号的到达时间模式唯一的脉冲形状的信号串,并且

[0029] 所述输出部件基于来自所述运算元件的输出,输出数据中该预定模式的结果。

- [0030] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备包括以下配置。
- [0031] 即,一种分层执行多个运算处理操作的并行脉冲信号处理设备,其特征在于,该设备包括:
- [0032] 输入部件,用于输入不同层水平的中间结果和来自预定存储器的数据中的一个;
- [0033] 多个数据处理部件,其具有从通过所述输入部件输入的数据中检测多个特征的特征检测层,该部件用于输出脉冲信号;以及
- [0034] 定时信号生成电路,
- [0035] 该数据处理部件还包括:
- [0036] 多个运算元件,用于从前级层水平接收不同种类特征的检测信号,并且输出预定的脉冲信号,以及
- [0037] 门电路,用于选择性地传递来自该多个预定特征所涉及的所述运算元件的输出,
- [0038] 其中,所述运算元件以基于来自所述定时信号生成电路的多个输入信号和预定时间窗中的多个脉冲的到达时间模式的频率和定时之一输出脉冲形状的信号。
- [0039] 为了达到本发明的目的,例如,本发明的模式识别设备包括以下配置。
- [0040] 即,一种模式识别设备,其特征在于,该设备包括所述并行脉冲信号处理设备。
- [0041] 为了达到本发明的目的,例如,本发明的图像输入设备包括以下配置。
- [0042] 即,一种图像输入设备,其特征在于,通过使用所述并行脉冲信号处理设备执行模式识别,且基于该模式识别结果执行预定图像信号的输入控制。
- [0043] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备的控制方法包括以下配置。
- [0044] 即,一种并行脉冲信号处理设备的控制方法,该并行脉冲信号处理设备包括多个脉冲输出运算元件、并行连接预定运算元件的多个连接元件、以及选择性地传递来自该多个连接元件的脉冲信号的门电路,
- [0045] 其特征在于,该运算元件输入多个时序脉冲信号,
- [0046] 基于输入的该多个时序脉冲信号执行预定的调制处理,以及
- [0047] 基于调制处理的结果输出脉冲信号,并且
- [0048] 所述门电路选择性传递来自该多个连接元件的信号中与预定上位输出电平相对应的有限数量的脉冲信号。
- [0049] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备的控制方法包括以下配置。
- [0050] 即,一种分层执行多个运算处理操作的并行脉冲信号处理设备的控制方法,其特征在于,该方法包括:
- [0051] 通过预定的局部感受野结构使多个运算元件接收来自不同层水平的信号并且输出预定的脉冲信号;以及
- [0052] 使门电路元件根据脉冲信号的信号电平,选择性地传递来自属于预定感受野的该多个运算元件的脉冲信号。
- [0053] 为了达到本发明的目的,例如,本发明的并行脉冲信号处理设备的控制方法包括以下配置。
- [0054] 即,一种并行脉冲信号处理设备的控制方法,该并行脉冲信号处理设备包括用于

输入预定维数据的输入部件、多个数据处理部件、选择性地传递来自该数据处理部件的信号的门电路、以及用于输出模式检测结果的输出部件，

[0055] 其特征在于，该方法包括使包括在该数据处理部件中且通过预定连接部件并行连接的多个运算元件中的每一个基于在预定时间窗输入的来自预定运算元件的多个脉冲的到达时间模式，输出表示预定种类的模式的检测结果的脉冲形状的信号串，以及

[0056] 使输出部件基于来自该运算元件的输出，输出数据中该预定模式的检测结果。

[0057] 为了达到本发明的目的，例如，本发明的并行脉冲信号处理设备的控制方法包括以下配置。

[0058] 即，一种并行脉冲信号处理设备的控制方法，该并行脉冲信号处理设备包括用于输入预定维数据的输入部件、用于输出脉冲信号的多个数据处理部件、选择性地传递来自该数据处理部件的信号的门电路、以及用于输出模式检测结果的输出部件，

[0059] 其特征在于，该方法包括使门电路基于来自该多个数据处理部件的脉冲信号的信号电平，选择性地传递该脉冲信号，

[0060] 使包括在该数据处理部件中并且通过预定连接部件并行连接的多个运算元件接收时序脉冲信号、识别多类时序脉冲信号模式、并且输出对于在预定时间窗输入的多个预定脉冲信号的到达时间模式唯一的脉冲形状的信号串，以及

[0061] 使输出部件基于来自该运算元件的输出，输出数据中预定模式的检测结果。

[0062] 为了达到本发明的目的，例如，本发明的并行脉冲信号处理设备的控制方法包括以下配置。

[0063] 即，一种分层执行多个运算处理操作的并行脉冲信号处理设备的控制方法，该并行脉冲信号处理设备包括：输入部件，用于输入不同层水平的中间结果和来自预定存储器的数据中的一个；多个数据处理部件，其具有从通过该输入部件输入的数据中检测多个特征的特征检测层，用于输出脉冲信号；以及定时信号生成电路，

[0064] 其特征在于，该方法包括：在该数据处理部件的控制下，使多个运算元件从前级的层水平接收不同种类特征的检测信号并且输出预定的脉冲信号，以及

[0065] 使门电路元件选择性地传递来自该多个预定特征所涉及的该运算元件的输出，并且

[0066] 使该运算元件以基于来自该定时信号生成电路的多个输入信号和预定时间窗中的多个脉冲的到达时间模式的频率和定时之一输出脉冲形状的信号。

[0067] 为了达到本发明的目的，例如，本发明的模式识别设备的控制方法包括以下配置。

[0068] 即，一种模式识别设备的控制方法，该模式识别设备的特征在于包括所述并行脉冲信号处理设备。

[0069] 为了达到本发明的目的，例如，本发明的图像输入设备的控制方法包括以下配置。

[0070] 即，一种图像输入设备的控制方法，其特征在于，该方法包括通过使用所述并行脉冲信号处理设备执行模式识别，并且基于该模式识别结果执行预定图像信号的输入控制。

[0071] 通过以下结合附图的说明，本发明的其它特征和优点将显而易见，在附图中，相同的附图标记在全部附图中表示相同或者相似的部分。

附图说明

[0072] 包括在说明书中并且构成说明书一部分的附图，示出了本发明的实施例，并且与说明书一起用来解释本发明的原理。

[0073] 图 1 是示出并行脉冲信号处理设备的主要部分的配置的框图；

[0074] 图 2 是概念性示出网络整个配置的图；

[0075] 图 3A 是示出门电路 5 的配置的框图；

[0076] 图 3B 是示出门电路 500 的配置的框图；

[0077] 图 4 是示出突触电路配置的电路图；

[0078] 图 5 是示出根据本发明第三实施例的并行脉冲信号处理设备的主要部分的配置的框图；

[0079] 图 6 是示出根据本发明第二实施例的门电路的配置的框图；

[0080] 图 7A 是概念性示出突触电路和神经元电路之间的连接关系的图；

[0081] 图 7B 是概念性示出突触电路和神经元电路之间的连接关系的框图；

[0082] 图 8A 是示意性示出从特征统合层 (feature integration layer) 向特征检测层 (例如, 在图 2 中从层 (2,0) 向层 (1,1)) 的脉冲信号传播的图；

[0083] 图 8B 是示意性示出在并行执行已通过门电路 5 的脉冲信号的时间窗积分中, 突触后信号被并行时间窗积分 (几乎在同一时间带 (time zone) 执行多个时间窗积分操作) 的状态的时序图；

[0084] 图 8C 是示出根据第二实施例的神经元间连接的图；

[0085] 图 8D 是示出在将定时信号输入到特征统合层神经元后, 从层 (2, k) 上的特征统合神经元 n_1 、 n_2 以及 n_3 (这些神经元表达不同种类的特征) 到层 (1, k+1) 上的特征检测神经元 (n'_j) (该神经元执行上位 (upper) 特征检测) 的脉冲传播定时的时序图；

[0086] 图 9A 是示出学习电路的配置的框图；

[0087] 图 9B 是示出突触电路的配置的框图；

[0088] 图 10A 是示出脉冲相位调制电路的配置的框图；

[0089] 图 10B 是示出输入到单稳多谐振荡器 (monostable multivibrator) 506 的方波 P1、从单稳多谐振荡器 506 输出的方波 P2 以及从单稳多谐振荡器 507 输出的方波 P3 的定时的时序图；

[0090] 图 11A 是示出在通过第二实施例中使用的脉冲内部模式检测高阶图形信息时, 与输入到特征检测神经元的不同特征元素相对应的多个脉冲的时序图；

[0091] 图 11B 是示出在处理多个脉冲时的加权函数分布的例子时序图, 所述多个脉冲在通过第二实施例中使用的脉冲内部模式检测高阶图形信息时, 与输入到特征检测神经元的不同特征元素相对应；

[0092] 图 11C 是示出将三角形检测为特征的特征检测神经元作出反应的图形特征 (特征元素) 的图, 该图形特征包括具有各种方向的 L 形模式 (f_{11} 、 f_{12} 、.....)、具有与 L 形模式的连续性 (连接性) 的线段的组合模式 (f_{21} 、 f_{22} 、.....)、以及包括在三角形中的两边的一部分的组合 (f_{31} 、.....)；

[0093] 图 11D 是示出通过图 11A 所示的脉冲输入和图 11B 所示的加权函数执行加权求和所获得的加权和值的时间变化的时序图；

[0094] 图 12 是示出包括作为模式识别（检测）设备的根据本发明第一实施例的并行脉冲信号处理部件的拍摄设备的配置例子的框图；以及

[0095] 图 13 是示意性示出门电路选择性地传递特征统合层输出中的每个特征类的最大上位信号的状态的图。

具体实施方式

[0096] 现在根据附图详细说明本发明的优选实施例。

[0097] 第一实施例

[0098] < 整体配置的概述 >

[0099] 图 1 示出并行脉冲信号处理设备的主要部分的配置。该并行脉冲信号处理设备包括作为主要构成元件的数据输入控制电路 1、神经元阵列电路块 2、突触阵列电路块 3、处理结果保持存储器 4、门电路 5、信号生成电路 6 以及整体控制电路 7。

[0100] 参照图 1，数据输入控制电路 1 是从传感器或者数据库输入图像数据等的控制电路，并且包括主存储器。在神经元阵列电路块 2 中，排列属于图 4 所示的分层处理结构中的预定层的多个神经元电路。在该实施例中，通过使用神经元阵列电路块 2 和突触阵列电路块 3 在任意时间带中实现多层神经网络的一层（或者在一层中检测一个特征类时所涉及的神经元）。在其它时间带中实现属于其它层的神经元（或者在检测其它特征类时所涉及的神经元）。

[0101] 在突触阵列电路块 3 中，以二维阵列布置神经元之间的突触连接电路。将说明在不同层之间存在突触连接的情况。突触阵列电路块 3 实现到至少一个层水平的突触连接。

[0102] 对于突触阵列电路块 3，通过整体控制电路 7 控制到神经元阵列电路块 2 中的神经元电路的连接结构。整体控制电路 7 将与特征类相对应的感受野结构数据存储在内部存储器（未示出）中。稍后将说明感受野结构数据。处理结果保持存储器 4 暂时保持来自神经元阵列电路块 2 的输出。

[0103] 信号生成电路 6 将来自神经元阵列的输出信号提供给突触阵列电路块 3。整体控制电路 7 控制各电路块的操作以控制多层神经网络中从下层到上层的信号输入 / 输出。将存储感受野结构数据的数据存储在整体控制电路 7 的内部存储器中不提供该实施例的主要功能。

[0104] 因此，用于存储感受野结构数据的部件可以通过与图 1 所示的配置不同的配置来实现，例如，并行脉冲信号处理设备的外部存储器或者作为并行脉冲信号处理设备的一部分添加到图 1 所示的配置的存储器。

[0105] 图 2 是示意性示出由并行脉冲信号处理所实现的网络的整体配置的图。当作为模数混合或合并电路安装图 2 概念性示出的多层神经网络时，经常难以通过在二维平面上并行布置神经元和突触等所有构成元件来实现并行处理。在该实施例中，通过使用少数几个神经元或者突触电路元件来执行分时处理。

[0106] 图 2 所示的网络主要处理识别和检测作为图像给出的目标（或者其几何特征）所需的信息。该网络的基本结构是具有分层结构的所谓的卷积网络结构（参考文献 1：Lecun, Y. and Bengio, Y., 1995, “Convolutional Networks for Images Speech and Time Series”, in Handbook of Brain Theory and Neural Networks (M. Arbib. Ed.), MIT press,

pp. 255-258)。

[0107] 该实施例与传统基本结构的不同之处在于突触连接电路和门电路(稍后说明)用于特征检测层和特征统合层(稍后说明)之间的层间连接。该网络的最终输出(最上层输出)是识别结果,即所检测的目标的种类和在输入数据上的位置信息。下面将概述图2所示的各元件。

[0108] 在图像传感器部件中,数据输入层1包括CMOS传感器或CCD元件等光电转换元件。特征检测层(1,0)从输入的图像数据中检测低阶特征,并且在整个窗口的每个位置处(或者在整个窗口的每个预定采样点处),通过伽柏(Gabor)小波变换等多分辨率处理,在同一位置处以多个尺度水平或者分辨率检测数量与多个特征种类相等的图像模式的局部低阶特征(除了几何特征之外,该特征可能包括颜色成分特征)。

[0109] 特征检测层的每个神经元元件具有与特征量的类型(例如,当检测到作为几何特征的预定方向上的线段时,作为几何结构的线段的倾斜度)相对应的感受野结构,并且生成与其程度相对应的脉冲串。

[0110] 特征检测层(1,k) ($k \geq 0$) 整体上形成多个分辨率(或者尺度水平)的处理通道。假定通过特征检测层(1,0)执行伽柏小波变换。在这种情况下,一组特征检测神经元形成特征检测层(1,0)中的一个处理通道,这组特征检测神经元在其感受野结构中包括具有相同尺度水平和不同方向选择性的伽柏滤波器核。即使在随后的特征检测层(1,1),接收来自上述特征检测神经元的输出的特征检测神经元(该神经元检测高阶特征)作为处理通道也属于同一通道。

[0111] 对于神经网络中执行伽柏小波变换更详细的方法,见参考文献2:Daugman(1988),“IEEE Trans.on Acoustics, Speech, and Signal Processing, Vol. 36, pp. 1169-1179”。

[0112] 即使在其它随后的特征检测层(1,k) ($k > 1$),接收来自在特征统合层(2,k-1)上形成同一通道的多个特征统合神经元的输出的特征检测神经元也属于同一通道。在每个处理通道中,以相同的尺度水平(或分辨率)进行处理。通过分层并行处理执行低阶到高阶特征的检测和识别。

[0113] 在同一层水平通过不同处理通道检测到的特征(检测到的特征具有相同的复杂度等级)属于同一种类,尽管它们是以不同的尺度检测到的。例如,考虑将面部的“眼睛”模式作为中阶特征。通过各通道检测具有不同大小的“眼睛”。即,具有不同尺度水平选择性的多个处理通道试图检测图像中具有给定大小的“眼睛”。

[0114] 接着说明特征统合层。

[0115] 在特征统合层(2,0)、(2,1)、..... 中,每个神经元元件接收来自特征检测层(1,0)的输入。神经元元件具有上述用于亚采样的预定感受野结构(下文中,感受野表示到挨着前一层的输出元件的连接范围,感受野结构表示连接加权的分布)。更具体地,特征统合层执行运算处理,例如通过对来自特征检测层(1,0)的同一感受野中的多个神经元元件输出进行统合的局部平均、或者通过检测局部区域中的最大值的典型值提取(亚采样)。

[0116] 在特征统合层中的图像特征部分神经元的感受野具有对该同一层中的神经元通用的结构。特征检测层(1,1)、(1,2)、.....、(1,N)和特征统合层(2,1)、(2,2)、.....、(2,N)中的每个都具有预定的感受野结构。象上述层一样,前者((1,1)、.....)检测特征检测模块中的多个不同特征。后者((2,1)、.....)对来自前级的特征检测层的多个特征

的检测结果进行统合。连接（布线连接）特征检测层以接收属于同一通道的前一特征统合层的神经元元件输出。

[0117] 接着说明门电路 5。

[0118] 门电路 5 选择性地传递来自同一层的多个神经元元件的输出中具有上位输出电平的脉冲信号。选择性地传递来自特征统合层的输出的门电路与后级的特征检测层神经元有关。该门电路选择性地传递由特征检测层神经元接收到的各低阶特征类的特征统合层神经元输出中的上位输出电平的信号。选择性地将来自特征检测层的输出传递到特征统合层的门电路功能通过由后级的特征统合层神经元所执行的亚采样功能来实现，而不使用图 1 所示的门电路 5。

[0119] 下面在如下假定下说明门电路 5：门电路 5 选择性地将来自特征统合层的输出信号中的上位电平输出信号传递给特征检测层（该信号可能取输出分布的最大值，并且具有最大值的上位电平）。

[0120] 门电路 5 检测属于特征检测层神经元的感受野中的预定特征类（下位电平）的特征统合层神经元的脉冲信号输出的信号电平，并且对每个特征类传递 k (k 是自然数) 个上位输出电平信号（例如，从头开始的最大电平到第 k 个电平）。

[0121] 当特征检测层神经元需要检测属于同一特征类的多个特征（其在输入数据上的位置不同）时，使用通过用 k 乘以所需的局部特征数而获得的给定数或者与该给定数相近的数。另外，门电路具有选择取该特征类的特征统合层神经元输出的最大值的输出信号的上位信号的功能。可以通过预定 WTA (Winner Take All, 胜者为王) 电路（例如，参考文献 3：G. Indiveri (2001), “ANeuromorphic VLSI Device for Implementing 2-D SelectiveAttention System”, IEEE Trans.on Neural Networks, Vol. 12, pp. 1455-1563) 来实现该功能。在这种情况下，选择通过属于特定特征类的特征统合层神经元输出获得的信号簇中的峰值电平的信号。可能选择最大值或者最大值附近的信号。

[0122] 在该实施例中，对存在于特征统合层中的每个特征类，在特征统合层和后级的特征检测层之间设置至少一个具有上述功能的门电路。

[0123] 图 13 示意性示出以下状态：对于特征统合层的第 j 个和第 $j+1$ 个特征类的输出，与这些特征类相对应的门电路 $5j$ 和 $5j+1$ 选择性地传递每类中的输出分布的前两个最大值信号。所选择的部分通过图 13 所示的虚线来表示。

[0124] 图 3A 示出门电路 5 的配置。门电路 5 包括信号选择单元 50、时钟信号输入单元 51、计数器 52、门开关 53、以及门控制电路 54。信号选择单元 50 和时钟信号输入单元 51 从前级的层接收信号。

[0125] 在来自属于与门电路 5 相对应的特征检测层神经元的感受野的特征统合层神经元的信号中，信号选择单元 50 仅选择性地接收满足上述预定标准的信号。例如，当将来自前级的特征统合层神经元的输出暂时存储在存储器中时，通过适当设置存储有属于该感受野的每个神经元输出的存储器地址来选择性地接收信号（例如，选择前 k 个输出信号）。基于此假定进行说明。

[0126] 门电路 5 的计数器 52 对选择性传递的脉冲信号数量进行计数。通过来自时钟信号输入单元 51 的定时信号使计数器 52 复位。当计数器 52 的值达到预定上限值时，门控制电路 54 打开门开关 53，因此从此时起不会有脉冲信号输出到后级的层。

[0127] 当以分时方式部分执行输入到特征检测层的并行信号（例如，一次输入与检测预定特征类的全部特征检测神经元的 $1/4$ 相对应的感受野的特征统合层的信号）时，控制电路选择可并行输入数量的感受野不重叠的特征检测层神经元。在这种情况下，接着，门电路 5 的信号选择单元 50 设置存储器地址以存储与各特征检测层神经元的感受野相对应的特征统合层神经元输出，并且读取各输出数据。在上述并行输入后的输入步骤中，在保持感受野相互不重叠的条件时，从感受野顺序输入与前输入步骤中输入的信号不同的信号。

[0128] 当要传递的信号数量 k 是 1 时，门电路的信号选择单元 50 一般具有所谓的胜者为王 (WTA) 电路的功能。当来自特征统合层的输出是相位调制脉冲信号时，基于从参考时间的延迟量来检测信号电平。通过从整体控制电路 7 中的定时元件输入时钟脉冲信号给出参考时间。

[0129] 门电路 5 不限于图 3A 所示的配置，且仅需具有上述信号选择功能。在以上说明中，对一个特征类设置一个门电路。可以一次选择性地传递来自特征统合层神经元的多个特征类的上位电平输出信号（该信号可能是最大值信号）。在这种情况下，是一个特征类中的上位电平信号但不是所有多个特征类中的上位电平信号的信号不能通过门电路。

[0130] 接着说明用作神经元元件的连接部件的突触电路。

[0131] 在该实施例中，突触电路实现层间连接。如图 7A 所示，突触电路包括与神经元的轴突或者树突相对应的信号传递部分（互相连接或者延迟线）以及突触连接部分。图 7A 示出来自形成某些特征检测（统合）神经元的感受野的特征统合（检测）神经元的神经元 (n_j) 的输出（或者从所涉及的神元看时的输入）中所涉及的连接部分的配置。参考图 7A，每个神经元元件 n_j 输出脉冲信号串（脉冲串）。

[0132] 所谓的兴奋 (excitatory) 连接对突触电路中的脉冲信号进行放大。相反，抑制 (inhibitory) 连接使脉冲信号衰减。当通过脉冲信号传递信息时，可以通过对脉冲信号的幅度、脉冲宽度、相位或者频率进行调制来实现放大和衰减。

[0133] 在该实施例中，当突触连接部分 S 用作脉冲相位调制元件时，信号的放大被转换为脉冲到达时间的实际提前（或者小的相位延迟量）。衰减被转换为实际的延迟（或者大的相位延迟量）。即，定性地，兴奋连接使到达脉冲的相位相对于参考相位提前，而抑制连接使其延迟。作为突触连接部件，可以使用脉冲宽度调制或者频率调制等任何其它调制方法（在该实施例中，通过使用脉冲相位调制进行说明）。突触连接部分和神经元元件可以放置在一起以形成图 7B 所示的电路块。

[0134] 接着说明包括在每一层中的神经元元件。每个神经元元件用作接收脉冲信号并且输出脉冲信号的脉冲信号调制输出元件。例如，可以使用所谓的积分发火 (integrate-and-fire) 神经元，当通过时空线性相加输入信号（对应于实际电位的脉冲串）所获得的结果超过阈值时，该积分发火神经元发火并且输出脉冲样的信号，或者可以使用对脉冲信号的相位或者宽度进行转换的非线性转换电路。

[0135] 特征检测层 (1, $k+1$) 的图像特征部分神经元元件接收来自属于特征统合层 (2, k) 的多个特征类的神经元元件的输出。

[0136] 另一方面，特征统合层 (2, $k+1$) 的神经元元件接收来自作为神经元元件属于同一特征类的特征检测层神经元元件的输出。

[0137] 图 4 示出表示作为积分发火电路形成的神经元元件的脉冲生成电路的工作原理

的基本配置的例子。在该例子中,电路接收三种输入,即来自特征统合层或者特征检测层的兴奋和抑制输入、以及来自整体控制电路 7 中的定时元件的信号。第三个输入信号用来提供时间窗生成定时(开始对输入脉冲信号进行时间积分的定时)信号。

[0138] 兴奋输入侧的电容器 C_1 和电阻器 R_1 的时间常数比电容器 C_2 和电阻器 R_2 的时间常数小。在稳态下,晶体管 T_1 、 T_2 和 T_3 关断。电阻器实际包括有源负载晶体管。

[0139] 当电容器 C_1 的电位增大且比电容器 C_2 的电位超出晶体管 T_1 的阈值时,晶体管 T_1 被激活,然后,晶体管 T_2 和 T_3 被激活。晶体管 T_2 和 T_3 形成电流镜电路(current mirror circuit)。来自图 4 所示电路的输出是来自电容器 C_1 侧的输出电路(未示出)的输出。当电容器 C_2 的电荷存储量最大化时,晶体管 T_1 被关断。结果,晶体管 T_2 和 T_3 也被关断,且正反馈变为 0。

[0140] 在所谓的不应期(refractory period),电容器 C_2 被放电。除非电容器 C_1 的电位比电容器 C_2 的电位高出晶体管 T_1 的阈值,否则神经元不会有反应。通过重复电容器 C_1 和 C_2 的交替充电/放电来输出周期性脉冲。通常根据兴奋输入的电平确定脉冲频率。然而,由于存在不应期,因此频率可能限制在最大值,或者可能输出预定频率。

[0141] 代替使用具有积分发火功能的元件,可以使用输出加有基于神经元激活函数(例如, Sigmoid 函数)调制的脉冲信号形式的突触后脉冲信号的内部状态的电路。

[0142] 时间窗加权函数生成电路用来控制神经元元件中的脉冲信号积分特性。该电路在时间上控制电容器的电位(和电荷存储量)。对于反映控制特性的输入脉冲,在时间窗(稍后说明)中进行加权求和(图 11A ~ 11D)。

[0143] 当突触权值对应于该权值时,时间窗加权函数生成电路生成与输入脉冲的到达时间相对应的加权函数,从而获得与信号电平和突触权值之积相对应的值。更具体地,设置函数波形,使得随着脉冲到达时间延迟的增加,要相乘的权值减小。为了生成函数波形,使用模拟振荡电路。可选地,可以使用查询表方法或者函数生成方法通过数字电路来生成数字波形,并且通过 D/A 转换器将该数字波形转换成模拟波形。

[0144] 参考电压控制电路基于来自定时元件的输入定时(或者输入到后层神经元的交叉耦合)生成参考电压信号(与图 11B 中的加权函数相对应)。

[0145] 一般说来,输入信号的总和与输出电平(脉冲相位、脉冲频率或者脉冲宽度)之间的关系根据神经元的灵敏度特性而变化。可以通过来自上层的自上而下的输入改变该灵敏度特性。为了说明方便,假定设置电路参数使得与输入信号和值相对应的脉冲输出的频率急剧上升(因此,在频域几乎是二进制),且输出电平(例如,用于进行相位调制的定时)通过脉冲相位调制而变化。

[0146] 由于通过来自特征统合层的图像特征部分神经元的输出由时间窗中的加权函数控制参考电压,因此来自特征检测层神经元的输出特性(例如脉冲输出的相位)改变。当执行相位调制时,相位可用作神经元的输出电平。

[0147] 神经元输出(突触前)的相位具有这样的输出特性,使得时间窗的初始阶段被定义为参考,且从参考时间的延迟(相位)由接收到参考脉冲(来自定时元件等的输出)时的电荷存储量来确定。给出如此输出特性的详细的电路配置不是本实施例的要点,且将其省略。当通过将突触前相位加到由突触给出的唯一相位调制量而获得突触后脉冲相位时,在时间窗加权函数(稍后说明)中执行突触权值和突触前信号的相乘(普通运算处理)。

[0148] 可以使用一种已知的电路配置,当通过使用例如窗口函数获得的输入的和值超过阈值时,该电路配置输出具有预定延迟的振荡输出。

[0149] 如上所述,特征检测层的神经元具有与特征种类相对应的感受野结构。当来自前级层(输入层或者特征统合层)的神经元的输入脉冲信号(电流值或者电位)通过时间窗函数的加权和值(稍后说明)等于或者大于阈值时,该神经元根据该和值输出取 Sigmoid 函数即渐进饱和于预定电平的所谓的压缩函数(squashing function)等非递减非线性函数的值的脉冲(该脉冲通过相位变化给出;频率、幅度或者脉冲宽度可能变化)。

[0150] <突触电路等>

[0151] 图 4 示出在矩阵中布置子电路,其中每个子电路都给出突触连接部分 S_i 中神经元 n_i 到作为连接目的地的每个神经元 n'_j 的突触连接强度(突触连接强度表示与相位延迟有关的调制幅度)。

[0152] 如图 9B 所示,每个突触连接子电路 401 包括学习电路 402 和相位延迟电路 403。学习电路 402 通过改变相位延迟电路 403 的特性来调整延迟量并且将特性值存储在浮点门(floating gate)元件或者与浮点门元件连接的电容器中。

[0153] 相位延迟电路 403 是脉冲相位调制电路,并且如图 10A 所示,可以包括例如单稳多谐振荡器 506 和 507、电阻器 501 和 504、电容器 503 和 505 以及晶体管 502。图 10B 示出输入到单稳多谐振荡器 506 的方波 P1、从单稳多谐振荡器 506 输出的方波 P2 以及从单稳多谐振荡器 507 输出的方波 P3 的定时。

[0154] 省略对于相位延迟电路 403 的工作机制的详细说明。通过直到由充电电流使电容器 503 的电压到达预定阈值的时间来确定方波 P1 的脉冲宽度。通过电阻器 504 和电容器 505 的时间常数来确定方波 P2 的宽度。当方波 P2 的脉冲宽度增加时(如图 10B 的虚线所示的方波),后沿向后移动,方波 P3 的前沿也移动同样的量。然而,方波 P3 的脉冲宽度不变。因此,仅调制并且输出输入脉冲的相位。

[0155] 通过转换与输入到突触连接之前的脉冲信号和突触连接之后的脉冲信号的突触权值相对应的相位延迟,给出相位延迟量。在该实施例中,突触权值越大,相位延迟量越小。

[0156] 代替相位延迟电路,可以将使用预定加权函数的时间窗积分电路(稍后说明)用作突触连接电路。在这种情况下,将该电路设计成用与突触权值相对应的权值乘以脉冲信号。

[0157] 当通过参考电压的刷新电路和控制电容器中的电荷存储量以给出连接权值的学习电路 402 改变控制电压 E_c 时,可以控制脉冲相位(延迟量)。为了长时间保持该连接权值,可以通过在学习操作之后将其写在浮点门元件(未示出)等模拟存储器或者数字存储器(例如 SRAM 或者 MRAM)中对其进行存储。

[0158] 具有图 9A 所示的电路元件的电路用作突触中的学习电路 402 的例子,该电路实现脉冲的同时到达或者预定相位调制量。更具体地,学习电路 402 可以包括传播时间测量电路 510(此处的传播时间表示在某层神经元的突触前处的脉冲输出时间和在下一层的输出目的地神经元处的脉冲到达时间之间的时间差)、时间窗生成电路 511、以及用于调整突触部分的脉冲形状调制量以获得预定传播时间的脉冲形状调制量调整电路 512。

[0159] 作为传播时间测量电路 510,可以使用如下配置:接收来自形成单个局部感受野(稍后说明)的定时元件的时钟脉冲,并且基于来自预定时间宽度的时钟脉冲的计数器电

路（时间窗：图 3B）的输出获得传播时间。

[0160] < 特征检测层 (1,0) 的处理 >

[0161] 特征检测层 (1,0) 的每个神经元具有与 g_m 相对应的感受野结构，且具有相同尺度下标 m 的 g_m 具有相同大小的感受野。运算上，相应的核 g_m 大小也具有与尺度下标相对应的大小。在输入图像上以 30×30 、 15×15 、 7×7 的降序设置尺度。每个神经元输出作为小波变换系数值的非线性压缩函数的输出电平（相位用作参考：频率、幅度或者脉冲宽度可以用作参考）的脉冲，该小波变换系数值通过执行分布加权函数和图像数据的乘积和输入而获得。结果，作为整个层 (1,0) 的输出执行伽柏小波变换。

[0162] < 特征检测层的处理（中阶、高阶特征提取）>

[0163] 随后的特征检测层 ((1,1)、(1,2)、.....) 检测输入图像上预定采样位置处的中阶到高阶图像特征。与特征检测层 (1,0) 不同，每个神经元形成对通过所谓的 Hebb 学习规则检测到的特征模式唯一的感受野结构。执行特征检测的局部区域的大小向最后一层逐步接近整个识别目标的大小，使得从几何上检测中阶到高阶特征。例如，对于面部的检测 / 识别，中阶（或者高阶）特征是面部的眼睛、鼻子、嘴巴等图形元素水平的特征。通常特征检测层神经元（与低阶和高阶特征提取无关）可具有基于来自前级的层的输出接收抑制（分流型抑制 (shunting inhibition)）连接以稳定输出的机制。

[0164] < 特征统合层（图像特征部分）的处理 >

[0165] 下面对特征统合层 ((2,0)、(2,1)、.....) 的神经元元件进行说明。如图 2 所示，将从特征检测层（例如，(1,0)）到特征统合层（例如，(2,0)）的连接设计成使得在图 4 所示的兴奋输入侧接收来自特征统合神经元的感受野中的前级特征检测层的同一特征元素（类型）的神经元元件的兴奋连接输入和定时元件输出 (PNout1)（稍后说明）。如上所述，统合层的神经元元件是各特征种类的局部平均或者最大值检测等亚采样。

[0166] 特征统合层神经元接收与同一类型的多个特征相关联的脉冲，并且在局部区域（感受野）中对其进行统合和平均（或者计算感受野中的最大值等典型值），从而即使特征位置波动或变形也能适当地检测出。因此，可以不考虑特征种类，将特征统合层神经元元件的感受野结构设计为统一的（例如，感受野是具有预定大小的矩形区域，其中灵敏度或者加权系数均匀地分布）。

[0167] < 模式检测的工作原理 >

[0168] 下面说明当将图 2 所示的网络配置应用于模式识别设备时的二维图形模式的脉冲编码和检测方法。图 8A 示意性示出从特征统合层向特征检测层（例如，在图 2 中从层 (2,0) 向层 (1,1)）的脉冲信号传播。将门电路 5 布置在突触连接元件 (Sj) 前，以仅传递对特征检测重要的脉冲信号 (P1 和 P3)。图 8A 示出仅传播由突触连接元件 S1 和 S3 调制的脉冲。特征统合层侧的各神经元 n_i 对应于不同的特征量（或者特征元素）。在检测通过组合同一感受野中的特征获得的高阶特征（图形元素）时涉及特征检测层侧的神经元 n'_j 。

[0169] 在突触连接电路的输入侧，设置门电路 5，该门电路 5 仅对具有上位电平的最大值的脉冲信号打开，以通过从特征统合层神经元到特征检测层神经元的连接仅传递特征统合层输出的上位电平。当输入定时脉冲信号 (PN) 时，来自特征统合层神经元的输出脉冲信号经过突触连接电路的相位调制等调制处理，并且传播到下一个特征检测层。在特征检测层神经元中，在时间积分窗的范围内执行经过了特征统合层神经元的突触连接的脉冲信号的

时间积分。

[0170] 对于每个特征检测神经元 ($n' i$)，通常将时间窗定义为形成神经元的同一感受野的特征统合层的神经元，并且时间窗给出时间窗积分的时间范围。

[0171] 参考图 8A，门电路 5 位于特征检测层神经元的突触连接之前。向门电路 5 输入信号的神经元形成特征检测层神经元的感受野。它们都是属于同一特征类的特征统合层神经元。在该实施例中，特征检测层神经元并行执行经过了门电路 5 的脉冲信号的时间窗积分。图 8B 示意性示出突触后信号被并行时间窗积分（几乎在同一时间带执行多个时间窗积分操作）的状态。

[0172] 定时元件被布置在整体控制电路 7 中，并且将定时脉冲信号输出到特征统合神经元（层编号 (2, k-1)）和特征检测神经元（层编号 (1, k)），从而当特征检测神经元时间上添加输入时给出时间窗生成定时信号。将时间窗的开始时间设置为测量来自每个特征统合神经元的脉冲输出的到达时间的参考时间。即，定时元件给出来自特征统合神经元的脉冲输出时间和特征检测神经元中的时间窗积分的参考脉冲。

[0173] 在该实施例中，与在作为特征检测层的前级层的特征统合层上的同一感受野中的低阶特征元素相对应且在检测输入图像中的预定局部特征时所涉及的神经元以预定相位同步发火（输出脉冲）。一般说来，从特征统合层的神经元到检测不同位置处的相同的高阶特征的特征检测神经元之间存在连接（在这种情况下，尽管感受野不同，却存在形成相同高阶特征的连接）。此时，即使在这些特征检测神经元之间也发生同步发火。

[0174] 每个脉冲经过突触电路，给定预定量的相位延迟，并且通过信号传递线到达特征检测神经元。时间轴上的脉冲序列由特征检测神经元的时间轴上的虚线所示的脉冲 (P1、P2 和 P3) 来表示。

[0175] 在特征检测神经元中，当通过每个脉冲 (P1、P2 和 P3) 的时间窗积分（通常执行一次时间窗积分；可以进行多次时间窗积分的电荷存储或者平均）获得大于阈值的值时，基于时间窗的结束时间进行脉冲输出 (Pd)。执行学习规则（将会说明）时参考图 8A 所示的学习中的时间窗。

[0176] < 特征检测层处理 >

[0177] 下面说明主要在特征检测层中所执行的处理（在学习和识别中）。在每个特征检测层，如上所述，在为各尺度水平设置的通道中，接收与来自相同感受野的多个不同特征相关联的脉冲信号，并且执行时空加权求和（负载求和）和阈值处理。

[0178] 在特征检测层的每个神经元中，对于已到达神经元的脉冲串，仅在具有预定宽度的时间窗中执行输入脉冲的时空加权求和（负载求和）。用于实现时间窗中的加权求和的部件不限于图 4 所示的神经元元件电路。加权求和可以通过任何其它方法来实现。

[0179] 时间窗对应于除某种程度上的实际神经元的不应期之外的时间带。更具体地，在不应期（除时间窗以外的时间范围）中，不管输入如何，不执行来自神经元的输出。然而，在除该时间范围之外的时间窗中，像实际的神经元一样，进行与输入电平相对应的发火。

[0180] 在该实施例中，对于每层中的所有处理都输入来自控制电路中的定时元件的定时脉冲信号（固定频率的脉冲输出），从而实现上述时间窗开始期间神经元之间的通用性。在图 1 所示的配置中，当突触阵列电路块 3 和神经元阵列电路块 2 形成图 2 所示的整个分层结构的一层时，在该层中通常使用定时信号。即使当突触阵列电路块 3 和神经元阵列电

路块 2 形成与图 2 所示的整个分层结构的部分相对应的多层时,不需要在整个网络执行时间窗同步控制(即使是必要的)。从整体上减轻了定时信号偏移的问题。

[0181] <在图像传感设备或者机器人视觉头中安装该设备的应用例子>

[0182] 当将根据该实施例的并行脉冲信号处理设备作为模式识别(检测)设备安装到具有光轴方向控制机构的机器人视觉头或者图像传感设备中时,可以高速检测视野中的特定对象,并且可以执行最佳拍摄(特定对象的自动调焦或者颜色校正或者曝光)控制。参照图 12 说明这种情况下的配置。

[0183] 图 12 所示的图像传感设备 9 包括具有用于变焦拍摄及光轴方向控制的拍摄镜头和驱动电路机构的成像光学系统 92、CCD 或 CMOS 图像传感器 93、图像传感参数测量单元 94、视频信号处理电路 95、存储单元 96、用于生成控制图像传感操作或者图像传感条件的控制信号的控制信号生成单元 97、也用作 EVF 等取景器的显示器 98、电子闪光灯单元 99、记录介质 910 以及注视识别处理单元 911(包括上述具有该实施例的分层结构的并行脉冲信号处理电路的模式识别设备)。

[0184] 在该图像传感设备 9 中,根据从图像传感器 93 输入的图像信号估计提前登记的人的存在方向。将成像光学系统 92 的光轴控制到该方向。通过注视识别处理单元 911 检测该面部图像(存在的位置和大小)。将人的位置(存在方向)和大小的信息输入到控制信号生成单元 97。控制信号生成单元 97 基于图像传感参数测量单元 94 的输出生成控制信号以对人的调焦、曝光条件和白平衡进行最优控制。

[0185] 当在从图像中检测(识别)模式的图像传感设备中使用根据上述实施例的并行脉冲信号处理设备时,可以以低电力消耗和高速(实时)适当地实现对象检测(识别)功能。因此,可以进行基于该设备的人等的检测以及拍摄的最佳控制(AF 或者 AE)。

[0186] 第二实施例

[0187] 在该实施例中,通过公共总线输入到神经元元件的脉冲信号,以在突触连接后传播一束信号。对于特征检测层神经元,在来自前级的特征统合层的输出中,时序输入经过了对特征类唯一的相位调制的脉冲。门电路 5 被设置在突触连接会聚的公共总线上的突触连接电路后。

[0188] 图 6 示出该实施例中使用的门电路的配置。门电路 5 包括信号选择单元 50、时钟信号输入单元 51、门开关 53、门控制电路 54 以及基于延迟时间的比较器 55。信号选择单元 50 访问处理结果保持存储器 4 以从感受野中提取信号。信号选择单元 50 不具有所谓的 WTA 功能。

[0189] 另一方面,比较器 55 是基于脉冲到达时间相对于定时元件给出的参考时间的延迟量仅选择上位电平信号(或者上位电平最大值信号)的电路。可以将比较器 55 看作时轴域的 WTA 电路。其余构成元件的功能与第一实施例中所述的图 3A 所示的配置中的相同。

[0190] 参考图 8C,在每个神经元间的连接中,由于从神经元 n_i 到神经元 n'_j 的突触连接($S_{j,i}$)中的脉冲传播时间和时间延迟而生成唯一的延迟(对于特征唯一)。结果,只要从特征统合层的每个神经元输出脉冲,到达神经元 n'_j 的脉冲串 P_j 就具有基于通过学习确定的突触连接的延迟量的预定顺序(和时间间隔)(图 8C 示出脉冲以 P_4 、 P_3 、 P_2 和 P_1 的顺序到达)。如上所述,门电路 5 选择性地传递通过突触连接调制并且在公共总线上传播的脉冲串的脉冲信号。

[0191] 图 8D 示出将定时信号输入到特征统合层神经元后,从层 (2, k) 上的特征统合神经元 n_1 、 n_2 和 n_3 (该神经元表示不同种类的特征) 到层 (1, k+1) 上的特征检测神经元 (n'_j) (该神经元执行上位特征检测) 的脉冲传播的定时。

[0192] 通过预定加权时间窗积分来执行特征检测层神经元的内部状态的计算处理。参考图 8C,在特征检测层神经元中,在从定时元件输入之前不执行稍后说明的时间窗积分。通过来自定时元件的脉冲输入触发该积分。

[0193] 图 8D 所示的不应期是紧挨在特征检测神经元的发火之后到下一个时间窗开始时间为止的时间带。可以任意设置不应期的长度和时间窗的宽度。如图 8D 所示,不应期无需总是短于时间窗。

[0194] 由于通过学习提前定义的延迟量(相位)而使与特征量相对应的脉冲以预定的时间间隔到达。脉冲到达时间模式的学习控制不是该实施例的要点,因此省略其详细说明。例如,引入竞争学习,使得最有助于检测图形的图形模式的特征元素的脉冲早到达。对于脉冲到达时间几乎相同的特征元素,脉冲以预定时间间隔到达。可选地,对于预定的特征元素(形成识别目标且可被视作特别重要的特征元素:例如,具有大平均曲率或者高线性的特征),脉冲可能以不同的时间间隔到达。

[0195] < 脉冲输出的时空统合和网络特性 >

[0196] 接着说明输入脉冲的时空加权求和(负载求和)的运算处理。如图 11 B 所示,在每个神经元中,通过使用预定的加权函数对每个子时间窗(对每个时隙(time slot))计算输入脉冲的加权和。将加权和的和与阈值进行比较。在该例子中, τ_1 表示子时间窗 j 中的加权函数的中心位置。基于时间窗开始时间(从开始时间起的经过时间)表示该中心位置。加权函数通常是距离预定中心位置(表示当检测到要检测的特征时的脉冲到达时间)的距离(时间轴上的移位)的函数。

[0197] 在突触中,执行与特征类型相对应的相位调制。如果没有执行突触权值和信号的相乘,则在时间窗积分中,通过参考加权函数,对于前级层中的神经元输出电平执行与突触加权相对应的乘法。

[0198] 假定每个子时间窗中的加权函数具有对称形状,或者加权函数是时间轴上的距离的函数。当神经元的每个子时间窗(时隙)的加权函数的中心位置 τ 表示神经元之间学习后的时间延迟时,可以将执行输入脉冲的时空加权求和(负载求和)的神经网络看作时轴域的一种径向基函数网络(下文简称为 RBF, radial basisfunction network)。

[0199] 加权函数可能具有非对称形状(如图 11B 所示)或者取负值。例如,假定期望特征检测层的神经元最终检测三角形,且检测到显然不是图形模式的构成元素的特征 (F_{false})。在这种情况下,为了防止即使当其余特征元素的贡献大时最后仍进行三角形检测输出,可以根据在输入和计算处理中与特征 (F_{false}) 相对应的脉冲提前给出给予负贡献的加权函数和特征检测(统合)神经元的连接。

[0200] 到特征检测层的神经元 n_i 的时空和 $X_i(t)$ 通过下式给出:

$$[0201] \quad X_i(t) = \sum_j S_{ij} F_{Ti}(t) Y_j(t - \tau_{ij} - \varepsilon_j)$$

[0202] 其中 ε_j 是来自神经元 n_j 的输出脉冲的初始相位, F_{Ti} 是时间窗加权函数。当通过与神经元 n_i 同步发火而出现收敛到 0 或者时间窗的相位被定时脉冲输入强制与 0 同步时,

ε_j 可以总是 0。

[0203] 当执行通过图 11A 所示的脉冲输入与图 11B 所示的加权函数的加权求和时, 获得如图 11D 所示的加权和值的时间变化。当加权和值达到阈值 (V_t) 时, 特征检测神经元输出脉冲。来自神经元 n_i 的输出脉冲信号被输出到上层神经元, 其输出电平为输入信号的时空和 (所谓的总输入和) 的压缩非线性函数, 且其时间延迟 (相位) 通过学习给出, 如上所述 (脉冲输出具有固定频率 (二进制) 且其通过将作为输入信号的时空和的压缩非线性函数的相位调制量加到与通过学习确定的固定延迟量相对应的相位上而输出)。

[0204] 为了简单下面说明将三角形检测为特征的特征检测神经元。前级的特征统合层对图 11C 所示的图形特征 (特征元素) 作出反应, 该图形特征例如: 具有各种方向的 L 形模式 (f_{11} 、 f_{12} 、.....)、具有到 L 形模式的连续性 (连接性) 的线段的组合模式 (f_{21} 、 f_{22} 、.....) 以及形成三角形的两边的一部分的组合 (f_{31} 、.....) 等。

[0205] 参考图 11C, f_{41} 、 f_{42} 和 f_{43} 表示形成具有不同方向的三角形的特征, 即与 f_{11} 、 f_{12} 和 f_{13} 相对应的特征。当在形成层间连接的神经元之间通过学习设置唯一延迟量时, 在三角形的特征检测神经元中, 在通过分割时间窗获得的每个子时间窗 (时隙) ($w1$ 、 $w2$ 、.....) 中, 提前进行设置使得与三角形的主要及不同特征相对应的脉冲应当到达。

[0206] 例如, 如图 11A 所示, 在时间窗被分割成 n 之后, 与整体上形成三角形的特征集的组合相对应的脉冲首先到达 $w1$ 、 $w2$ 、.....、 w_n 。通过学习设置延迟量使得 L 形模式 (f_{11} 、 f_{12} 和 f_{13}) 到达 $w1$ 、 $w2$ 和 $w3$, 且与特征元素 (f_{21} 、 f_{22} 和 f_{23}) 相对应的脉冲到达 $w1$ 、 $w2$ 和 $w3$ 。

[0207] 与特征元素 (f_{31} 、 f_{32} 和 f_{33}) 相对应的脉冲也以与上述相同的顺序到达。在图 11A 所示的例子中, 与一个特征元素相对应的脉冲到达一个子时间窗 (时隙)。

[0208] 假定提前进行设置使得与重要特征相对应的脉冲到达早期时间窗。当该子时间窗中的加权函数值大于其它子时间窗中的值时, 可以更容易地检测重要特征。可以通过学习获取或者提前定义重要性 (特征的检测优先级)。

[0209] 分割的子时间窗 (时隙) 的数量、每个子时间窗 (时隙) 的宽度、特征类以及与特征相对应的脉冲的时间间隔分配不限于上述说明, 并且可以改变。

[0210] 第三实施例

[0211] 在该实施例中, 基于形成特征检测层神经元的感受野的突触连接的分布, 门电路选择强度最大且绝对值落在头 k (k 是一自然数) 个范围内的突触连接, 并且仅传递来自该突触连接的脉冲信号。

[0212] 图 5 示出根据该实施例的并行脉冲信号处理设备的主要部分。该并行脉冲信号处理设备包括作为主要构成元件的数据输入控制电路 100、神经元阵列电路块 200、突触阵列电路块 300、处理结果保持存储器 400、门电路 500、信号生成电路 600 以及整体控制电路 700。除了门电路 500 之外, 各构成元件的功能与第一实施例中的相同。

[0213] 与第一实施例的配置不同, 门电路 500 访问突触阵列电路块 300 并且选择重要的突触连接。如上所述, 重要的突触连接表示强度最大且绝对值落在头 k (k 是一自然数) 个范围内的突触连接。

[0214] 图 3B 示出门电路 500 的配置, 该门电路 500 包括作为主要构成元件的信号选择单元 60、时钟信号输入单元 61 以及门控制电路 64。信号选择单元 60 具有 WTA 电路 (见第一实施例中的参考文献 3) 的功能以从图 5 所示的突触连接电路阵列 300 的内部存储器中

暂时读出所有突触连接数据且从存储器地址中提取与头 k 个最大值相对应的突触连接的权值,并且信号选择单元 60 选择重要突触连接的地址。门控制电路 64 与时钟信号输入单元 61 的定时信号同步地选择性地传递通过信号选择单元提取的突触连接所调制的脉冲信号。

[0215] 在不脱离本发明的精神和范围的条件下可以作出本发明的许多明显不同的实施例,应该理解,除了权利要求中限定的之外,本发明不限于其特定的实施例。

[0216] 优先权要求

[0217] 本申请主张 2004 年 3 月 17 日提交的日本专利申请号 2004-077041 的优先权,其全部内容通过引用包括在此。

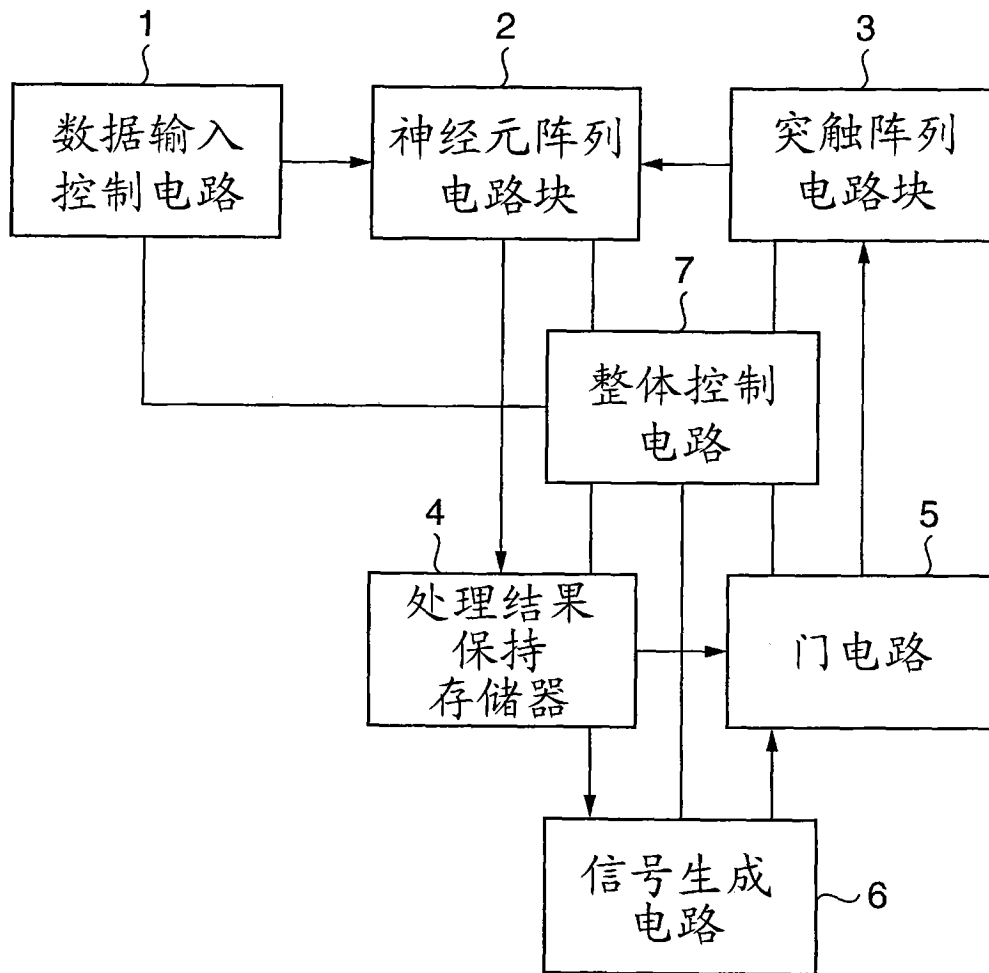


图 1

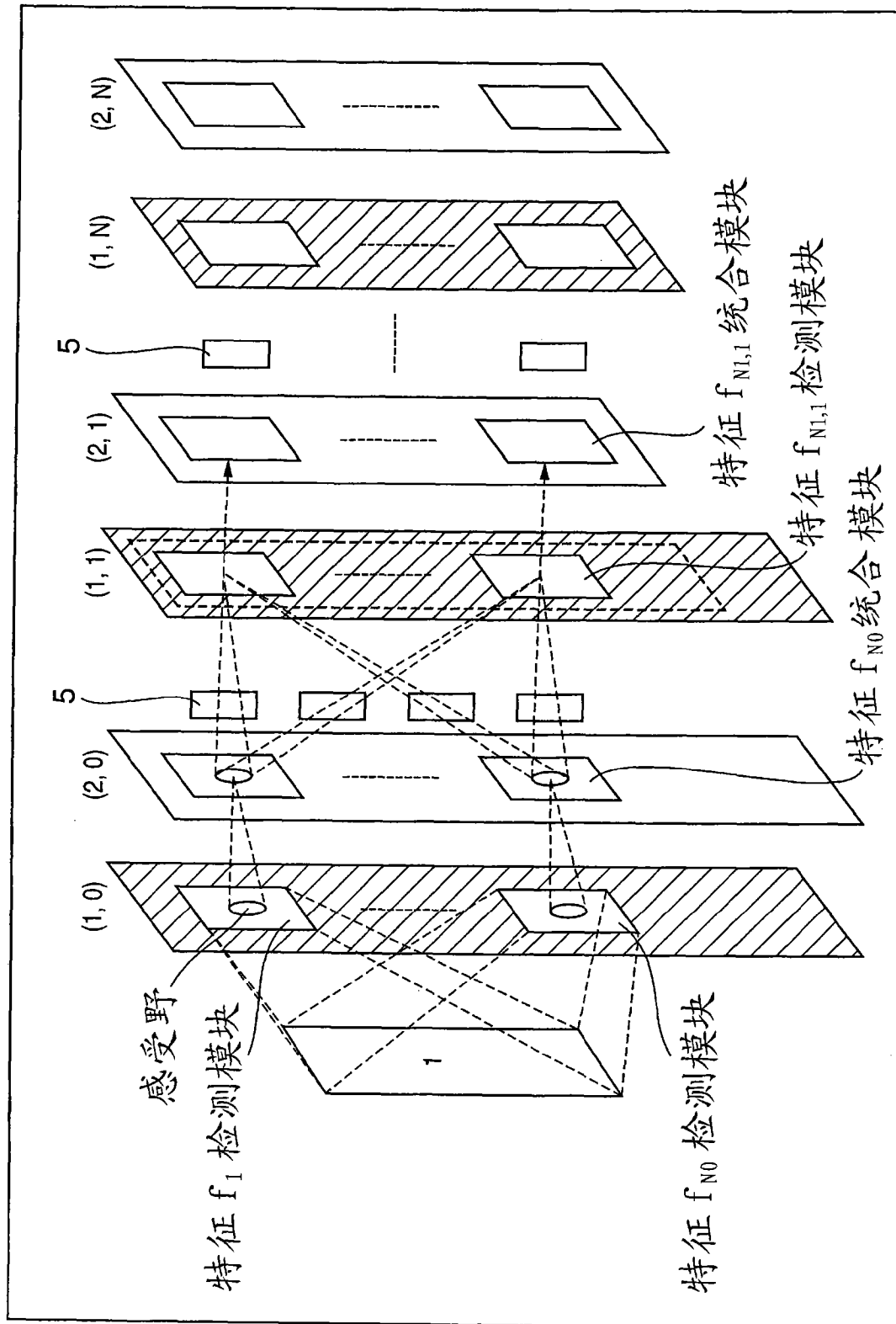


图 2

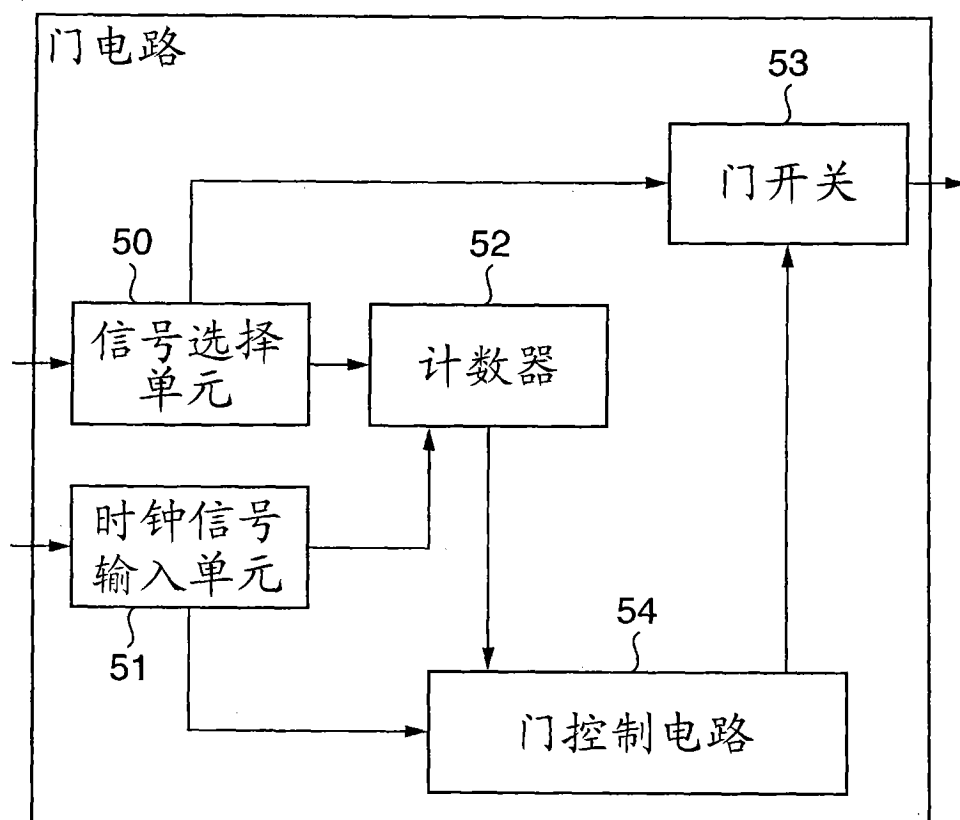


图 3A

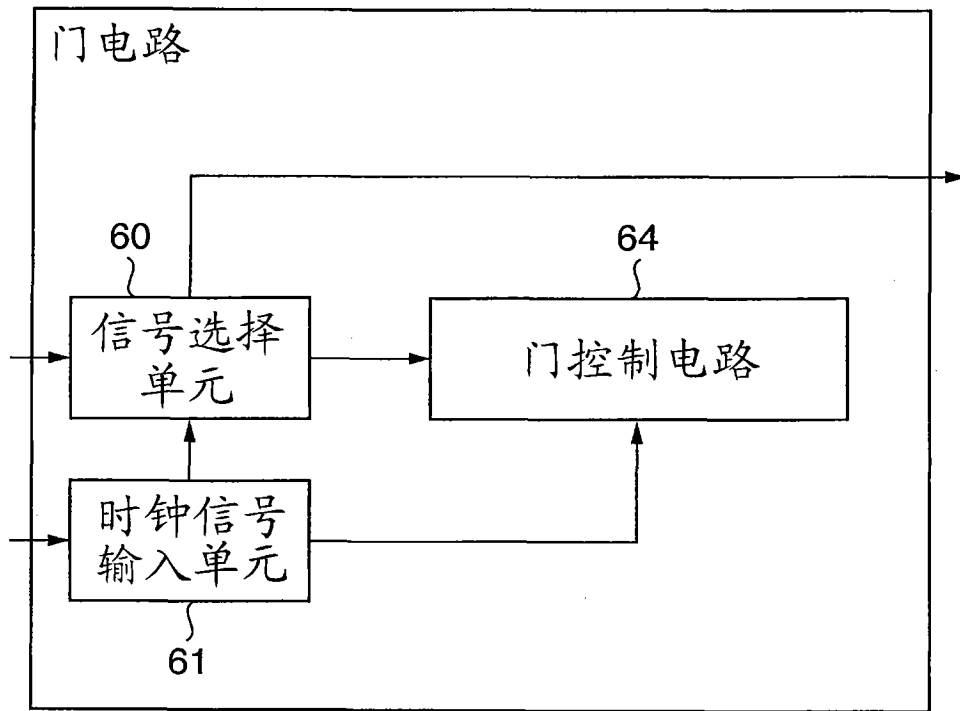


图 3B

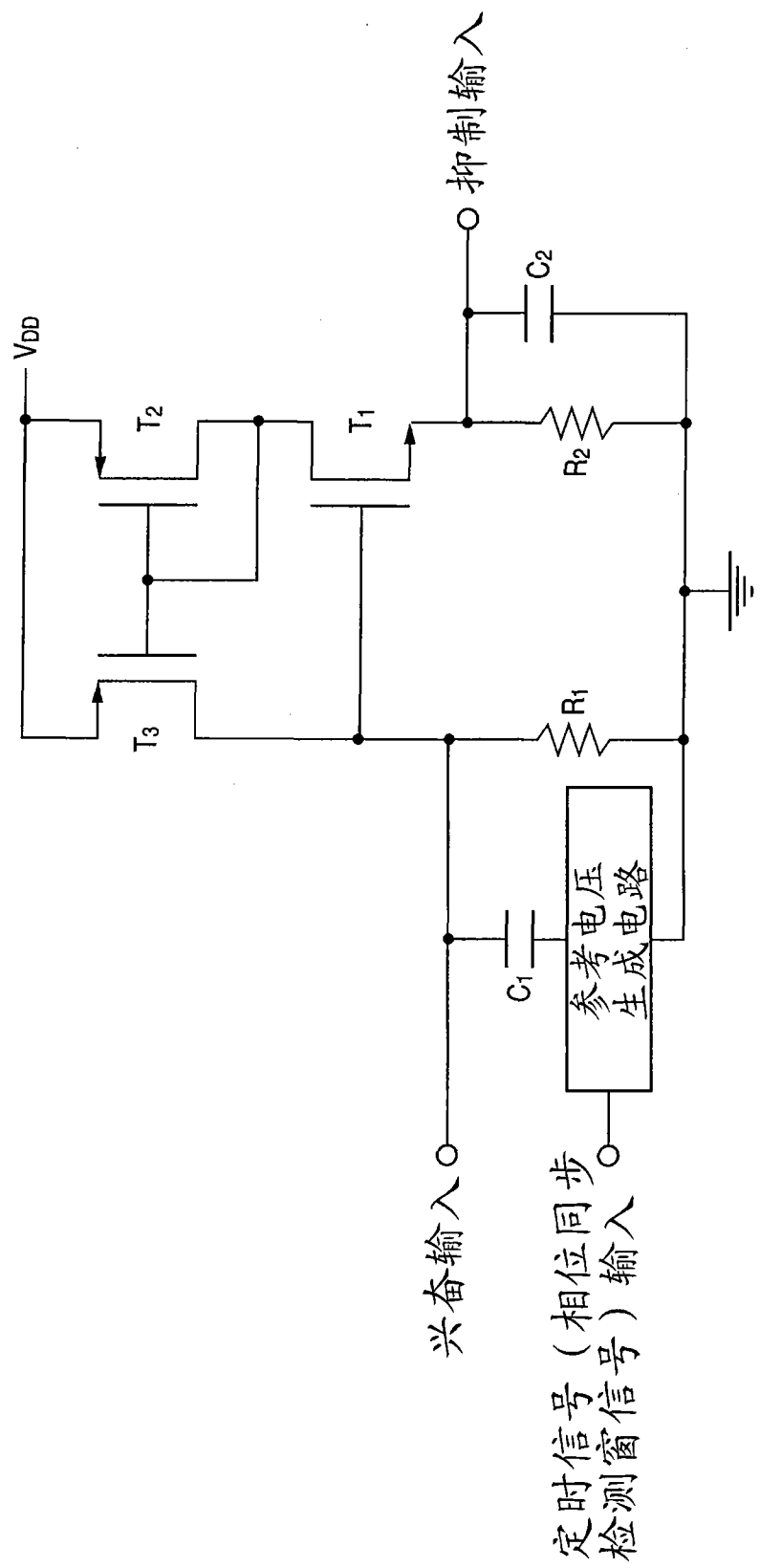


图 4

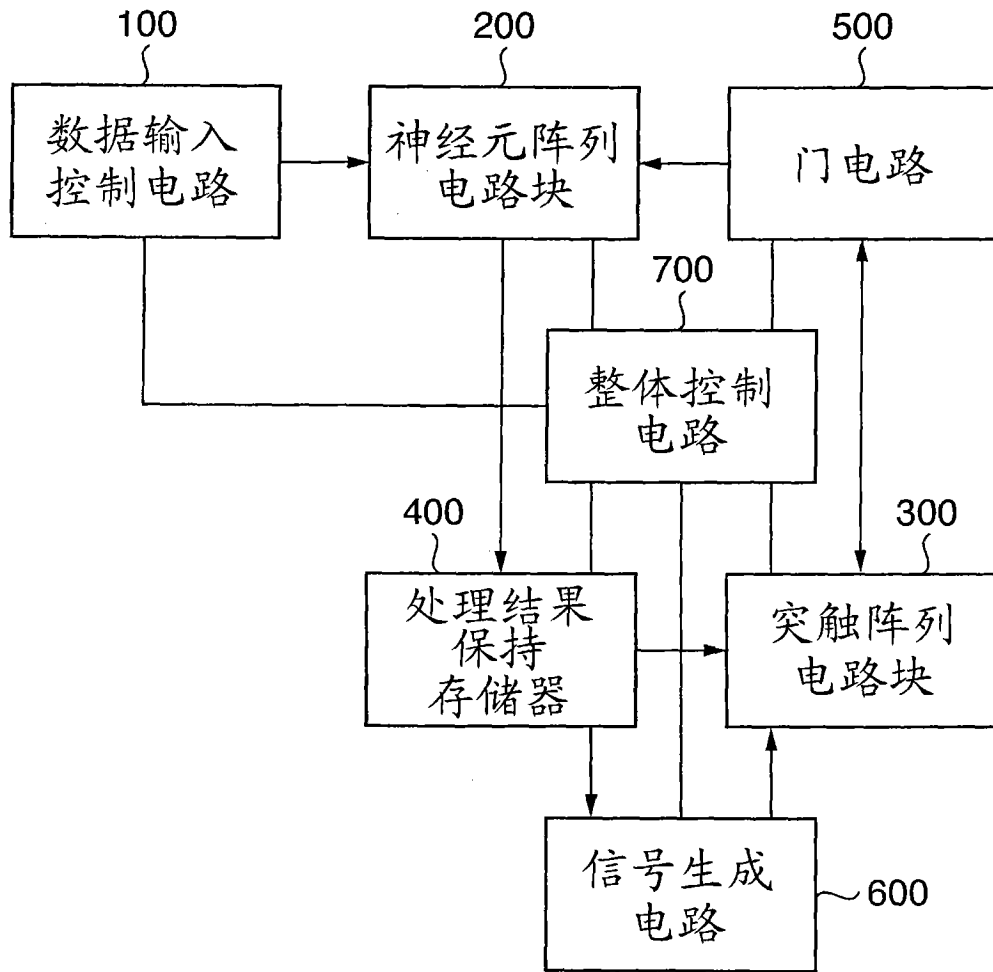


图 5

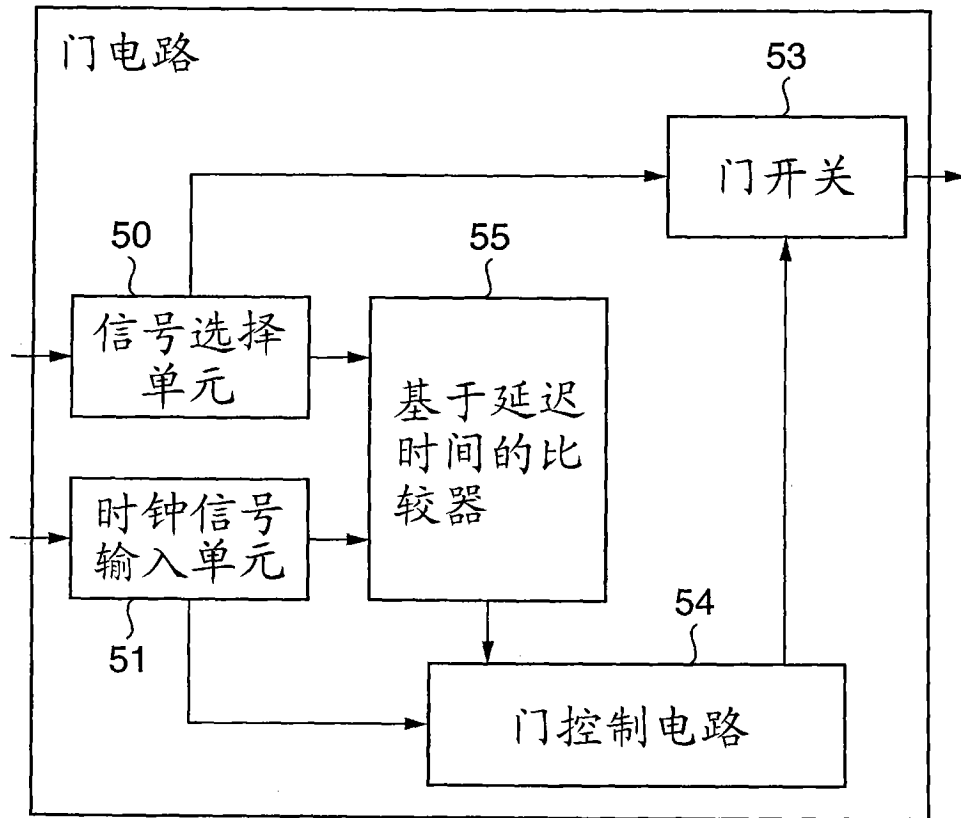


图 6

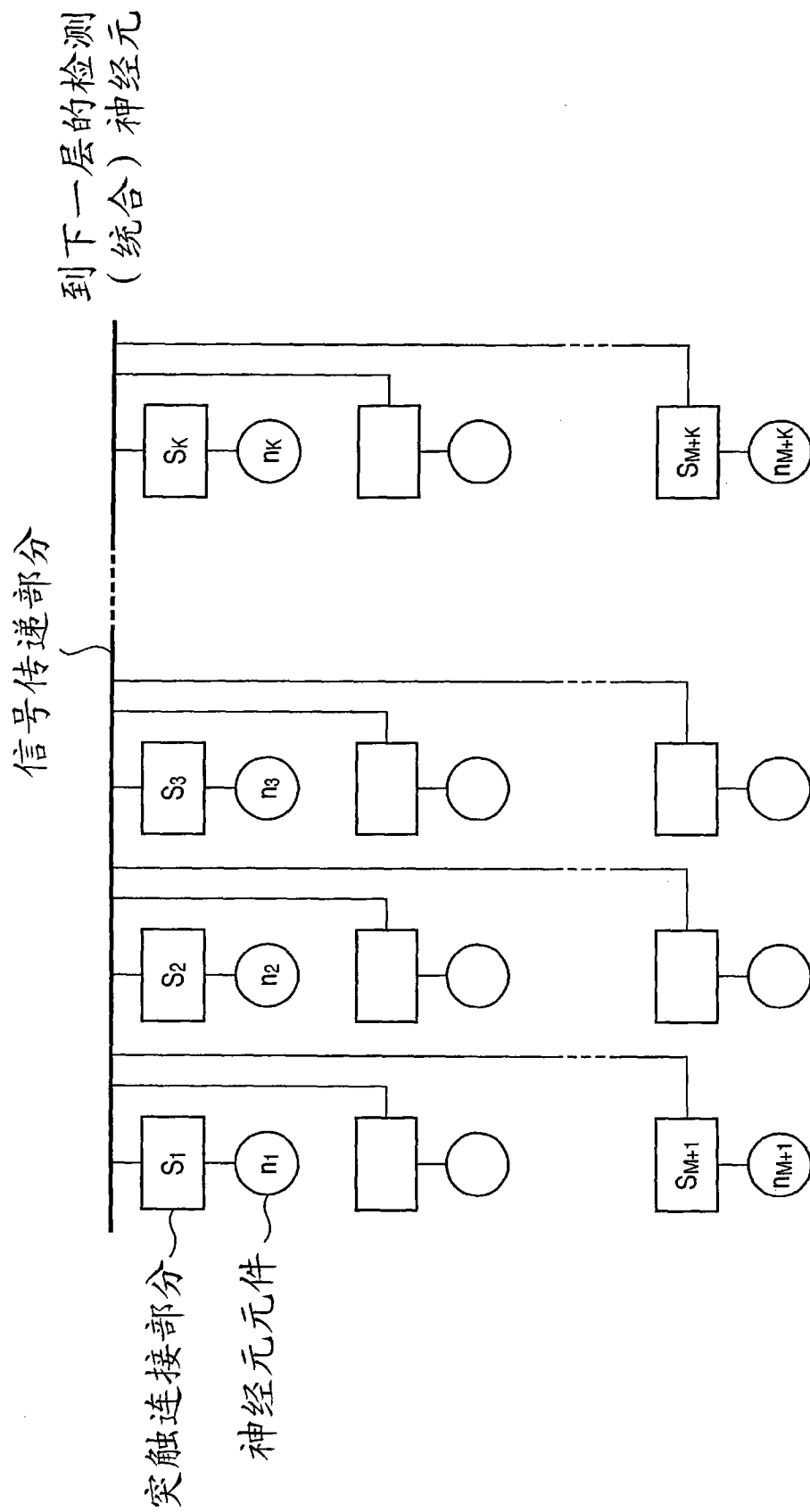


图 7A

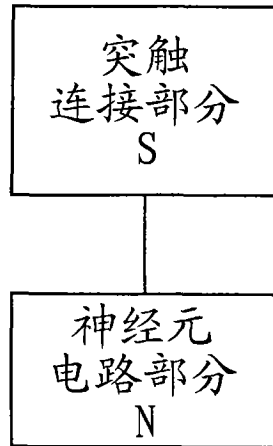
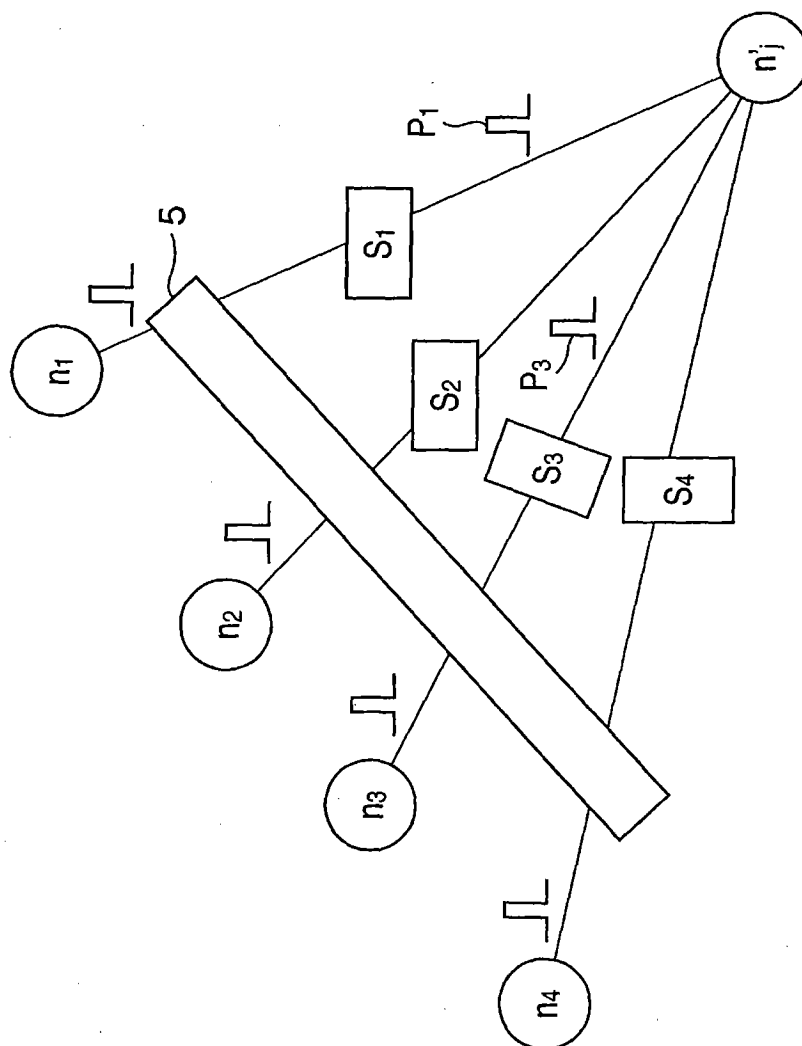


图 7B



8A 图

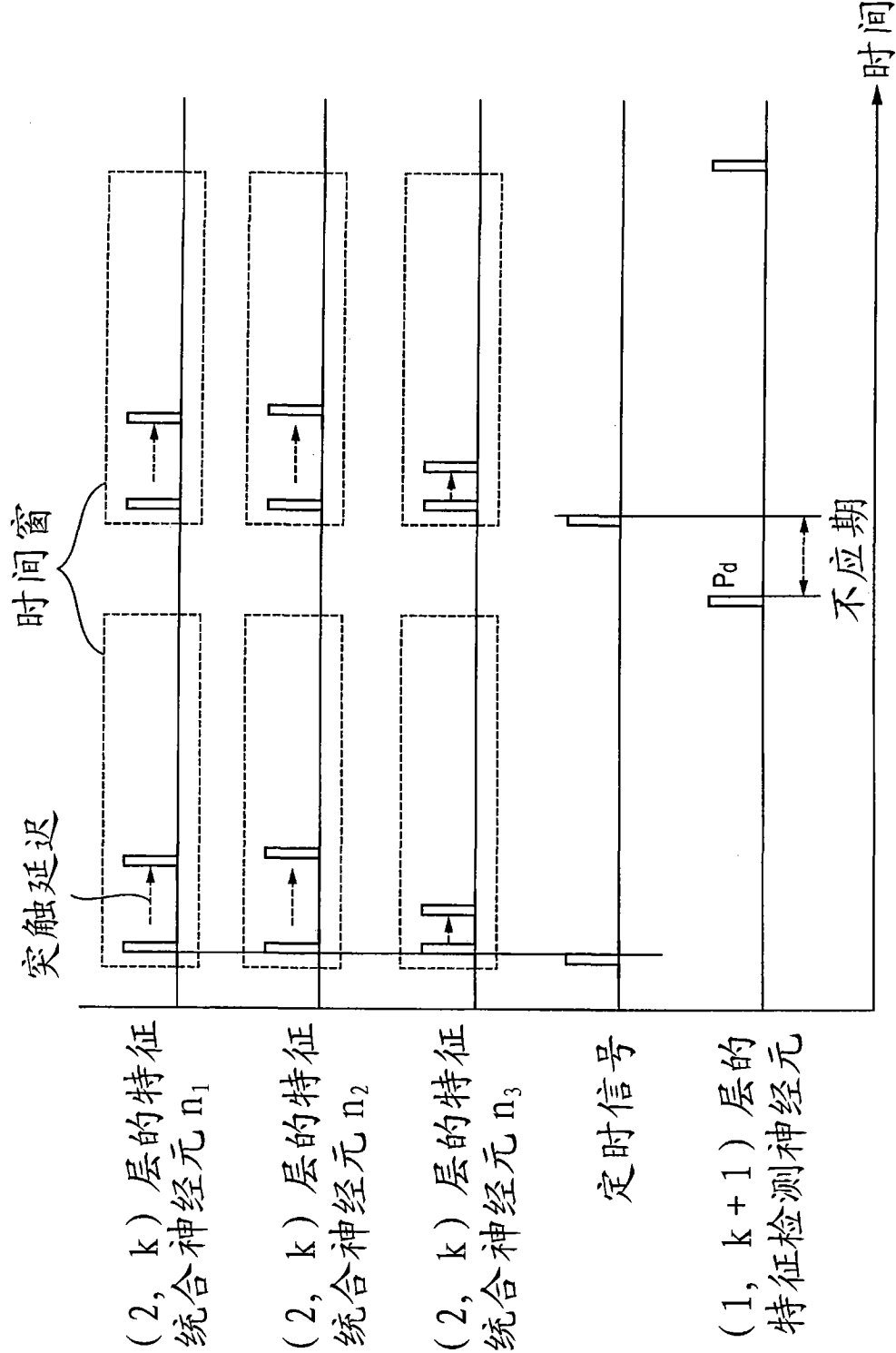
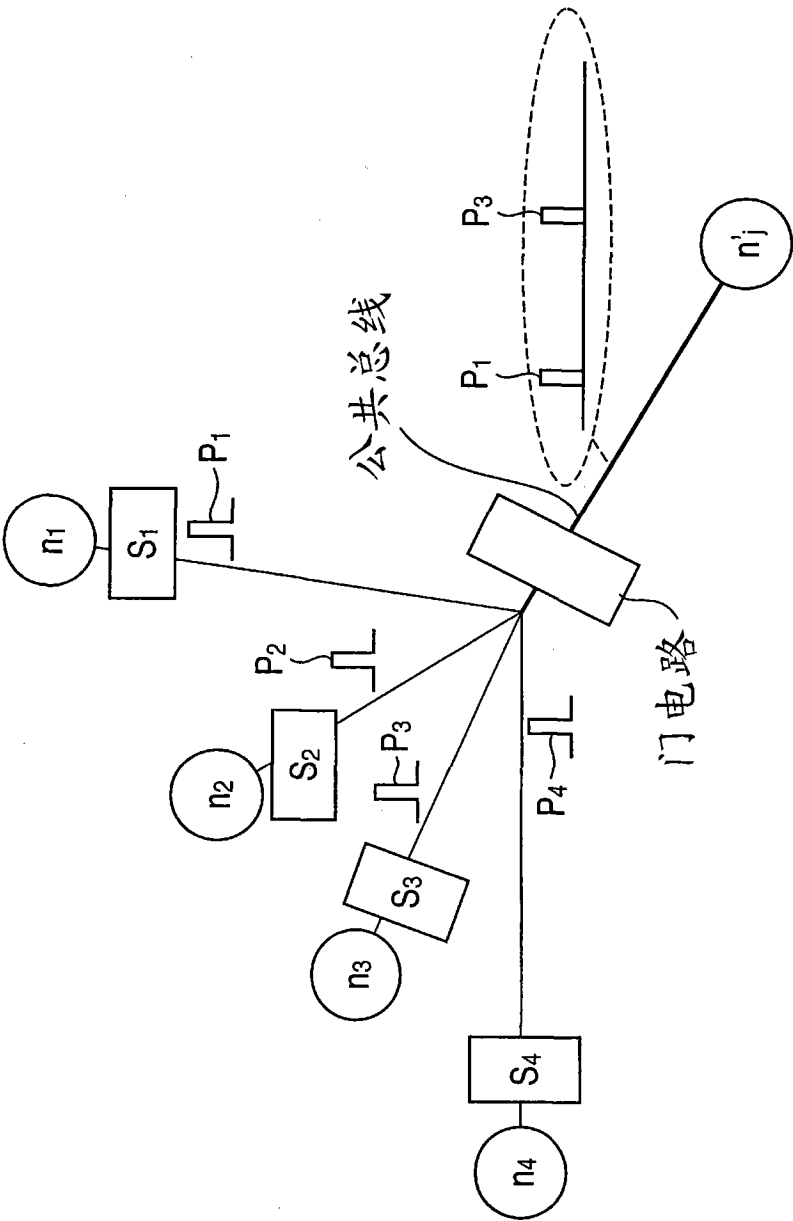


图 8B



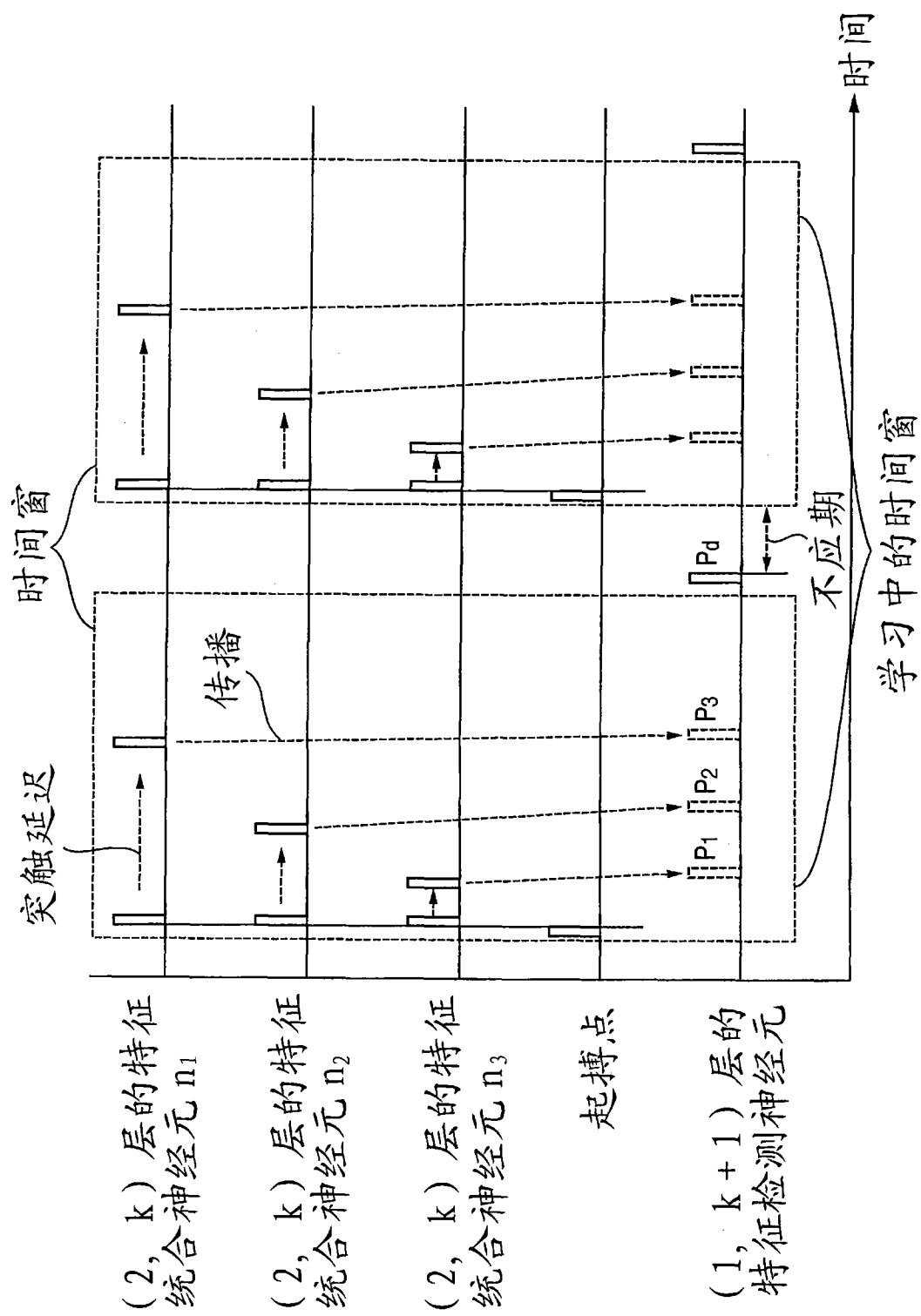


图 8D

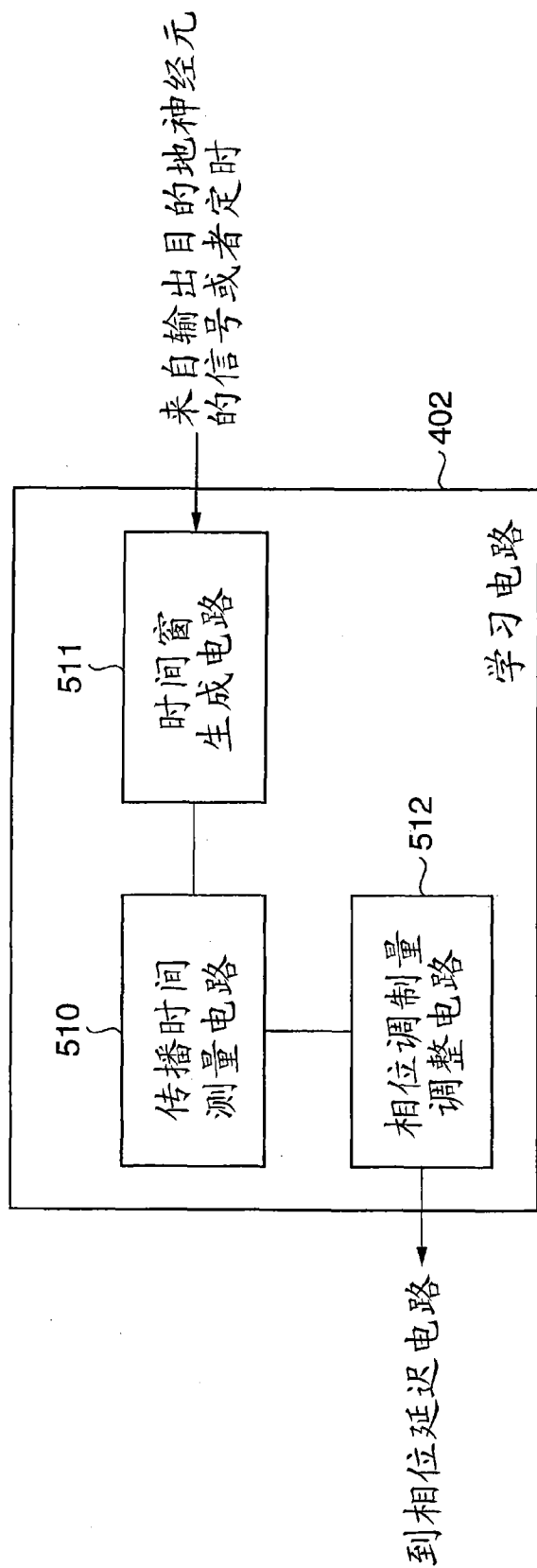


图 9A

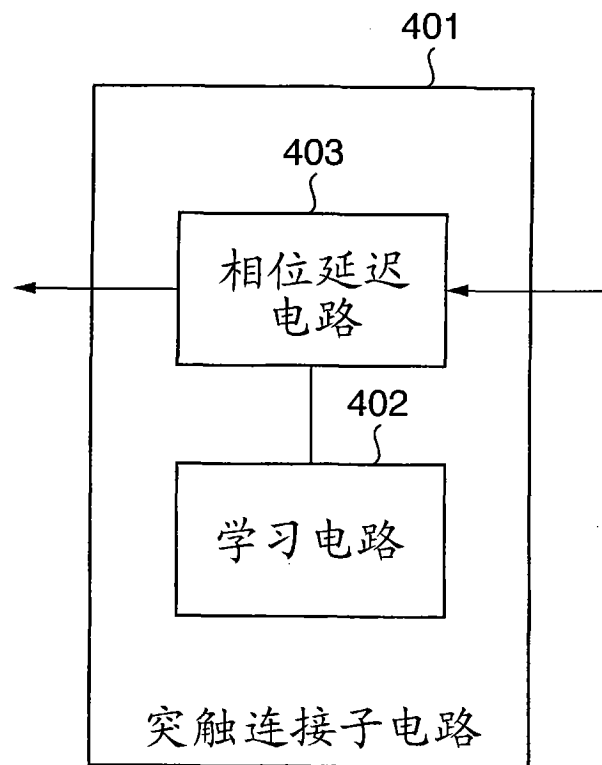


图 9B

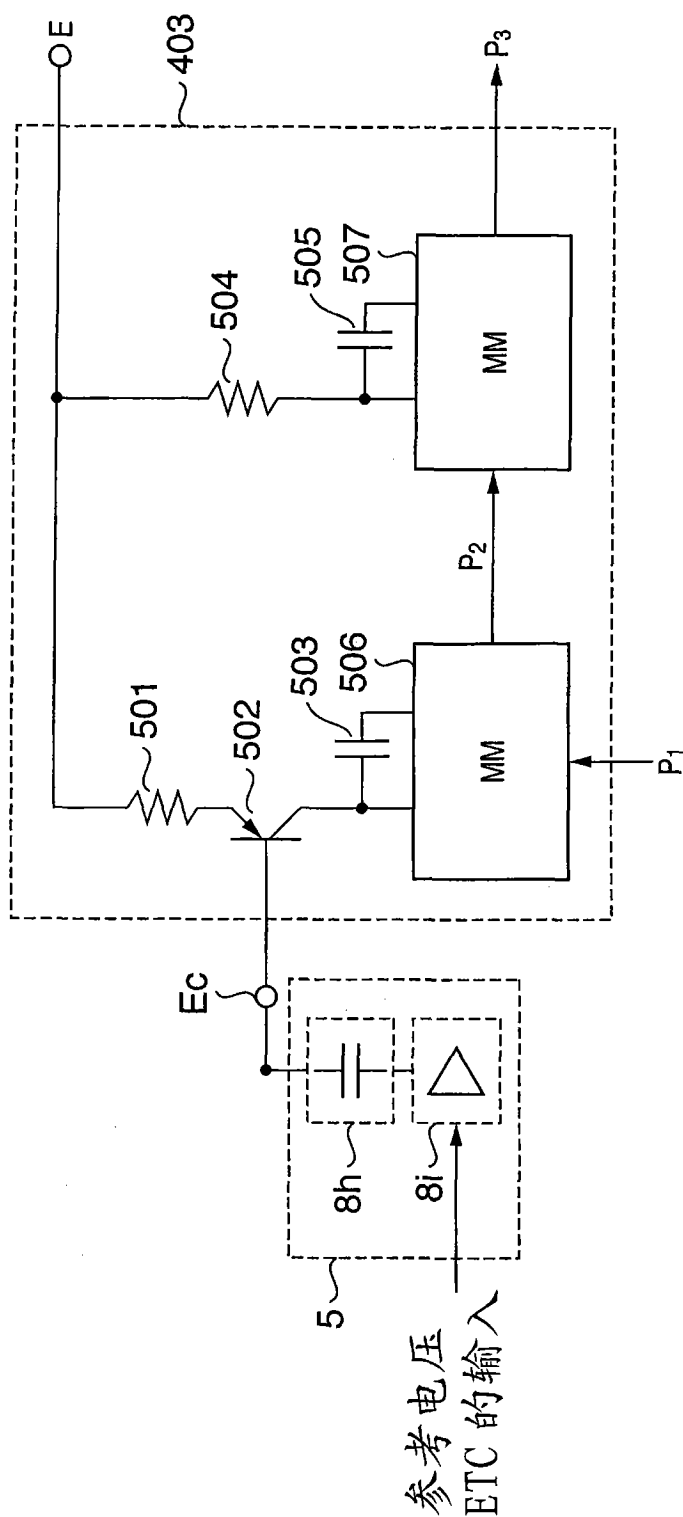


图 10A

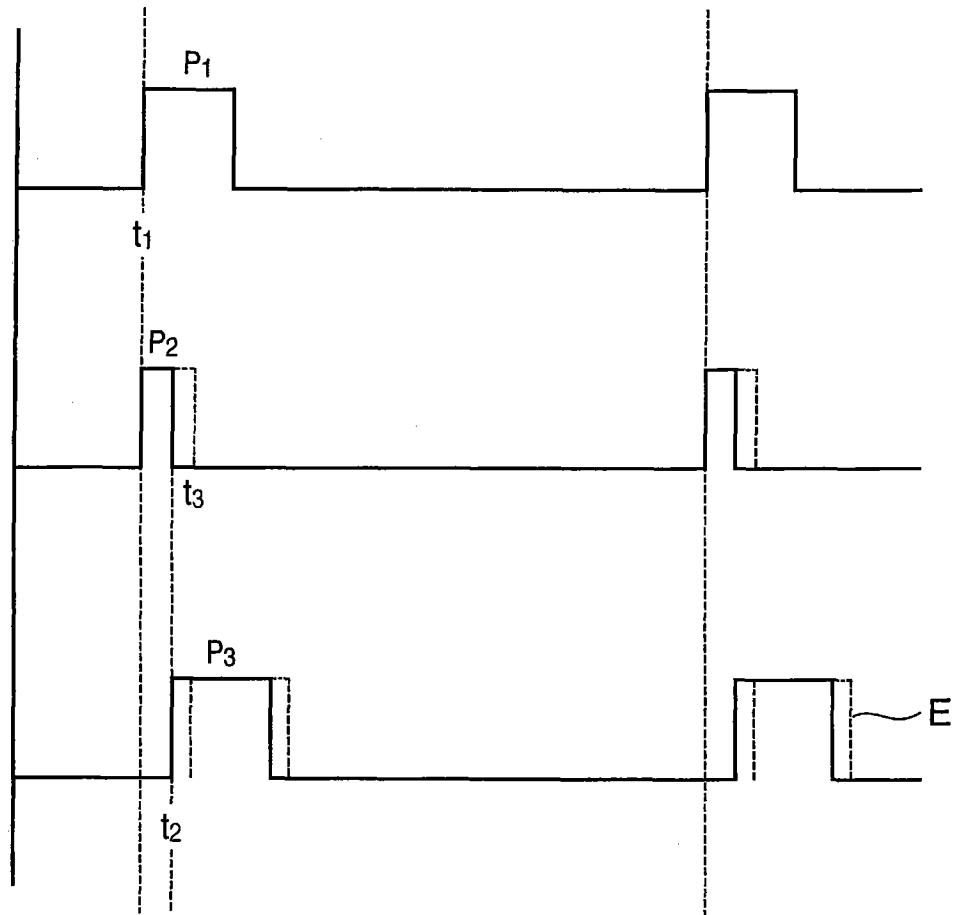


图 10B

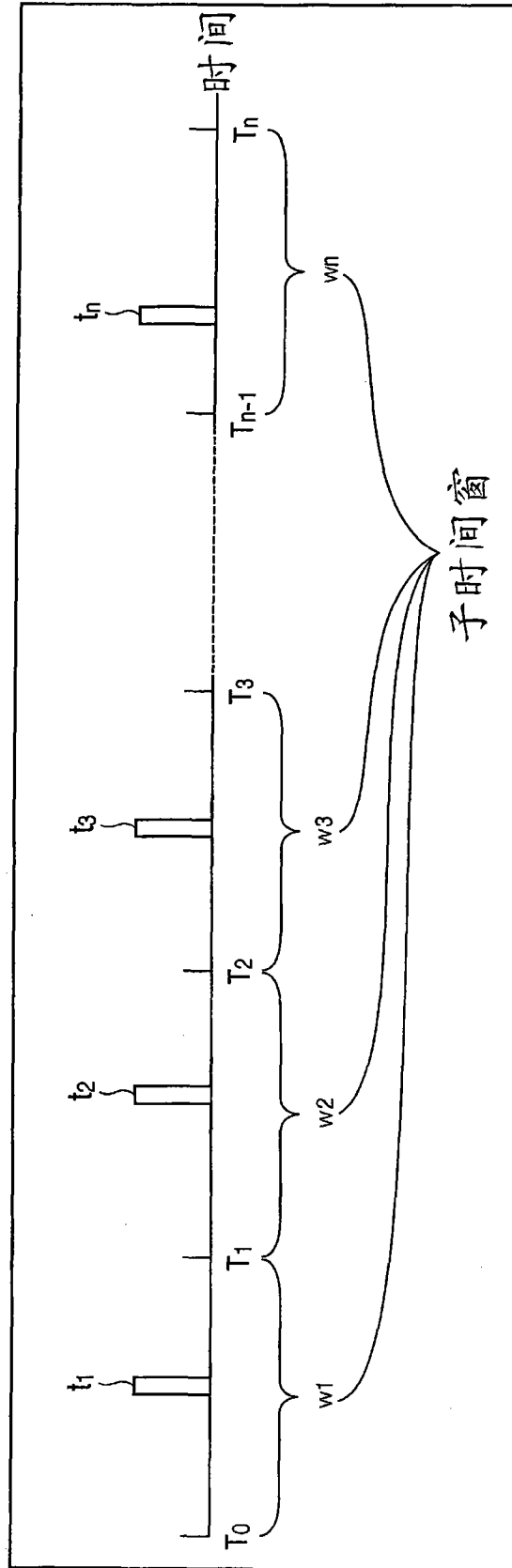


图 11A

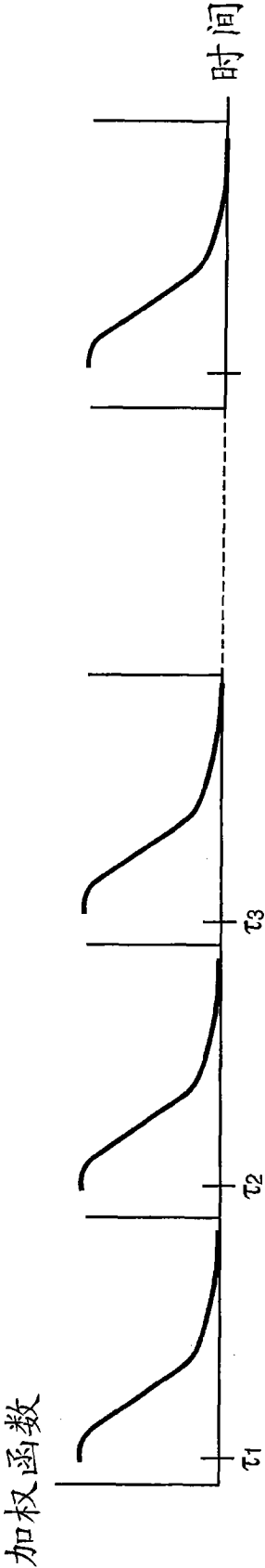


图 11B

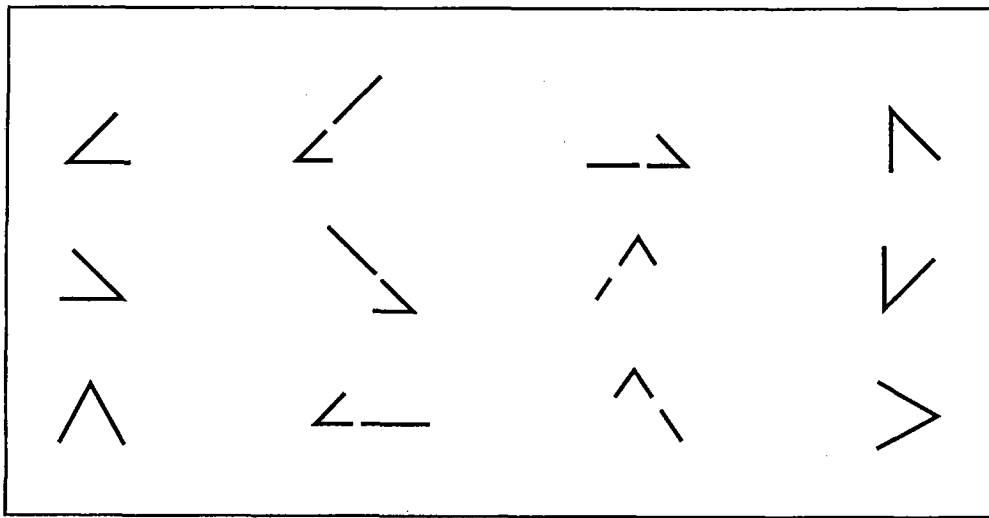


图 11C

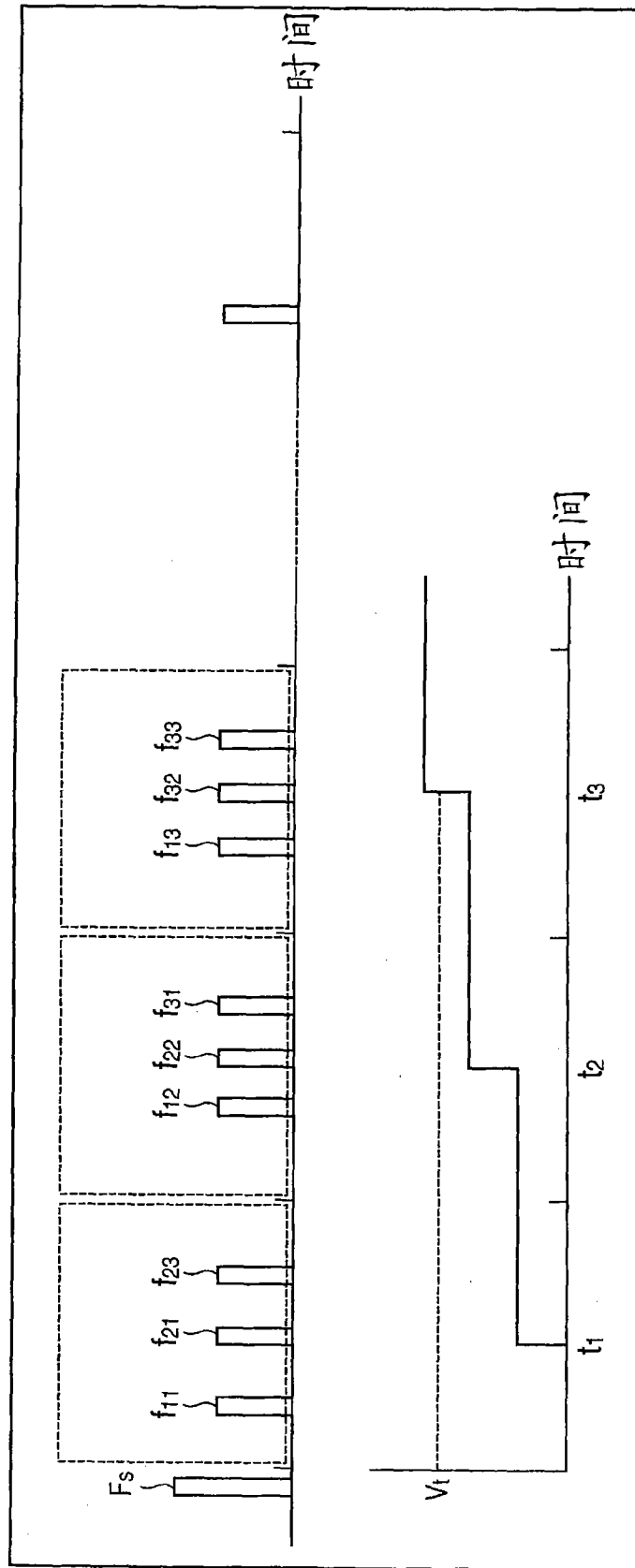


图 11D

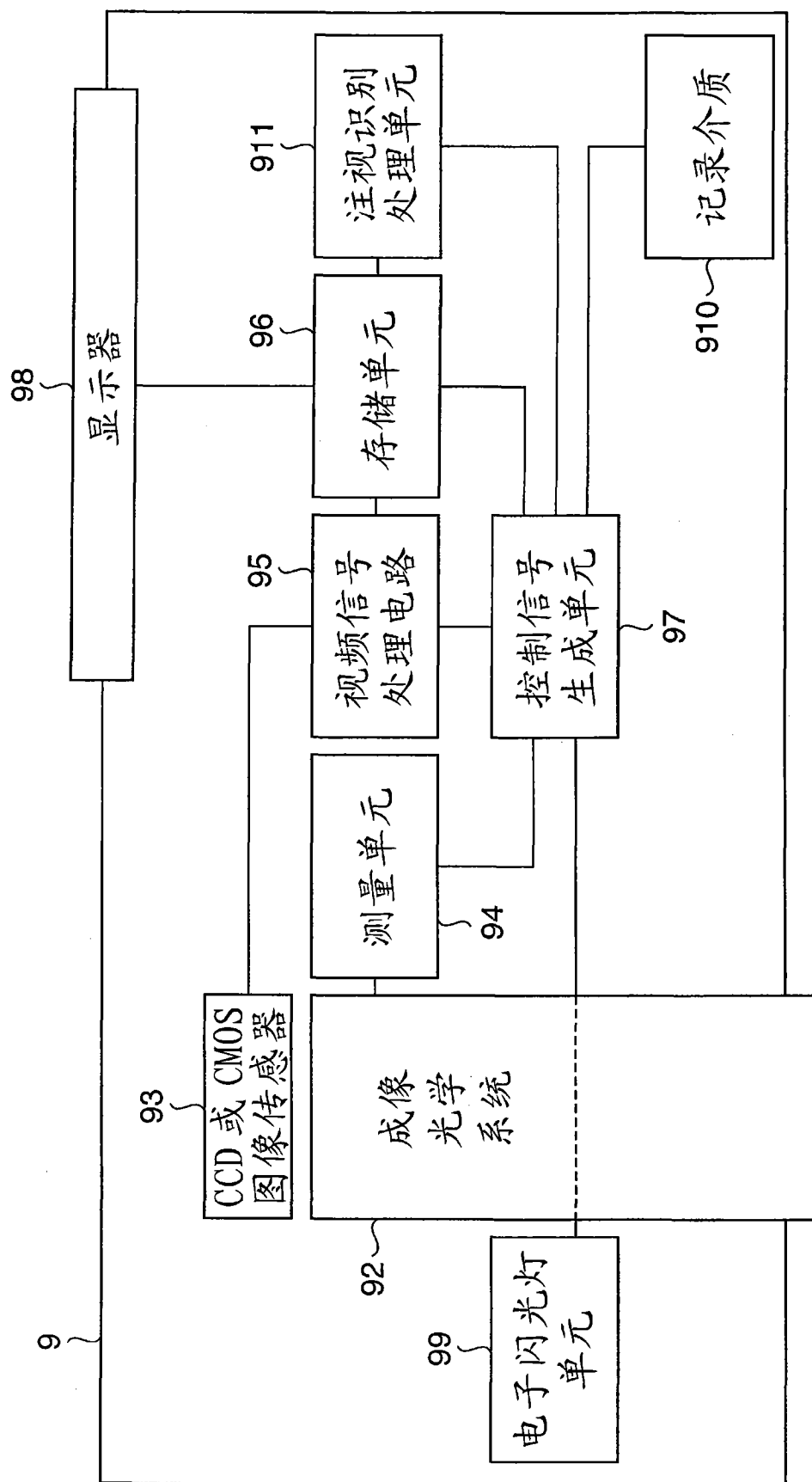


图 12

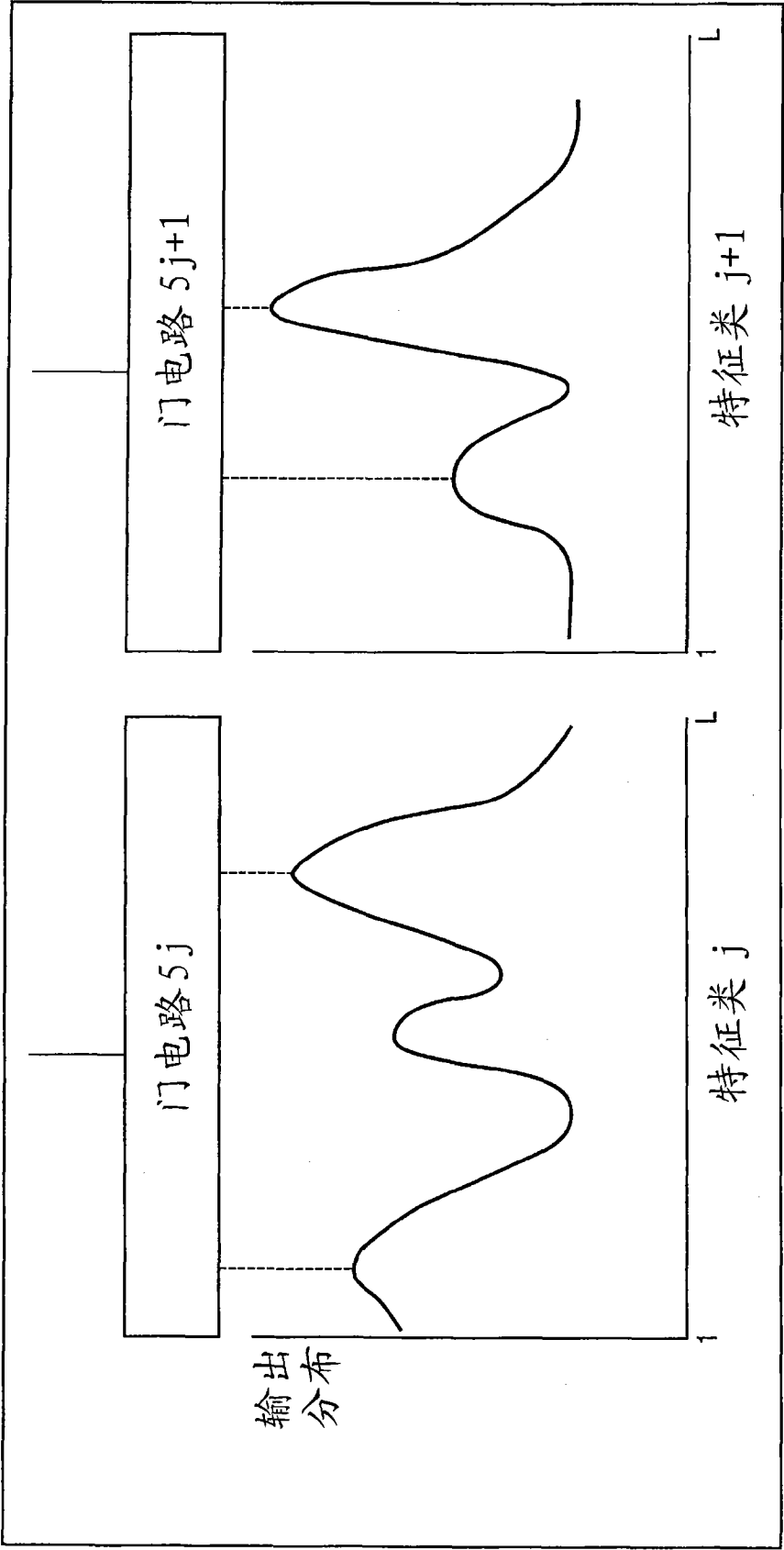


图 13