

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113476

(P2012-113476A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.		F I			テーマコード (参考)
G06F 12/16	(2006.01)	G06F 12/16	320F		5B018
G06F 3/08	(2006.01)	G06F 3/08	H		5B065
G06F 3/06	(2006.01)	G06F 3/06	305C		

審査請求 未請求 請求項の数 10 O L (全 10 頁)

(21) 出願番号	特願2010-261174 (P2010-261174)	(71) 出願人	000003078
(22) 出願日	平成22年11月24日 (2010.11.24)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 データ記憶装置、メモリ制御装置及びメモリ制御方法

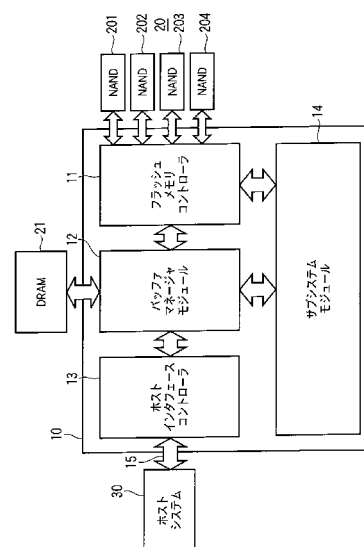
(57) 【要約】

【課題】有効なデータが準備できないチャンネルがある場合でも、ライト処理効率の低下を招くことなく、確実に誤り訂正符号データを生成できるデータ記憶装置を提供することにある。

【解決手段】実施形態によれば、データ記憶装置は、ライトコントローラと、誤り訂正コントローラと、データコントローラとを具備する。ライトコントローラは、複数チャンネルの各不揮発性メモリにデータを並列に書き込む。誤り訂正コントローラは、前記ライトコントローラによる書き込み動作の前に、前記各チャンネル毎に準備されるデータを使用して誤り訂正符号データを生成する。データコントローラは、不揮発性メモリの書き込み対象のデータが準備されないチャンネルに対して、当該不揮発性メモリの初期値データを前記誤り訂正コントローラの生成処理に使用するデータとして準備する。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

複数チャネルの各不揮発性メモリにデータを並列に書き込むライト制御手段と、
前記ライト制御手段による書き込み動作の前に、前記各チャネル毎に準備されるデータを使用して誤り訂正符号データを生成する誤り訂正制御手段と、
不揮発性メモリの書き込み対象のデータが準備されないチャネルに対して、当該不揮発性メモリの初期値データを前記誤り訂正制御手段の生成処理に使用するデータとして準備するデータ制御手段と
を具備するデータ記憶装置。

【請求項 2】

前記データ制御手段は、
前記初期値データとして、前記不揮発性メモリに対する消去処理後の記憶値データを使用する請求項 1 に記載のデータ記憶装置。

【請求項 3】

前記複数チャネルの中で前記誤り訂正符号データが書き込まれる不揮発性メモリのチャネルが設定されており、
前記ライト制御手段は、
前記書き込み対象のデータが準備されないチャネルを除く各チャネルの不揮発性メモリに対して、前記書き込み対象のデータ及び前記誤り訂正符号データを並列に書き込むように構成されている請求項 1 または請求項 2 のいずれか 1 項に記載のデータ記憶装置。

【請求項 4】

前記データ制御手段は、
前記ライト制御手段がフラッシュコマンドに応じたライト制御を実行するときに、前記初期値データを準備する処理を実行する請求項 1 から請求項 3 のいずれか 1 項に記載のデータ記憶装置。

【請求項 5】

前記データ制御手段は、
前記誤り訂正制御手段に対して、前記誤り訂正符号データの生成に必要なデータとして前記書き込み対象のデータ及び前記初期値データの準備が完了したことを通知する手段を含む請求項 1 から請求項 4 のいずれか 1 項に記載のデータ記憶装置。

【請求項 6】

複数チャネルの不揮発性メモリを有するデータ記憶装置に適用するメモリ制御装置であって、
前記複数チャネルの各不揮発性メモリにデータを並列に書き込むライト制御手段と、
前記ライト制御手段による書き込み動作の前に、前記各チャネル毎に準備されるデータを使用して誤り訂正符号データを生成する誤り訂正制御手段と、
前記ライト制御手段に対して不揮発性メモリの書き込み対象のデータをチャネル毎に準備し、当該書き込み対象のデータを準備できないチャネルに対して不揮発性メモリの初期値データを準備するデータ制御手段と
を具備するメモリ制御装置。

【請求項 7】

前記データ制御手段は、
前記初期値データとして、前記不揮発性メモリに対する消去処理後の記憶値データを使用する請求項 6 に記載のメモリ制御装置。

【請求項 8】

前記複数チャネルの中で前記誤り訂正符号データが書き込まれる不揮発性メモリのチャネルが設定されており、
前記ライト制御手段は、
前記書き込み対象のデータが準備されないチャネルを除く各チャネルの不揮発性メモリに対して、前記書き込み対象のデータ及び前記誤り訂正符号データを並列に書き込むよう

10

20

30

40

50

に構成されている請求項 6 または請求項 7 のいずれか 1 項に記載のメモリ制御装置。

【請求項 9】

前記データ制御手段は、

前記ライト制御手段がフラッシュコマンドに応じたライト制御を実行するときに、前記初期値データを準備する処理を実行する請求項 6 から請求項 8 のいずれか 1 項に記載のメモリ制御装置。

【請求項 10】

複数チャネルの不揮発性メモリを有するデータ記憶装置に適用するメモリ制御方法であって、

複数チャネルの各不揮発性メモリにデータを並列に書き込むために、前記各チャネル毎に書き込み対象のデータを準備し、

前記書き込み対象のデータが準備されないチャネルに対して、当該不揮発性メモリの初期値データを準備し、

前記各チャネル毎に準備される書き込み対象のデータ及び前記初期値データを使用して誤り訂正符号データを生成するメモリ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性メモリを記憶媒体とするデータ記憶装置に関する。

【背景技術】

【0002】

近年、データ記憶装置として、書き換え可能な不揮発性メモリである NAND 型フラッシュメモリ（以下、単にフラッシュメモリと表記する場合がある）を記憶媒体とする SSD（solid state drive）の開発が推進されている。

【0003】

一般的に、SSD では、複数のチャネル単位に設けられる各フラッシュメモリに対して、データを並列に書き込むマルチチャネル方式のライト動作が行なわれる。このライト動作時に、各チャネルに書き込むデータ（ユーザデータ）を使用して、チャネル間で誤り訂正処理（ECC: error checking and correcting）が可能な誤り訂正符号データ（またはパリティデータ）が生成される。この誤り訂正符号データは、複数チャネルの中から設定された ECC 用チャネルのフラッシュメモリに格納される。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2002 - 163243 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の SSD において、マルチチャネル方式のライト動作時に、全チャネルの中で書き込み対象として有効なデータが準備できないチャネルがある場合に、誤り訂正符号データを生成するために、一種の補間データを準備する必要がある。この場合、マルチチャネル方式のライト動作により、補間データは、当該チャネルのフラッシュメモリに書き込まれることになる。この補間データを書き込むライト動作は、ライトアクセス速度に関係するライト処理時間の増大や、フラッシュメモリの寿命に関係するライト回数の増大を招き、ライト処理効率の低下の要因となる。

【0006】

そこで、本発明の目的は、有効なデータが準備できないチャネルがある場合でも、ライト処理効率の低下を招くことなく、確実に誤り訂正符号データを生成できるデータ記憶装置を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

実施形態によれば、データ記憶装置は、ライト制御手段と、誤り訂正制御手段と、データ制御手段とを具備する。ライト制御手段は、複数チャネルの各不揮発性メモリにデータを並列に書き込む。誤り訂正制御手段は、前記ライト制御手段による書き込み動作の前に、前記各チャネル毎に準備されるデータを使用して誤り訂正符号データを生成する。データ制御手段は、不揮発性メモリの書き込み対象のデータが準備されないチャネルに対して、当該不揮発性メモリの初期値データを前記誤り訂正制御手段の生成処理に使用するデータとして準備する。

【 図面の簡単な説明 】

【 0 0 0 8 】

10

【 図 1 】 実施形態に関するデータ記憶装置の構成を説明するためのブロック図。

【 図 2 】 実施形態に関するフラッシュメモリコントローラの構成を説明するためのブロック図。

【 図 3 】 実施形態に関するライト動作を説明するための概念図。

【 図 4 】 実施形態に関するライト動作を説明するためのフローチャート。

【 発明を実施するための形態 】

【 0 0 0 9 】

以下図面を参照して、実施形態を説明する。

【 0 0 1 0 】

20

〔 データ記憶装置の構成 〕

図 1 は、実施形態のデータ記憶装置の構成を示すブロック図である。

【 0 0 1 1 】

図 1 に示すように、実施形態のデータ記憶装置は S S D (solid state drive) であり、 S S D コントローラ 1 0 と、 NAND 型フラッシュメモリ (フラッシュメモリ) 2 0 と、 D R A M (dynamic random access memory) からなるバッファメモリ 2 1 とを有する。

【 0 0 1 2 】

フラッシュメモリ 2 0 は、 S S D のデータ記憶媒体であり、複数のフラッシュメモリチップから構成されている。本実施形態の S S D は、便宜的に 4 チャネル C H 0 ~ C H 3 のマルチチャネル方式であり、各チャネル C H 0 ~ C H 3 のそれぞれに対応するフラッシュメモリ 2 0 1 ~ 2 0 4 を有する。

30

【 0 0 1 3 】

S S D コントローラ 1 0 は、フラッシュメモリコントローラ 1 1 と、バッファマネージャモジュール 1 2 と、ホストインターフェースコントローラ 1 3 と、サブシステムモジュール 1 4 とを有する。

【 0 0 1 4 】

フラッシュメモリコントローラ 1 1 は、チャネル C H 0 ~ C H 3 毎にフラッシュメモリ 2 0 1 ~ 2 0 4 のリード / ライト動作の制御及びデータ転送制御を実行する (図 2 を参照) 。 バッファマネージャモジュール 1 2 は、バッファメモリ 2 1 を制御し、バッファメモリとのデータ転送を制御する。ホストインターフェースコントローラ 1 3 は、ホストインターフェース 1 5 を介して、ホストシステム 3 0 と S S D とのデータやコマンドの転送を制御する。ホストシステム 3 0 は、例えばパーソナルコンピュータや各種のデジタル機器の C P U 等である。

40

【 0 0 1 5 】

サブシステムモジュール 1 4 は、マイクロプロセッサ (M P U) から構成されており、 S S D コントローラ 1 0 の全体的制御を実行する。サブシステムモジュール 1 4 は、例えばホストシステム 3 0 からのコマンドに応じて、データのライト動作及びリード動作に必要なコマンドをフラッシュメモリコントローラ 1 1 に出力する。

【 0 0 1 6 】

(フラッシュメモリコントローラの構成)

図 2 に示すように、フラッシュメモリコントローラ 1 1 は、データ転送コントローラ (

50

I O P S アクセラレーション・エンジン・モジュールとも呼ばれる) 1 0 0 と、チャンネル C H 0 ~ C H 3 毎のメモリコントローラ(以下、便宜的に N A N D コントローラと表記する) 1 0 1 ~ 1 0 4 と、チャンネル間パリティコントローラ(以下、E C C コントローラと表記する) 1 1 0 とを含む。

【0 0 1 7】

データ転送コントローラ 1 0 0 は、N A N D コントローラ 1 0 1 ~ 1 0 4 及び E C C コントローラ 1 1 0 に対するデータ転送制御及び動作制御を実行する。N A N D コントローラ 1 0 1 ~ 1 0 4 はそれぞれ、チャンネル C H 0 ~ C H 3 毎のフラッシュメモリ 2 0 1 ~ 2 0 4 に対するリード/ライトアクセス制御及びデータ転送制御を実行する。

【0 0 1 8】

E C C コントローラ 1 1 0 は、後述するように、チャンネル間で誤り訂正処理(E C C : error checking and correcting)が可能な誤り訂正符号(error correcting code)データを生成する。誤り訂正符号データ(以下、E C C データ)は、例えばパリティデータであり、E C C コントローラ 1 1 0 によるチャンネル間の誤り訂正処理に使用される。

【0 0 1 9】

[フラッシュメモリコントローラの動作]

まず、マルチチャンネル方式の S S D における通常のライト動作を説明する。

【0 0 2 0】

マルチチャンネル方式の S S D では、S S D コントローラ 1 0 は、ホストシステム 3 0 から発行されるライトコマンドに応じて、バッファメモリ 2 1 に格納される書き込み対象のデータをフラッシュメモリコントローラ 1 1 に転送する。

【0 0 2 1】

フラッシュメモリコントローラ 1 1 では、図 2 に示すように、データ転送コントローラ 1 0 0 は、チャンネル C H 0 ~ C H 3 毎に書き込み対象として有効なデータが準備されると、N A N D コントローラ 1 0 1 ~ 1 0 4 に対してデータ転送制御信号 1 2 0 を出力し、ライト動作のためのデータ転送を指示する。N A N D コントローラ 1 0 1 ~ 1 0 4 は、準備されたデータをフラッシュメモリ 2 0 1 ~ 2 0 4 に転送する。これにより、チャンネル C H 0 ~ C H 3 毎のフラッシュメモリ 2 0 1 ~ 2 0 4 に対して、準備されたデータが並列に書き込まれる。

【0 0 2 2】

ここで、本実施形態では、チャンネル C H 0 ~ C H 2 の N A N D コントローラ 1 0 1 ~ 1 0 3 には、バッファマネージャモジュール 1 2 から転送されるデータが有効なデータとして準備される。このデータは、ホストシステム 3 0 から転送されて、バッファメモリ 2 1 に格納されるユーザデータである。

【0 0 2 3】

一方、チャンネル C H 3 の N A N D コントローラ 1 0 4 には、有効なデータとして、E C C コントローラ 1 1 0 により生成された E C C データ(パリティデータ)が準備される。従って、他のフラッシュメモリ 2 0 1 ~ 2 0 3 にデータが並列に書き込まれるときに、チャンネル C H 3 のフラッシュメモリ 2 0 4 には E C C データが書き込まれる。

【0 0 2 4】

E C C コントローラ 1 1 0 は、チャンネル C H 0 ~ C H 2 の N A N D コントローラ 1 0 1 ~ 1 0 3 に準備された各ユーザデータを使用して、チャンネル間の誤り訂正処理に使用される E C C データを生成し、チャンネル C H 3 の N A N D コントローラ 1 0 4 に転送する。

【0 0 2 5】

次に、図 3 及び図 4 のフローチャートを参照して、本実施形態のライト動作及び E C C データ生成処理を説明する。

【0 0 2 6】

本実施形態では、フラッシュコマンドの発行時におけるライト動作の場合について説明する。なお、図 4 に示すように、通常のライトコマンドの発行時には、前述の通常のライト動作が実行される(ブロック 4 0 5)。

10

20

30

40

50

【 0 0 2 7 】

フラッシュコマンドは、例えば電源オフ時に、フラッシュメモリ 2 0 1 ~ 2 0 4 に書き込まれていないデータを保護するために、サブシステムモジュール 1 4 の M P U から発行される (ブロック 4 0 0 の Y E S) 。フラッシュメモリコントローラ 1 1 は、フラッシュコマンドが発行されると、書き込み対象として有効なデータが準備されていないチャンネルが存在する場合でも、強制的に各チャンネルに対してライト動作を実行させる。

【 0 0 2 8 】

フラッシュメモリコントローラ 1 1 では、データ転送コントローラ 1 0 0 は、チャンネル C H 0 ~ C H 2 の中で、書き込み対象として有効なデータが準備されていないチャンネル (ここでは C H 2 とする) を検出する (ブロック 4 0 1) 。なお、前述したように、チャンネル C H 3 は、有効なデータとして E C C データが割り当てられるチャンネルである。

10

【 0 0 2 9 】

ここで、図 3 は、フラッシュコマンドの発行時におけるライト動作をステップ (STEP1, STEP2, STEP3) 毎に示す概念図である。即ち、ステップSTEP1において、チャンネル C H 0 , C H 1 の N A N D コントローラ 1 0 1 , 1 0 2 には、有効なデータとしてユーザデータ 3 0 1 , 3 0 2 がそれぞれ準備されている。一方、チャンネル C H 2 の N A N D コントローラ 1 0 3 には、ユーザデータが準備されておらず、書き込み対象として有効なデータがない状態である。

【 0 0 3 0 】

E C C コントローラ 1 1 0 は、フラッシュコマンドの発行に応じて、E C C データを生成し、チャンネル C H 3 の N A N D コントローラ 1 0 4 に転送する処理を実行する (ステップSTEP2) 。このとき、E C C コントローラ 1 1 0 は、データ転送コントローラ 1 0 0 からチャンネル C H 0 ~ C H 2 のデータの準備が完了されたことを通知される。これにより、E C C コントローラ 1 1 0 は、フラッシュメモリ 2 0 1 ~ 2 0 4 に対するライト動作が行なわれる前に、E C C データを生成してチャンネル C H 3 の N A N D コントローラ 1 0 4 に転送できる。

20

【 0 0 3 1 】

データ転送コントローラ 1 0 0 は、ユーザデータが準備されないチャンネル C H 2 の N A N D コントローラ 1 0 3 に対して、初期値データを準備する (ブロック 4 0 2) 。この初期値データとは、消去処理直後のフラッシュメモリの記憶状態であり、通常ではオール 1 の記憶値である。S S D では、フラッシュメモリにデータを書き込む前に、消去処理が行われる。従って、ライト動作の直前では、フラッシュメモリは初期値 (オール 1) が記憶されている状態となる。

30

【 0 0 3 2 】

E C C コントローラ 1 1 0 は、チャンネル C H 0 ~ C H 2 において、書き込み対象のユーザデータ及び初期値データの準備が完了すると、これらのデータを使用して E C C データを生成する (ブロック 4 0 3) 。即ち、図 3 に示すように、E C C コントローラ 1 1 0 は、チャンネル C H 0 , C H 1 の有効なデータであるユーザデータ 3 0 1 , 3 0 2 及び初期値データ 3 0 3 を使用して、E C C データを生成してチャンネル C H 3 の N A N D コントローラ 1 0 4 に転送する (ステップSTEP2) 。

40

【 0 0 3 3 】

データ転送コントローラ 1 0 0 は、チャンネル C H 0 , C H 1 , C H 3 の N A N D コントローラ 1 0 1 , 1 0 2 , 1 0 4 に対してデータ転送制御信号 1 2 0 を出力し、ライト動作のためのデータ転送を指示する (ブロック 4 0 4) 。

【 0 0 3 4 】

即ち、図 3 に示すように、N A N D コントローラ 1 0 1 , 1 0 2 , 1 0 4 は、準備されたデータ 3 0 1 , 3 0 2 及び E C C データをフラッシュメモリ 2 0 1 , 2 0 2 , 2 0 4 に転送する (ステップSTEP3) 。これにより、チャンネル C H 0 , C H 1 , C H 3 のフラッシュメモリ 2 0 1 , 2 0 2 , 2 0 4 に対して、準備されたデータ 3 0 1 , 3 0 2 及び E C C データが並列に書き込まれる。

50

【 0 0 3 5 】

ここで、図 3 に示すように、チャンネル C H 2 には書き込み対象として有効なデータは準備されていないため、当該チャンネル C H 2 のフラッシュメモリ 2 0 3 には、ライト動作は実行されない。即ち、チャンネル C H 2 のフラッシュメモリ 2 0 3 は、消去処理直後の記憶状態、即ち初期値データが記憶されている状態である。

【 0 0 3 6 】

E C C コントローラ 1 1 0 は、リード動作によりチャンネル C H 0 ~ C H 3 のフラッシュメモリ 2 0 1 ~ 2 0 4 からデータが読み出されたときに、チャンネル C H 3 のフラッシュメモリ 2 0 4 に格納されている E C C データを使用してチャンネル間の誤り訂正処理を実行することができる。

10

【 0 0 3 7 】

以上のように本実施形態によれば、マルチチャンネル方式の S S D において、例えばフラッシュコマンドの発行時に、書き込み対象の有効なデータ（ユーザデータ）が準備されていないチャンネルが存在する場合でも、当該チャンネルに対していわば補間データとして初期値データを準備する。これにより、E C C コントローラ 1 1 0 は、各チャンネルで準備された有効なデータと初期値データを使用して、チャンネル間の誤り訂正処理に有効な E C C データを生成することができる。

【 0 0 3 8 】

更に、本実施形態では、各チャンネルのフラッシュメモリにデータを並列に書き込む場合に、書き込み対象の有効なデータが準備されていないチャンネル（C H 2）に対してはライト動作を実行する必要がない。即ち、当該チャンネル（C H 2）に準備されているデータは初期値データであるため、フラッシュメモリ（2 0 3）に対するライトアクセスは不要となる。従って、マルチチャンネル方式のライト動作において、当該チャンネル（C H 2）のライト動作を省略できるため、結果としてライト動作の速度を高速化を実現することができる。また、フラッシュメモリに対するライト回数を削減できるため、フラッシュメモリの寿命も延命できる効果もある。

20

【 0 0 3 9 】

即ち、補間データとして初期値データ以外の任意のデータを準備した場合、チャンネル間の誤り訂正処理に有効な E C C データを生成するには、当該任意のデータをチャンネル（C H 2）のフラッシュメモリ（2 0 3）に書き込むことが必要となる。本実施形態では、補間データとして、フラッシュメモリ（2 0 3）に書き込む必要がない初期値データを使用するため、ライト動作を省略できる。換言すれば、初期値データは、ライト動作を実行せずに、そのフラッシュメモリから読み出すことができるデータである。

30

【 0 0 4 0 】

要するに、補間データとして初期値データを使用することにより、ライトアクセス速度に係るライト処理時間を削減し、かつフラッシュメモリの寿命に係るライト回数の削減を実現できるため、S S D のライト処理効率の向上を図ることができる。

【 0 0 4 1 】

なお、本実施形態において、初期値データは、データ転送コントローラ 1 0 0 により準備されるが、E C C コントローラ 1 1 0 により予め固定データとして用意されている構成でも良い。この場合には、E C C コントローラ 1 1 0 は、データ転送コントローラ 1 0 0 からデータが準備されていないチャンネル（C H 2）の通知に応じて、当該チャンネル（C H 2）の補間データとして予め用意された初期値データを使用して E C C データを生成する。

40

【 0 0 4 2 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

50

。

【符号の説明】

【0043】

10 ... SSDコントローラ、11 ... フラッシュメモリコントローラ、
 12 ... バッファマネージャモジュール、13 ... ホストインターフェースコントローラ、
 14 ... サブシステムモジュール、15 ... ホストインターフェース、
 20, 201 ~ 204 ... NAND型フラッシュメモリ、21 ... バッファメモリ (DRAM)

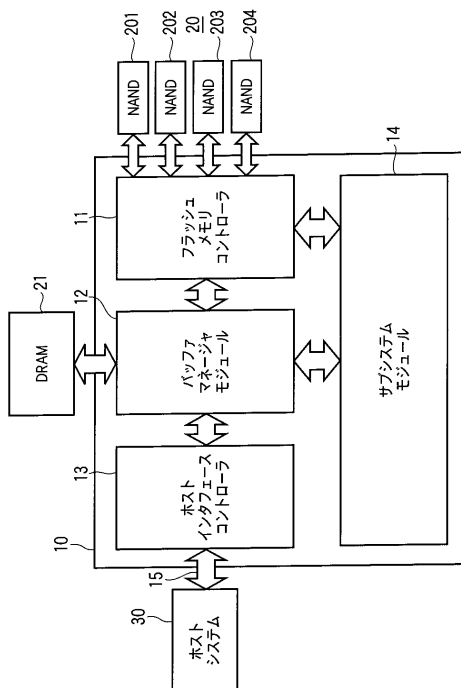
、

30 ... ホストシステム、100 ... データ転送コントローラ、
 101 ~ 104 ... メモリコントローラ (NANDコントローラ)、
 110 ... チャンネル間パリティコントローラ (ECCコントローラ)。

10

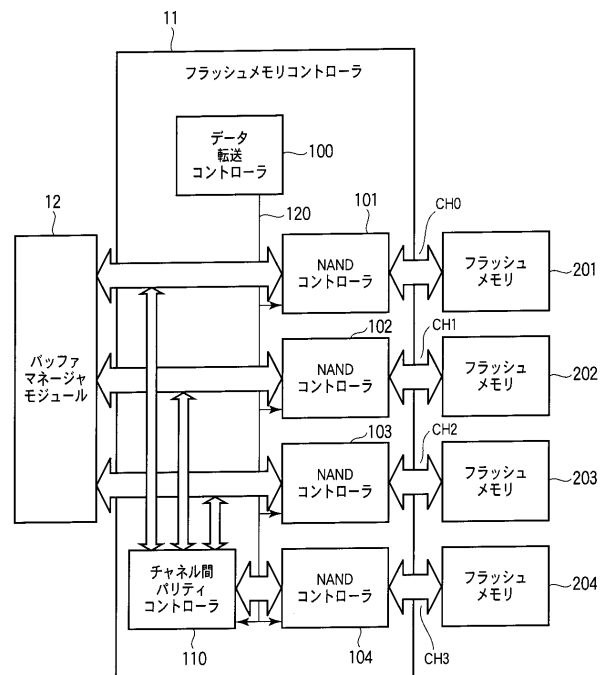
【図1】

図1



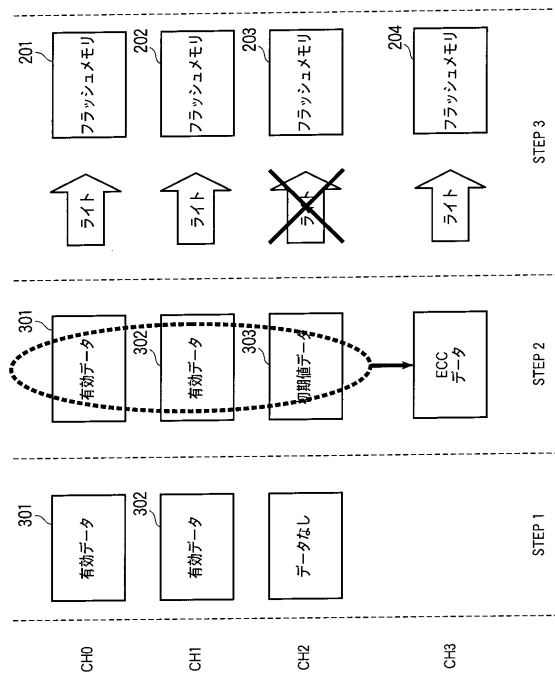
【図2】

図2



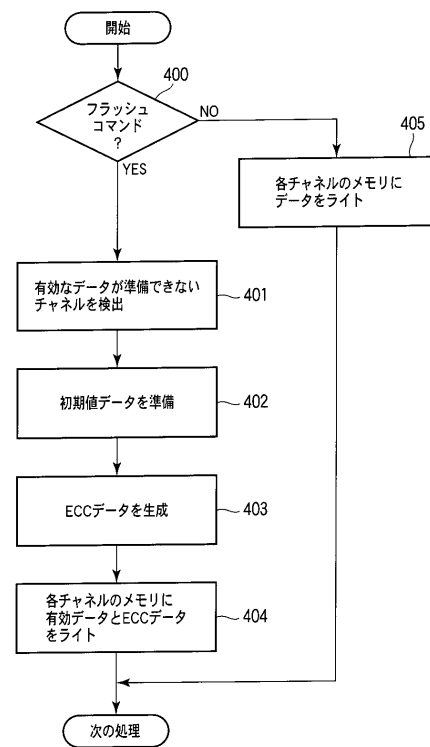
【図 3】

図 3



【図 4】

図 4



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 杉田 隆実

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B018 GA02 GA04 HA14 HA35 MA22 NA06 QA15
5B065 BA05 CA07 EA03