



(12) 发明专利

(10) 授权公告号 CN 101401064 B

(45) 授权公告日 2013. 03. 06

(21) 申请号 200780003985. 1

代理人 刘国伟

(22) 申请日 2007. 01. 31

(51) Int. Cl.

(30) 优先权数据

G06F 9/302 (2006. 01)

11/343, 764 2006. 01. 31 US

G06F 9/308 (2006. 01)

G06F 9/315 (2006. 01)

(85) PCT申请进入国家阶段日

2008. 07. 30

(56) 对比文件

EP 0657802 A2, 1995. 06. 14, 图 5.

(86) PCT申请的申请数据

PCT/US2007/061414 2007. 01. 31

US 5751614 A, 1998. 05. 12, 说明书第 7 栏第 62-64 行, 第 9 栏第 46-53 行.

(87) PCT申请的公布数据

W02007/090174 EN 2007. 08. 09

US 5751614 A, 1998. 05. 12, 说明书第 7 栏第 62-64 行, 第 9 栏第 46-53 行.

(73) 专利权人 高通股份有限公司

审查员 张妍

地址 美国加利福尼亚州

(72) 发明人 阿卜杜勒哈密德·A·马纳达斯

安东尼·D·克莱因

迈克尔·斯科特·麦基尔文

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

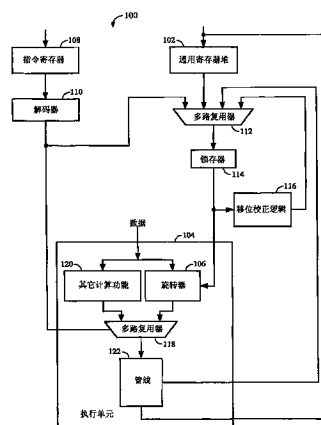
权利要求书 3 页 说明书 5 页 附图 3 页

(54) 发明名称

用于单向旋转器的基于寄存器的移位的装置和方法

(57) 摘要

本发明揭示一种具有单向旋转器的处理器, 所述单向旋转器经配置以在一个方向上移位或旋转数据。所述处理器还包含具有逻辑的控制单元, 所述逻辑经配置以修改由相反方向上的基于寄存器的移位或旋转指令指定的移位值, 所述经修改的移位值可由所述旋转器用来在所述一个方向上移位或旋转所述数据, 且借此产生好似所述旋转器中的所述数据不然已在所述相反方向上移位或旋转了所述基于寄存器的指令最初指定的所述移位值一样的结果。所述控制单元进一步经配置以绕过所述逻辑且向所述旋转器提供由基于寄存器的指令所指定的移位值以在所述一个方向上移位或转转所述数据。



1. 一种处理器,其包括:

单向旋转器,其经配置以在一个方向上移位或旋转数据;及

控制单元,其包括:

多路复用器,其经配置以选择由基于寄存器的指令指定的移位值以在所述一个方向上移位或旋转数据;

移位校正逻辑部件,其经配置以在相反方向上修改所述移位值,所述经修改的移位值可由所述单向旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述旋转器中的所述数据已在所述相反方向上移位或旋转了所述移位值一样的结果;及

锁存器,其包括响应于所述多路复用器的输入和耦合于所述移位校正逻辑部件的输出,其中所述锁存器经配置以接收所述移位值并选择性地绕过所述移位校正逻辑部件将所述移位值提供给所述移位校正逻辑部件和所述单向旋转器其中之一,其中所述控制单元经配置以确定指令是基于寄存器的指令还是基于指令的包含有若干用以移位数据的个位位置的移位或旋转指令。

2. 如权利要求 1 所述的处理器,其进一步包括管线式执行单元,所述控制单元进一步经配置以从所述管线中除输出级以外的级来恢复由所述基于寄存器的指令所指定的所述移位值。

3. 如权利要求 2 所述的处理器,其进一步包括通用寄存器堆,且其中所述多路复用器经配置以响应于所述基于寄存器的指令从所述通用寄存器堆或所述管线选择所述移位值。

4. 如权利要求 3 所述的处理器,其中所述多路复用器进一步经配置以响应于基于寄存器的指令从所述通用寄存器堆选择所述移位值、响应于所述基于寄存器的指令从所述管线选择所述移位值、或选择由基于指令的移位或旋转指令若干用以移位数据的个位位置。

5. 如权利要求 4 所述的处理器,其中如果所述基于指令的移位或旋转指令是在所述相反方向上,那么所述基于指令的移位或旋转指令的所述若干用以移位数据的个位位置在被提供给所述多路复用器之前由所述控制单元进行修改,修改后的若干用以移位数据的个位位置可由所述单向旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述单向旋转器中的所述数据已在所述相反方向上移位或旋转了所述基于指令的移位或旋转指令中所包含的若干用以移位数据的个位位置一样的结果。

6. 如权利要求 3 所述的处理器,其中所述控制单元进一步经配置以针对所述一个方向上的所述基于寄存器的指令向所述单向旋转器提供由所述多路复用器选择的所述移位值,且针对所述相反方向上的所述基于寄存器的指令向移位校正逻辑部件提供由所述多路复用器选择的所述移位值。

7. 如权利要求 6 所述的处理器,其中由所述移位校正逻辑部件产生的所述经修改的移位值被反馈到所述多路复用器,所述多路复用器经配置以从所述通用寄存器堆或所述管线选择所述移位值,或向所述单向旋转器提供所述经修改的移位值。

8. 如权利要求 7 所述的处理器,其进一步包括锁存器,所述锁存器具有耦合到所述多路复用器的输入及耦合到所述移位校正逻辑部件和所述执行单元的输出。

9. 一种处理器,其包括:

n- 位单向旋转器,其经配置以在一个方向上移位或旋转数据;及

控制单元,其包括:

多路复用器,其经配置以选择由基于寄存器的指令指定的移位值 m 以在一个相反方向上移位或旋转数据;

移位校正逻辑部件,其经配置以修改所述移位值 m ,经修改的移位值可由所述 n -位单向旋转器用来在所述一个方向上将所述数据移位或旋转了 $n-m$;以及

锁存器,其包括响应于所述多路复用器的输入和耦合于所述移位校正逻辑部件的输出,其中所述锁存器经配置以接收所述移位值 m 并选择性地绕过所述移位校正逻辑部件将所述移位值 m 提供给所述移位校正逻辑部件和所述 n -位单向旋转器其中之一,其中所述控制单元经配置以确定指令是基于寄存器的指令还是基于指令的包含有若干用以移位数据的个位位置的移位或旋转指令。

10. 如权利要求 9 所述的处理器,其进一步包括管线式执行单元,所述控制单元进一步经配置以从所述管线中除输出级以外的级来恢复由所述基于寄存器的指令指定的所述移位值 m 。

11. 如权利要求 10 所述的处理器,其进一步包括通用寄存器堆,且其中所述多路复用器经配置以响应于所述基于寄存器的指令从所述通用寄存器堆或所述管线选择所述移位值 m 。

12. 如权利要求 11 所述的处理器,其中所述多路复用器进一步经配置以响应于所述基于寄存器的指令从所述通用寄存器堆选择所述移位值 m 、响应于所述基于寄存器的指令从所述管线选择所述移位值 m 、或选择基于指令的移位或旋转指令所述若干用以移位数据的个位位置。

13. 如权利要求 12 所述的处理器,其中如果所述基于指令的移位或旋转指令在所述相反方向上,那么所述基于指令的移位或旋转指令的所述若干用以移位数据的个位位置在被提供给所述多路复用器之前由所述控制单元进行修改,经修改后的所述若干用以移位数据的个位位置可由所述旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述旋转器中的所述数据已在所述相反方向上移位或旋转了所述基于指令的移位或旋转指令的所述若干用以移位数据的个位位置一样的结果。

14. 如权利要求 11 所述的处理器,其中所述控制单元进一步经配置以针对所述一个方向上的所述基于寄存器的指令向所述 n -位单向旋转器提供由所述多路复用器选择的所述移位值 m ,且针对所述相反方向上的所述基于寄存器的指令向移位校正逻辑部件提供由所述多路复用器选择的所述移位值 m 。

15. 如权利要求 14 所述的处理器,其中由所述移位校正逻辑部件产生的所述经修改的移位值被反馈到所述多路复用器,所述多路复用器经配置以从所述通用寄存器堆或所述管线选择所述移位值 m ,且向所述 n -位单向旋转器提供所述经修改的移位值。

16. 如权利要求 15 所述的处理器,其中所述输出耦合到所述管线式执行单元。

17. 一种执行移位或旋转运算的方法,所述方法使用经配置以在一个方向上移位或旋转数据的单向旋转器及经配置以修改基于寄存器的指令指定的移位值的移位校正逻辑部件,经修改的移位值可由所述单向旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述单向旋转器中的所述数据已在相反方向上移位或旋转了由所述基于寄存器的指令指定的所述移位值一样的结果,所述方法包括:

于锁存器处,检索由所述指令指定的所述移位值,其中所述锁存器耦合于经配置以修

改所述移位值的所述移位校正逻辑部件；及

选择性地绕过所述移位校正逻辑部件且向所述单向旋转器提供所述检索的移位值。

18. 如权利要求 17 所述的方法,其中从执行单元的管线中除输出级以外的级检索针对所述一个方向上的所述基于寄存器的指令的所述移位值,所述执行单元包含所述单向旋转器。

19. 如权利要求 17 所述的方法,其中从通用文件寄存器检索针对所述一个方向上的所述基于寄存器的指令的所述移位值。

20. 如权利要求 17 所述的方法,其进一步包括决定是从通用文件寄存器还是从执行单元的管线中除输出级以外的级检索针对所述一个方向上的所述基于寄存器的指令的所述移位值,所述执行单元包含所述单向旋转器。

21. 如权利要求 17 所述的方法,其进一步包括响应于基于后续寄存器的指令来检索第二移位值,且向所述单向旋转器提供由所述校正逻辑部件修改的所述第二移位值。

22. 一种执行移位或旋转运算的方法,所述方法使用经配置以在一个方向上移位或旋转数据的 n - 位单向旋转器及经配置以修改基于寄存器的指令指定的移位值 m 的移位校正逻辑部件,经修改的移位值可由所述 n - 位单向旋转器用来在所述一个方向上将所述数据移位或旋转了 $n-m$,所述方法包括:

于锁存器处,检索由所述指令指定的所述移位值 m ,其中所述锁存器耦合于经配置以修改所述移位值 m 的所述移位校正逻辑部件；及

绕过所述移位校正逻辑部件且向所述 n - 位单向旋转器提供所述检索的移位值。

23. 如权利要求 22 所述的方法,其中从执行单元的管线中除输出级以外的级检索针对所述一个方向上的所述基于寄存器的移位或旋转指令的所述移位值 m ,所述执行单元包含所述 n - 位单向旋转器。

24. 如权利要求 22 所述的方法,其中从通用文件寄存器检索所述基于寄存器的指令的所述移位值 m 。

25. 如权利要求 22 所述的方法,其进一步包括决定是从通用文件寄存器还是从执行单元的管线中除输出级以外的级来检索针对所述一个方向上的所述基于寄存器的指令的所述移位值 m ,所述执行单元包含所述 n - 位单向旋转器。

26. 如权利要求 22 所述的方法,其进一步包括响应于基于后续寄存器的指令检索第二移位值,且向所述 n - 位单向旋转器提供由所述移位校正逻辑部件修改的第二移位值。

用于单向旋转器的基于寄存器的移位的装置和方法

技术领域

[0001] 本发明通常涉及处理器,且更具体来说,涉及用于单向旋转器的基于寄存器的移位。

背景技术

[0002] 当今,处理器被大量用于几乎每一电子应用中。处理器控制对程序指令、算术函数的执行以及对存储器和外围装置的存取。在最简单的形式中,处理器提供对存储在存储器中的数据执行一个或一个以上算术函数来执行程序指令。由处理器执行的算术函数可随特定应用而变。通常由处理器执行的一种类型的算术函数是移位或旋转运算移位或旋转运算可由旋转器及相关联的逻辑来执行。旋转器是多路复用器元件的布置,所述多路复用器元件的输入和输出以以下方式连接在一起:响应于调用移位运算的程序指令而沿线路向下移位数据。

[0003] 程序指令所调用的特定移位运算可变化。例如,程序指令可要求逻辑移位,其中数据移动一离散数目的位位置,而超出的位被抛弃且对结果进行补零。除以下外算术移位类似于逻辑移位:在右移位运算中符号位向左扩展且在左移位运算中向较低阶位位置添加零。

[0004] 旋转器还可用来执行调用旋转运算的程序指令。除旋转运算是循环的以外,旋转运算类似于移位运算。当实施旋转指令时,从旋转器的一端移出的位返回另一端上。与移位指令一样,旋转指令可以是向左或向右的。

[0005] 由于用于移位及旋转运算的程序指令可以是单向的,因此某些处理器并入有离散左旋转器及右旋转器。然而,并入所述两个旋转器可消耗额外功率且要求更多面积或空间。因此,此项技术中需要一种可在左及右两个方向上执行移位及旋转指令的基于处理器的旋转器。基于处理器的旋转器应经配置以最小化移位及旋转运算的等待时间。

发明内容

[0006] 如下揭示一种处理器的一个方面。所述处理器包含:单向旋转器,其经配置以在一个方向上移位或旋转数据;及控制单元,其具有逻辑,所述逻辑经配置以修改由相反方向上的基于寄存器的移位或旋转指令指定的移位值,所述经修改的移位值可由所述旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述旋转器中的所述数据已在所述相反方向上移位或旋转了由基于寄存器的指令最初指定的所述移位值一样的结果。所述控制单元进一步经配置以绕过所述逻辑且向所述旋转器提供由基于寄存器的指令指定的移位值以在所述一个方向上移位或旋转所述数据。

[0007] 如下揭示一种处理器的另一方面。所述处理器是 n -位单向旋转器,其经配置以在一个方向上移位或旋转数据,且一种控制单元具有逻辑,所述逻辑经配置以修改由相反方向上的基于寄存器的移位或旋转指令指定的移位值 m ,所述经修改的移位值可由所述旋转器用来在所述一个方向上将所述数据移位或旋转了 $(n-m)$ 。所述控制单元进一步经配置以

绕过所述逻辑且向所述旋转器提供由所述一个方向上的基于寄存器的移位或旋转指令指定的移位值。

[0008] 揭示一种使用经配置以在一个方向上移位或旋转数据的单向旋转器来执行移位或旋转运算的方法。所述方法包含检索由所述一个方向上的基于寄存器的移位或旋转指令指定的移位值,以及绕过逻辑且向所述旋转器提供所述检索的移位值。所述逻辑经配置以修改由相反方向上的基于寄存器的移位或旋转指令指定的移位值,所述经修改的移位值可由所述旋转器用来在所述一个方向上移位或旋转所述数据,以产生如同所述旋转器中的所述数据已在所述相反方向上移位或旋转了由所述基于寄存器的指令最初指定的所述移位值一样的结果。

[0009] 揭示使用经配置以在一个方向上移位或旋转数据的 n - 位单向旋转器来执行移位或旋转运算的另一种方法。所述方法包含检索由所述一个方向上的基于寄存器的移位或旋转指令指定的移位值,以及绕过逻辑且向所述旋转器提供所述检索的移位值,所述逻辑经配置以修改由相反方向上的基于寄存器的移位或旋转指令指定的移位值,所述经修改的移位值可由所述旋转器用来在所述一个方向上将所述数据移位或旋转了 $(n-m)$ 。

[0010] 应了解,依据下文中以举例说明方式显示及描述的本发明各种实施例的详细说明,所属领域的技术人员将易知本发明的其它实施例。如将认识到,其它及不同的实施例是可能的且能够在各种其它方面修改本文所包含的数个细节,而所述修改并不背离本发明的精神及范围。因此,须将本文的图式及详细说明仅作为具举例说明性质而非限制性质。

附图说明

[0011] 通过审查以下对说明性实施例及附图的详细说明,本发明的这些以及其它特征将变得明了,附图中:

[0012] 图 1 图解说明处理器的实例的简化框图;

[0013] 图 2A-2C 是显示处理器中旋转器的操作的图解;及

[0014] 图 3 是图解说明处理器中控制单元的操作的流程图。

具体实施方式

[0015] 下文结合附图所陈述的详细说明意在描述本发明的各种实施例,而非代表本发明仅可实施为这些实施例。所述详细说明包含特定细节,以用于提供对本发明的透彻理解的目的。然而,对所属领域的技术人员而言,显而易见,无需所述特定细节也可实施本发明。在某些实例中,为避免模糊本发明的概念,以框图形式显示众所习知的结构及组件。

[0016] 图 1 图解说明能够处理、检索及存储信息的处理器 100 或其它计算系统的实例的简化框图。处理器 100 可以是独立组件,或另一选择是,嵌于例如计算机、无线电话、个人数字助理 (PDA)、数码相机游戏控制台的装置中或任一其它计算装置中。处理器 100 可以是微处理器或其它处理实体。在一个实施例中,处理器 100 可以是嵌入式 RISC 微处理器。

[0017] 处理器 100 的主要功能是通过数据执行许多运算来执行程序指令。可在处理器 100 内部的通用存储器中的寄存器堆 102 中检索及存储数据。寄存器堆 102 是用于临时存储来自外部存储器的数据的高速寄存器。所述寄存器提供处理器 100 所需的对数据的低等待时间存取。寄存器 102 的数目(通常统称为通用寄存器堆)由处理器架构来指定。每一

寄存器可由执行单元 104 来存取以使处理器 100 能够此一个或一个以上选定的寄存器读出数据,对数据进行执行,以及将结果写入到选定的寄存器。

[0018] 执行单元 104 使用 ALU(算术 / 逻辑单元)或其它计算实体来执行处理器 100 的所有数学运算。所述执行单元通常由执行各种功能(包含加法、减法、乘法、除法及其它计算)的复杂电路构成。执行单元 104 还可用于移位或旋转数据。可用执行单元 104 中的单向旋转器 106 及相关联逻辑(未显示)来执行移位及旋转功能。

[0019] 图 1 中所示的旋转器 106 将被描述为能够将数据向右移位或旋转任一数目位置的单向旋转器。所属领域的技术人员将易于了解,本发明中所述的旋转器 106 的功能性扩展到向左移位或旋转数据的单向旋转器。

[0020] 将参照图 2A-2C 来图解说明旋转器的运算,在图 2A 中,显示 8 位旋转器 202 的内容。可将 8 位旋转器中的数据向右旋转 2 个位,其结果显示于图 2B 中。参照图 2B 及 2C,人们可容易地看到向右旋转两个位的运算与向左旋转 6 个位的运算产生相同的结果。换句话说,可使用能够在一个方向上旋转数据的旋转器来仿效在相反方向上的数据的旋转。因此,可通过向右旋转数据 $(n-m)$ 个位来执行 n - 位单向旋转器中的向左旋转 m 个位的运算。

[0021] 可通过首先在旋转器中旋转数据适当的量且接着抛弃适当的位来执行移位运算。可对未占据的位位置进行补零,或在算术右移位运算的情况下,可将符号位向左扩展到所述未占据位位置中。例如,可通过在旋转器中向右旋转数据 $(n-m)$ 个位、抛弃 m 个 LSB 且对 m -LSB 个位位置进行补零来执行向左移位 m 个位的运算。可通过在旋转器中向右旋转数据 m 个位,抛弃 m 个 MSB 且对 m -MSB 个位位置进行补零来执行向右移位 m 个位的运算。在算术向右移位运算的情况下,可将符号位向左扩展到旋转器中的 m -MSB 个位位置中。

[0022] 回到图 1,由存储于指令高速缓存器中的程序指令来控制执行单元 104 的运算。所述指令高速缓存器是处理器 100 上的小型高速存储器。其为从外部存储器提取的程序指令提供临时高速存储。所述程序指令被提供到解码器 110 且经解码的指令用来启动执行单元 104 以执行数学运算。

[0023] 程序指令通常由两个部分构成:运算码及运算数字段。运算码指定待由执行单元 104 执行的运算,例如加法、减法、存储、旋转、移位等。运算数字段提供关于所述运算码所指定运算的更多详细情况。例如,在移位运算的情况下,运算数字段指示通用寄存器堆 102 中的含有待移位数据的寄存器,移位的方向及移位数据的位位置的数目。在此实例中,运算数字段可调用第一寄存器中待向右移位 m 个位的数据。另一选择是,运算数字段可调用第一寄存器中待移位第二寄存器中所指定量的数据。前一程序指令通常称为“基于指令的移位”且后一程序指令称为“基于寄存器的移位”。

[0024] 控制单元(未显示)负责引导处理器内的程序指令及数据的流。所述控制单元的许多功能中的一个功能是向执行单元 104 提供算术指令的运算数字段中所指定的数据。可从任一源提供数据,此取决于处理器的架构。例如,数据可在通用寄存器堆 102、高速缓存器或其它存储器中。在某些情况下,数据可在执行单元 104 的管线 122 中,且因此,必须由控制单元来检索且反馈到执行单元 104 的输入。控制单元可采用允许其尽早地从管线 122 中的任一级恢复数据的某一逻辑。控制单元通常用解码器、多路复用器及相关联逻辑的复杂布置来实施。在图 1 中,解码器 110、多路复用器 112、118、锁存器 114 及移位校正逻辑 116 形成控制单元的部分。

[0025] 除控制进入到执行单元 104 的数据流以外,控制单元还负责向执行单元 104 中的多路复用器 118 提供指令高速缓存器中的程序指令的运算码。多路复用器 118 用于在控制单元将结果存储于通用寄存器堆 102 中之前沿管线 122 向下切换旋转器 106 的输出或某一其它计算功能 120。在基于指令的移位或旋转指令的情况下,通过多路复用器 112 路由运算数字段并将其提供到旋转器 106 以告知其将数据移位多少个位位置。解码器 110 或其它实体可用于通过将移位量修改 $(n-m)$ 而将向左移位或旋转转换成向右移位或旋转指令。

[0026] 刚描述的解码功能恰好适合于基于指令的移位或旋转,因为在由处理器 100 执行之前,便可在指令高速缓存器 108 中得到指令。然而,在基于寄存器的移位或旋转的情况下,如果指定当前移位或旋转指令的移位量的数据不在通用文件寄存器 102 中而是在执行单元 104 的管线 122 中的某一地方,那么可能会经历某些等待时间。

[0027] 在处理器 100 的至少一个实施例,控制单元可经配置以有效地处理基于寄存器的移位或旋转指令。例如,对于基于寄存器的移位或旋转指令,可由控制单元而非解码器 110 来执行修改移位或旋转指令的移位值的功能。更具体来说,可向控制单元提供基于寄存器的移位或旋转指令的运算数字段。控制单元定位通用文件寄存器 102 或执行单元的管线 122 中由运算数字段指定的移位值,并通过多路复用器 112 将移位值递送到锁存器 114 的输入。一旦数据被递送到锁存器 114 的输入,控制单元便确定是在下一时钟循环时将数据加载到执行单元 104 中还是首先修改移位值。

[0028] 将参照图 1 及 3 来描述针对移位或旋转指令将移位值递送到执行单元的过程。在步骤 302 中,控制单元确定指令是基于寄存器的还是基于指令的。如果控制单元确定指令是基于指令的,那么在块 304 中向执行单元 104 提供移位值,且在块 305 中执行单元 104 将旋转器中的数据向右移位或旋转由移位值指定的量。如果基于指令的移位或旋转指令是向左的,那么可能已由解码器 110 提前修改了移位值。

[0029] 如果控制单元确定指令是基于寄存器的指令,那么在块 306 中其确定基于寄存器的指令是调用向右移位或旋转运算还是调用向左移位或旋转运算。如果控制单元确定指令调用向右移位或旋转、运算,那么在块 304 中向执行单元 104 提供移位值,且在块 305 中执行单元 104 将旋转器中的数据向右移位或旋转由移位值指定的量。

[0030] 如果控制单元确定指令是基于向左的寄存器的指令那么在块 307 中向移位校正逻辑 116 提供移位值。在块 308 中,将移位值修改 $(n-m)$,其中 n 是旋转器 106 的大小且 m 是移位值。在块 304 中向执行单元 104 提供经修改的移位值,且在块 305 中执行单元 104 将旋转器中的数据向右移位或旋转由移位值指定的量。

[0031] 结合本文所揭示实施例描述的各种说明性逻辑块、模块及电路可由以下装置实施或执行:通用处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件、或其设计用于执行上文所述诸功能的任一组合。通用处理器可以是微处理器,但另一选择是,处理器可以是任一常规处理器、控制器、微控制器或状态机。处理器还可实施为运算装置的组合,例如,DSP 与微处理器的组合、多个微处理器的组合、一个或一个以上微处理器与 DSP 核心的联合,或任一其它此类配置。

[0032] 结合本文所揭示实施例描述的方法或算法可直接体现于硬件中、可由处理器执行的软件模块中,或两者的组合中。软件模块可驻存于:RAM 存储器、快闪存储器、ROM 存储器、

EPROM 存储器、EEPROM 存储器、寄存器、硬磁盘、可拆卸磁盘、CD-ROM、或此项技术中已知的任何其它形式的存储媒体中。存储媒体可耦合到所述处理器，以使得所述处理器可从所述存储媒体读取信息并将信息写入到所述存储媒体。另一选择是，存储媒体可与处理器成一体。处理器和存储媒体可驻存于 ASIC 中，ASIC 可驻存于终端中或别处。另一选择是，处理器及存储媒体可作为离散组件驻存于终端中或别处。

[0033] 提供上文对所揭示实施例的说明以使所属领域的技术人员能够制作或使用本发明。所属领域的技术人员将易知对这些实施例的各种修改，且本文所界定的一般原理还可应用于其它实施例，此并不背离本发明的精神或范围。因此，本发明并非意在限定于本文所示的实施例，而是要赋予其与权利要求书相一致的全部范围，其中除非明确标明，以单数形式提及一元件并非意在表示“一个且仅一个”，而是“一个或一个以上”之意。所有为所属领域的技术人员已知或此后将知晓的本发明中所述各种实施例的元件的结构及功能等效物均明确地以引用方式并入本文中并意在涵盖于权利要求书中。而且，无论是否于权利要求书中明确叙述此揭示内容，本文所揭示的内容并非意在奉献给公众。权利要求书要素并不依据 35 U. S. C. § 112 第六段的规定加以解释，除非使用短语“用于…的装置”明确叙述所述要素，或在方法项的情况下使用短语“用于…的步骤”叙述所述要素。



图 2A

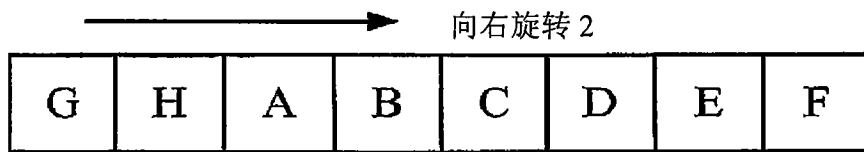


图 2B

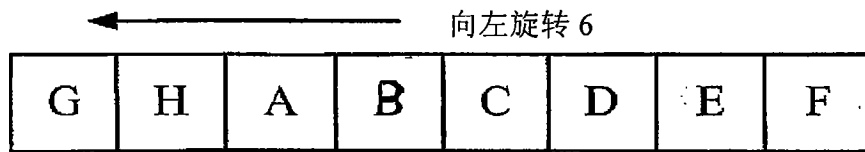


图 2C

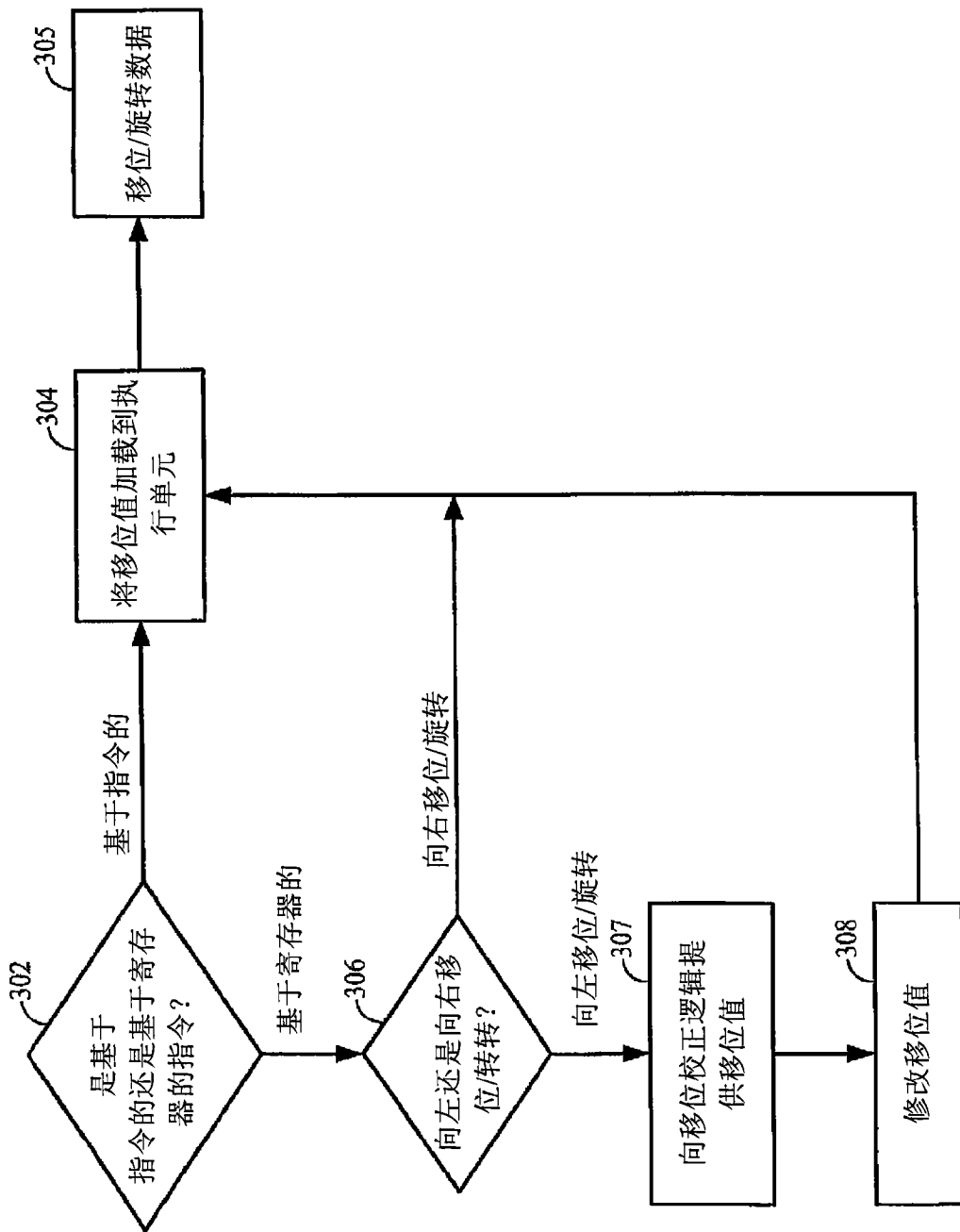


图 3