

Vynález se týká zapojení generátoru kontinuální odchylky pro číslicové řízení obráběcích strojů, který vysílá informaci o velikosti odchylky ve formě série impulsů.

U číslicových systémů pro řízení obráběcích strojů, které pro vytvoření analogového řídicího signálu servomechanismu využívají sériové číslicově-analogové převodníky vzniká nutnost přeměny číslicové informace o velikosti odchylky v paralelní formě na číslicovou informaci ve formě sériové. Takto vytvořená sériová forma informace, kde řídicí veličinou je četnost impulsů v konstantním časovém úseku, je pak vstupní veličinou sériového číslicově-analogového převodníku.

Uvedený převod z paralelní na sériovou formu se doposud realizoval zpravidla řízenými děliči kmitočtu tak, že hodnota odchylky v paralelní formě se zapsala do nárazové paměti, jejíž výstupy řídily vstupy pro paralelní informaci děliče kmitočtu. Na hodinový vstup děliče kmitočtu se poté přivedl počet impulsů odpovídající maximálnímu možnému paralelnímu zadání a po skončení této série se opětovým zápisem obnovil stav informace v nárazové paměti.

Nevýhodou tohoto řešení je, že je nutné stanovit délku periody impulsů pro zápis do nárazové paměti poněkud delší než je doba potřebná pro vyslání maximálního možného zadání řízeným děličem kmitočtu, aby tak se zajistilo bezpečné vyslání celé série. Na konci vyslané série vznikla tak mezera ve vysílání informace pro číslicově-analogový převodník. Tato mezera se projevovala negativně na tvaru výstupního signálu převodníku, zejména určitou změnou výstupu v době mezery i při opakovaném stejném vstupním zadání.

Nežádoucí takto vznikající změnu je sice do jisté míry možno potlačit zvětšením časové konstanty převodníku, tato konstanta se však projeví i v rychlosti odezvy výstupního signálu na skutečnou změnu zadání, takže se nepříznivě ovlivní kvalita celé regulační smyčky.

Tyto nedostatky odstraňuje zapojení generátoru kontinuální odchylky v sériové formě podle vynálezu, u něhož je odchylkový výstup odchylkového obvodu spojen s prvním sčítacím vstupem sčítacího obvodu, jehož druhý sčítací vstup je spojen se střadačovým výstupem střadačového obvodu.

Podstata vynálezu spočívá v tom, že změnový vstup zapojení je spojen se zápisovým vstupem střadačového obvodu a s pamětovým vstupem odchylkového obvodu, jehož odchylkový vstup je spojen s datovým vstupem zapojení. Kódový vstup zapojení je spojen se střadačovým vstupem střadačového obvodu, jehož hodnotový výstup je spojen s hodnotovým vstupem vyhodnocovacího obvodu, jehož nastavovací výstup je spojen s nastavovacím vstupem nastavovacího obvodu.

Přenosový vstup vyhodnocovacího obvodu je spojen s přenosovým výstupem sčítacího

obvodu, jehož součtový výstup je spojen se součtovým vstupem nastavovacího obvodu. Paralelní výstup nastavovacího obvodu je spojen s paralelním vstupem převáděcího obvodu, jehož sériový výstup je spojen s impulsním výstupem zapojení. Frekvenční vstup zapojení je spojen s taktovacím vstupem převáděcího obvodu, jehož blokovací vstup je spojen se zastavovacím vstupem zapojení.

Výhodou tohoto zapojení je, že na výstupu vytváří zcela plynulý impulsní průběh bez mezer při přepisu nové paralelní informace. Poskytuje tak signál, zpracovatelný sériovým číslicově-analogovým převodníkem bez přídavných časových konstant, aniž by při zpracování série impulsů vznikaly nežádoucí změny výstupního analogového signálu.

Oproti dosud užívaným zapojením se tak dosáhne zlepšení kvality regulace, aniž by zapojení kladlo zvýšené nároky na počet součástek.

Příklad zapojení je znázorněn v blokovém schématu na výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto: Odchylkový obvod 1 je vytvořen z pamětových prvků a je určen k zaznamenání hodnoty odchylky v paralelní formě. Střadačový obvod 2 je vytvořen opět z pamětových prvků a zaznamenává v paralelní formě hodnotu ze střadače dráhových impulsů. Sčítací obvod 3 je sčítačka pro sečtení hodnot na výstupech odchylkového obvodu 1 a střadačového obvodu 2. Vyhodnocovací obvod 4 je vytvořen z kombinačních logických prvků, které zjišťují, zda součet hodnot ve střadačovém obvodu 2 a odchylkovém obvodu 1 je menší, nebo větší než hodnota zpracovatelná v jedné sérii.

V případě, že hodnota je větší, zajišťuje nastavovací obvod 5, tvořený součtovými logickými členy, přivedení zadání o plné kapacitě na vstupy převáděcího obvodu 6. Převáděcí obvod 6 je řízený dělič kmitočtu a převádí paralelní informaci na svých výstupech na informaci sériovou. Jednotlivé bloky zapojení generátoru kontinuální odchylky v sériové formě jsou zapojeny takto:

Odchylkový výstup 13 odchylkového obvodu 1 je spojen s prvním sčítacím vstupem 31 sčítacího obvodu 3, jehož druhý sčítací vstup 32 je spojen se střadačovým výstupem 23 střadačového obvodu 2. Změnový vstup 72 zapojení je spojen se zápisovým vstupem 22 střadačového obvodu 2 a s pamětovým vstupem 12 odchylkového obvodu 1, jehož odchylkový vstup 11 je spojen s datovým vstupem 71 zapojení.

Kódový vstup 73 zapojení je spojen se střadačovým vstupem 21 střadačového obvodu 2. Hodnotový výstup 24 střadačového obvodu 2 je spojen s hodnotovým vstupem 41 vyhodnocovacího obvodu 4. Nastavovací výstup 43 vyhodnocovacího obvodu 4 je spojen s nastavovacím vstupem 52 nastavovacího obvodu 5.

Přenosový vstup **42** vyhodnocovacího obvodu **4** je spojen s přenosovým výstupem **34** sčítacího obvodu **3**, jehož součtový výstup **33** je spojen se součtovým vstupem **51** nastavovacího obvodu **5**.

Paralelní výstup **53** nastavovacího obvodu **5** je spojen s paralelním vstupem **61** převáděcího obvodu **6**, jehož sériový výstup **64** je spojen s impulsním výstupem **76** zapojení. Frekvenční vstup **75** zapojení je spojen s taktovacím vstupem **62** převáděcího obvodu **6**. Blokovací vstup **63** převáděcího obvodu **6** je spojen se zastavovacím vstupem **74** zapojení.

Činnost zapojení je pak následující: Na změnový vstup **72** zapojení se v pravidelných časových intervalech přivádějí zápisové impulsy. Zápisové impulsy zaznamenají jednak přes paměťový vstup **12** odchylku do odchylkového obvodu **1**, jednak zaznamenají přes zápisový vstup **22** do střadačového obvodu **2** hodnotu ze střadače. Vlastní hodnota odchylky se přivádí v paralelní formě do odchylkového obvodu **1** přes jeho odchylkový vstup **11** z datového vstupu **71** zapojení. Po zapsání se převádí odchylka odchylkovým obvodem **1** na jeho odchylkový výstup **13**, z něhož se dále vede na první sčítací vstup **31** sčítacího obvodu **3**.

Obdobně se pak hodnota střadače vede v paralelní formě z kódového vstupu **73** zapojení do střadačového obvodu **2** přes jeho střadačový vstup **21**. Po zapsání se ze střadačového výstupu **23** střadačového obvodu **2** vede dále na druhý sčítací vstup **32** sčítacího obvodu **3**.

Pokud hodnota na střadači, zapsaná takto do střadačového obvodu **2** je větší, než hodnota zpracovatelná v jedné sérii, vznikne informace o tomto stavu na hodnotovém výstupu **24** střadačového obvodu **2** a tato informace se vede přes hodnotový vstup **41** do vyhodnocovacího obvodu **4**.

Po zapsání hodnoty odchylky v odchylkovém obvodu **1** i hodnoty střadače ve střadačovém obvodu **2** se tedy ve sčítacím obvodu **3** z hodnot na jeho prvním sčítacím vstupu

31 a na jeho druhém sčítacím vstupu **32** vytvoří jednak součet hodnot, který se vysílá na jeho součtovém výstupu **33**, jednak případný signál o překročení hodnoty zpracovatelné v jedné sérii, který se vysílá na přenosovém výstupu **34**.

Signál o překročení z přenosového výstupu **34** sčítacího obvodu **3** se vede na přenosový vstup **42** vyhodnocovacího obvodu **4**. Vyhodnocovací obvod **4** pak na základě informací na obou svých vstupech **41**, **42** vytvoří na svém nastavovacím výstupu **43** informaci, která se přivádí přes nastavovací vstup **52** do nastavovacího obvodu **5**. Na základě této informace pak nastavovací obvod **5** převede součet hodnoty odchylky a hodnoty střadače ze svého součtového vstupu **51** na svůj paralelní výstup **53** a přivede ji tak na paralelní vstup **61** převáděcího obvodu **6**. Toto se provádí jen v tom případě, když hodnota zadaná ke zpracování nepřesahuje hodnotu zpracovatelnou v jedné sérii. Pokud zadaná hodnota překračuje hodnotu zpracovatelnou v jedné sérii, vytvoří nastavovací obvod **5** na svém výstupu **53** informaci představující plnou kapacitu převáděcího obvodu **6** a přivede ji z paralelního výstupu **53** nastavovacího obvodu **5** opět na paralelní vstup **61** převáděcího obvodu **6**.

Na základě takto získaného zadání dělí převáděcí obvod **6** impulsy přiváděné z frekvenčního vstupu **75** zapojení na jeho taktovací vstup **62** a výsledné impulsy se z jeho sériového výstupu **64** přivádějí na impulsní výstup **76** zapojení.

Frekvence na frekvenčním vstupu **75** zapojení se stanoví tak, aby úplný oběh převáděcího obvodu **6** se provedl v době kratší, než je perioda zápisových impulsů na změnovém vstupu **72** zapojení.

Činnost převáděcího obvodu **6**, která je trvalá, je možno zastavit přivedením zastavovacího signálu na zastavovací vstup **74** zapojení a tím na blokovací vstup **63** převáděcího obvodu **6**.

Vynálezu se využije u číslicového řízení obráběcích strojů.

PŘEDMĚT VYNÁLEZU

Zapojení generátoru kontinuální odchylky v sériové formě, u něhož je odchylkový výstup odchylkového obvodu spojen s prvním sčítacím vstupem sčítacího obvodu, jehož druhý sčítací vstup je spojen se střadačovým výstupem střadačového obvodu, vyznačující se tím, že změnový vstup (72) zapojení je spojen se zápisovým vstupem (22) střadačového obvodu (2) a s paměťovým vstupem (12) odchylkového obvodu (1), jehož odchylkový vstup (11) je spojen s datovým vstupem (71) zapojení, jehož kódový vstup (73) je spojen se střadačovým vstupem (21) střadačového obvodu (2), jehož hodnotový výstup (24) je spojen s hodnotovým vstupem (41) vyhodnocovacího ob-

vodu (4), jehož nastavovací výstup (43) je spojen s nastavovacím vstupem (52) nastavovacího obvodu (5) a přenosový vstup (42) vyhodnocovacího obvodu (4) je spojen s přenosovým výstupem (34) sčítacího obvodu (3), jehož součtový výstup (33) je spojen se součtovým vstupem (51) nastavovacího obvodu (5), jehož paralelní výstup (53) je spojen s paralelním vstupem (61) převáděcího obvodu (6), jehož sériový výstup (64) je spojen s impulsním výstupem (76) zapojení, jehož frekvenční vstup (75) je spojen s taktovacím vstupem (62) převáděcího obvodu (6), jehož blokovací vstup (63) je spojen se zastavovacím vstupem (74) zapojení.

1 list výkresů

