

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 7/00

G11C 11/40



[12] 发明专利说明书

[21] ZL 专利号 98118487.1

[45] 授权公告日 2004 年 5 月 19 日

[11] 授权公告号 CN 1150555C

[22] 申请日 1998.8.20 [21] 申请号 98118487.1

[30] 优先权

[32] 1997.9.19 [33] US [31] 932925

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 弗朗兹·弗赖穆瑟

审查员 史永良

[74] 专利代理机构 北京市柳沈律师事务所

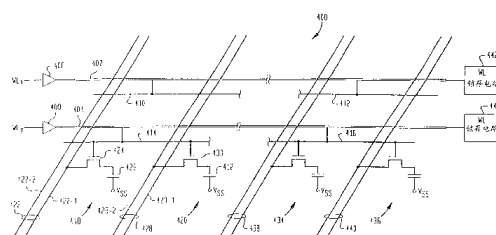
代理人 黄敏

权利要求书 2 页 说明书 8 页 附图 4 页

[54] 发明名称 用于使用低区过热高速字线驱动的装置和方法

[57] 摘要

一种改进的用于驱动半导体存储器件字线的技术。根据本发明，利用字线驱动器(406)在第一端驱动字线(402)然后在字线的第二端提供少量附加电路(442)。当附加电路感知字线正在开始向激活状态变换时，附加电路工作以促进或加速该字线向所述激活状态的变换。因此，本发明可以仅使用最少量的芯片区域迅速地使字线变换到激活状态。本发明特别适用于动态随机存取存储器。



ISSN 1008-4274

1. 一种动态随机存取存储器，包括：
 - 一个具有存储单元阵列的存储器阵列、多个位线和多个字线；
 - 5 一个地址译码器，所述地址译码器接收用于数据请求的地址和选择多个字线中的一个字线和多个位线中的一个位线，所选择的字线具有第一侧和第二侧；
 - 一个用于在第一侧驱动被选择字线的线驱动器；
 - 一个附加电路，用于检测被选择字线上第一方向中变换的起始部分然后从第二侧加速第一方向中被选择字线上所述变换的剩余部分，
 - 10 所述附加电路包括：
 - 耦合到被选择字线上的电平读出电路，所述电平读出电路监视被选择字线上的电压电平以产生一个电压电平信号，所述电平读出电路包括：具有耦合到被选择字线上的栅极、耦合到控制电路上的第一沟道端和耦合到
 - 15 另一个预定电源电位上的第二沟道端的第一场效应晶体管；和
 - 耦合到被选择字线上的开关装置，所述开关装置运作以在所述电压电平信号的基础上将被选择字线推向预定的电源电位。
 - 2. 根据权利要求1所述的动态随机存取存储器，其中在所述电压电平信号的基础上，所述开关装置运作以将被选择字线推向预定电源电位或使
 - 20 被选择字线与预定电源电位脱离。
 - 3. 根据权利要求1所述的动态随机存取存储器，其中所述附加电路还包括：
 - 可操作地连接到所述电平读出电路和所述开关装置上的控制电路，所述控制电路从所述电平读出电路接收所述电压电平信号并产生用于所述开
 - 25 关装置的控制信号；和
 - 其中，在所述控制信号的基础上，所述开关装置运作以将被选择字线推向预定电源电位或使被选择字线和所述预定电源电位脱离。
 - 4. 根据权利要求3所述的动态随机存取存储器，其中所述控制电路还接收一个用于所述附加电路的控制信号，和在所述电压电平信号和所述用
 - 30 于附加电路的控制信号的基础上产生所述用于所述开关装置的控制信号。
 - 5. 根据权利要求4所述的动态随机存取存储器，其中所述用于所述附

加电路的控制信号限制所述开关装置能够将被选择字线推向预定电源电位的持续时间。

6. 根据权利要求3所述的动态随机存取存储器，其中所述开关装置包括：

5 具有耦合到所述控制电路上的栅极、耦合到所述预定电源电位上的第一沟道端和耦合到被选择字线的第二沟道端的第二场效应晶体管。

7. 根据权利要求6所述的动态随机存取存储器，其中所述控制电路包括：

10 具有耦合到第一节点的栅极、耦合到所述预定电源电位上的第一沟道端和耦合到第二节点的第二沟道端的第三场效应晶体管；和

具有耦合到第一节点的栅极、耦合到第二节点的第一沟道端和耦合到所述第一场效应晶体管的第一沟道端的第二沟道端的第四场效应晶体管，
和

其中，所述第二场效应晶体管的栅极被耦合到第二节点。

15 8. 根据权利要求1所述的动态随机存取存储器，其中所述电平读出电路的第一场效应晶体管是低阈值器件。

9. 根据权利要求8所述的动态随机存取存储器，其中所述电平读出电路的第一场效应晶体管的低阈值是约400 mV。

用于使用低区过热高速字线
驱动的装置和方法

5

技术领域

本发明涉及半导体存储器件。特别是，本发明涉及用于半导体存储器件的改进的字线驱动。

10

背景技术

在用于半导体存储器件的典型的动态随机存取存储器(DRAM)集成电路设计中，利用以正交方式运行的字线和位线构成一个存储器阵列。所述存储器阵列包括位于每个字线和位线交点处的大量存储单元。每个存储单元是由一个单个的晶体管和一个电容存储元件形成的。

15

图1的简图示出了用于DRAM集成电路的基本DRAM存储单元100。该基本DRAM存储单元100包括一个单元晶体管102和电容存储元件104。单元晶体管102被耦合到DRAM集成电路的字线(WL)106和位线(BL)108上。单元晶体管102的栅极被连接到字线(WL)106。晶体管102还有第一沟道端和第二沟道端。单元晶体管102的所述第一沟道端被连接到位线

20

(BL)108和单元晶体管102的所述第二沟道端被连接到电容存储元件104的第一侧。电容存储元件104的第二侧被连接到电源电压Vc。

通常，利用字线驱动器从存储器阵列的一侧驱动用于DRAM集成电路存储单元的字线。但是，通过增加DRAM集成电路设计的尺寸和密度，耦合到给定字线上的存储单元的数量不断增加。结果是由于寄生电容使在

25 DRAM集成电路中的字线具有很重的负载。所述字线上的寄生电容使高速变换字线很困难，从而使高速操作所述DRAM集成电路很困难。

图2的框图示出了一个传统的DRAM集成电路200。该DRAM集成电路200包括存储器阵列202、行译码器204和列译码器206。所述存储器阵列202包括图1所示的一个存储单元阵列。利用行和列的组合分别寻址所述存储单元。行译码器204根据行地址208选择所述行。列译码器206根据列地址210选择所述列。将被存储到被寻址存储单元中的数据或经过数

30

据总线 212 提供给列译码器 206 或由列译码器 206 经过数据总线 212 输出。在任何一个情况中，通常是行译码器 204 运作以选择一个字线，然后激活该选择的字线。但是，如上所述，由于耦合到一个特定字线上的存储单元的数量众多，所以，寄生电容使迅速变换被选择的字线变得困难。

- 5 快速驱动字线的一种办法是增加在字线一端处所提供的字线驱动器的驱动能力。通常，增加所述字线驱动器的规模，以便增加驱动能力。这个办法通常是有效的，但是，小片区域的劣化使得改善所提供的性能更加困难。另一个办法是提供第二组行译码器电路、驱动器和相关的布线，以使
- 10 得所述字线能够被在两端驱动。这种设计小片区域的劣化使得它不能在大多数半导体存储器设计中实现。

因此，需要改进在半导体存储器件内驱动字线的技术。

发明内容

- 一般说来，本发明涉及一种用于驱动半导体存储器件字线的改进的技术。根据本发明，利用字线驱动器在第一端处驱动一个字线，然后在该字线的另一端处为该字线提供少量的附加电路。当该附加电路传送一个表示
- 15 所述字线正在被开始变换成激活状态的一个信息时，该附加电路工作以加速或促进所述字线到激活状态的变换。因此，本发明仅使用最少量的的小片区域就能够迅速地使字线变换到激活状态。本发明特别适用于动态随机存取存储器。
- 20

本发明可以利用包括作为装置、电路、和方法的多种方式加以实现。

- 按照本发明，提供了一种动态随机存取存储器，包括：一个具有存储单元阵列的存储器阵列、多个位线和多个字线；一个地址译码器，所述地址译码器接收用于数据请求的地址和选择多个字线中的一个字线和多个位
- 25 线中的一个位线，所选择的字线具有第一侧和第二侧；一个用于在第一侧驱动被选择字线的线驱动器；一个附加电路，用于检测被选择字线上第一方向中变换的起始部分然后从第二侧加速第一方向中被选择字线上所述变换的剩余部分，所述附加电路包括：耦合到被选择字线上的电平读出电路，所述电平读出电路监视被选择字线上的电压电平以产生一个电压信号，所
- 30 述电平读出电路包括：具有耦合到被选择字线上的栅极、耦合到所述控制电路上的第一沟道端和耦合到另一个预定电源电位上的第二沟道端的第一

场效应晶体管；和耦合到被选择字线上的开关装置，所述开关装置运作以在所述电压电平信号的基础上将被选择字线推向预定的电源电位。

本发明的优点很多。本发明的一个优点是仅仅利用最少量的附加电路和小片区域需求就能够快速地进行字线转换。本发明的另一个优点是由于
5 本发明提供了更强的转换，所以字线能够处理存储器阵列(即，较稠密存储器阵列)中更多的存储单元。

通过下面结合示出了本发明原理的附图详细描述，本发明的其它方面和优点将变得明显。

10 附图说明

通过下面结合附图的详细描述，可以很容易地理解本发明，其中，相同的标号表示相同的构成元件，和其中：

图 1 简要地示出了用于 DRAM 集成电路的 DRAM 存储单元；

图 2 的框图示出了传统的 DRAM 集成电路；

15 图 3 的框图示出了根据本发明一个实施例的 DRAM 半导体存储器电路；

图 4 示出了根据本发明的存储器阵列；

图 5 的框图示出了根据本发明一个实施例的字线锁存电路；和

图 6 简要地示出了根据本发明一个实施例的锁存电路。

20

具体实施方式

本发明涉及一种用于驱动半导体存储器集成电路(IC)字线的改进技术。这种存储器 IC 包括一个随机存取存储器(RAM)、一个动态随机存取存储器(DRAM)、一个同步 DRAM 和一个归并 DRAM-逻辑(嵌入 DRAM)。另外，
25 诸如特定应用集成电路(ASIC)或其中需要驱动很大负载线的任何逻辑电路的 IC 也是有用的。通常，在晶片上并联形成多个 IC。在所述处理完成之后，切割所述晶片以将所述多个 IC 分成单独的芯片。然后包装所述芯片以形成在例如诸如计算机系统、蜂窝电话、个人数字助理(PDA)和其它电子产品等中使用的最后产品。

30 根据本发明，利用字线驱动器在第一端驱动字线，然后在所述字线的另一端提供少量的附加电路。当所述附加电路检测到所述字线正在开始被

变换到一个激活状态时,该附加电路工作以加速或促进所述字线向所述激活状态的变换。因此,本发明能够仅利用最少量的的小片区域迅速将所述字线变换到一个激活状态。本发明特别适用于动态随机存取存储器。

下面结合图 3-6 描述本发明的实施例。但是,对于本专业技术领域内的普通技术人员来讲很明显,这里针对附图所给出的详细描述仅仅是用于解释的目的而不是作为对本发明的限制。

图 3 的框图示出了根据本发明一个实施例的半导体存储器电路 300。该半导体存储器例如是一个 DRAM 电路。所述 DRAM 半导体存储器电路 300 包括存储器阵列 302,该存储器阵列 302 包括以阵列结构形式排列的多个存储单元。可以利用所选择字线和所选择位线的组合来选择相应的存储单元。行译码器 304 接收行地址信号 306 并选择多个字线(WL₁-WL_n)308 中的一个字线。列译码器 310 接收图 3 所示的列地址信号 312 和选择多个位线(BL₁-BL_m)308 中的一个位线。因此,利用耦合到所述列译码器 310 上的数据总线 316 能够将数据提供给存储器阵列 302 的所选择存储单元或从该所选择存储单元中读出。

DRAM 半导体存储器电路 300 还包括一个锁存电路 318。锁存电路 318 耦合到存储器阵列 302 的位线(BL₁-BL_m)308 上。该锁存电路 318 还接收一个用于控制该锁存电路 318 什么时候被允许执行锁存操作的控制信号 320。由锁存电路 318 执行的锁存操作是单独作用于多个字线(WL₁-WL_n)308 中的每一个和加速所选择字线(WL)的变换,从而使 DRAM 半导体存储器电路 300 能够高速运行。只有多个字线(WL₁-WL_n)308 中的一个字线在任一时间点处是标准变换的。

虽然图 3 所示的锁存电路 318 是以和存储器阵列 302 分开的形式表示的,但是,锁存电路 318 最好被集成在存储器阵列 302 之中。将锁存电路 318 集成在存储器阵列 302 之中的一个优点是能够很方便地将锁存电路 318 连接到所述字线上。

图 4 示出了根据本发明实施例的存储器阵列 400。存储器阵列 400 包括存储器阵列的字线、位线和存储单元以及用于加速操作的锁存电路。具体地说,图 4 所示的存储器阵列 400 示出了半导体存储器件的部分存储器阵列。图 4 所示的部分包含两个字线 WL_x 和 WL_y 和多个位线。

存储器阵列 400 包括金属字线 402 和 404。金属字线 402 由字线驱动器

406 驱动和被耦合到字线 WL_x ，金属字线 404 由字线驱动器 408 驱动并被耦合到字线 WL_y 。为了使所述金属字线的线电阻保持相对的低，所述金属字线在某些时候被频繁压合到在所述金属字线下面平行运行的多晶硅段。特别是，金属字线 402 具有在所述金属字线下面平行运行的多晶硅段 410 和 412。类似的，金属字线 404 具有在金属字线 404 下面平行运行的多晶硅段 414 和 416。作为一个例子，单个金属字线可以具有八个(8)多晶硅段。

存储器阵列 400 还包括与所述金属字线相交的多个金属位线对。这种结构被称之为折合-位线结构。诸如开式或开式-折叠器的其它位线结构也是有用的。如所示，所述位线垂直于所述金属字线。所述位线与所述字线以除 90° 以外的其它角度相交也是有用的。在每个金属字线和金属位线的交点处提供有诸如存储单元 418 和 420 的存储单元。第一对金属位线 422 的第一位线 422-1 被耦合到单元晶体管 424 的第一沟道端。单元晶体管 424 的第二沟道端被耦合到电容存储元件 426 的第一侧。电容存储元件 426 的第二侧被耦合到电源电压(V_{SS})。单元晶体管 424 的栅极被耦合到相关的多晶硅段 414。类似的，对于在存储器阵列 400 中的所有其它金属字线来讲，提供有类似的存储单元和这些存储单元以类似的方式被耦合到位线对 422 的第一位线 422-1。

关于第二对金属位线 428，位线对 428 的第二位线 428-2 耦合到单元晶体管 430 的第一沟道端。单元晶体管 430 的第二沟道端被耦合到电容存储单元 432 的第一侧。电容存储单元 432 的第二侧被耦合到电源电压(V_{SS})。单元晶体管 430 的栅极被耦合到相关多晶硅段 414 上。类似的，关于存储器阵列 400 内的所有其它金属字线，被提供有类似的存储单元和这些存储单元被耦合到位线对 428 的第二位线 428-2 上。

另外，存储器阵列 400 包括诸如位线对 438 和 440 的其它金属位线对。这些位线对 438 和 440 分别包括用于每个字线的类似存储单元 434 和 436。

此外，存储器阵列 400 中的每个字线包括一个字线锁存电路 442。特别是，所述金属字线 402 被耦合到字线锁存电路 442，和金属字线 404 被耦合到字线锁存电路 442。在一个实施例中，字线驱动器 406 被耦合到相关金属字线 402 的第一端，和字线锁存电路 442 被耦合到相关金属字线 402 的第二端。另外，字线驱动器 408 被耦合到相关金属字线 404 的第一端和字线

锁存电路 444 被耦合到相关金属字线 404 的第二端。

字线锁存电路 442 和 444 表示图 3 所示锁存电路 314 的单个电路部分。下面将结合图 5 和 6 详细描述字线锁存电路 442 和 444 的结构和操作。

图 5 的框图示出了根据本发明一个实施例的字线锁存电路 500。字线锁存电路 500 在电平读出装置 504 的一个输入端处接收字线(WL)502。电平读出装置 504 运作以监视字线(WL)502 上的信号电平(例如电压)。在这个实施例中, 假设所述的信号电平是电压电平。当电平读出装置 504 确定字线(WL)502 上的电压电平已经超过了—个阈值电压量时, 电压电平信号 506 通知控制电路 508 字线(WL)502 已经开始从第一逻辑状态(例如, 0 伏)向第二逻辑电压(例如, V_{DD})变换。

控制电路 508 接收电压电平信号 506 和接收控制信号 510。控制信号 510 被提供给字线锁存电路 500 以启动字线锁存电路 500。当字线锁存电路 500 被启动时, 字线锁存电路 500 被允许执行锁存操作。另一方面, 当字线锁存电路 500 被禁止时, 字线锁存电路 500 不能执行它的锁存操作。此外, 当字线锁存电路 500 被禁止时, 不能利用字线锁存电路 500 的存在负面影响半导体存储器装置。

当控制电路 508 确定电压电平信号 506 指出字线(WL)502 已经开始变换和控制信号 510 已经允许(授权)它的锁存操作时, 控制电路 508 产生—个控制信号 512, 该控制信号 512 使开关装置 514 将字线(WL)502 电耦合到电源电位(V_{SUPPLY})上。当开关装置 514 被激活而将字线(WL)502 电耦合到电源电位(V_{SUPPLY})时, 已经开始并由电平读出装置 504 检测的字线(WL)502 的变换被加速, 并且该字线(WL)502 的变换要比半导体存储器装置不包括字线锁存电路 500 情况下所可能的速度快的速度完成。例如, 在一个实施例中, 当开关装置 514 被激活以将字线(WL)502 电耦合到电源电位(V_{SUPPLY})上时, 字线(WL)502 被从其现有电压电平“上拉”到电源电位(V_{SUPPLY})。另一方面, 当控制电路 508 确定控制信号 510 正在禁止字线锁存电路 500(即没有授权它的锁存操作)或电压电平信号 506 没有指出字线(WL)502 已经开始变换时, 控制信号 512 使开关装置 514 将电源电位(V_{SUPPLY})与—所述字线(WL)502 隔离开来。

图 6 简要示出了根据本发明—个实施例的锁存电路 600。锁存电路 600 是—个适于实现图 4 所示字线锁存电路 442 和 444 的电路。锁存电路 600

还是一个适合于实现图 5 所示锁存电路 500 的电路。

锁存电路 600 被耦合到字线(WL)602 并接收控制信号(CS)604。字线(WL)602 被耦合到第一晶体管 606 的栅极。第一晶体管 606 最好是一个低阈值器件。在锁存电路 600 的第一节点 608 处接收控制信号(CS)604。锁存电
5 路 600 还包括第二晶体管 610 和第三晶体管 612。第二晶体管 610 和第三晶体管 612 两个晶体管的栅极都被耦合到第一节点 608。第二晶体管 610 的第一沟道端被连接到第一电源电位(V_S), 而第二晶体管 610 的第二沟道端被连接到锁存电路 600 的第二节点 614。第三晶体管 612 的第一沟道端被连接到第二节点 614, 而第三晶体管 612 的第二沟道端被连接到第一晶体管 606 的
10 第一沟道端。用于第一晶体管 606 的第二沟道端被连接到第二电源电位(GND)。锁存电路 600 还包括第四晶体管 616。第四晶体管 616 的栅极被连接到第二节点 614。用于第四晶体管 616 的第一沟道端被连接到第一电源电位(V_S), 而第二沟道端被连接到字线(WL)602。

在图 6 所示的锁存电路 600 中, 第一晶体管 606 和第三晶体管 612 是
15 n-型场效应晶体管, 第二晶体管 610 和第四晶体管 616 是 p-型场效应晶体管。锁存电路 600 还被设计成当字线(WL)602 被激活(即, 当字线(WL)602 被变换成激活状态)时“上拉”字线(WL)602。换言之, 在这个实施例中, 假设字线(WL)602 是以高逻辑电平激活和在低逻辑电平待用。锁存电路 600 如此工作以便当它一旦确定字线(WL)602 已经开始向激活状态变换时将字线
20 (WL)602 从低逻辑电平“上拉”到高逻辑电平。结果是即使是在字线(WL)602 上存在有效量寄生电容的情况下字线(WL)602 也能够迅速地变换。

在另一个实施例中, 在希望将字线(WL)从高逻辑电平迅速变换到低逻辑电平的状态中, 字线(WL)能被“下拉”到低逻辑电平。这在存储器阵列结构中应当是下述情况, 即在这种结构中, 字线(WL)是以低逻辑电平被激
25 活的。在任何一个情况中, 除了利用 p-型器件替换 n-型器件和电源电位被反相以外, 所述的另一个实施例都类似于锁存电路 600。

控制信号 604 最好被用于恰恰在字线(WL)正在开始被激活之前启动锁存电路 600。另外, 控制信号 604 最好是在锁存电路 600 不再需要利用字线的变换加速之后被取消。换言之, 锁存电路 600 应当只在字线升高期间被
30 激活。这样做的一个优点是由于与相邻字线的电容耦合作用可能触发相邻的锁存电路和使得它们错误地“上拉”其它字线并且由于在这种状态下第

二节点 614 是浮动的，所以，只要锁存电路不再需要利用所述字线(WL)变换加速，该锁存电路 5600 即被禁止。作为一个例子，在 64 兆位 DRAM 集成电路设计中将容许第二节点 614 高达约 7ns 的浮动。

再有，用于第一晶体管 606 的阈值电压应当被设置得能够避免由于噪声所引起的偶然触发。例如，一个字线可能具有大约 200mV(毫伏)的噪声存在，所以，锁存电路所使用的电压阈值可以被设置为 400 毫伏或更多。但是，应当注意关于阈值电压方面处理变换的因素。例如，在图 6 所示的锁存电路 600 中，晶体管 606 最好是其阈值电压被设置成适当值的低阈值器件。一旦利用由字线驱动器提供的驱动通过锁存电路 600 将字线“上拉”，所述字线的电压将大约在电源电压(例如，3.5V)处被拉平。

当驱动(driving)总是在装置的尺寸和速度之间折衷时，关于如何获取本发明的优点可以想象出许多变化。因此，用于提供根据本发明经过改善的字线转换的电路准确结构极大地取决于特定设计。另外，如果阵列系数是一个关系，在阻-容(RC)变成一个限制因素之前本发明有助于实现较长的字线。相反，利用传统的单侧驱动，所述字线得到限于某个长度的 RC 和驱动装置尺寸的增加在字线上升时间没有或仅仅有限地受到影响。

本发明的优点是仅使用最少量的附加电路和小片区域需求就能够快速地转换字线。比较起来，为了提供用于全部第二行驱动器的电路，例如恐怕 90% 较小片区域那样多的区域保存是有效的。本发明的另一个优点是由于本发明提供了更强的转换，所以，所述字线能够处理存储器阵列(即较密的存储器阵列)中更多的存储单元。

根据上面的描述可以明显看出本发明的很多特性和优点，因此，用权利要求来覆盖本发明的这些特性和优点。另外，由于对于本专业技术领域内的普通技术人员来讲可以很容易作出很多修改和变化，所以，不希望将本发明限制在所展示和描述的具体结构和操作上。因此，所有适当的修改和等同物都将落入本发明的范围之内。

图 1

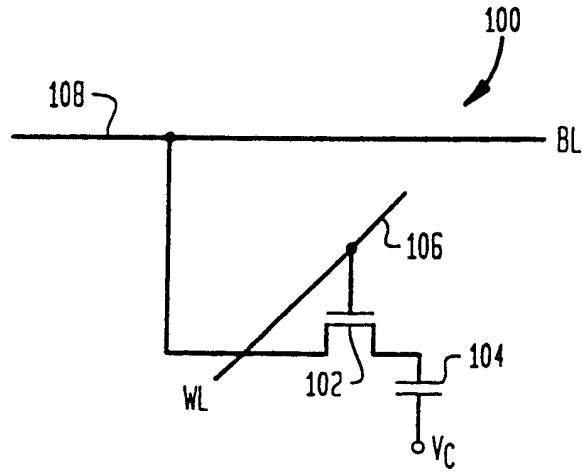


图 2

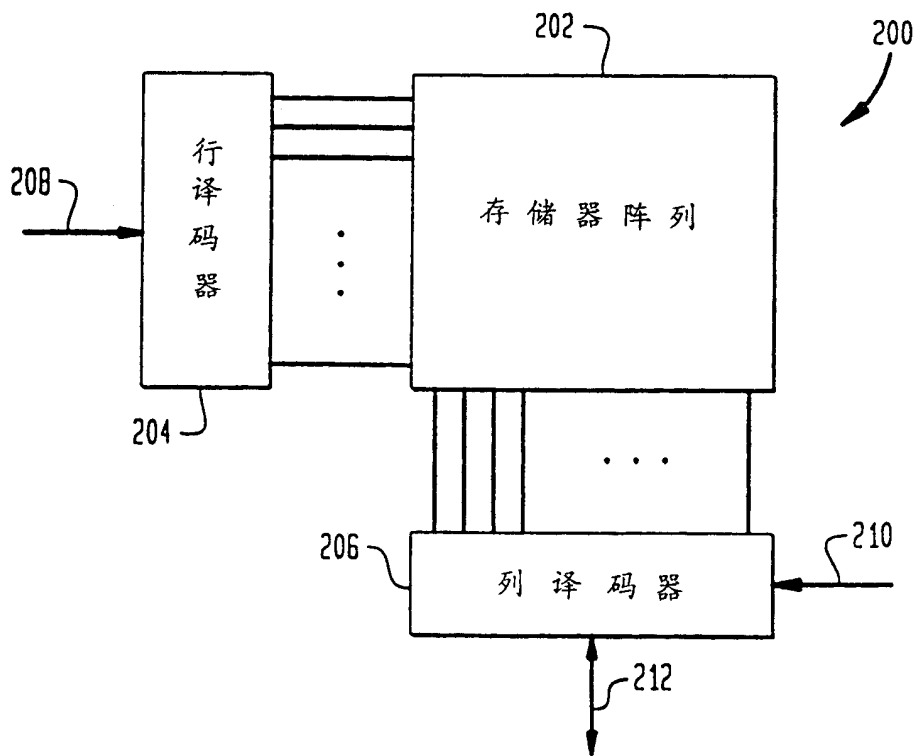


图 3

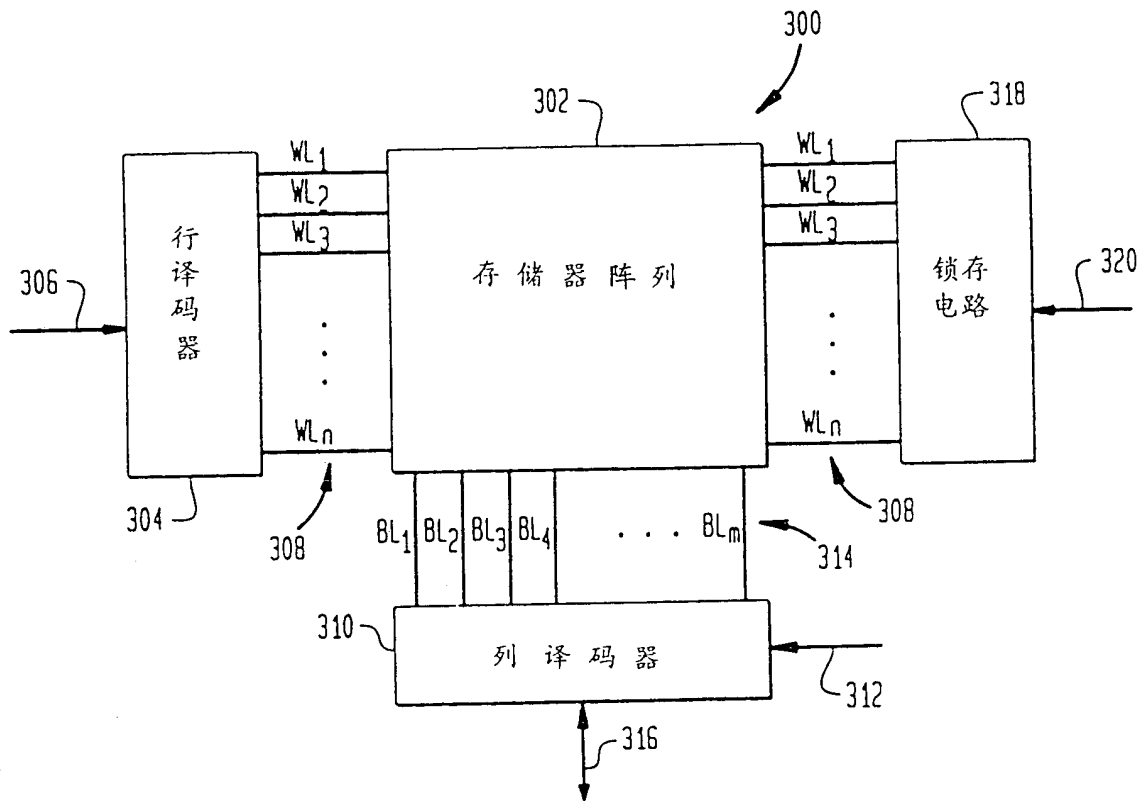


图 6

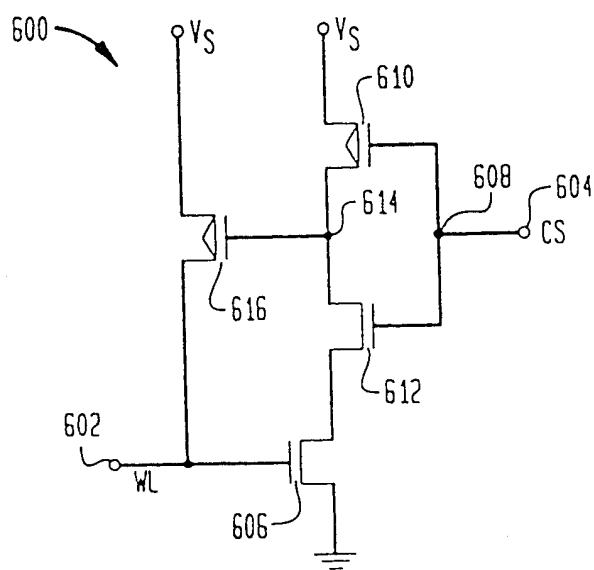


图 4

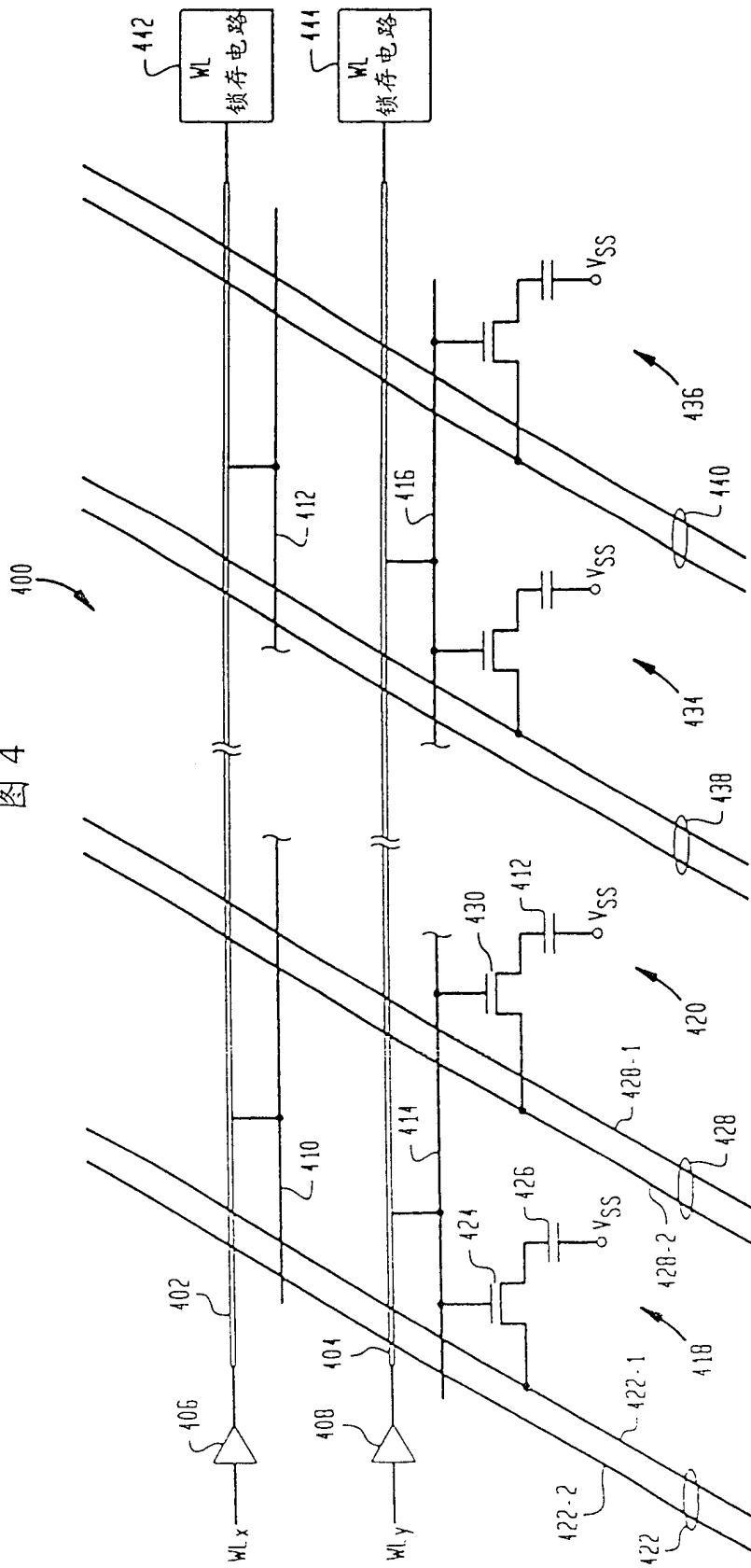


图 5

