



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202318509 A

(43)公開日：中華民國 112 (2023) 年 05 月 01 日

(21)申請案號：111124405

(22)申請日：中華民國 111 (2022) 年 06 月 30 日

(51)Int. Cl.：

*H01L21/336 (2006.01)**H01L29/94 (2006.01)**H01L29/786 (2006.01)*

(30)優先權：2021/10/28

南韓

10-2021-0145716

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
南韓

(72)發明人：金成煥 KIM, SUNGHWAN (KR)；金僅祐 KIM, GEUNWOO (KR)；金完敦 KIM, WANDON (KR)；黃允泰 HWANG, YOON TAE (KR)

(74)代理人：林孟閱；盧珮君；陳怡如

申請實體審查：無 申請專利範圍項數：20 項 圖式數：19 共 98 頁

(54)名稱

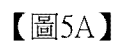
半導體裝置

(57)摘要

本發明提供一種半導體裝置，包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；以及主動觸點，電連接至源極/汲極圖案。主動觸點包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且第一障壁金屬包含金屬氮化物層。第一填充物金屬包含鉬、鎢、鈦、鈷或鈳中的至少一者。第一填充物金屬包含具有體心立方（BCC）結構的第一結晶區及具有面心立方（FCC）結構的第二結晶區。第一填充物金屬中的第一結晶區的比例在 60%至 99%的範圍內。

A semiconductor device includes a substrate including an active pattern, a channel pattern and a source/drain pattern that are on the active pattern and connected to each other, and an active contact electrically connected to the source/drain pattern. The active contact includes a first barrier metal and a first filler metal on the first barrier metal, and the first barrier metal includes a metal nitride layer. The first filler metal includes at least one of molybdenum, tungsten, ruthenium, cobalt, or vanadium. The first filler metal includes a first crystalline region having a body-centered cubic (BCC) structure and a second crystalline region having a face-centered cubic (FCC) structure. A proportion of the first crystalline region in the first filler metal ranges from 60% to 99%.

指定代表圖：



SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

UIP:上部絕緣圖案

VI1:第一通孔

VI2:第二通孔

## 【發明摘要】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF  
FABRICATING THE SAME

【中文】本發明提供一種半導體裝置，包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；以及主動觸點，電連接至源極/汲極圖案。主動觸點包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且第一障壁金屬包含金屬氮化物層。第一填充物金屬包含鉬、鎢、鈦、鈷或鈱中的至少一者。第一填充物金屬包含具有體心立方（BCC）結構的第一結晶區及具有面心立方（FCC）結構的第二結晶區。第一填充物金屬中的第一結晶區的比例在60%至99%的範圍內。

【英文】A semiconductor device includes a substrate including an active pattern, a channel pattern and a source/drain pattern that are on the active pattern and connected to each other, and an active contact electrically connected to the source/drain pattern. The active contact includes a first barrier metal and a first filler metal on the first barrier metal, and the first barrier metal includes a metal nitride layer. The first filler metal includes at least one of molybdenum, tungsten, ruthenium, cobalt, or vanadium. The first filler metal includes a first crystalline region having a body-centered cubic (BCC) structure and a second crystalline region having a face-centered cubic (FCC) structure. A proportion of the first crystalline region in the first filler metal ranges from 60% to 99%.

【指定代表圖】圖5A

【代表圖之符號簡單說明】

100:基底

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A':線

AC:主動觸點

AP1:第一主動圖案

BFL:緩衝層

BM:障壁金屬

CH1:第一通道圖案

D2:第二方向

D3:第三方向

DB:分隔結構

FM:填充物金屬

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GS:閘極間隔件

M:部分

M1:第一金屬層

M1\_I:第一互連線

M2:第二金屬層

M2\_I:第二互連線

MAL:主層

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PR1:第一 PMOSFET 區

RS1:第一凹部

SC:金屬半導體化合物層

SD1:第一源極/汲極圖案

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

UIP:上部絕緣圖案

VI1:第一通孔

VI2:第二通孔

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】半導體裝置及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF  
FABRICATING THE SAME

【技術領域】

[相關申請案的交叉參考]

【0001】 本美國非臨時專利申請案根據 35 U.S.C. §119 主張 2021 年 10 月 28 日在韓國智慧財產局申請的韓國專利申請案第 10-2021-0145716 號的優先權，所述專利申請案的全部內容特此以引用的方式併入。

【0002】 本揭露是關於一種半導體裝置及其製造方法，且特定言之，是關於一種包含場效電晶體的半導體裝置及其製造方法。

【先前技術】

【0003】 半導體裝置包含可由金屬-氧化物-半導體場效電晶體 (metal-oxide-semiconductor field-effect transistor; MOS-FET) 組成的積體電路。為滿足對具有較小圖案大小及簡約設計規則的半導體裝置的逐漸增加的需求，可大幅度將 MOS-FET 按比例縮小。MOS-FET 的按比例縮小可引起半導體裝置的操作性質的劣化。正在進行各種研究以克服與半導體裝置的按比例縮小相關聯的技術限制及實現高效能半導體裝置。

【發明內容】

【0004】 本發明概念的實施例可提供一種具有改良的電特性的半導體裝置。

【0005】 本發明概念的實施例可提供一種製造具有改良的電特性的半導體裝置的方法。

【0006】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；以及主動觸點，電連接至源極/汲極圖案。主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且第一障壁金屬可包含金屬氮化物層。第一填充物金屬可包含鉬、鎢、鈦、鈷或鈳中的至少一者。第一填充物金屬可包含具有體心立方（body-centered cubic；BCC）結構的第一結晶區及具有面心立方（face-centered cubic；FCC）結構的第二結晶區。第一填充物金屬中的第一結晶區的比例可在 60%至 99%的範圍內。

【0007】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；主動觸點，電連接至源極/汲極圖案；以及金屬層，位於主動觸點上。金屬層中的互連線可經由通孔電連接至主動觸點，且主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬。通孔可包含第二障壁金屬及第二障壁金屬上的第二填充物金屬，且第一障壁金屬及第二障壁金屬中的每一者可包含金屬氮化物層。第一填充物金屬及第二填充物金屬可各自包含鉬、鎢、鈦、鈷或鈳中的至少一者。第一填充物金屬包含具有體心立方（BCC）結構的第一結晶區，且第二填充物金屬包含具有體心立方（BCC）結構的第二結晶區。第一填充物金屬中的體心立方（BCC）

結構的比例高於第二填充物金屬中的體心立方（BCC）結構的比例。

【0008】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含 P 型金氧半場效電晶體（p-type metal-oxide-semiconductor field-effect transistor，PMOSFET）區及 N 型金氧半場效電晶體（n-type metal-oxide-semiconductor field-effect transistor，NMOSFET）區；第一主動圖案及第二主動圖案，所述第一主動圖案位於 PMOSFET 區上，所述第二主動圖案位於 NMOSFET 區上；第一通道圖案及第一源極/汲極圖案，位於第一主動圖案上；第二通道圖案及第二源極/汲極圖案，位於第二主動圖案上；閘極電極，位於第一通道圖案及第二通道圖案上；閘極絕緣層，位於閘極電極與第一通道圖案及第二通道圖案之間；閘極間隔件，位於所述閘極電極的側表面上；閘極間隔件，位於閘極電極的側表面上；閘極頂蓋圖案，位於閘極電極的頂表面上；閘極切割圖案，穿透閘極電極；層間絕緣層，位於閘極頂蓋圖案及閘極切割圖案上；主動觸點，穿透層間絕緣層且電連接至第一源極/汲極圖案及第二源極/汲極圖案；金屬半導體化合物層，分別位於主動觸點與第一源極/汲極圖案及第二源極/汲極圖案之間；閘極觸點，穿透層間絕緣層及閘極頂蓋圖案且電連接至閘極電極；第一金屬層，位於層間絕緣層上，第一金屬層包含電源線及第一互連線，所述電源線在正交於基底的表面的方向上與閘極切割圖案重疊，且所述第一互連線分別電連接至主動觸點及閘極觸點；以及第二金屬層，位於第一金屬層上。第二金屬層可包含電連接至第一金屬層的第二互連線。主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且閘極

觸點可包含第二障壁金屬及第二障壁金屬上的第二填充物金屬。第一填充物金屬中的體心立方(BCC)結構的比例可高於第二填充物金屬中的體心立方(BCC)結構的比例。

【0009】 根據本發明概念的實施例，一種製造半導體裝置的方法可包含：在基底上形成主動圖案；在主動圖案上形成在第一方向上延伸的犧牲圖案；在犧牲圖案的一側處形成包含犧牲層的源極/汲極圖案；在犧牲圖案及源極/汲極圖案上形成層間絕緣層；用閘極電極替換犧牲圖案；在層間絕緣層中形成接觸溝渠，使得源極/汲極圖案的至少一部分不含層間絕緣層；以及在接觸溝渠中形成主動觸點。形成主動觸點可包含：在接觸溝渠中形成障壁金屬層；對障壁金屬層執行使用電漿的離子轟擊製程；以及在障壁金屬層上形成填充物金屬層。填充物金屬層中的體心立方(BCC)結構的比例可在 60%至 99%的範圍內。

## 【圖式簡單說明】

### 【0010】

圖 1 至圖 3 為示出根據本發明概念的實施例的半導體裝置的邏輯單元的概念圖。

圖 4 為示出根據本發明概念的實施例的半導體裝置的平面圖。

圖 5A 至圖 5D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C' 以及線 D-D'截取的截面圖。

圖 6 為示出圖 5A 的部分『M』的放大截面圖。

圖 7A 至圖 14D 為示出根據本發明概念的實施例的製造半導

體裝置的方法的截面圖。

圖 15 至圖 17 為示出在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。

圖 18 為示出根據比較例的在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。

圖 19A 至圖 19D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取以示出根據本發明概念的實施例的半導體裝置的截面圖。

### 【實施方式】

【0011】 將參考隨附圖式更全面地描述各種實例實施例，在圖式中繪示實例實施例。然而，本揭露可以許多不同形式體現，且不應解釋為限於本文中所闡述的實施例。在整個本申請案中，相同附圖標號指代相同元件。應理解，儘管可在本文中使用術語第一、第二等來描述各種元件，但此等元件不應受此等術語限制。此等術語僅用於將一個元件與另一元件區分開。因此，例如，在不脫離本發明概念的教示的情況下，下文論述的第一元件、第一組件或第一區段可稱為第二元件、第二組件或第二區段。如本文中所使用，術語「及/或」包含相關聯的所列項目中的一或多者的任何及全部組合。應注意，儘管並未相對於不同實施例特定地描述一個實施例，但關於一個實施例所描述的態樣可併入於所述不同實施例中。即，全部實施例及/或任何實施例的特徵可以任何方式及/或組合進行組合。圖 1 至圖 3 為示出根據本發明概念的實施例的半導體裝置的邏輯單元的概念圖。

【0012】 參考圖 1，可提供單高度單元 SHC。詳言之，第一電源線 M1\_R1 及第二電源線 M1\_R2 可設置於基底 100 上。第一電源線 M1\_R1 可為提供了汲極電壓 VDD（例如，電源電壓）的導電路徑。第二電源線 M1\_R2 可為提供了源極電壓 VSS（例如，接地電壓）的導電路徑。

【0013】 單高度單元 SHC 可界定於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間。單高度單元 SHC 可包含一個 PMOSFET 區 PR 及一個 NMOSFET 區 NR。換言之，單高度單元 SHC 可具有設置於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間的 CMOS 結構。

【0014】 PMOSFET 區 PR 及 NMOSFET 區 NR 中的每一者在第一方向 D1 上可具有第一寬度 WI1。在其他實施例中，PR 區及 NR 區的寬度可為在第一方向 D1 上的不同 I。單高度單元 SHC 在第一方向 D1 上的長度可界定為第一高度 HE1。第一高度 HE1 可實質上等於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間的距離（例如，間距）。

【0015】 單高度單元 SHC 可構成單邏輯單元。在本說明書中，邏輯單元可意謂經組態以執行特定功能的邏輯裝置（例如，AND、OR、XOR、XNOR、反相等）。換言之，邏輯單元可包含構成邏輯裝置的電晶體以及使電晶體彼此連接的互連線。

【0016】 參考圖 2，可提供雙高度單元 DHC。詳言之，第一電源線 M1\_R1、第二電源線 M1\_R2 以及第三電源線 M1\_R3 可設置於基底 100 上。第一電源線 M1\_R1 可安置於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。第三電源線 M1\_R3 可為提供了汲極電壓 VDD 的導電路徑。

【0017】 雙高度單元 DHC 可界定於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。雙高度單元 DHC 可包含第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。

【0018】 第一 NMOSFET 區 NR1 可鄰近於第二電源線 M1\_R2。第二 NMOSFET 區 NR2 可鄰近於第三電源線 M1\_R3。第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可鄰近於第一電源線 M1\_R1。當以平面圖查看時，第一電源線 M1\_R1 可安置於第一 PMOSFET 區 PR1 與第二 PMOSFET 區 PR2 之間。

【0019】 雙高度單元 DHC 在第一方向 D1 上的長度可界定為第二高度 HE2。第二高度 HE2 可為圖 1 的第一高度 HE1 的約兩倍。雙高度單元 DHC 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可經組合以構成單一 PMOSFET 區。

【0020】 因此，雙高度單元 DHC 的 PMOS 電晶體的通道大小可大於先前參考圖 1 所描述的單高度單元 SHC 的 PMOS 電晶體的通道大小。舉例而言，雙高度單元 DHC 的 PMOS 電晶體的通道大小可為單高度單元 SHC 的 PMOS 電晶體的通道大小的約兩倍。在此情況下，雙高度單元 DHC 可以比單高度單元 SHC 更高的速度操作。在實施例中，圖 2 中所繪示的雙高度單元 DHC 可定義為多高度單元。儘管未繪示，但多高度單元可包含三高度單元，其單元高度為單高度單元 SHC 的單元高度的約三倍。

【0021】 參考圖 3，可以二維方式在基底 100 上安置第一單高度單元 SHC1、第二單高度單元 SHC2 以及雙高度單元 DHC。第一單高度單元 SHC1 可安置於第一電源線 M1\_R1 與第二電源線 M1\_R2

之間。第二單高度單元 SHC2 可安置於第一電源線 M1\_R1 與第三電源線 M1\_R3 之間。第二單高度單元 SHC2 可在第一方向 D1 上鄰近於第一單高度單元 SHC1。

【0022】 雙高度單元 DHC 可安置於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。雙高度單元 DHC 可在第二方向 D2 上鄰近於第一單高度單元 SHC1 及第二單高度單元 SHC2。

【0023】 分隔結構 DB 可設置於第一單高度單元 SHC1 與雙高度單元 DHC 之間以及第二單高度單元 SHC2 與雙高度單元 DHC 之間。雙高度單元 DHC 的主動區可藉由分隔結構 DB 而與第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的主動區電分離。

【0024】 圖 4 為示出根據本發明概念的實施例的半導體裝置的平面圖。圖 5A 至圖 5D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的截面圖。圖 6 為示出圖 5A 的部分『M』的放大截面圖。圖 4 及圖 5A 至圖 5D 示出圖 3 的第一單高度單元 SHC1 及第二單高度單元 SHC2 的詳細結構的實例。

【0025】 參考圖 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 及第二單高度單元 SHC2 可設置於基底 100 上。構成邏輯電路的邏輯電晶體可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者上。基底 100 可為由一或多種材料（諸如矽、鍺、矽鍺、合成半導體材料或類似者）形成或包含所述一或多種材料的半導體基底。在實施例中，基底 100 可為矽晶圓。

【0026】 基底 100 可包含第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。第

一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2 中的每一者可在第二方向 D2 上延伸。第一單高度單元 SHC1 可包含第一 NMOSFET 區 NR1 及第一 PMOSFET 區 PR1，且第二單高度單元 SHC2 可包含第二 PMOSFET 區 PR2 及第二 NMOSFET 區 NR2。

【0027】 第一主動圖案 AP1 及第二主動圖案 AP2 可由形成於基底 100 的上部部分上的溝渠 TR 界定。第一主動圖案 AP1 可設置於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者上。第二主動圖案 AP2 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的每一者上。第一主動圖案 AP1 及第二主動圖案 AP2 可在第二方向 D2 上延伸。第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者可為基底 100 的豎直突出部分，亦即，在 D3 方向或垂直於基底 100 的上表面的方向上延伸。

【0028】 可設置裝置隔離層 ST 以至少部分地填充溝渠 TR。裝置隔離層 ST 可包含氧化矽層。裝置隔離層 ST 可不覆蓋第一通道圖案 CH1 及第二通道圖案 CH2，亦即，第一通道圖案 CH1 及第二通道圖案 CH2 的至少一部分可不含裝置隔離層 ST，如下文將描述。

【0029】 第一通道圖案 CH1 可設置於第一主動圖案 AP1 上。第二通道圖案 CH2 可設置於第二主動圖案 AP2 上。第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可包含依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可在豎直方向（亦即，第三方向 D3 或垂直於基底 100 的上表面的方向）上彼此間隔開。

【0030】 第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者可由以下中的至少一者形成或包含以下的至少一者：矽 (Si)、鍺 (Ge) 或矽鍺 (SiGe)。舉例而言，第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者可由結晶矽形成或包含結晶矽。

【0031】 多個第一源極/汲極圖案 SD1 可設置於第一主動圖案 AP1 上。多個第一凹部 RS1 可形成於第一主動圖案 AP1 的上部部分中。第一源極/汲極圖案 SD1 可分別設置於第一凹部 RS1 中。第一源極/汲極圖案 SD1 可為第一導電型（例如，p 型）的雜質區。第一通道圖案 CH1 可插入於每對第一源極/汲極圖案 SD1 之間。換言之，每對第一源極/汲極圖案 SD1 可藉由堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 彼此連接。

【0032】 多個第二源極/汲極圖案 SD2 可設置於第二主動圖案 AP2 上。多個第二凹部 RS2 可形成於第二主動圖案 AP2 的上部部分中。第二源極/汲極圖案 SD2 可分別設置於第二凹部 RS2 中。第二源極/汲極圖案 SD2 可為第二導電型（例如，n 型）的雜質區。第二通道圖案 CH2 可插入於每對第二源極/汲極圖案 SD2 之間。換言之，每對第二源極/汲極圖案 SD2 可藉由堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 彼此連接。

【0033】 第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 可為藉由選擇性磊晶生長（selective epitaxial growth；SEG）製程形成的磊晶圖案。在實施例中，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的每一者可在基底 100 充當基礎參考層的 D3 方向上及橫截面圖中具有高於第三半導體圖案 SP3 的頂表面的頂表

面。在另一實施例中，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的至少一者的頂表面可在 D3 方向上位於與第三半導體圖案 SP3 的頂表面實質上相同的層級上。

【0034】第一源極/汲極圖案 SD1 可包含晶格常數大於基底 100 的晶格常數的半導體材料（例如，SiGe）。在此情況下，所述對第一源極/汲極圖案 SD1 可對其間的第一通道圖案 CH1 施加壓縮應力。第二源極/汲極圖案 SD2 可由與基底 100 相同的半導體元素（例如，Si）形成或包含所述半導體元素。

【0035】第一源極/汲極圖案 SD1 中的每一者可包含緩衝層 BFL 及緩衝層 BFL 上的主層 MAL。在下文中，將參考圖 5A 更詳細地描述第一源極/汲極圖案 SD1 在第二方向 D2 上的截面形狀。

【0036】緩衝層 BFL 可在第一凹部 RS1 的內表面上且至少部分地覆蓋所述內表面。在實施例中，緩衝層 BFL 可具有在向上方向（亦即，D3 方向或垂直於基底 100 的上表面的方向）上逐漸減小的厚度。舉例而言，在第一凹部 RS1 的底部上在第三方向 D3 上量測到的緩衝層 BFL 的厚度可大於在第一凹部 RS1 的頂部層級處在第二方向 D2 上量測到的緩衝層 BFL 的厚度。另外，緩衝層 BFL 可具有沿著第一凹口 RS1 的輪廓的『U』形截面。

【0037】主層 MAL 可填充其中具有緩衝層 BFL 的第一凹部 RS1 的未填充區的大部分。主層 MAL 的體積可大於緩衝層 BFL 的體積。即，主層 MAL 的體積與第一源極/汲極圖案 SD1 的總體積的比可大於緩衝層 BFL 的體積與第一源極/汲極圖案 SD1 的總體積的比。

【0038】緩衝層 BFL 及主層 BFL 中的每一者可由矽鍺（SiGe）形

成或包含矽鍺 (SiGe)。在一些實施例中，緩衝層 BFL 可含有相對較低濃度的鍺 (Ge)。在另一實施例中，緩衝層 BFL 可僅含有矽 (Si) 而不含有鍺 (Ge)。緩衝層 BFL 的鍺濃度可在 0 原子%至 10 原子%的範圍內。更特定言之，緩衝層 BFL 的鍺濃度可在 2 原子%至 8 原子%的範圍內。

【0039】 主層 MAL 可含有相對較高濃度的鍺 (Ge)。作為實例，主層 MAL 的鍺濃度可在 30 原子%至 70 原子%的範圍內。主層 MAL 的鍺濃度可在第三方向 D3 上增加。舉例而言，主層 MAL 的鄰近於緩衝層 BFL 的部分可具有約 40 原子%的鍺濃度，而主層 MAL 的上部部分可具有約 60 原子%的鍺濃度。

【0040】 緩衝層 BFL 及主層 MAL 中的每一者可含有雜質 (例如，硼、銻或銦)，此允許第一源極/汲極圖案 SD1 具有 p 型導電性。緩衝層 BFL 及主層 MAL 中的每一者的雜質濃度可在  $1\text{E}18$  原子/立方公分至  $5\text{E}22$  原子/立方公分的範圍內。主層 MAL 的雜質濃度可大於緩衝層 BFL 的雜質濃度。

【0041】 緩衝層 BFL 可防止或減小基底 100 (亦即，第一主動圖案 AP1) 與主層 MAL 之間，以及第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 與主層 MAL 之間的堆疊故障的可能性。堆疊故障可使得通道電阻增大。堆疊故障可易於出現在第一凹部 RS1 的底部上。因此，為了防止堆疊故障，可設置緩衝層 BFL 以在第一凹部 RS1 的底部附近具有相對較大厚度。

【0042】 緩衝層 BFL 可利用閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 來保護主層 MAL 免受將在下文描述的替換犧牲層 SAL 的過程影響。舉例而言，緩衝層 BFL 可防止或

抑制用於移除犧牲層 SAL 的蝕刻劑材料進入及蝕刻主層 MAL。

【0043】 返回參考圖 4 及圖 5A 至圖 5D，閘極電極 GE 可在第一方向 D1 上延伸且可與第一通道圖案 CH1 及第二通道圖案 CH2 交叉。閘極電極 GE 可在第二方向 D2 上以第一間距配置。閘極電極 GE 中的每一者可在豎直或 D3 方向上與第一通道圖案 CH1 及第二通道圖案 CH2 交疊。

【0044】 閘極電極 GE 可包含插入於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間的第一部分 PO1、插入於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間的第二部分 PO2、插入於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間的第三部分 PO3 以及第三半導體圖案 SP3 上的第四部分 PO4。

【0045】 返回參考圖 5A，PMOSFET 區 PR 上的閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 可在 D2 方向上具有彼此不同的寬度。舉例而言，第三部分 PO3 在第二方向 D2 上的最大寬度可大於第二部分 PO2 在第二方向 D2 上的最大寬度。第一部分 PO1 在第二方向 D2 上的最大寬度可大於第三部分 PO3 在第二方向 D2 上的最大寬度。

【0046】 返回參考圖 5D，閘極電極 GE 可設置於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 以及相對側表面 SW 上。即，根據本實施例的電晶體可為三維場效電晶體(例如，MBCFET 或 GAAFET)，其中閘極電極 GE 設置成以三維方式圍繞通道圖案。

【0047】 返回參考 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 可具有在第二方向 D2 上彼此相對的第一邊界 BD1 及第二邊界 BD2。

第一邊界 BD1 及第二邊界 BD2 可在第一方向 D1 上延伸。第一單高度單元 SHC1 可具有在第一方向 D1 上彼此相對的第三邊界 BD3 及第四邊界 BD4。第三邊界 BD3 及第四邊界 BD4 可在第二方向 D2 上延伸。

【0048】 閘極切割圖案 CT 可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的平行於第二方向 D2 的邊界上。舉例而言，閘極切割圖案 CT 可安置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。閘極切割圖案 CT 可沿著第三邊界 BD3 以第一間距配置。閘極切割圖案 CT 可沿著第四邊界 BD4 以第一間距配置。當以平面圖查看時，第三邊界 BD3 及第四邊界 BD4 上的閘極切割圖案 CT 可在 D3 方向上分別與閘極電極 GE 交疊。閘極切割圖案 CT 可由一或多種絕緣材料（例如，氧化矽、氮化矽或其組合）形成或包含所述一或多種絕緣材料。

【0049】 第一單高度單元 SHC1 上的閘極電極 GE 可藉由閘極切割圖案 CT 與第二單高度單元 SHC2 上的閘極電極 GE 分離。閘極切割圖案 CT 可插入於在第一方向 D1 上彼此對準的第一單高度單元 SHC1 及第二單高度單元 SHC2 上的閘極電極 GE 之間。即，可藉由閘極切割圖案 CT 將在第一方向 D1 上延伸的閘極電極 GE 劃分為多個閘極電極 GE。

【0050】 一對閘極間隔件 GS 可分別安置於閘極電極 GE 的第四部分 PO4 的相對側表面上。閘極間隔件 GS 可沿著閘極電極 GE 且在第一方向 D1 上延伸。閘極間隔件 GS 的頂表面可在基底 100 充當基礎參考層的 D3 方向上高於閘極電極 GE 的頂表面。閘極間隔件 GS 的頂表面可與將在下文描述的第一層間絕緣層 110 的頂表

面共面。在實施例中，閘極間隔件 GS 可由以下中的至少一者形成或包含以下中的至少一者：SiCN、SiCON 或 SiN。在另一實施例中，閘極間隔件 GS 可為多層結構，所述多層結構由選自 SiCN、SiCON 以及 SiN 的至少兩種不同材料形成或包含所述至少兩種不同材料。

【0051】 閘極頂蓋圖案 GP 可設置於閘極電極 GE 上。閘極頂蓋圖案 GP 可沿著閘極電極 GE 且在第一方向 D1 上延伸。閘極頂蓋圖案 GP 可由將在下文描述的相對於第一層間絕緣層 110 及第二層間絕緣層 120 具有蝕刻選擇性的材料形成或包含所述材料。詳言之，閘極頂蓋圖案 GP 可由以下中的至少一者形成或包含以下的至少一者：SiON、SiCN、SiCON 或 SiN。

【0052】 閘極絕緣層 GI 可插入於閘極電極 GE 與第一通道圖案 CH1 之間以及閘極電極 GE 與第二通道圖案 CH2 之間。閘極絕緣層 GI 可位於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 以及相對側表面 SW 上且至少部分地覆蓋所述表面。閘極絕緣層 GI 可位於閘極電極 GE 下方的裝置隔離層 ST 的頂表面上且至少部分地覆蓋所述頂表面。

【0053】 在實施例中，閘極絕緣層 GI 可包含氧化矽層、氮氧化矽層及/或高 k 介電層。高 k 介電層可由介電常數高於氧化矽的介電常數的一或多種高 k 介電材料形成或包含所述一或多種高 k 介電材料。舉例而言，高 k 介電材料可包含以下中的至少一者：氧化鉛、氧化鉛矽、氧化鉛銻、氧化鉛鉍、氧化釧、氧化銻、氧化銻矽、氧化鉍、氧化鈦、氧化鉬、氧化鉬鈦、氧化鉬鈦、氧化鉬、氧化鋁、氧

化鋁、氧化鉛銦鉬或銻酸鉛鋅。

【0054】 在另一實施例中，半導體裝置可包含使用負電容器的負電容（negative capacitance；NC）FET。舉例而言，閘極絕緣層 GI 可包含展現出鐵電性質的鐵電層以及展現出順電性質的順電層。

【0055】 鐵電層可具有負電容，且順電層可具有正電容。在兩個或大於兩個電容器串聯連接且每一電容器具有正電容的情況下，總電容可減小至小於電容器中的每一者的電容的值。相比之下，在串聯連接的電容器中的至少一者具有負電容的情況下，串聯連接的電容器的總電容可具有正值且可大於每一電容的絕對值。

【0056】 在具有負電容的鐵電層及具有正電容的順電層串聯連接的情況下，串聯連接的鐵電層及順電層的總電容可增加。歸因於總電容的此增加，包含鐵電層的電晶體在室溫下可具有小於 60 mV/decade 的亞臨限值擺幅（subthreshold swing；SS）。

【0057】 鐵電層可具有鐵電性質。鐵電層可由例如以下中的至少一者形成或包含以下的至少一者：氧化鉛、氧化鉻鉛、氧化鋇鉬、氧化鋇鉬及/或氧化鉛鉻鉬。此處，氧化鉻鉛可為摻雜有鉛（Zr）的氧化鉛。替代地，氧化鉛鉻可為由鉛（Hf）、鉻（Zr）及/或氧（O）構成的化合物。

【0058】 鐵電層可更包含摻雜劑。舉例而言，摻雜劑可包含例如以下中的至少一者：鋁（Al）、鈦（Ti）、銻（Nb）、釷（La）、釔（Y）、鎂（Mg）、矽（Si）、鈣（Ca）、銻（Ce）、鐳（Dy）、鉕（Er）、釷（Gd）、鉍（Ge）、銦（Sc）、銻（Sr）及/或錫（Sn）。鐵電層中的摻雜劑的種類可取決於包含於鐵電層中的鐵電材料而變化。

【0059】 在鐵電層包含氧化鉛的情況下，鐵電層中的摻雜劑可包

含例如以下中的至少一者：釓（Gd）、矽（Si）、鋯（Zr）、鋁（Al）及/或釔（Y）。

【0060】 在摻雜劑為鋁（Al）的情況下，鐵電層中的鋁的含量可在約 3 原子%（atomic percentage；at%）至約 8 原子%的範圍內。此處，摻雜劑（例如，鋁原子）的含量可為鋁原子的數目與鈣原子及鋁原子的數目的比。

【0061】 在摻雜劑為矽（Si）的情況下，鐵電層中的矽的含量可在 2 原子%至 10 原子%的範圍內。在摻雜劑為釔（Y）的情況下，鐵電層中的釔的含量可在 2 原子%至 10 原子%的範圍內。在摻雜劑為釓（Gd）的情況下，鐵電層中的釓的含量可在 1 原子%至 7 原子%的範圍內。在摻雜劑為鋯（Zr）的情況下，鐵電層中的鋯的含量可在 50 原子%至 80 原子%的範圍內。

【0062】 順電層可具有順電性質。順電層可由例如氧化矽及/或高 k 金屬氧化物中的至少一者形成或包含氧化矽及/或高 k 金屬氧化物中的至少一者。可用作順電層的金屬氧化物可包含例如氧化鈣、氧化鋯及/或氧化鋁中的至少一者，但本發明概念的實施例不限於此等實例。

【0063】 鐵電層及順電層可由相同材料形成或包含相同材料。鐵電層可具有鐵電性質，但順電層可能不具有鐵電性質。舉例而言，在鐵電層及順電層均含有氧化鈣的情況下，鐵電層中的氧化鈣的晶體結構可不同於順電層中的氧化鈣的晶體結構。

【0064】 鐵電層可僅在其厚度在特定範圍內時展現出鐵電性質。在實施例中，鐵電層可具有在 0.5 奈米至 10 奈米範圍內的厚度，但本發明概念的實施例不限於此實例。因為與鐵電特性的出現相

關聯的臨界厚度取決於鐵電材料的種類而變化，所以鐵電層的厚度可取決於鐵電材料的種類而改變。

【0065】 作為實例，閘極絕緣層 GI 可包含單個鐵電層。作為另一實例，閘極絕緣層 GI 可包含彼此間隔開的多個鐵電層。閘極絕緣層 GI 可具有多個鐵電層及多個順電層交替堆疊的多層結構。

【0066】 閘極電極 GE 可包含第一金屬圖案及第一金屬圖案上的第二金屬圖案。第一金屬圖案可設置於閘極絕緣層 GI 上且可鄰近於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一金屬圖案可包含功函數金屬，所述功函數金屬可用於調整電晶體的臨限電壓。藉由調整第一金屬圖案的厚度及組成，有可能實現具有所要臨限電壓的電晶體。舉例而言，閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 可由第一金屬圖案或功函數金屬構成。

【0067】 第一金屬圖案可包含金屬氮化物層。舉例而言，第一金屬圖案可包含由至少一種金屬材料構成的層，所述至少一種金屬材料由以下組成的群組中選出：鈦 (Ti)、鉭 (Ta)、鋁 (Al)、鎢 (W) 及鉬 (Mo)，以及氮 (N)。在實施例中，第一金屬圖案可更包含碳 (C)。第一金屬圖案可包含堆疊的多個功函數金屬層。

【0068】 第二金屬圖案可由電阻小於第一金屬圖案的金屬材料形成或包含所述金屬材料。舉例而言，第二金屬圖案可由至少一種金屬材料形成或包含至少一種金屬材料，所述至少一種金屬材料由以下組成的群組中選出：鎢 (W)、鋁 (Al)、鈦 (Ti) 以及鉭 (Ta)。閘極電極 GE 的第四部分 PO4 可包含第一金屬圖案及第一金屬圖案上的第二金屬圖案。

【0069】 返回參考 5B，可將內間隔件 IP 設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。即，內間隔件 IP 可設置於第二主動圖案 AP2 上。內間隔件 IP 可分別插入於閘極電極 GE 的第一部分 PO1、第三部分 PO2 以及第三部分 PO3 與第二源極/汲極圖案 SD2 之間。內間隔件 IP 可與第二源極/汲極圖案 SD2 直接接觸。閘極電極 GE 的第一部分 PO1、第三部分 PO2 以及第三部分 PO3 中的每一者可藉由內間隔件 IP 與第二源極/汲極圖案 SD2 間隔開。

【0070】 第一層間絕緣層 110 可設置於基底 100 上。第一層間絕緣層 110 可位於閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 上且至少部分地覆蓋閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。第一層間絕緣層 110 可具有與閘極頂蓋圖案 GP 的頂表面及閘極間隔件 GS 的頂表面實質上共面的頂表面。第二層間絕緣層 120 可形成於第一層間絕緣層 110 上，以位於閘極頂蓋圖案 GP 上且至少部分地覆蓋閘極頂蓋圖案 GP。第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。在實施例中，第一層間絕緣層 110 至第四層間絕緣層 140 中的至少一者可包含氧化矽層。

【0071】 一對分隔結構 DB 可在第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的兩側處設置成在第二方向 D2 上彼此相對。舉例而言，可將一對分隔結構 DB 分別設置於第一單高度單元 SHC1 的第一邊界 BD1 及第二邊界 BD2 上。分隔結構 DB 可在第一方向 D1 上平行於閘極電極 GE 延伸。分隔結構 DB 與鄰近其

的閘極電極 GE 之間的間距可等於第一間距。

【0072】 分隔結構 DB 可穿透第一層間絕緣層 110 及第二層間絕緣層 120 且可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 中。分隔結構 DB 可穿透第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的上部部分。分隔結構 DB 可使第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的主動區與相鄰單元的主動區電分離。

【0073】 主動觸點 AC 可穿透第一層間絕緣層 110 及第二層間絕緣層 120 且可分別電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。一對主動觸點 AC 可分別設置於閘極電極 GE 的兩側處。當以平面圖查看時，主動觸點 AC 可為在第一方向 D1 上延長的條形圖案。

【0074】 主動觸點 AC 可為自對準觸點。舉例而言，主動觸點 AC 可藉由使用閘極頂蓋圖案 GP 及閘極間隔件 GS 的自對準製程來形成。舉例而言，主動觸點 AC 可位於閘極間隔件 GS 的側表面的至少一部分上且覆蓋所述至少一部分。儘管未繪示，但主動觸點 AC 可位於閘極頂蓋圖案 GP 的頂表面的一部分上且至少部分地覆蓋所述一部分。

【0075】 金屬半導體化合物層 SC（例如，矽化物層）可分別插入於主動觸點 AC 與第一源極/汲極圖案 SD1 之間以及主動觸點 AC 與第二源極/汲極圖案 SD2 之間。主動觸點 AC 可經由金屬半導體化合物層 SC 電連接至源極/汲極圖案 SD1 及源極/汲極圖案 SD2。舉例而言，金屬半導體化合物層 SC 可由以下中的至少一者形成或包含以下的至少一者：矽化鈦、矽化鉭、矽化鎢、矽化鎳或矽化鈷。

【0076】 返回參考圖 5C，第一單高度單元 SHC1 上的至少一個主動觸點 AC 可將第一 PMOSFET 區 PR1 的第一源極/汲極圖案 SD1 電連接至第一 NMOSFET 區 NR1 的第二源極/汲極圖案 SD2。主動觸點 AC 可在第一方向 D1 上自第一 NMOSFET 區 NR1 的第二源極/汲極圖案 SD2 延伸至第一 PMOSFET 區 PR1 的第一源極/汲極圖案 SD1。

【0077】 閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP，且可分別電連接至閘極電極 GE。當以平面圖查看時，第一單高度單元 SHC1 上的兩個閘極觸點 GC 可在 D3 方向上與第一 PMOSFET 區 PR1 重疊。即，第一單高度單元 SHC1 上的兩個閘極觸點 GC 可設置於第一主動圖案 AP1 上（例如，參看圖 5A）。當以平面圖查看時，第一單高度單元 SHC1 上的單個閘極觸點 GC 可在 D3 方向上與第一 NMOSFET 區 NR1 重疊。換言之，第一單高度單元 SHC1 上的單個閘極觸點 GC 可設置於第二主動圖案 AP2 上（例如，參看圖 5B）。

【0078】 閘極觸點 GC 可自由地安置於閘極電極 GE 上，其位置無任何限制。舉例而言，第二單高度單元 SHC2 上的閘極觸點 GC 可分別安置於第二 PMOSFET 區 PR2、第二 NMOSFET 區 NR2 以及裝置隔離層 ST 上，從而至少部分地填充溝渠 TR（例如，參看圖 4）。

【0079】 在實施例中，參考圖 5A 及圖 5B，鄰近於閘極觸點 GC 的主動觸點 AC 的上部部分可至少部分地填充有上部絕緣圖案 UIP。上部絕緣圖案 UIP 的底表面可在基底 100 充當基礎參考層的 D3 方向上低於閘極觸點 GC 的底表面。換言之，鄰近於閘極觸點 GC

的主動觸點 AC 的頂表面可藉由上部絕緣圖案 UIP 形成於在基底 100 充當基礎參考層的 D3 方向上低於閘極觸點 GC 的底表面的層級處。因此，可有可能防止或減小彼此鄰近的閘極觸點 GC 及主動觸點 AC 彼此接觸的可能性，且藉此防止或減小其間出現短路問題的可能性。

【0080】 主動觸點 AC 及閘極觸點 GC 中的每一者可包含障壁金屬 BM 及障壁金屬 BM 上的填充物金屬 FM。障壁金屬 BM 可設置成包圍填充物金屬 FM 的除頂表面以外的全部表面。舉例而言，填充物金屬 FM 可由以下中的至少一者形成或包含以下的至少一者：鉬、鎢、鈳、鈷或鈳。在實施例中，填充物金屬 FM 可由鉬形成或包含鉬。障壁金屬 BM 可包含金屬氮化物層。金屬氮化物層可由以下中的至少一者形成或包含以下中的至少一者：氮化鈦 (TiN)、氮化鉭 (TaN)、氮化鎢 (WN)、氮化鎳 (NiN)、氮化鈷 (CoN) 或氮化鉑 (PtN)。

【0081】 第一金屬層 M1 可設置於第三層間絕緣層 130 中。舉例而言，第一金屬層 M1 可包含第一電源線 M1\_R1、第二電源線 M1\_R2、第三電源線 M1\_R3 以及第一互連線 M1\_I。第一金屬層 M1 的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 可在第二方向 D2 上彼此平行地延伸。

【0082】 詳言之，第一電源線 M1\_R1 及第二電源線 M1\_R2 可分別設置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。第一電源線 M1\_R1 可沿著第三邊界 BD3 且在第二方向 D2 上延伸。第二電源線 M1\_R2 可沿著第四邊界 BD4 且在第二方向 D2 上延伸。

【0083】 第一金屬層 M1 的第一互連線 M1\_I 可在第一方向 D1 上以第二間距配置。第二間距可小於第一間距。第一互連線 M1\_I 中的每一者在 D1 方向上的線寬可小於第一電源線 M1\_R1、第二功率線 M1\_R2 以及第三功率線 M1\_R3 中的每一者的線寬，如圖 5C 中所繪示。

【0084】 第一金屬層 M1 可更包含第一通孔 VI1。第一通孔 VI1 可分別設置於第一金屬層 M1 的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 下方（亦即，更靠近基底 100）。主動觸點 AC 及第一金屬層 M1 的互連線可經由第一通孔 VI1 彼此電連接。閘極觸點 GC 及第一金屬層 M1 的互連線可經由第一通孔 VI1 彼此電連接。

【0085】 類似於主動觸點 AC 及閘極觸點 GC，第一通孔 VI1 可包含障壁金屬 BM 及障壁金屬 BM 上的填充物金屬 FM。第一金屬層 M1 的互連線及互連線下的第一通孔 VI1 可藉由單獨製程形成。舉例而言，第一金屬層 M1 的互連線及第一通孔 VI1 可獨立地由各別單金屬鑲嵌製程形成。可使用次 20 奈米製程來製造根據本實施例的半導體裝置。

【0086】 第二金屬層 M2 可設置於第四層間絕緣層 140 中。第二金屬層 M2 可包含多個第二互連線 M2\_I。第二金屬層 M2 的第二互連線 M2\_I 中的每一者可為在第一方向 D

【0087】 1 上延伸的線形圖案或條形圖案。換言之，第二互連線 M2\_I 可在第一方向 D1 上延伸且彼此平行。

【0088】 第二金屬層 M2 可更包含分別設置於第二互連線 M2\_I 下方（亦即，更靠近基底）的第二通孔 VI2。第一金屬層 M1 及第二

金屬層 M2 的互連線可經由第二通孔 VI2 彼此電連接。第二金屬層 M2 的互連線及互連線下的第二通孔 VI2 可藉由雙金屬鑲嵌製程一起形成。

【0089】 第一金屬層 M1 的互連線可由與第二金屬層 M2 的導電材料相同或不同的導電材料形成或包含所述導電材料。舉例而言，第一金屬層 M1 及第二金屬層 M2 的互連線可由一或多種金屬材料（例如，銅、鈮、鋁、鎢、鉬以及鈷）形成或包含所述一或多種金屬材料。儘管未繪示，但多個金屬層（例如，M3、M4、M5 等）可另外堆疊於第四層間絕緣層 140 上。堆疊的金屬層中的每一者可包含用作單元之間的佈線路徑的互連線。

【0090】 在下文中，將參考圖 6 更詳細地描述主動觸點 AC 的障壁金屬 BM 及填充物金屬 FM。障壁金屬 BM 可設置於第一層間絕緣層 110 的接觸溝渠 CNH 的內表面上。障壁金屬 BM 可具有均勻厚度。

【0091】 在實施例中，障壁金屬 BM 可包含藉由 PECVD 製程形成的金屬氮化物層（例如，TiN）。在另一實施例中，障壁金屬 BM 可包含使用沈積製程形成且接著使用電漿進行處理的金屬氮化物層（例如，TiN）。舉例而言，障壁金屬 BM 可為或包含金屬氮化物層，所述金屬氮化物層藉由在其沈積製程期間或直接在其沈積製程之後執行的使用電漿的離子轟擊製程進行處理。

【0092】 作為離子轟擊製程的結果，障壁金屬 BM 的材料（例如 TiN）可比使用簡單 CVD 製程沈積的 TiN 層更緻密。由於障壁金屬 BM 的材料（例如，TiN）藉由離子轟擊製程而具有增加的密度，因此其可具有壓縮應力。

【0093】 填充物金屬 FM 可經由沈積製程（例如，ALD）形成，在形成障壁金屬 BM 之後對障壁金屬 BM 執行所述沈積製程。在形成填充物金屬 FM 期間，填充物金屬 FM 的晶體結構可受障壁金屬 BM 影響。

【0094】 根據本發明概念的實施例，填充物金屬 FM 可為鉬且可包含第一結晶區 CRS1 及第二結晶區 CRS2。第一結晶區 CRS1 可具有第一晶體結構（例如，體心立方（BCC）結構）。第二結晶區 CRS2 可具有第二晶體結構（例如，面心立方（FCC）結構）。

【0095】 晶界 GRB 可界定於結晶區之間。晶界 GRB 可形成於具有不同結晶結構的第一結晶區 CRS1 與第二結晶區 CRS2 之間。另外，晶粒界 GRB 可形成於彼此鄰近且具有相同結晶結構的第一結晶區 CRS1 之間。

【0096】 填充物金屬 FM 中的第一結晶區 CRS1 的比例可在 60% 至 99% 的範圍內。換言之，第一結晶區 CRS1 的體積與填充物金屬 FM 的總體積的比可在 60% 至 99% 的範圍內。舉例而言，在圖 6 中所繪示的二維截面中，第一結晶區 CRS1 的面積與填充物金屬 FM 的總面積的比可在 60% 至 99% 的範圍內。填充物金屬 FM 中的 BCC 結構的分率或比例可在 60% 至 99% 的範圍內。第二結晶區 CRS2 可對應於填充物金屬 FM 的除第一結晶區 CRS1 以外的其餘區。

【0097】 根據本發明概念的實施例，填充物金屬 FM（亦即，鉬）中的 60% 至 99% 的晶體結構可為 BCC 結構。更特定言之，填充物金屬 FM（亦即，鉬）中的 80% 至 99% 的晶體結構可為 BCC 結構。

【0098】 在填充物金屬 FM（亦即，鉬）中的 BCC 結構的比例在 60% 至 99%（更特定言之，80% 至 99%）的範圍內的情況下，填充

物金屬 FM 可具有 16 微歐公分至 18 微歐公分的電阻率。根據本發明概念的實施例，由於填充物金屬 FM 中的 BCC 結構的比例高於 80%，因此填充物金屬 FM 可具有相對較低的電阻率。即，主動觸點 AC 可具有相對較低的電阻，且此可使得有可能改良半導體裝置的電特性。

【0099】 已參考主動觸點 AC 描述根據本發明概念的實施例的障壁金屬 BM 及填充物金屬 FM。在實施例中，閘極觸點 GC 及第一通孔 VI1 亦可包含障壁金屬 BM 及填充物金屬 FM，且在此情況下，閘極觸點 GC 及第一通孔 VI1 中的障壁金屬 BM 及填充物金屬 FM 可具有與上文所描述的主動觸點 AC 的特徵相同的特徵。

【0100】 因此，在根據本發明概念的實施例的半導體裝置中，構成邏輯電路的電晶體可藉由減小的電阻連接至其上的第一金屬層 M1 的互連線，且此可使得有可能改良半導體裝置的電特性。

【0101】 根據本發明概念的實施例，主動觸點 AC 的填充物金屬 FM 中的體心立方（BCC）結構的比例可高於閘極觸點 GC 及第一通孔 VI1 中的每一者的填充物金屬 FM 中的體心立方（BCC）結構的比例。在此情況下，填充物金屬 FM 在主動觸點 AC 中的電阻率可低於在閘極觸點 GC 及第一通孔 VI1 中的每一者中的電阻率。此是因為主動觸點 AC 是以至少部分地填充相對較寬的渠溝的接觸插塞的形式提供（例如，參看圖 5C），而閘極觸點 GC 及第一通孔 VI1 中的每一者是以可至少部分地填充相對較窄的孔的接觸插塞的形式提供（例如，參看圖 5D）。

【0102】 圖 7A 至圖 14D 為示出根據本發明概念的實施例的製造半導體裝置的方法的截面圖。詳言之，圖 7A、圖 8A、圖 9A、圖

10A、圖 11A、圖 12A、圖 13A 以及圖 14A 為對應於圖 4 的線 A-A'的截面圖。圖 9B、圖 10B、圖 11B、圖 12B、圖 13B 以及圖 14B 為對應於圖 4 的線 B-B'的截面圖。圖 9C、圖 10C、圖 11C、圖 12C、圖 13C 以及圖 14C 為對應於圖 4 的線 C-C'的截面圖。圖 7B、圖 8B、圖 9D、圖 10D、圖 11D、圖 12D、圖 13D 以及圖 14D 為對應於圖 4 的線 D-D'的截面圖。

【0103】 參考圖 7A 及圖 7B，可提供基底 100，且在一實施例中，基底可包含第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2。主動層 ACL 及犧牲層 SAL 可交替堆疊於基底 100 上。主動層 ACL 可由以下形成或包含以下：矽（Si）、鍺（Ge）及/或矽鍺（SiGe），且犧牲層 SAL 可由以下形成或包含以下：矽（Si）、鍺（Ge）及/或矽鍺（SiGe）。

【0104】 犧牲層 SAL 可由相對於主動層 ACL 具有蝕刻選擇性的材料形成或可包含所述材料。舉例而言，主動層 ACL 可由矽（Si）形成或包含矽（Si），且犧牲層 SAL 可由矽鍺（SiGe）形成或包含矽鍺（SiGe）。犧牲層 SAL 中的每一者的鍺濃度可在 10 原子%至 30 原子%的範圍內。

【0105】 單幕圖案可分別形成於基底 100 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。單幕圖案可為在第二方向 D2 上延伸的線形圖案或條形圖案。

【0106】 可執行使用單幕圖案作為蝕刻單幕的圖案化製程以形成界定第一主動圖案 AP1 及第二主動圖案 AP2 的溝渠 TR。第一主

動圖案 AP1 可形成於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者上。第二主動圖案 AP2 可形成於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的每一者上。

【0107】可在第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上形成堆疊圖案 STP。堆疊圖案 STP 可包含交替堆疊的主動層 ACL 及犧牲層 SAL。在圖案化製程期間，可與第一主動圖案 AP1 及第二主動圖案 AP2 一起形成堆疊圖案 STP。

【0108】裝置隔離層 ST 可形成為至少部分地填充溝渠 TR。詳言之，絕緣層可形成於基底 100 上以至少部分地覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 以及堆疊圖案 STP。裝置隔離層 ST 可藉由使絕緣層凹陷以暴露堆疊圖案 STP 的至少一部分而形成。

【0109】裝置隔離層 ST 可由至少一種絕緣材料（例如，氧化矽）形成或包含所述絕緣材料。如圖 7B 中所繪示，堆疊圖案 STP 可在 D3 方向上置放於裝置隔離層 ST 上方，且可暴露於裝置隔離層 ST 的外部。換言之，堆疊圖案 STP 可在裝置隔離層 ST 上方豎直（亦即，D3 方向）突出。

【0110】參考圖 8A 及圖 8B，犧牲圖案 PP 可形成於基底 100 上以與堆疊圖案 STP 交叉。犧牲圖案 PP 中的每一者可為在第一方向 D1 上延伸的線形圖案或條形圖案。犧牲圖案 PP 可在第二方向 D2 上以第一間距配置。

【0111】詳言之，犧牲圖案 PP 的形成可包含在基底 100 上形成犧牲層，在犧牲層上形成硬式罩幕圖案 MP，以及使用硬式罩幕圖案 MP 作為蝕刻罩幕來圖案化犧牲層。舉例而言，犧牲層可由多晶矽形成或包含多晶矽。

【0112】一對閘極間隔件 GS 可形成於犧牲圖案 PP 中的每一者的相對側表面上。閘極間隔件 GS 的形成可包含在基底 100 上共形地形成閘極間隔件層以及非等向性地蝕刻閘極間隔件層。在實施例中，閘極間隔件 GS 可為包含至少兩個層的多層結構。

【0113】參考圖 9A 至圖 9D，第一凹部 RS1 可形成於第一主動圖案 AP1 上的堆疊圖案 STP 中。第二凹部 RS2 可形成於第二主動圖案 AP2 上的堆疊圖案 STP 中。在形成第一凹部 RS1 及第二凹部 RS2 期間，裝置隔離層 ST 亦可在第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的兩側處凹陷（例如，參看圖 9C）。

【0114】詳言之，可藉由使用硬式罩幕圖案 MP 及閘極間隔件 GS 作為蝕刻罩幕蝕刻第一主動圖案 AP1 上的堆疊圖案 STP 來形成第一凹部 RS1。第一凹部 RS1 可形成於一對犧牲圖案 PP 之間。

【0115】第二主動圖案 AP2 上的堆疊圖案 STP 中的第二凹部 RS2 可藉由與第一凹部 RS1 的相同的方法來形成。第二凹部 RS2 的形成可更包含在藉由選擇性地蝕刻犧牲層 SAL 形成的凹陷區中形成內間隔件 IP。

【0116】依序堆疊於第一凹部 RS1 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由主動層 ACL 形成。依序堆疊於第二凹部 RS2 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由主動層 ACL 形成。第一凹部 RS1 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第一通道圖案 CH1。第二凹部 RS2 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案

SP3 可構成第二通道圖案 CH2。

【0117】 參考圖 10A 至圖 10D，第一源極/汲極圖案 SD1 可分別形成於第一凹部 RS1 中。詳言之，緩衝層 BFL 可藉由使用第一凹部 RS1 的內表面作為晶種層的第一 SEG 製程來形成。緩衝層 BFL 可使用至少部分地經由第一凹部 RS1 暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 以及基底 100 作為晶種層進行生長。在實施例中，第一 SEG 製程可包含化學氣相沈積（chemical vapor deposition；CVD）製程或分子束磊晶（molecular beam epitaxy；MBE）製程。

【0118】 緩衝層 BFL 可含有晶格常數大於基底 100 的半導體材料的晶格常數的半導體材料（例如，SiGe）。緩衝層 BFL 可含有相對較低濃度的鍺（Ge）。在實施例中，緩衝層 BFL 可僅含有矽（Si）而不含有鍺（Ge）。緩衝層 BFL 的鍺濃度可在 0 原子%至 10 原子%的範圍內。

【0119】 可對緩衝層 BFL 執行第二 SEG 製程以形成主層 MAL。主層 MAL 可形成為至少部分地填充第一凹部 RS1。主層 MAL 可含有相對較高濃度的鍺。在實施例中，主層 MAL 的鍺濃度可在 30 原子%至 70 原子%的範圍內。

【0120】 第一源極/汲極圖案 SD1 可在形成緩衝層 BFL 及主層 MAL 期間原位摻雜有 p 型雜質（例如，硼、鎵或銦）。在其他實施例中，可在形成第一源極/汲極圖案 SD1 之後將雜質注入至第一源極/汲極圖案 SD1 中。

【0121】 第二源極/汲極圖案 SD2 可分別形成於第二凹部 RS2 中。詳言之，第二源極/汲極圖案 SD2 可藉由使用第二凹部 RS2 的內表

面作為晶種層的第三 SEG 製程形成。在實施例中，第二源極/汲極圖案 SD2 可由與基底 100 相同的半導體材料（例如，Si）形成或包含所述半導體材料。

【0122】 在形成第二源極/汲極圖案 SD2 期間，第二源極/汲極圖案 SD2 可原位摻雜有 n 型雜質（例如，磷、砷或銻）。在其他實施例中，可在形成第二源極/汲極圖案 SD2 之後將雜質注入至第二源極/汲極圖案 SD2 中。

【0123】 參考圖 11A 至圖 11D，可形成第一層間絕緣層 110 以至少部分地覆蓋第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2、硬式罩幕圖案 MP 以及閘極間隔件 GS。作為實例，第一層間絕緣層 110 可包含氧化矽層。

【0124】 第一層間絕緣層 110 可經平坦化以至少部分地暴露犧牲圖案 PP 的頂表面。可使用回蝕或化學機械研磨（chemical-mechanical polishing；CMP）製程來執行第一層間絕緣層 110 的平坦化。可在平坦化製程期間移除大部分或全部硬式罩幕圖案 MP。因此，第一層間絕緣層 110 可具有與犧牲圖案 PP 的頂表面及閘極間隔件 GS 的頂表面共面的頂表面。

【0125】 可執行光微影製程以選擇性地敞開犧牲圖案 PP 的區。舉例而言，可選擇性地敞開犧牲圖案 PP 在第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上的區。可選擇性地蝕刻及移除犧牲圖案 PP 的敞開區。可藉由用絕緣材料至少部分地填充藉由移除犧牲圖案 PP 形成的空間來形成閘極切割圖案 CT。

【0126】 參考圖 12A 至圖 12D，可選擇性地移除暴露的犧牲圖案 PP。作為移除犧牲圖案 PP 的結果，可形成至少部分地暴露第一通

道圖案 CH1 及第二通道圖案 CH2 的外部區 ORG (例如, 參看圖 12D)。移除犧牲圖案 PP 可包含濕式蝕刻製程, 使用能夠選擇性地蝕刻多晶矽的蝕刻溶液來執行所述濕式蝕刻製程。

【0127】 可選擇性地移除經由外部區 ORG 暴露的犧牲層 SAL 以形成內部區 IRG (例如, 參看圖 12D)。詳言之, 藉由執行選擇性地蝕刻犧牲層 SAL 的製程, 可有可能留下第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 且僅移除犧牲層 SAL。蝕刻製程可經選擇以使具有相對較高的鍺濃度的材料(例如, SiGe)具有較高蝕刻速率。舉例而言, 蝕刻製程可經選擇以使鍺濃度高於 10 原子%的矽鍺層具有較高蝕刻速率。

【0128】 在蝕刻製程期間, 可移除第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上的犧牲層 SAL。蝕刻製程可為濕式蝕刻製程。用於蝕刻製程中的蝕刻劑材料可經選擇以移除具有相對較高的鍺濃度的犧牲層 SAL。同時, 第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 上的第一源極/汲極圖案 SD1 可藉由具有相對較低的鍺濃度的緩衝層 BFL 而不受蝕刻製程影響。

【0129】 返回參考圖 12D, 因為選擇性地移除犧牲層 SAL, 所以可僅留下堆疊於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。藉由移除犧牲層 SAL 而形成的空區可分別形成第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3。

【0130】 詳言之, 第一內部區 IRG1 可形成於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間, 第二內部區 IRG2 可形

成於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間，且第三內部區 IRG3 可形成於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間。

【0131】 參考圖 13A 至圖 13D，閘極絕緣層 GI 可保形地形成於暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 上。閘極電極 GE 可形成於閘極絕緣層 GI 上。閘極電極 GE 可包含分別形成於第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 中的第一部分 PO1、第二部分 PO2 以及第三部分 PO3，以及形成於外部區 ORG 中的第四部分 PO4。

【0132】 可使閘極電極 GE 凹陷以具有降低的高度。在使閘極電極 GE 凹陷期間，第一閘極切割圖案 CT1 及第二閘極切割圖案 CT2 的上部部分可稍微凹陷。閘極頂蓋圖案 GP 可形成於凹陷的閘極電極 GE 上。

【0133】 參考圖 14A 至圖 14D，第二層間絕緣層 120 可形成於第一層間絕緣層 110 上。第二層間絕緣層 120 可包含氧化矽層。主動觸點 AC 可形成為穿透第二層間絕緣層 120 及第一層間絕緣層 110 且電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。閘極觸點 GC 可形成為穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP 且分別電連接至閘極電極 GE。

【0134】 形成主動觸點 AC 及閘極觸點 GC 中的每一者可包含形成障壁金屬 BM 以及在障壁金屬 BM 上形成填充物金屬 FM。障壁金屬 BM 可保形地形成且可包含金屬層及金屬氮化物層。填充物金屬 FM 可由一或多種低電阻金屬形成或包含一或多種低電阻金屬。

【0135】一對分隔結構 DB 可形成於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的兩側處。分隔結構 DB 可穿透第二層間絕緣層 120 及閘極電極 GE 且可延伸至主動圖案 AP1 或主動圖案 AP2 中。分隔結構 DB 可由絕緣材料（例如，氧化矽或氮化矽）形成或包含所述絕緣材料。

【0136】返回參考圖 5A 至圖 5D，第三層間絕緣層 130 可形成於主動觸點 AC 及閘極觸點 GC 上。第一金屬層 M1 可形成於第三層間絕緣層 130 中。詳言之，分別連接至主動觸點 AC 及閘極觸點 GC 的第一通孔 VI1 可形成於第三層間絕緣層 130 的下部部分中。第一通孔 VI1 中的每一者可包含障壁金屬 BM 及填充物金屬 FM。與第一通孔 VI1 接觸的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 可形成於第三層間絕緣層 130 的上部部分中。第四層間絕緣層 140 可形成於第三層間絕緣層 130 上。第二金屬層 M2 可形成於第四層間絕緣層 140 中。

【0137】圖 15 至圖 17 為示出在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。參考圖 15，接觸溝渠 CNH 可形成為穿透第一層間絕緣層 110。舉例而言，接觸溝渠 CNH 可形成為至少部分地暴露第一源極/汲極圖案 SD1。接觸溝渠 CNH 的底部可在 D3 方向上低於第一源極/汲極圖案 SD1 的頂表面，如圖 15 中所繪示。

【0138】可藉由對經由接觸溝渠 CNH 暴露的第一源極/汲極圖案 SD1 執行矽化製程來形成金屬化半導體化合物層 SC。可藉由經由接觸溝渠 CNH 暴露的第一源極/汲極圖案 SD1 的半導體材料與經由接觸溝渠 CNH 供應的金屬材料之間的反應來形成金屬化半導體

化合物層 SC。

【0139】 參考圖 16，障壁金屬層 BML 可形成為保形地至少部分覆蓋接觸溝渠 CNH 的內表面。可使用化學氣相沈積（CVD）製程來形成障壁金屬層 BML。障壁金屬層 BML 可包含金屬氮化物（例如，TiN）層。

【0140】 根據本發明概念的實施例，可使用電漿來形成障壁金屬層 BML。在實施例中，可使用程在電漿環境下執行的沈積製程（例如，PECVD 製程）來形成障壁金屬層 BML。在另一實施例中，可使用沈積製程來形成障壁金屬層 BML，且接著，可對障壁金屬層 BML 進一步執行使用電漿的後處理製程。

【0141】 因為障壁金屬層 BML 暴露於電漿，所以障壁金屬層 BML 可經歷電漿中的由離子 IN 引起的離子轟擊。可藉由在電漿製程期間在製程腔室中供應非活性及/或惰性氣體（例如，氮氣、氬氣、氦氣、氖氣、氬氣以及氙氣）來產生離子 IN。

【0142】 在實施例中，轟擊障壁金屬層 BML 的離子 IN 可包含氮離子。在另一實施例中，轟擊障壁金屬層 BML 的離子 IN 可包含氬離子。在此情況下，氬（Ar）可留在障壁金屬層 BML 中且可充當雜質。換言之，留在障壁金屬層 BML 中的雜質可包含在電漿製程期間以離子形式注入的氬原子、氮原子、氖原子、氬原子及/或氙原子。障壁金屬層 BML 中的雜質的濃度可在  $1E18$  原子/立方公分至  $1E21$  原子/立方公分的範圍內。

【0143】 因為障壁金屬層 BML 經歷離子轟擊製程，所以障壁金屬層 BML 與未暴露於電漿製程的層相比可具有較高密度。障壁金屬層 BML 可具有壓縮應力。

【0144】 參考圖 17，填充物金屬層 FML 可形成於障壁金屬層 BML 上。填充物金屬層 FML 可使用沈積製程（例如，ALD）形成。填充物金屬層 FML 可由以下中的至少一者形成或包含以下中的至少一者：鉬、鎢、鈳、鈷或鈳。在實施例中，填充物金屬層 FML 可由鉬形成或包含鉬。

【0145】 填充物金屬層 FML 可包含具有第一晶體結構（例如，體心立方（BCC）結構）的第一結晶區 CRS1 以及具有第二晶體結構（例如，面心立方（FCC）結構）的第二結晶區 CRS2。

【0146】 在填充物金屬層 FML 的沈積製程期間，至少兩種不同晶體結構可形成於填充物金屬層 FML 中。在填充物金屬層 FML 的沈積製程期間，具有其自有獨特晶體結構且彼此接合以形成邊界的若干結晶區可形成於填充物金屬層 FML 中。換言之，填充物金屬層 FML 可包含界定於結晶區之間的粒界 GRB。

【0147】 填充物金屬層 FML 中的第一結晶區 CRS1 的比例可在 60%至 99%的範圍內。在實施例中，填充物金屬層 FML 中的第一結晶區 CRS1 的比例可在 80%至 99%的範圍內。舉例而言，填充物金屬層 FML 可包含 BCC 結構的比例高於 80%的鉬。因為填充物金屬層 FML 沈積於障壁金屬層 BML 上，所述障壁金屬層暴露於離子轟擊製程以具有增加的密度，所以第一結晶區 CRS1 可佔填充物金屬層 FML 的 60%（較佳為 80%）或高於 60%。

【0148】 在 BCC 結構的第一結晶區 CRS1 的比例在填充物金屬層 FML 中增加的情況下，填充物金屬層 FML 的電阻率可以成反比方式降低。即，填充物金屬層 FML 中的第一結晶區 CRS1 的比例愈高，填充物金屬層 FML 的電阻率愈低。因為根據一些實施例的填

填充物金屬層 FML 包含 BCC 結構比例為 80%或高於 80%的鉬，所以填充物金屬層 FML 可具有 16 微歐公分至 18 微歐公分的相對較低電阻率。

【0149】 返回參考圖 14A，可分別使接觸溝渠 CNH 中的填充物金屬層 FML 及障壁金屬層 BML 凹陷以形成填充物金屬 FM 及障壁金屬 BM。填充物金屬 FM 及障壁金屬 BM 可構成主動觸點 AC。上部絕緣圖案 UIP 可形成於主動觸點 AC 上以填充凹陷區。

【0150】 儘管未繪示，但參考圖 15 至圖 17 所描述的形成障壁金屬層 BML 及填充物金屬層 FML 的方法可用於形成閘極觸點 GC 及第一通孔 VI1 中的每一者。

【0151】 根據本發明概念的實施例，因為主動觸點 AC 形成於相對較寬的接觸溝渠 CNH 中，所以可更易於對障壁金屬層 BML 執行離子轟擊製程。因此，有可能更有效地增加主動觸點 AC 的障壁金屬層 BML 的密度。相比之下，由於閘極觸點 GC 及第一通孔 VI1 形成於相對較窄的孔中，因此可更低效地對障壁金屬層 BML 執行離子轟擊製程。因此，障壁金屬層 BML 的密度在閘極觸點 GC 及第一通孔 VI1 中的每一者中可比在主動觸點 AC 中更低。

【0152】 因為主動觸點 AC 的障壁金屬層 BML 具有相對較高密度，所以形成於其上的填充物金屬層 FML 中的體心立方（BCC）結構的比例可相對較高。相比之下，由於閘極觸點 GC 及第一通孔 VI1 中的每一者的障壁金屬層 BML 具有相對較低密度，因此形成於其上的填充物金屬層 FML 中的體心立方（BCC）結構的比例可相對較低。

【0153】 圖 18 為示出根據比較例的在圖 14A 的部分『M』中形成

主動觸點的方法的放大截面圖。參考圖 18，根據比較例的障壁金屬層 BML 可經由不使用電漿或使用較少電漿的製程來形成。舉例而言，根據比較例的障壁金屬層 BML 可僅藉由簡單 CVD 製程形成，且可省略使用電漿的後續後處理製程。因此，根據比較例的障壁金屬層 BML 的密度可低於執行了圖 16 的離子轟擊製程的障壁金屬層 BML 的密度。

【0154】對於沈積於根據比較例的障壁金屬層 BML 上的填充物金屬層 FML，第一結晶區 CRS1 可形成為具有相對較小的分率。舉例而言，根據比較例的填充物金屬層 FML 中的第一結晶區 CRS1 的比例可小於 60%。換言之，填充物金屬層 FML 中的第二結晶區 CRS2 的比例可具有相對增大的值。

【0155】在比較例中，因為填充物金屬層 FML 中的 BCC 結構的比例相對較低，所以填充物金屬層 FML 可具有相對較高的電阻率。舉例而言，根據比較例的填充物金屬層 FML 的電阻率可大於 18 微歐公分。此是因為填充物金屬層 FML 具有藉由下伏層（亦即，障壁金屬層 BML）的性質判定的晶體結構，所述下伏層在其沈積製程期間位於填充物金屬層 FML 下方。

【0156】圖 19A 至圖 19D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取以示出根據本發明概念的實施例的半導體裝置的截面圖。為了簡潔描述，先前參考圖 4 及圖 5A 至圖 5D 所描述的元件可由相同附圖標號標識，而不重複其重疊描述。

【0157】參考圖 4 及圖 19A 至圖 19D，裝置隔離層 ST 可在基底 100 的上部部分中界定第一主動圖案 AP1 及第二主動圖案 AP2。可在第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者

上界定第一主動圖案 AP1，且可在第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的每一者上界定第二主動圖案 AP2。

【0158】裝置隔離層 ST 可位於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的下部側表面上且至少部分地覆蓋所述下部側表面。第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的上部部分可為裝置隔離層 ST 上方的突出圖案，所述突出圖案豎直地，亦即在 D3 方向或垂直於基底的上表面的方向上延伸（例如，參看圖 19D）。

【0159】第一主動圖案 AP1 可包含設置於其上部部分中的第一源極/汲極圖案 SD1 以及設置於第一源極/汲極圖案 SD1 之間的第一通道圖案 CH1。第二主動圖案 AP2 可包含設置於其上部部分中的第二源極/汲極圖案 SD2 以及設置於第二源極/汲極圖案 SD2 之間的第二通道圖案 CH2。

【0160】返回參考圖 19D，第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可不包含先前參考圖 5A 至圖 5D 所描述的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 的堆疊。第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可經成形為如在裝置隔離層 ST 上方突出的單個半導體柱（例如，參看圖 19D）。

【0161】閘極電極 GE 可設置於第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者的頂表面 TS 及相對側表面 SW 上。換言之，根據本實施例的電晶體可為三維場效電晶體（例如，FinFET），其中閘極電極 GE 設置成以三維方式至少部分地圍繞通道圖案。

【0162】第一層間絕緣層 110 及第二層間絕緣層 120 可設置於基

底 100 上。主動觸點 AC 可穿透第一層間絕緣層 110 及第二層間絕緣層 120 且可分別連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP，且可連接至閘極電極 GE。主動觸點 AC 及閘極觸點 GC 可經組態以具有與參考圖 4、圖 5A 至圖 5D 以及圖 6 所描述的特徵實質上相同的特徵。

【0163】 第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。第一金屬層 M1 可設置於第三層間絕緣層 130 中。第二金屬層 M2 可設置於第四層間絕緣層 140 中。第一金屬層 M1 及第二金屬層 M2 可經組態以具有與參考圖 4 及圖 5A 至圖 5D 所描述的特徵實質上相同的特徵。

【0164】 根據本發明概念的實施例，半導體裝置的觸點的填充物金屬可具有呈相對較高比例的體心立方（BCC）結構。在觸點的填充物金屬中的體心立方（BCC）結構的比例增加的情況下，觸點可具有較低電阻率。因此，構成邏輯電路的電晶體與其上的第一金屬層之間的電阻可減少，且此可使得有可能改良半導體裝置的電特性。

【0165】 雖然已特定繪示及描述本發明概念的實例實施例，但所屬領域中具通常知識者將理解，在不脫離所附申請專利範圍的精神及範疇的情況下，可對此等實例實施例進行形式及細節上的變化。

## 【符號說明】

【0166】

100:基底

110:第一層間絕緣層

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

ACL:主動層

AP1:第一主動圖案

AP2:第二主動圖案

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

BFL:緩衝層

BM:障壁金屬

BML:障壁金屬層

BS:底表面

CH1:第一通道圖案

CH2:第二通道圖案

CNH:接觸溝渠

CRS1:第一結晶區

CRS2:第二結晶區

CT:閘極切割圖案

CT1:第一閘極切割圖案

CT2:第二閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分隔結構

DHC:雙高度單元

FM:填充物金屬

FML:填充物金屬層

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GRB:晶界

GS:閘極間隔件

HE1:第一高度

HE2:第二高度

IN:離子

IP:內間隔件

IRG:內部區

IRG1:第一內部區

IRG2:第二內部區

IRG3:第三內部區

M:部分

M1:第一金屬層

M1\_I:第一互連線

M1\_R1、M1\_R2、M1\_R3:互連線

M1\_R1:第一電源線

M1\_R2:第二電源線

M1\_R3:第三電源線

M2:第二金屬層

M2\_I:第二互連線

MAL:主層

MP:硬式罩幕圖案

NR:NMOSFET 區

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

ORG:外部區

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PP:犧牲圖案

PR:PMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

RS1:第一凹部

RS2:第二凹部

SAL:犧牲層

SC:金屬半導體化合物層

SD1:第一源極/汲極圖案

SD2:第二源極/汲極圖案

SHC:單高度單元

SHC1:第一單高度單元

SHC2:第二單高度單元

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

ST:裝置隔離層

STP:堆疊圖案

SW:側表面

TR:溝渠

TS:頂表面

UIP:上部絕緣圖案

VDD:汲極電壓

VI1:第一通孔

VI2:第二通孔

VSS:源極電壓

WI1:第一寬度

## 【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包含主動圖案；

通道圖案及源極/汲極圖案，位於所述主動圖案上且彼此連接；以及

主動觸點，電連接至所述源極/汲極圖案，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述第一障壁金屬包括金屬氮化物層，

其中該第一填充物金屬包括鉬、鎢、鈮、鈷或鈇中的至少一者，

其中所述第一填充物金屬包括具有體心立方（body-centered cubic；BCC）結構的第一結晶區及具有面心立方（face-centered cubic；FCC）結構的第二結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的比例在 60% 至 99%的範圍內。

【請求項2】 如請求項 1 所述的半導體裝置，其中，在所述第一填充物金屬中，所述第一結晶區的所述比例高於所述第二結晶區的比例。

【請求項3】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬包括氮化鈦層，

其中所述第一填充物金屬包括鉬，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例在 80%至 99%的範圍內。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬更包括所述第一結晶區與所述第二結晶區之間的晶界。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬包括氫、氮、氖、氬或氙中的一或多者。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬具有 16 微歐公分至 18 微歐公分的電阻率。

【請求項7】 如請求項 1 所述的半導體裝置，更包括：

閘極電極，位於所述通道圖案上；以及

閘極觸點，電連接至所述閘極電極，

其中所述閘極觸點包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第二填充物金屬包括具有體心立方（BCC）結構的第三結晶區及具有面心立方（FCC）結構的第四結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例高於所述第二填充物金屬中的所述第三結晶區的比例。

【請求項8】 如請求項 1 所述的半導體裝置，更包括：

互連線，位於所述主動觸點上；以及

通孔，將所述互連線電連接至所述主動觸點，

其中所述通孔包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第二填充物金屬包括具有體心立方（BCC）結構的第三結晶區及具有面心立方（FCC）結構的第四結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例高於所述第二填充物金屬中的所述第三結晶區的比例。

【請求項9】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬位於所述第一填充物金屬的表面上，同時所述第一填充物金屬的頂表面保持沒有所述第一障壁金屬。

【請求項10】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬的電阻率隨著所述第一填充物金屬中的所述第一結晶區的所述比例的增加而降低。

【請求項11】 一種半導體裝置，包括：

基底，包含主動圖案；

通道圖案及源極/汲極圖案，位於所述主動圖案上且彼此連接；

主動觸點，耦接至所述源極/汲極圖案；

金屬層，位於所述主動觸點上；以及

互連線，位於所述金屬層中，經由通孔電連接至所述主動觸點，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述通孔包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第一障壁金屬及所述第二障壁金屬中的每一者包括金屬氮化物層，

其中所述第一填充物金屬及所述第二填充物金屬中的每一者包括鉬、鎢、鈮、鈷或鈳中的至少一者，

其中所述第一填充物金屬包括具有體心立方（BCC）結構的第一結晶區，且所述第二填充物金屬包括具有所述體心立方

(BCC) 結構的第二結晶區；以及

其中所述第一填充物金屬中的所述體心立方 (BCC) 結構的比例高於所述第二填充物金屬中的體心立方 (BCC) 結構的比例。

【請求項12】如請求項 11 所述的半導體裝置，其中所述第一填充物金屬及所述第二填充物金屬中的每一者中的所述體心立方 (BCC) 結構的所述比例在 60%至 99%的範圍內。

【請求項13】如請求項 11 所述的半導體裝置，其中所述第一障壁金屬及所述第二障壁金屬中的每一者包括氮化鈦層，以及

其中所述第一填充物金屬及所述第二填充物金屬中的每一者包括鉬。

【請求項14】如請求項 11 所述的半導體裝置，其中所述第一填充物金屬的電阻率低於所述第二填充物金屬的電阻率。

【請求項15】如請求項 14 所述的半導體裝置，其中所述第一填充物金屬的所述電阻率及所述第二填充物金屬的所述電阻率分別在 16 微歐公分至 18 微歐公分的範圍內。

【請求項16】一種半導體裝置，包括：

基底，包含 P 型金氧半場效電晶體區及 N 型金氧半場效電晶體區；

第一主動圖案及第二主動圖案，所述第一主動圖案位於所述 P 型金氧半場效電晶體區上，所述第二主動圖案位於所述 N 型金氧半場效電晶體區上；

第一通道圖案及第一源極/汲極圖案，位於所述第一主動圖案上；

第二通道圖案及第二源極/汲極圖案，位於所述第二主動圖案

上；

閘極電極，位於所述第一通道圖案及所述第二通道圖案上；

閘極絕緣層，位於所述閘極電極與所述第一通道圖案及所述第二通道圖案之間；

閘極間隔件，位於所述閘極電極的側表面上；

閘極頂蓋圖案，位於所述閘極電極的頂表面上；

閘極切割圖案，穿透所述閘極電極；

層間絕緣層，位於所述閘極頂蓋圖案及所述閘極切割圖案上；

主動觸點，穿透所述層間絕緣層且電連接至所述第一源極/汲極圖案及所述第二源極/汲極圖案；

金屬半導體化合物層，分別位於所述主動觸點與所述第一源極/汲極圖案及所述第二源極/汲極圖案之間；

閘極觸點，穿透所述層間絕緣層及所述閘極頂蓋圖案且電連接至所述閘極電極；

第一金屬層，位於所述層間絕緣層上，所述第一金屬層包括電源線及第一互連線，所述電源線在正交於所述基底的表面的方向上與所述閘極切割圖案重疊，且所述第一互連線分別電連接至所述主動觸點及所述閘極觸點；以及

第二金屬層，位於所述第一金屬層上，

其中所述第二金屬層包括電連接至所述第一金屬層的第二互連線，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述閘極觸點包括第二障壁金屬及所述第二障壁金屬上

的第二填充物金屬，以及

所述第一填充物金屬中的體心立方（BCC）結構的比例高於  
所述第二填充物金屬中的體心立方（BCC）結構的比例。

【請求項17】如請求項 16 所述的半導體裝置，其中所述第一障壁  
金屬及所述第二障壁金屬中的每一者包括氮化鈦層，以及

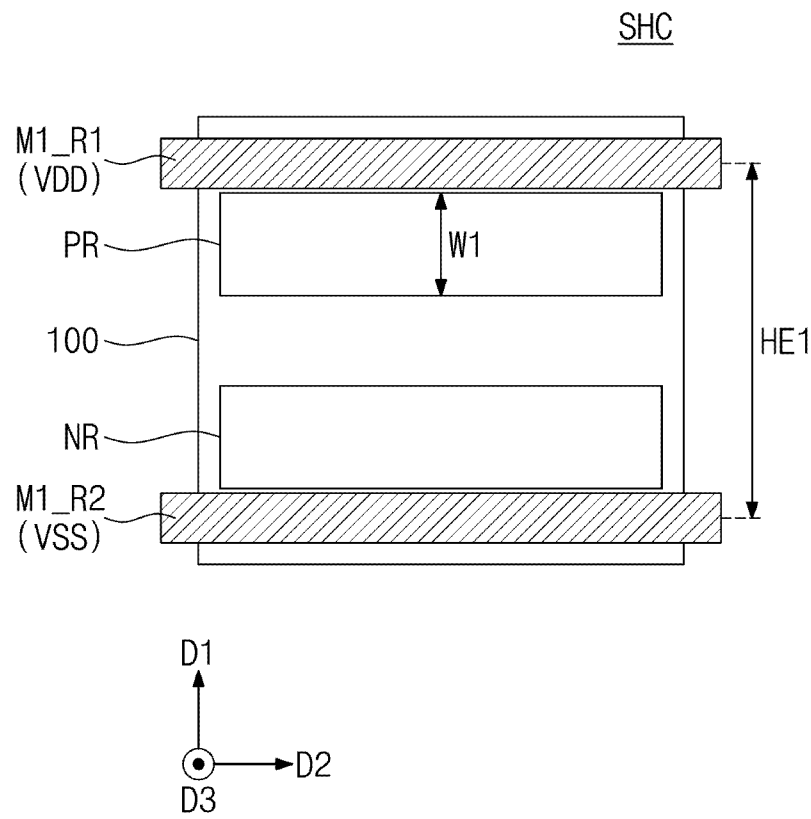
其中所述第一填充物金屬及所述第二填充物金屬中的每一者  
包括鉬。

【請求項18】如請求項 16 所述的半導體裝置，其中所述第一填充  
物金屬及所述第二填充物金屬中的每一者中的所述體心立方  
（BCC）結構的所述比例在 60%至 99%的範圍內。

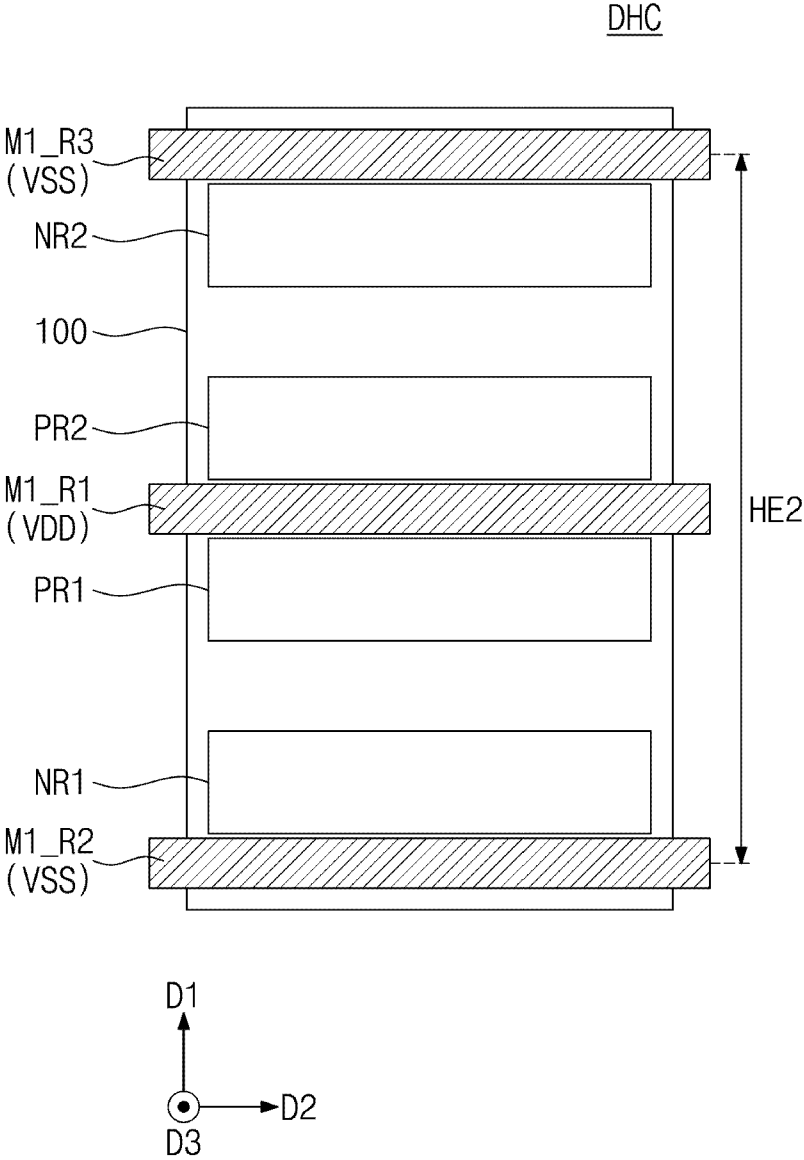
【請求項19】如請求項 16 所述的半導體裝置，其中所述第一填充  
物金屬的電阻率低於所述第二填充物金屬的電阻率。

【請求項20】如請求項 19 所述的半導體裝置，其中所述第一填充  
物金屬的所述電阻率及所述第二填充物金屬的所述電阻率分別在  
16 微歐公分至 18 微歐公分的範圍內。

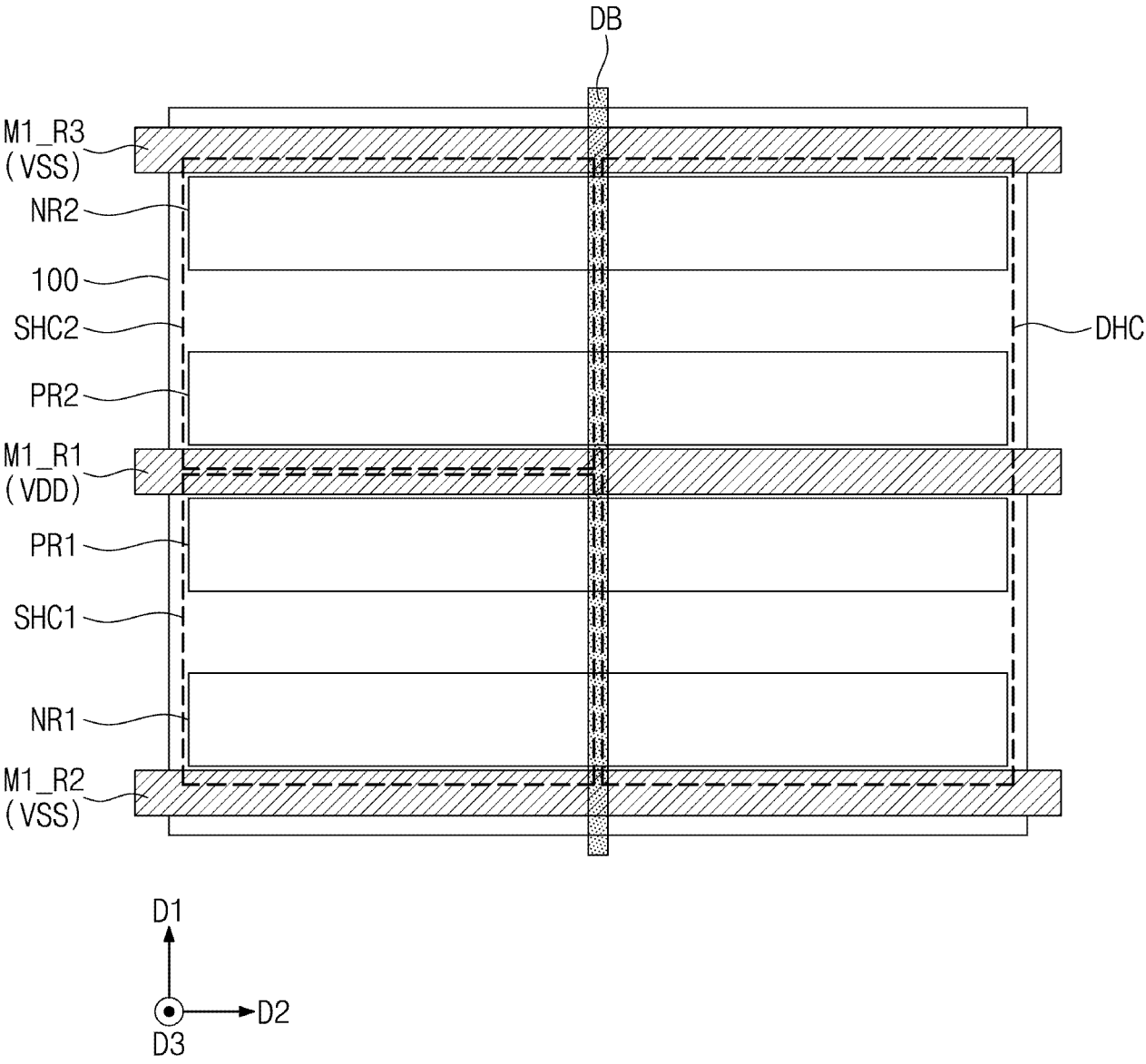
【發明圖式】



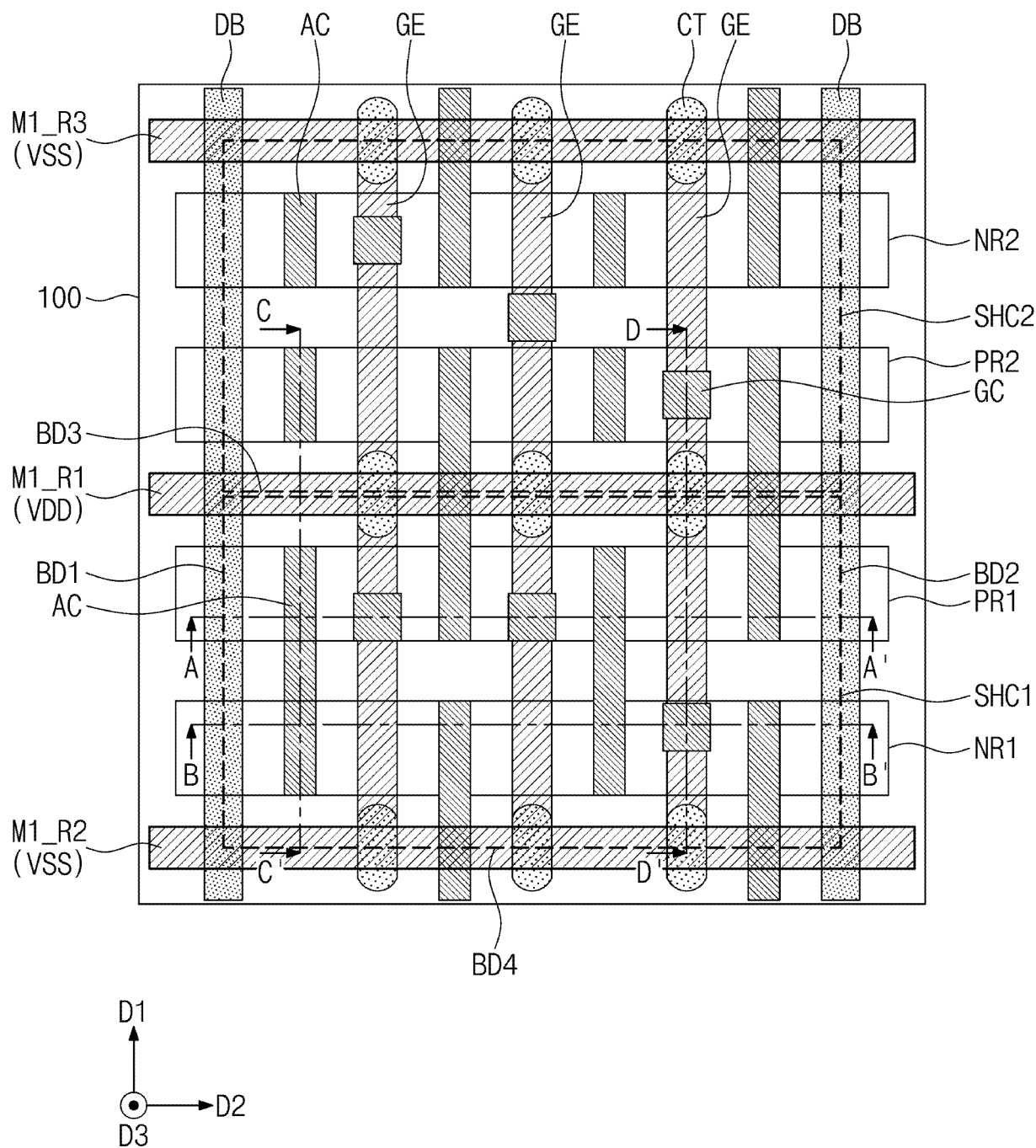
【圖1】



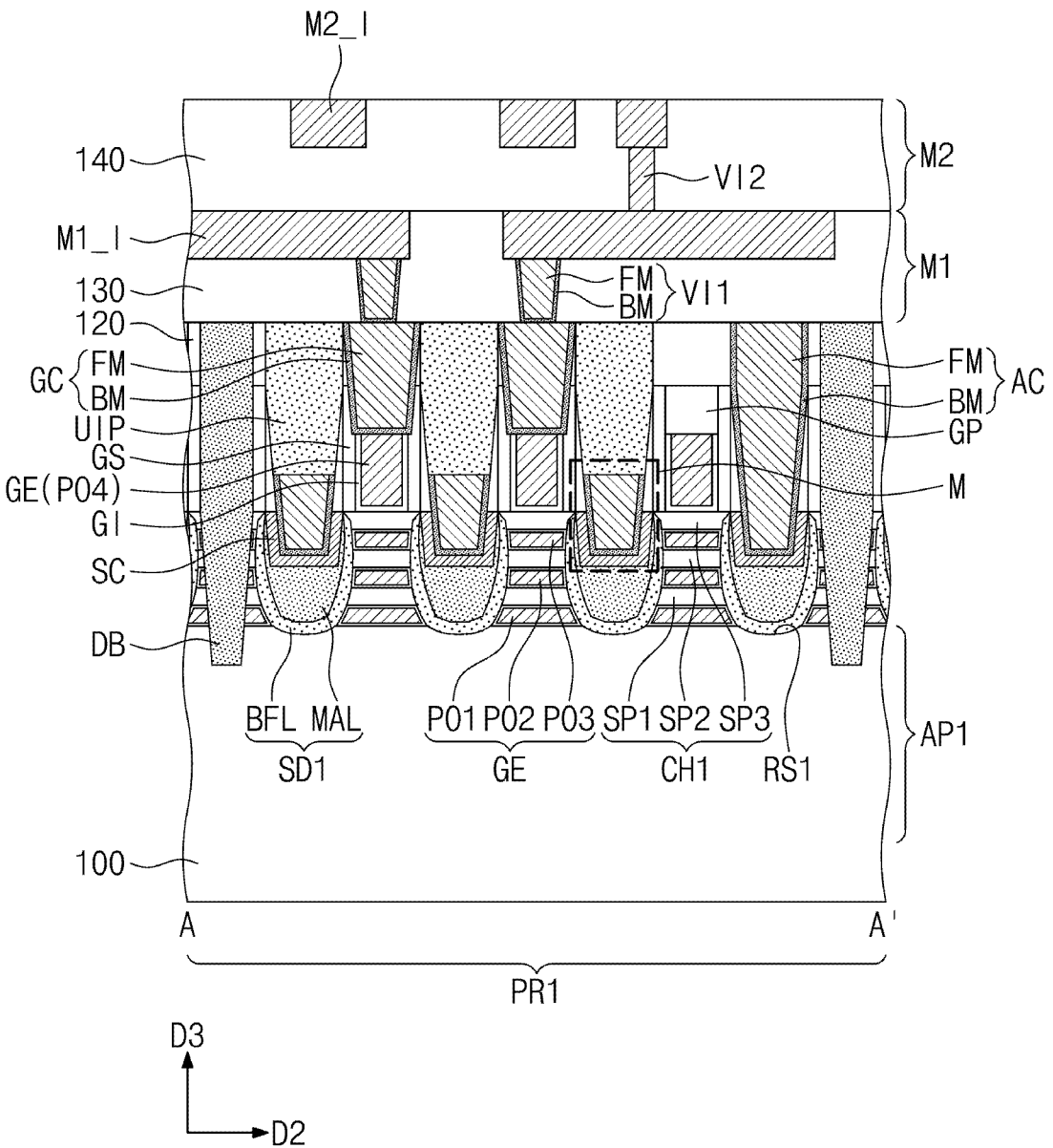
【圖2】



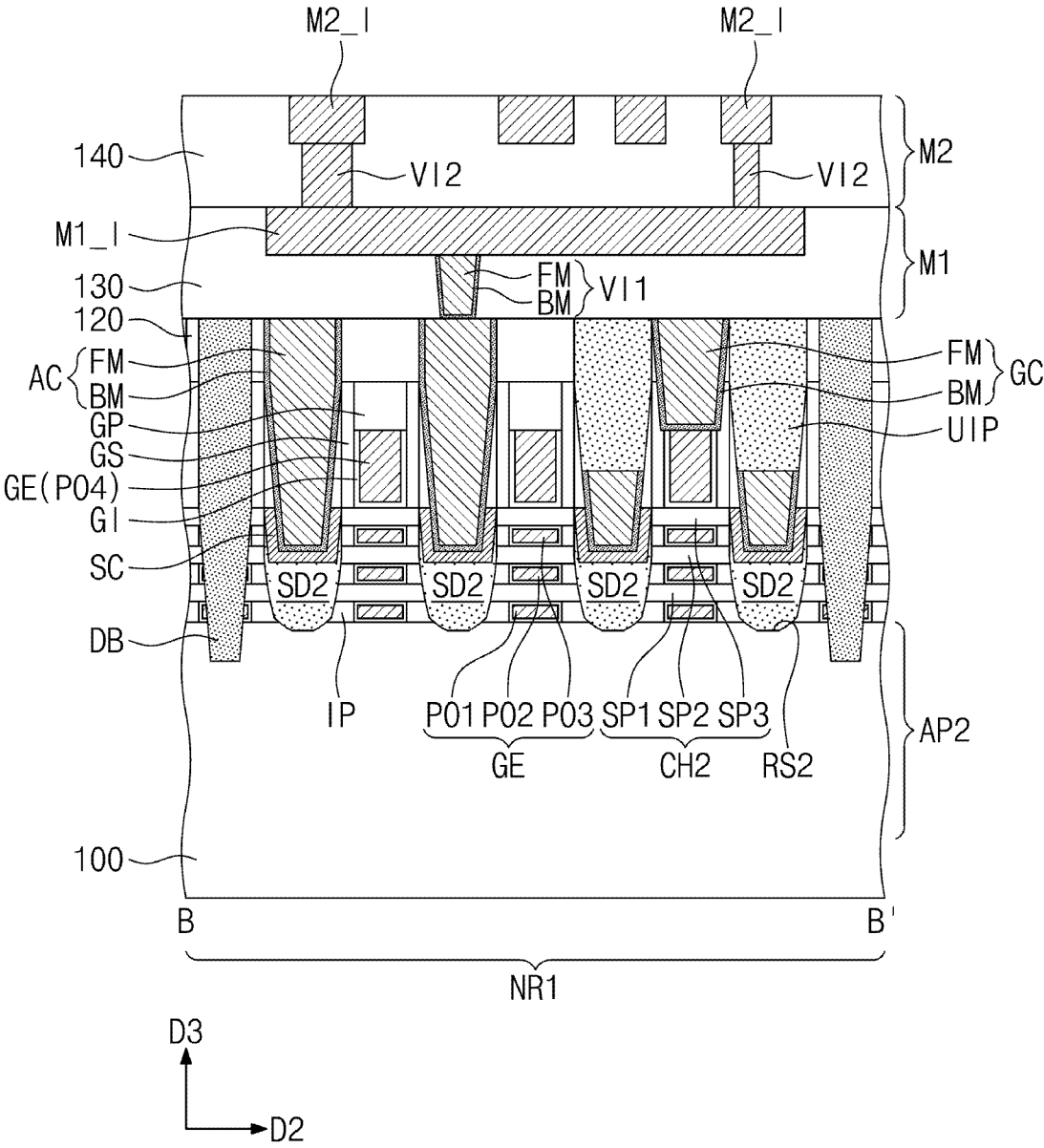
【圖3】



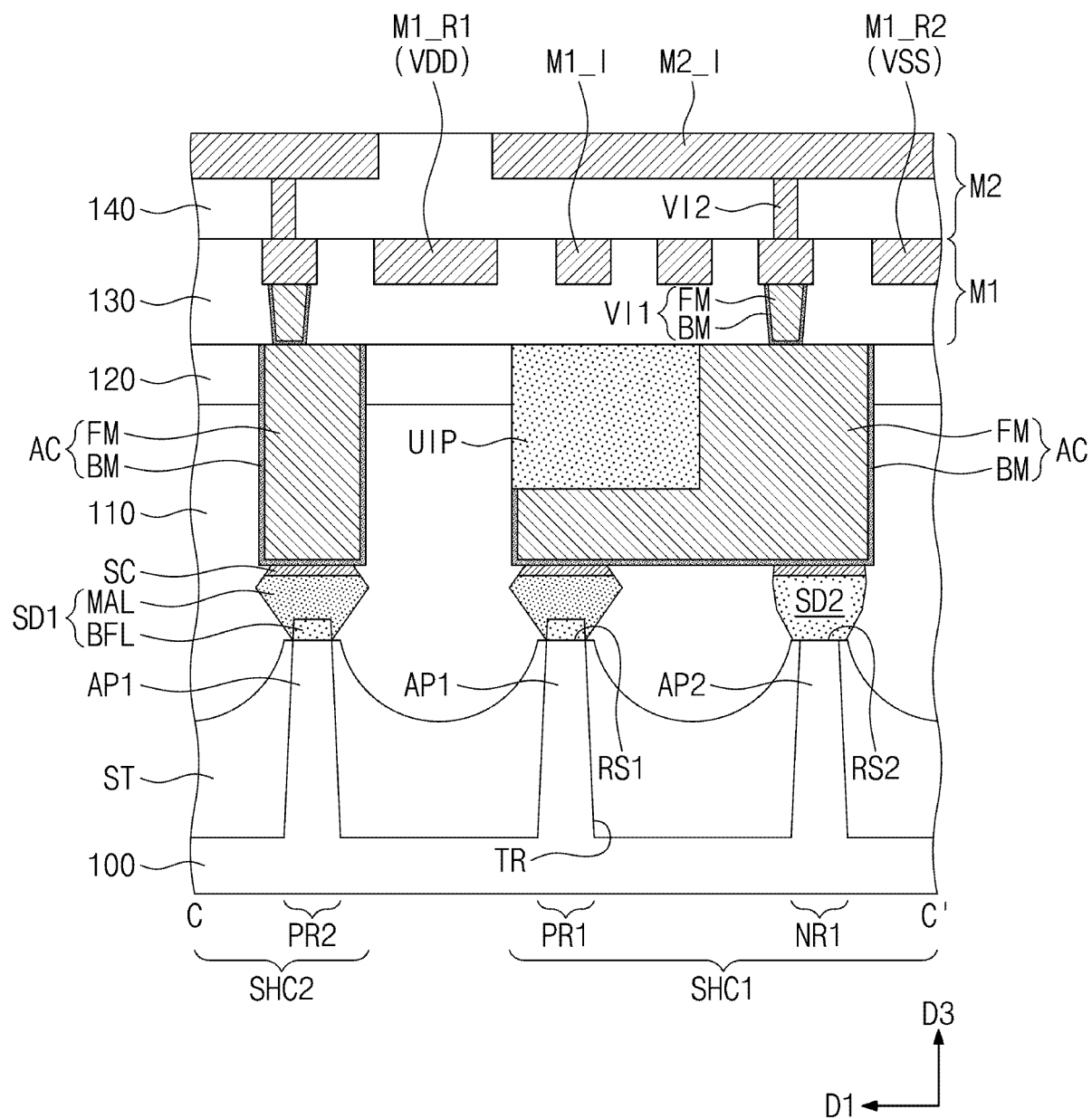
【圖4】



【圖5A】

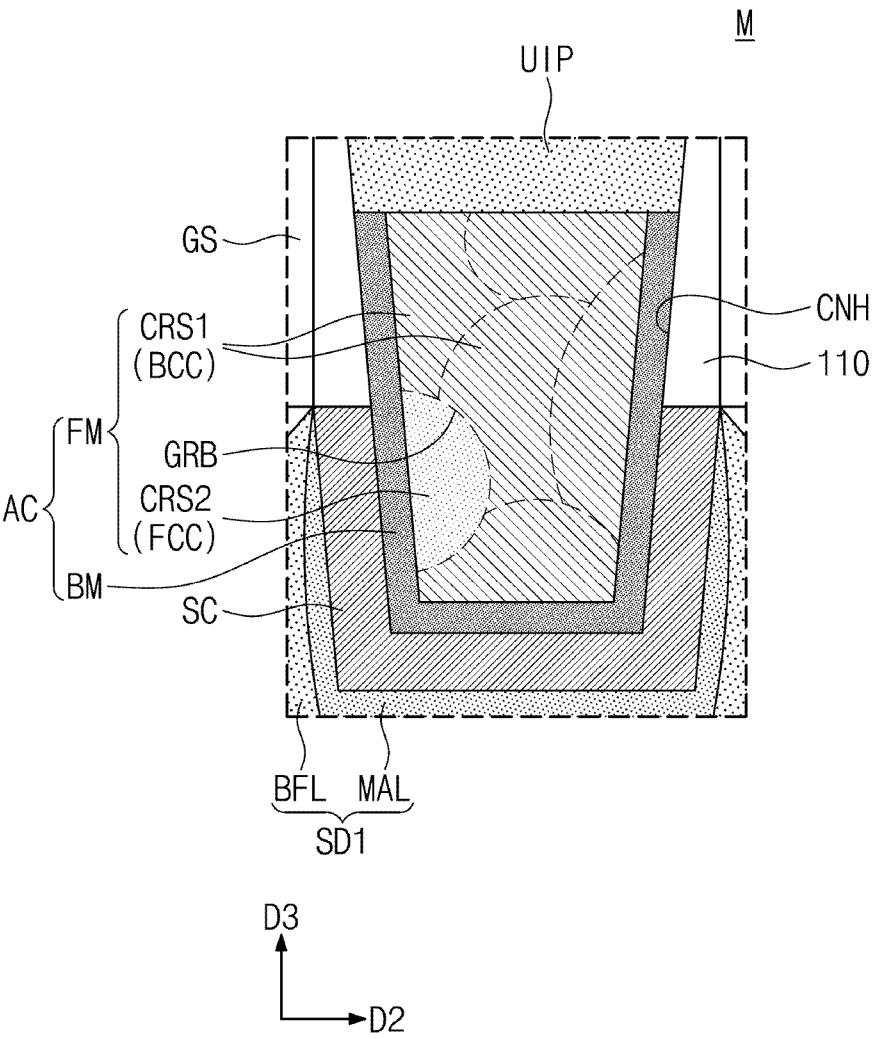


【圖5B】

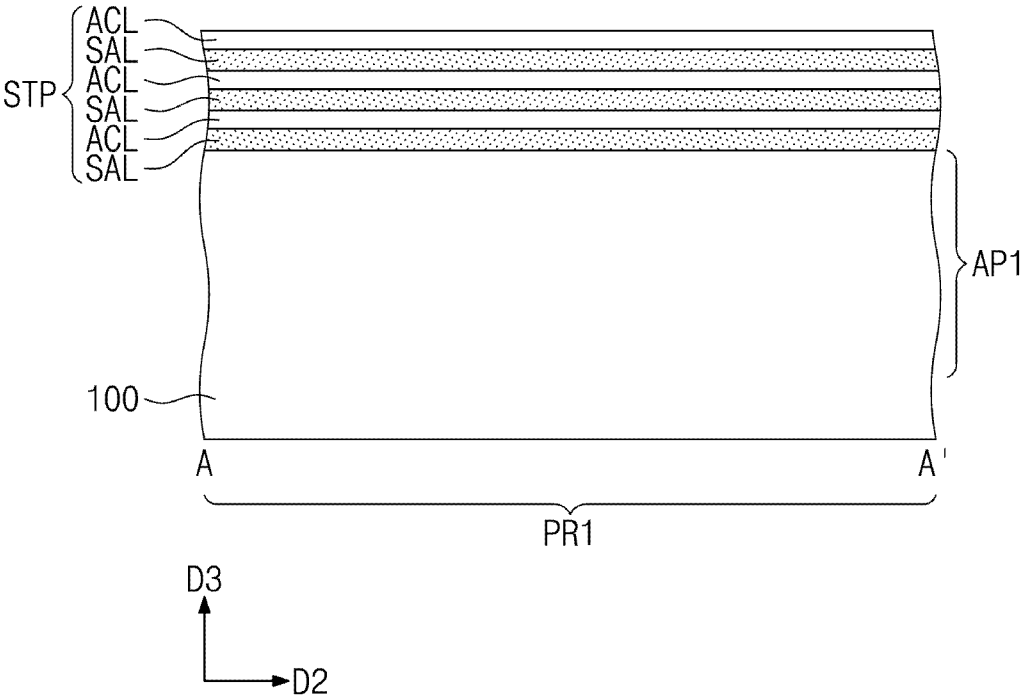


【圖5C】

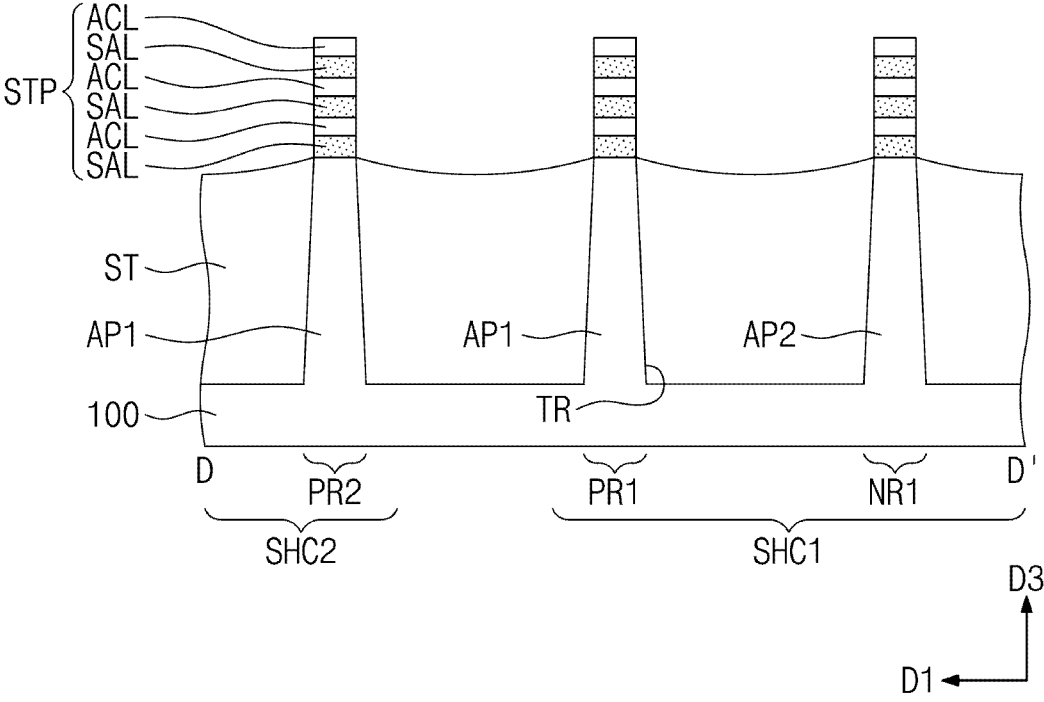
【圖5D】



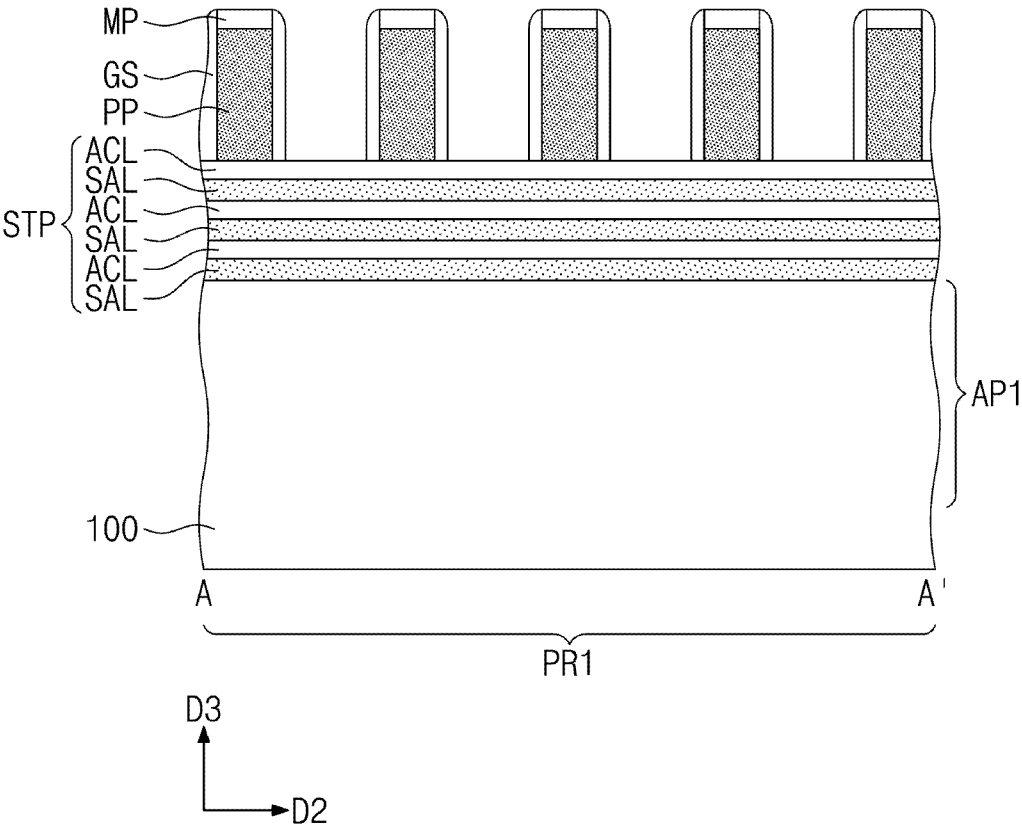
【圖6】



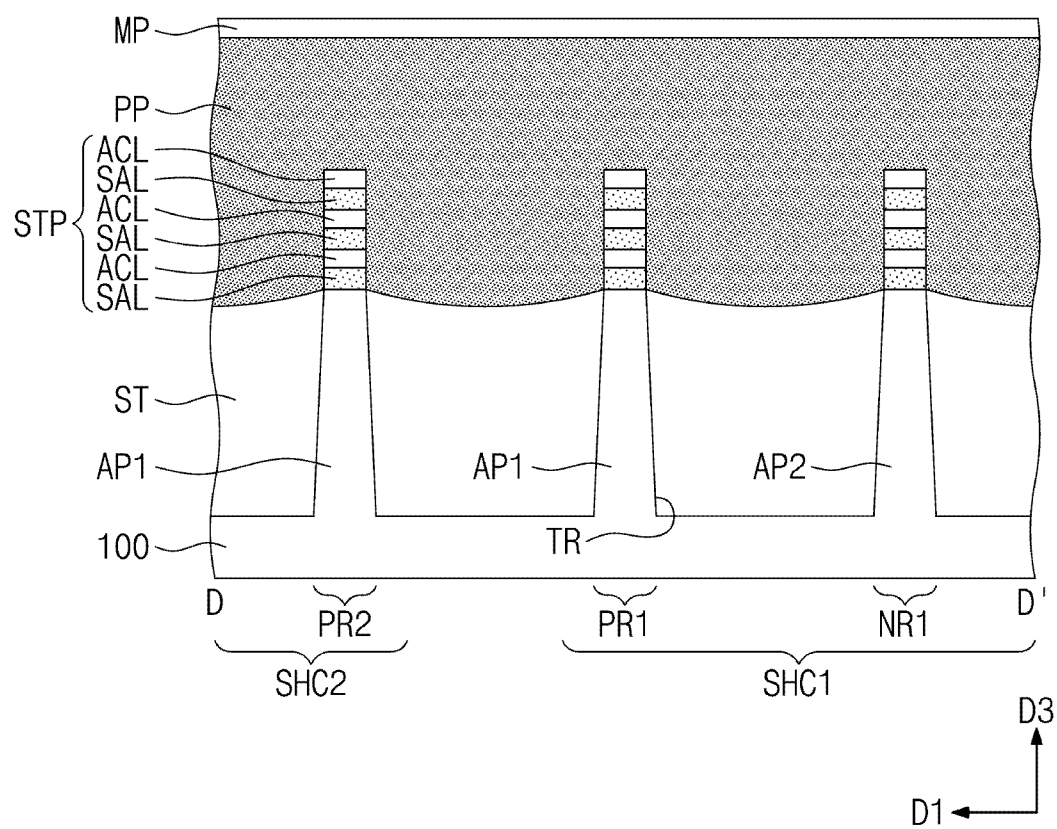
【圖7A】



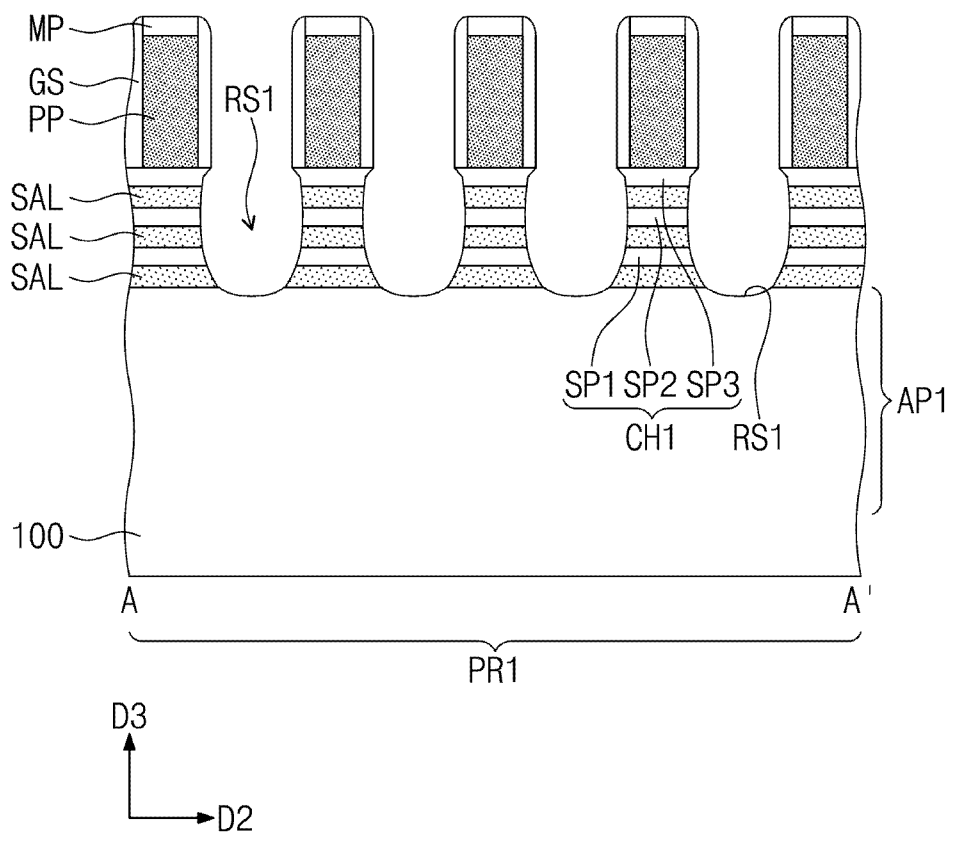
【圖7B】



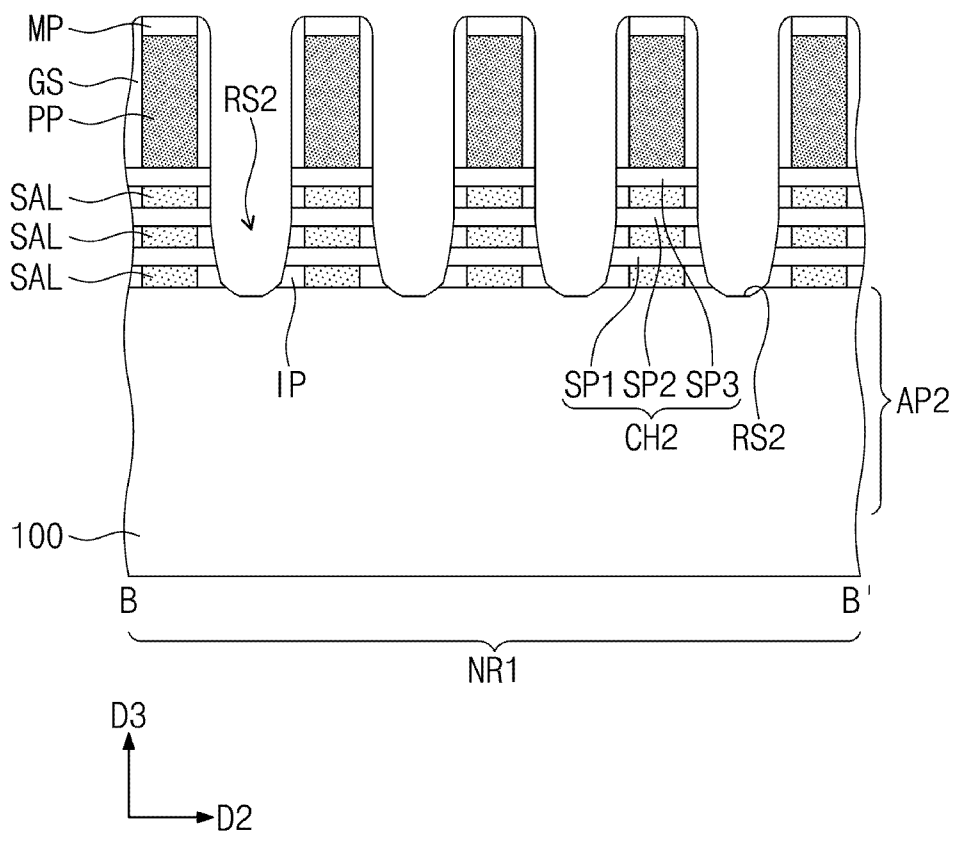
【圖8A】



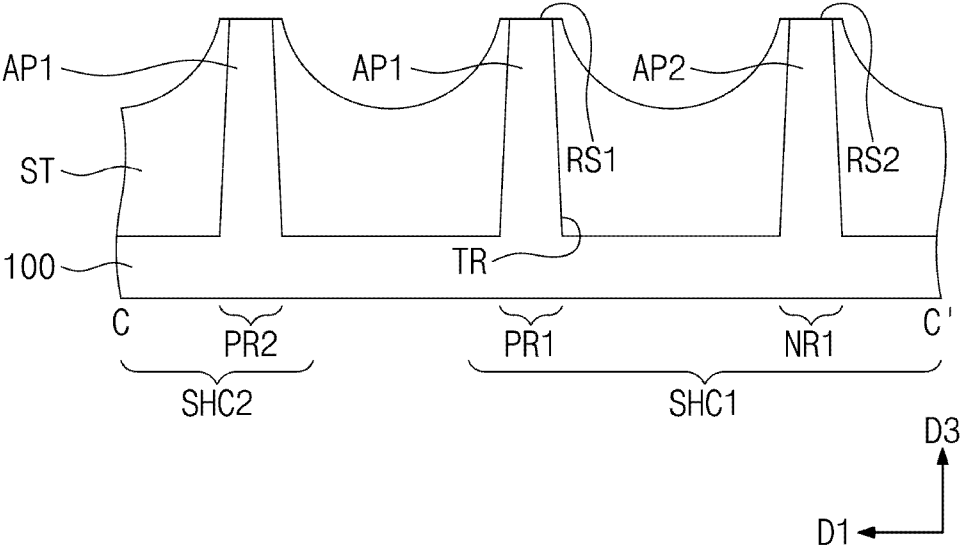
【圖8B】



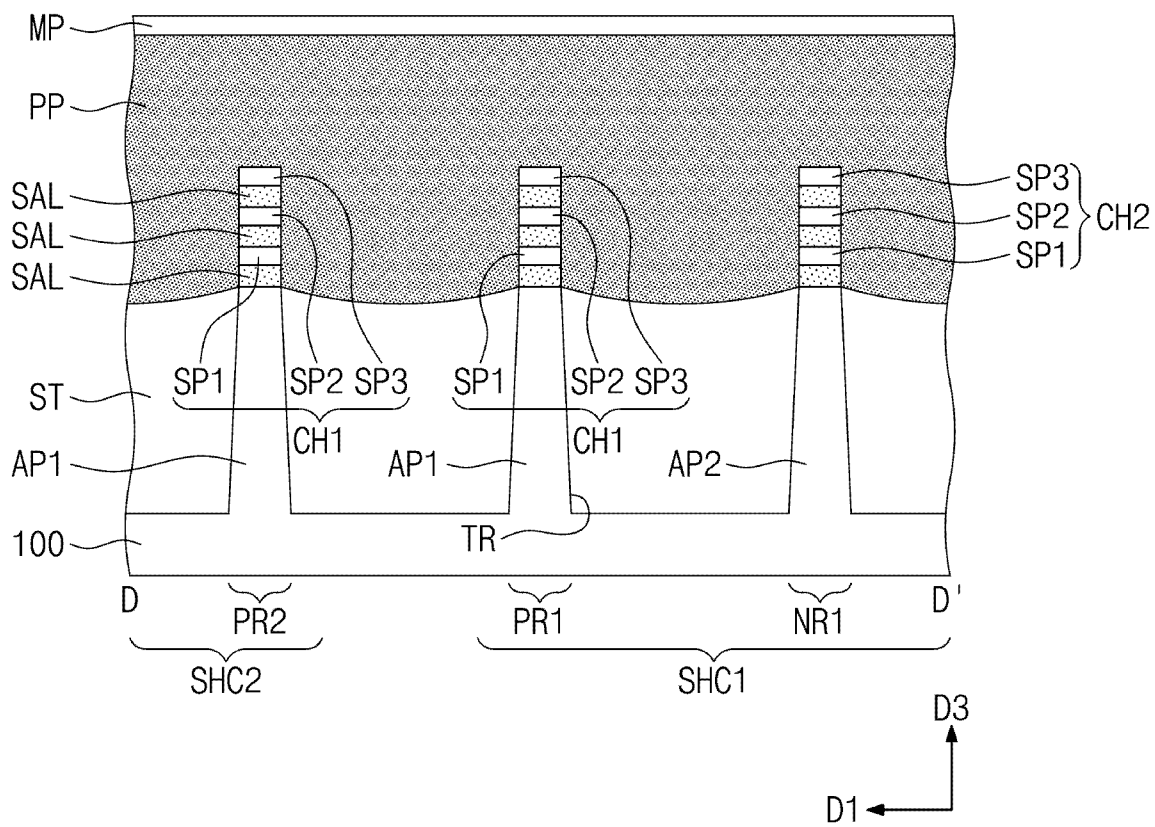
【圖9A】



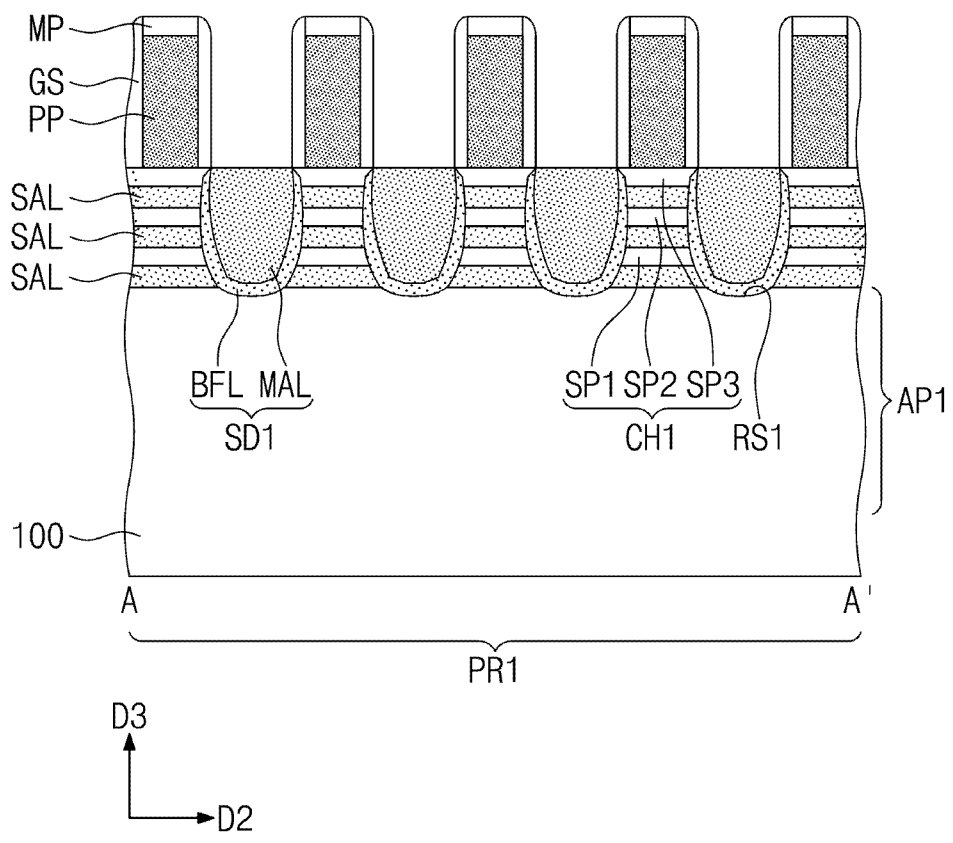
【圖9B】



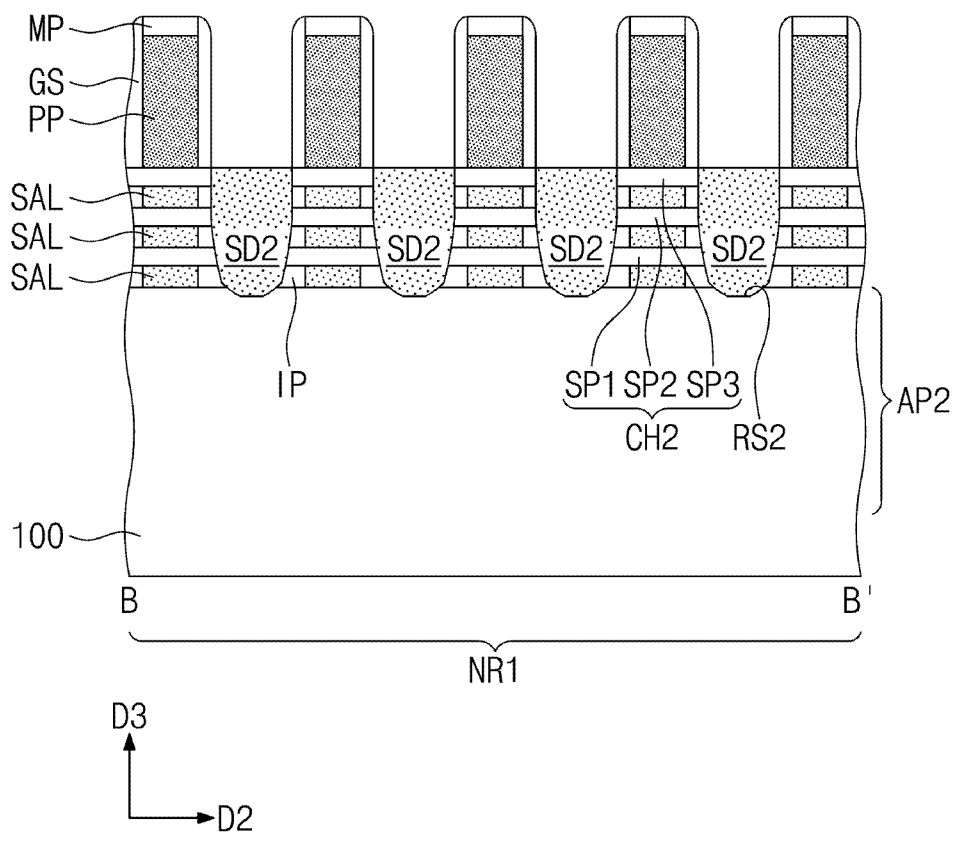
【圖9C】



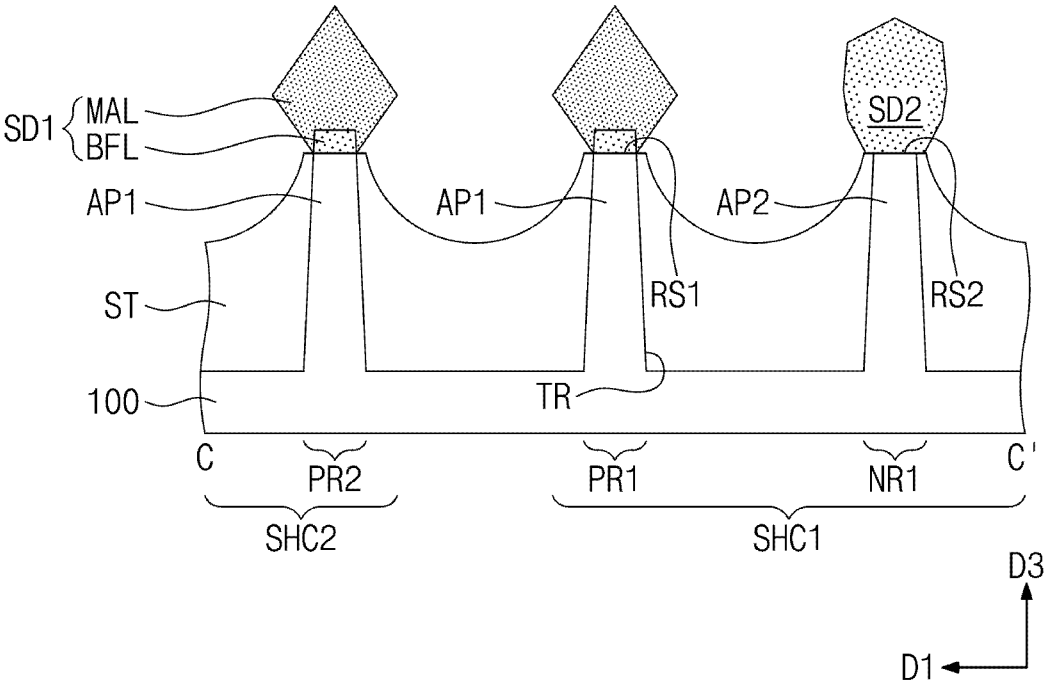
【圖9D】



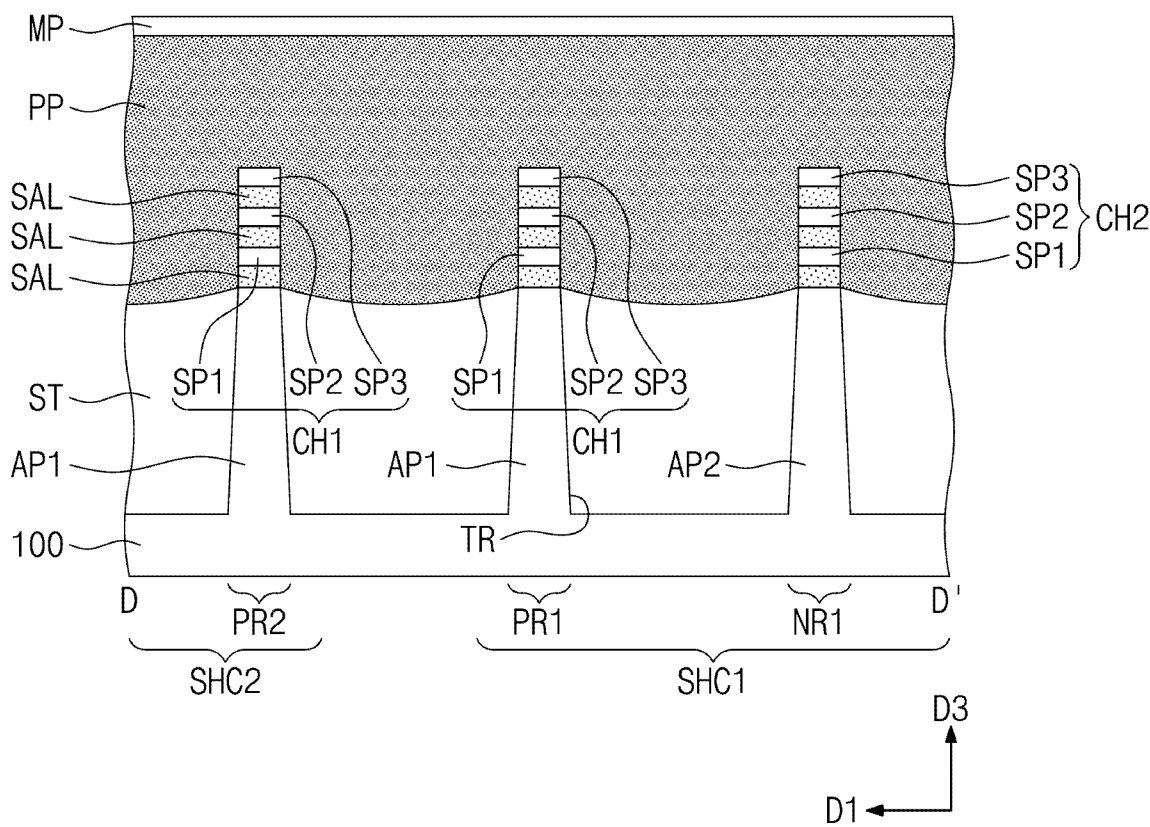
【圖10A】



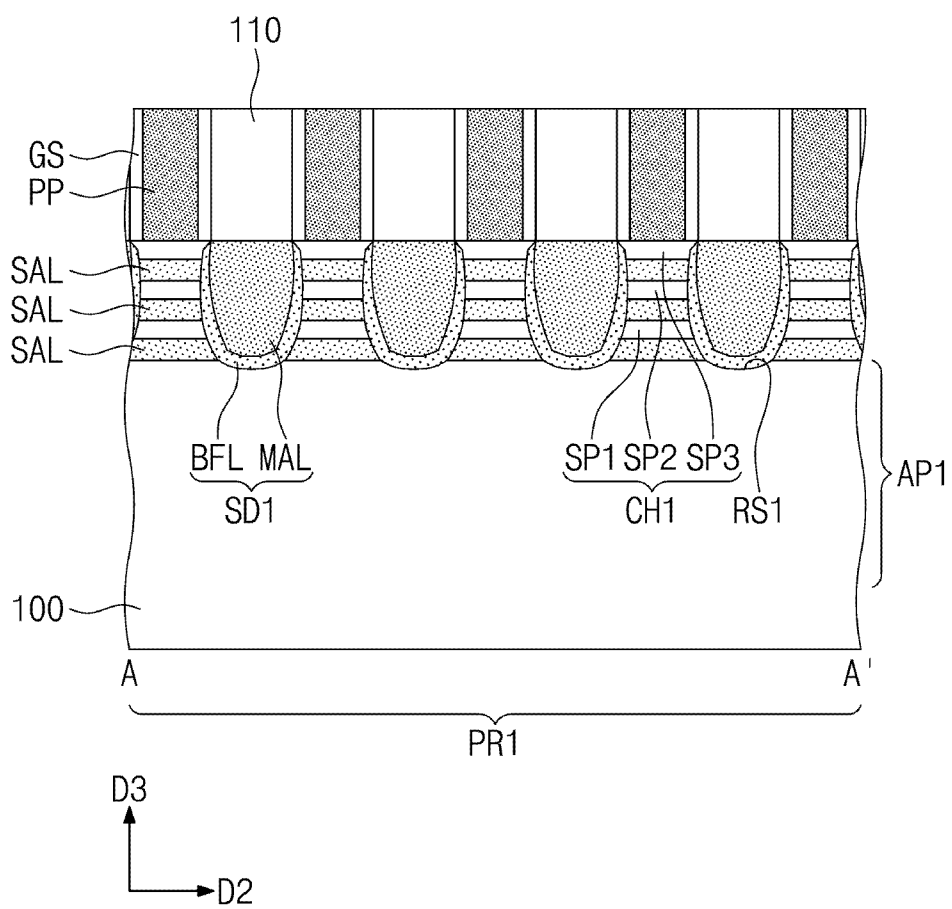
【圖10B】



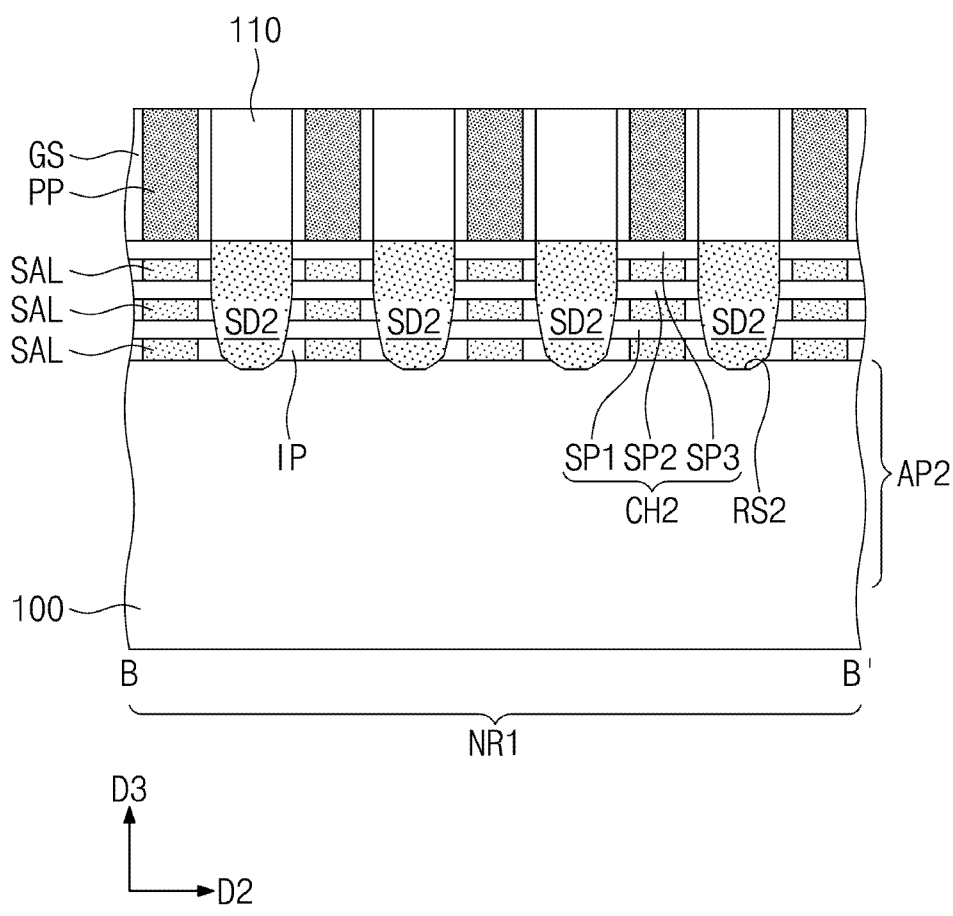
【圖10C】



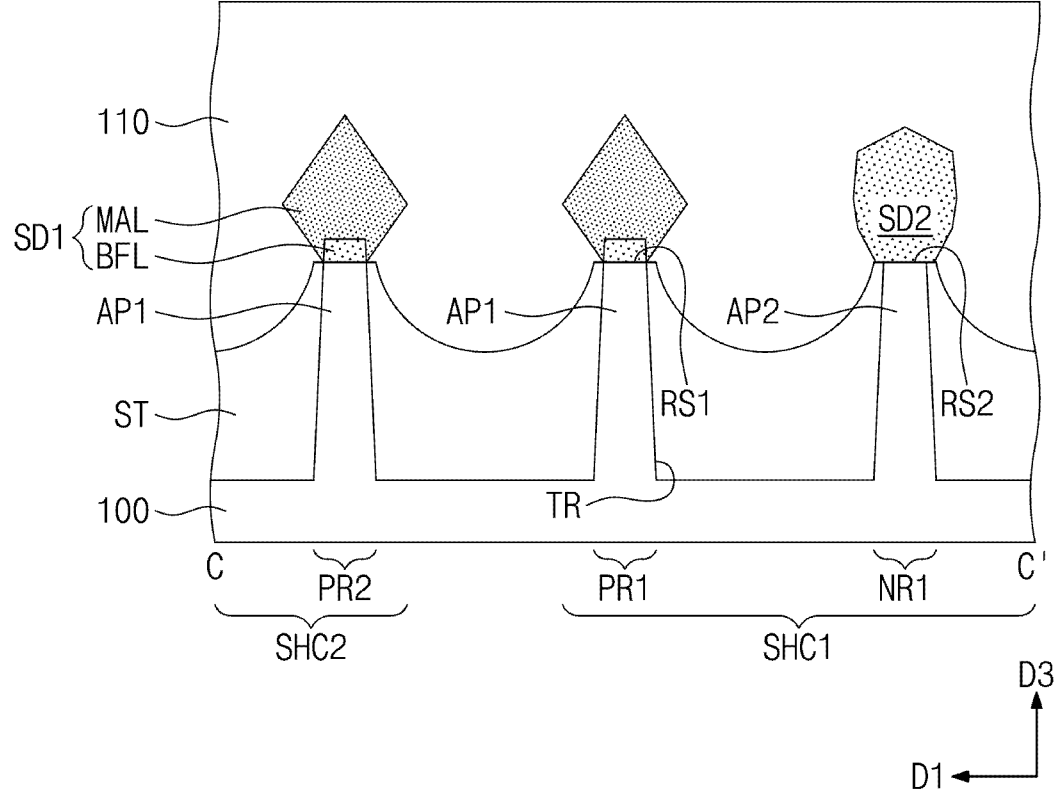
【圖10D】



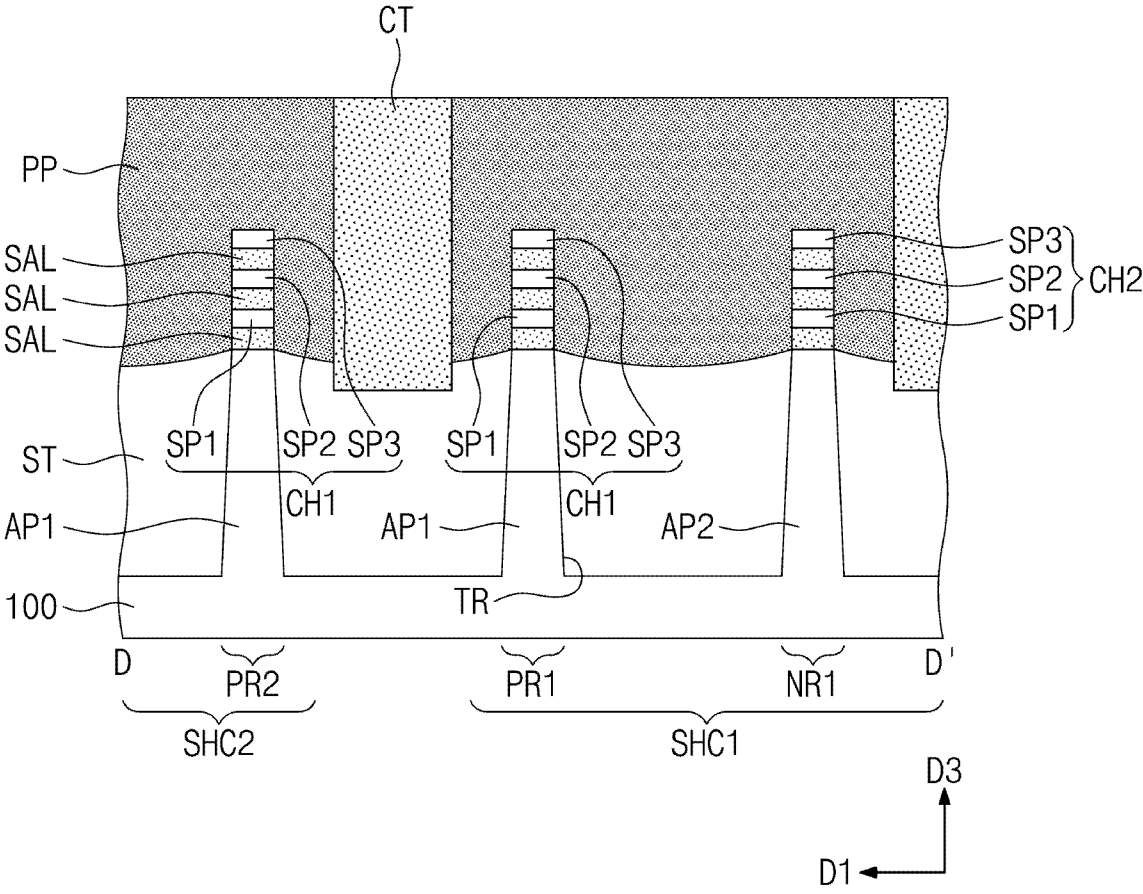
【圖11A】



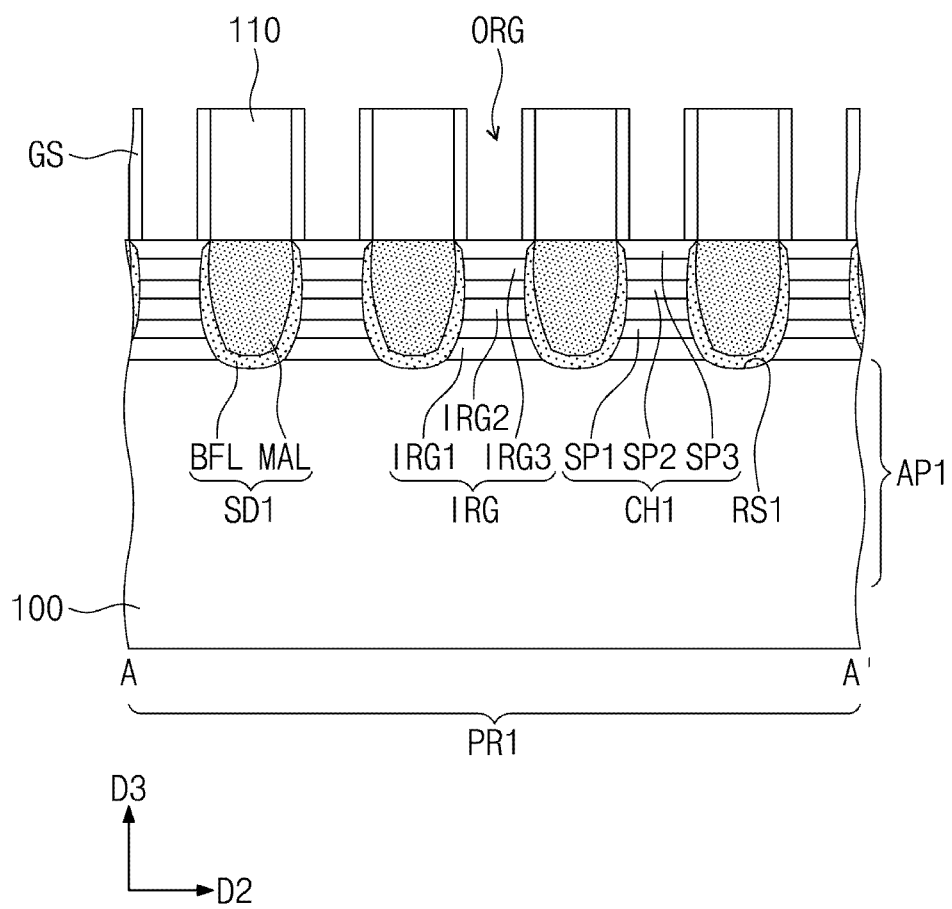
【圖11B】



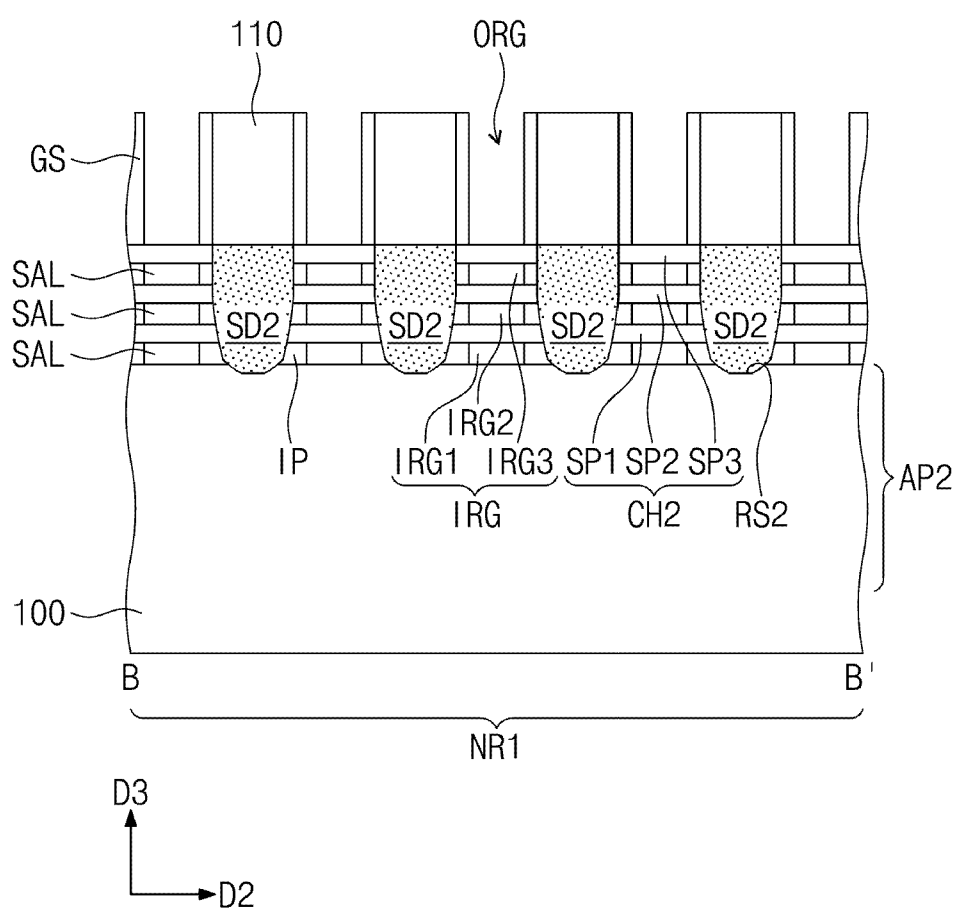
【圖11C】



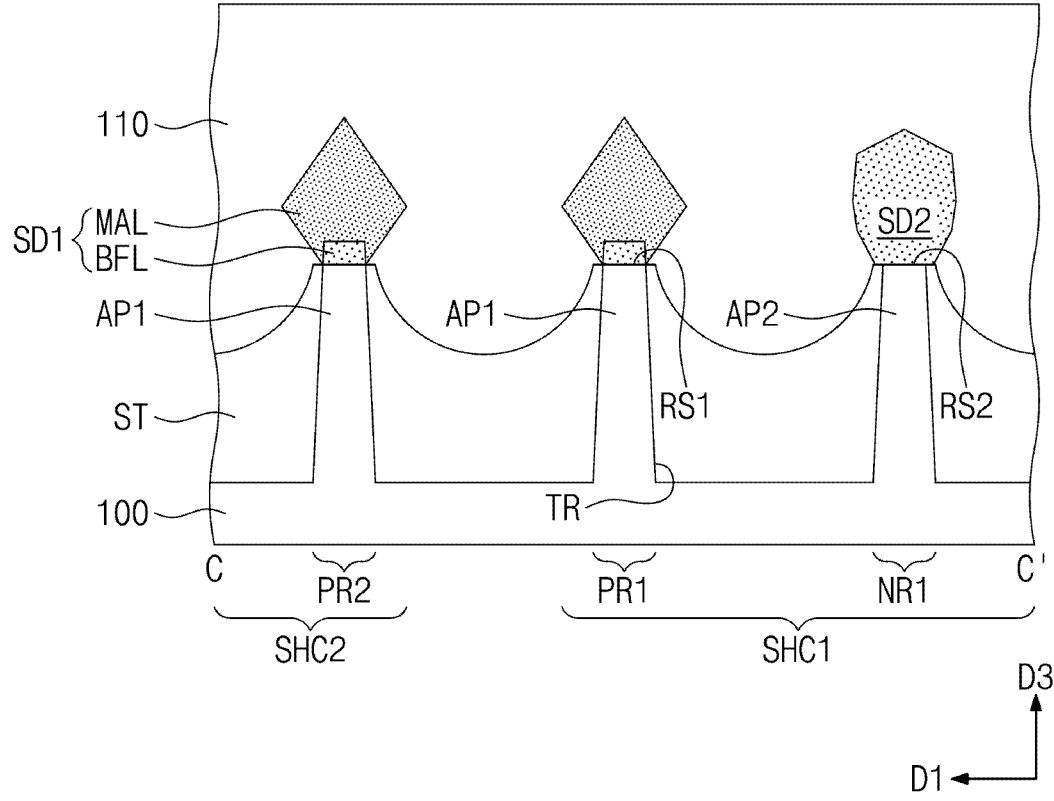
【圖11D】



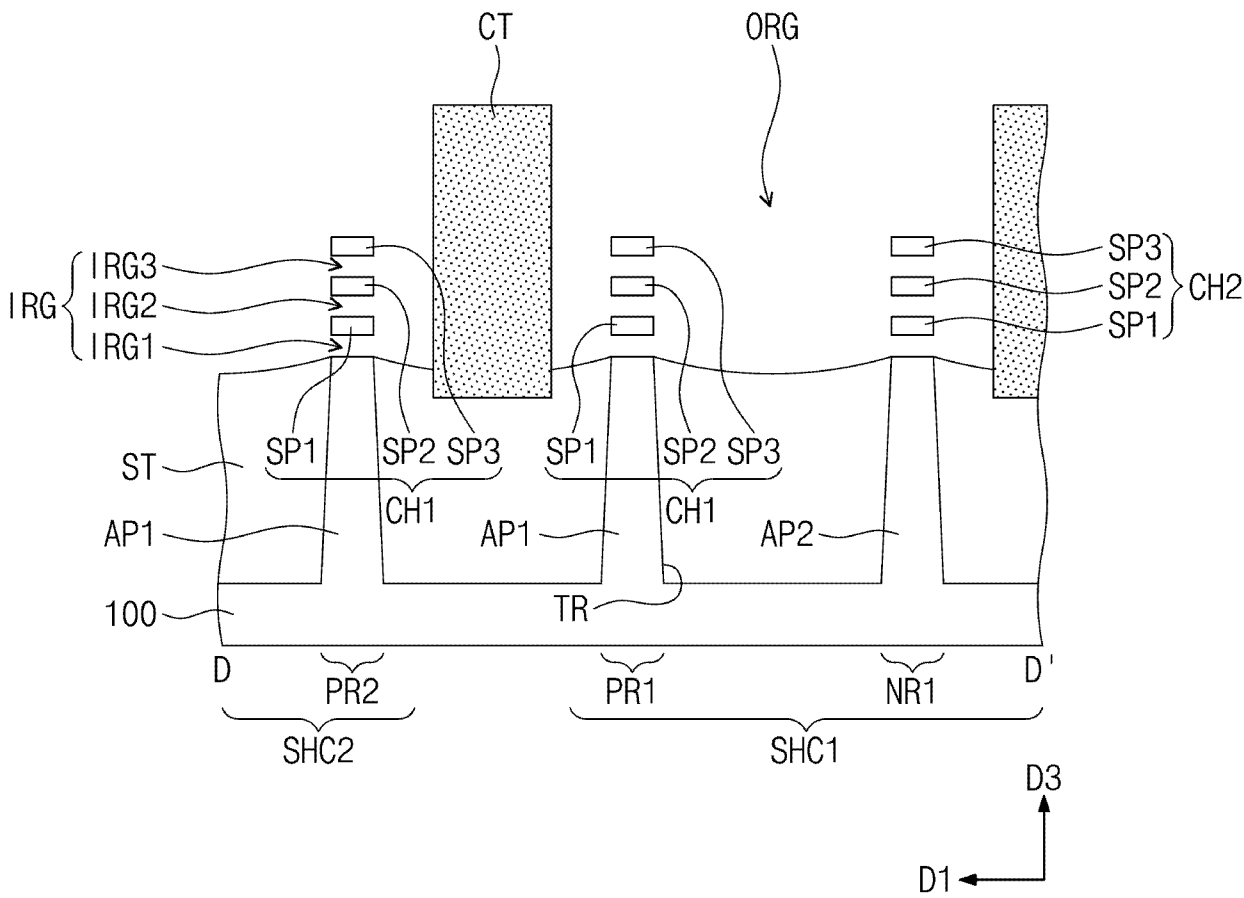
【圖12A】



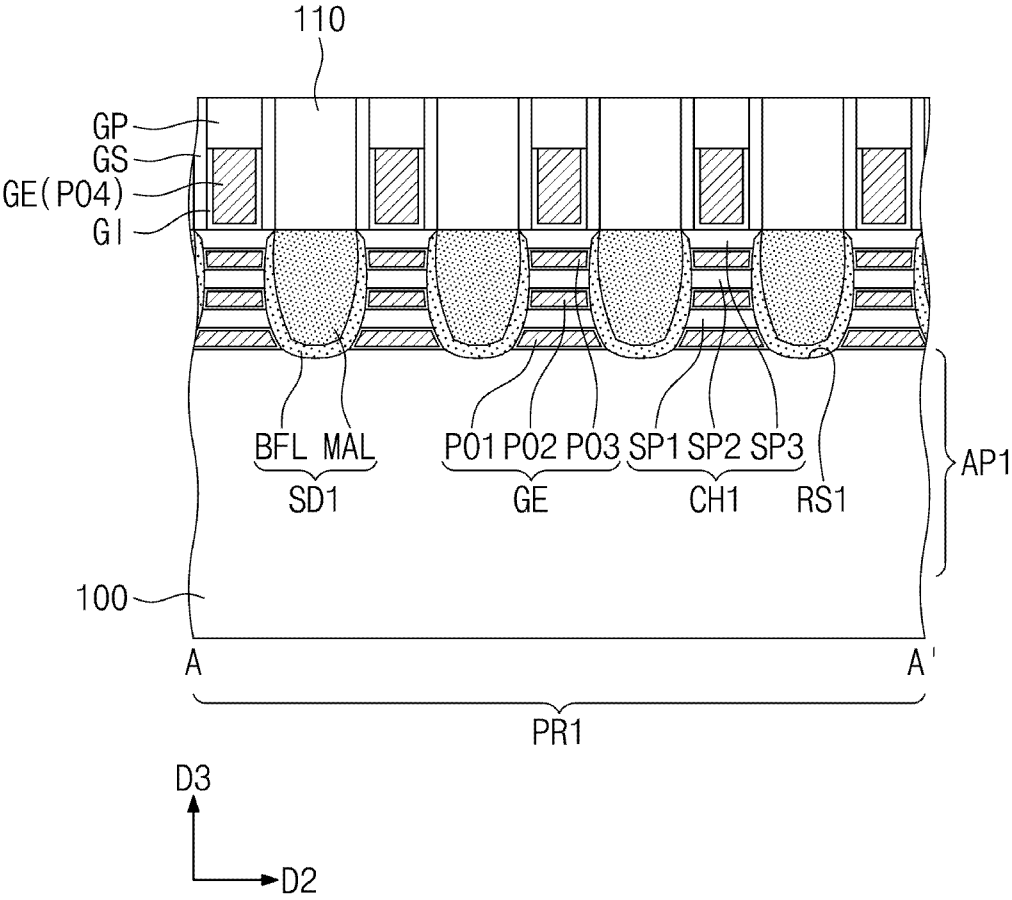
【圖12B】



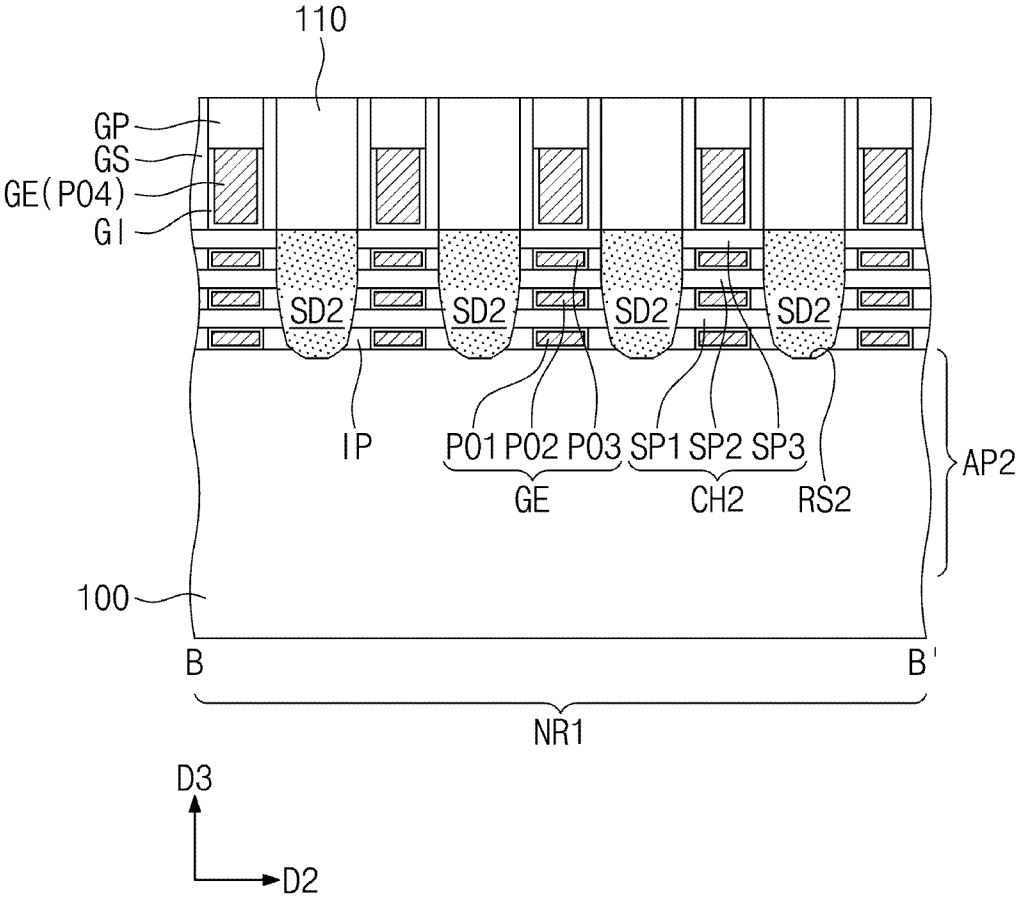
【圖12C】



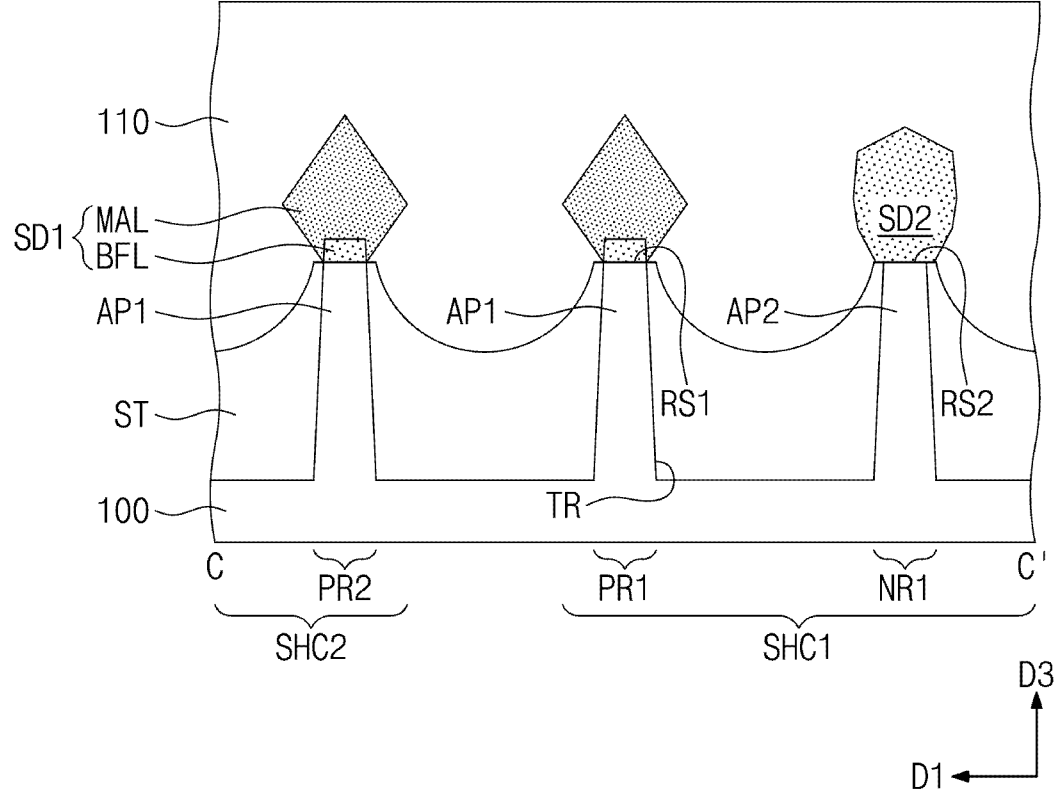
【圖12D】



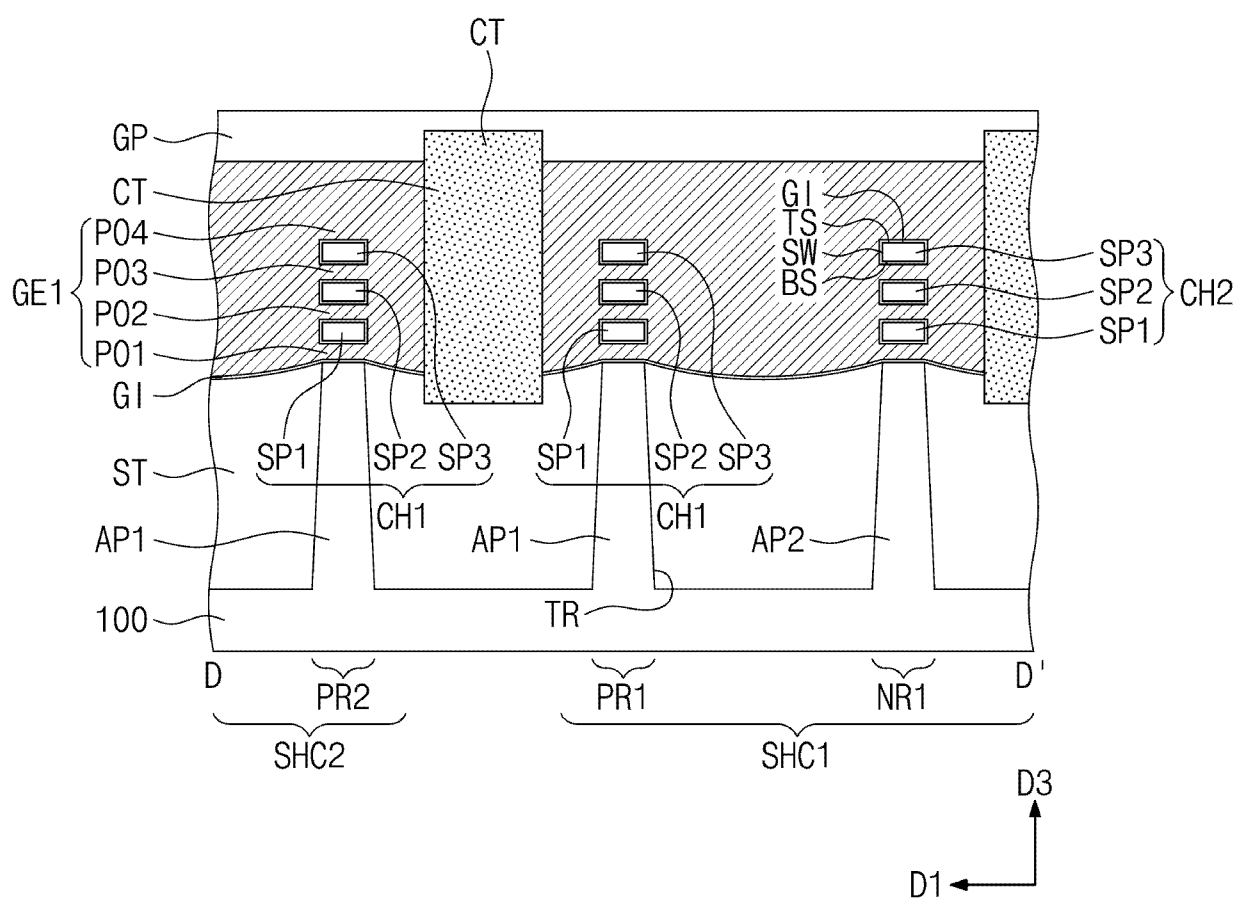
【圖13A】



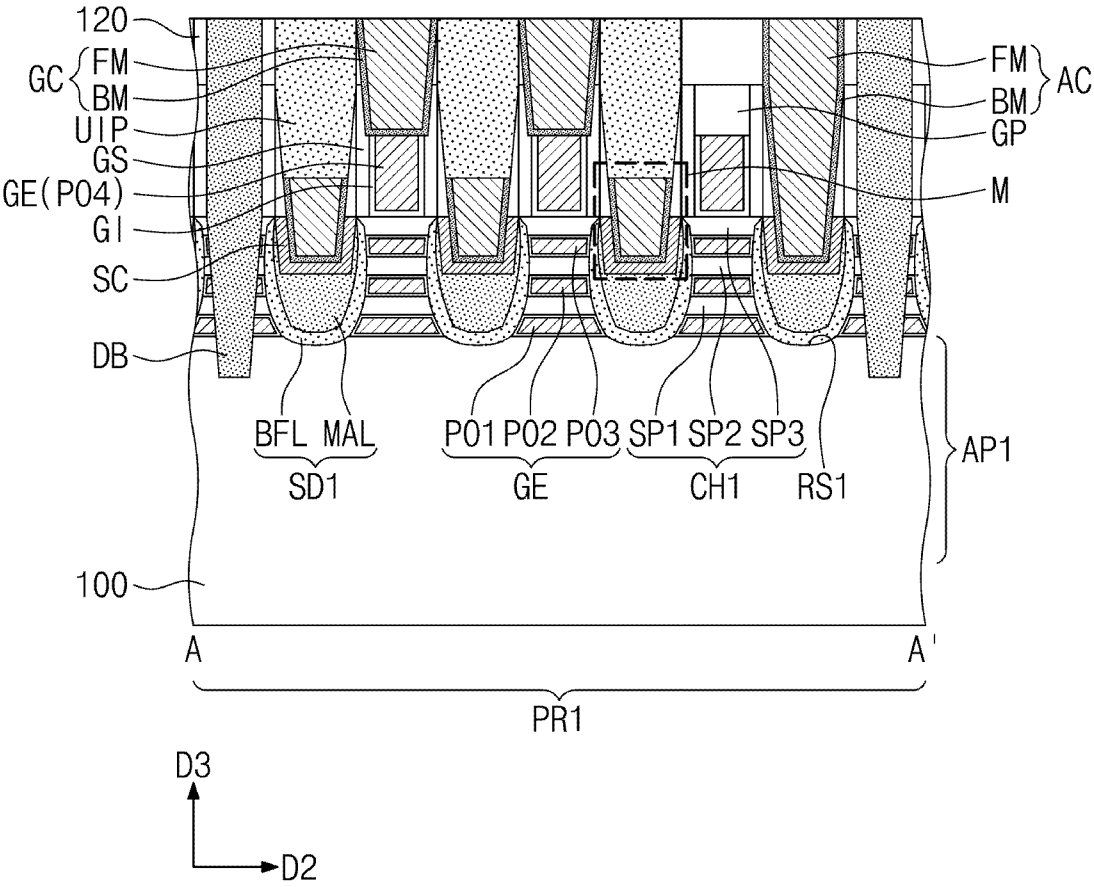
【圖13B】



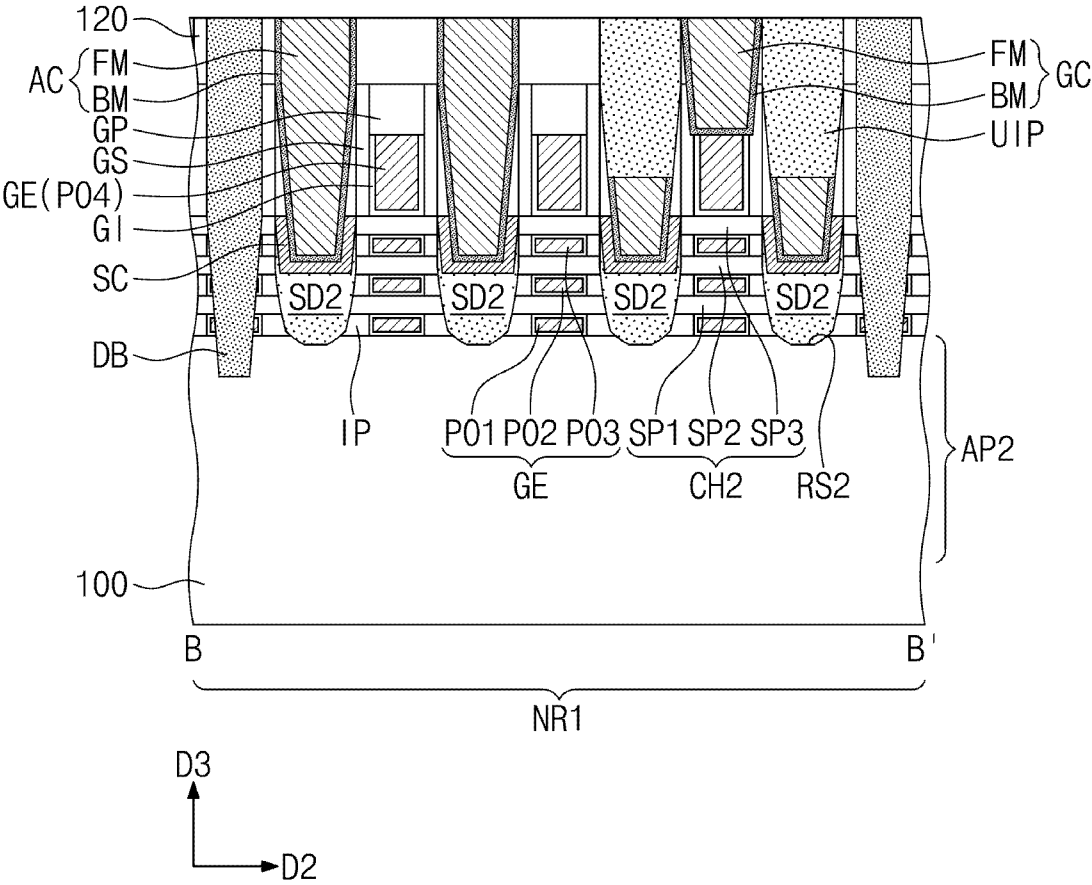
【圖13C】



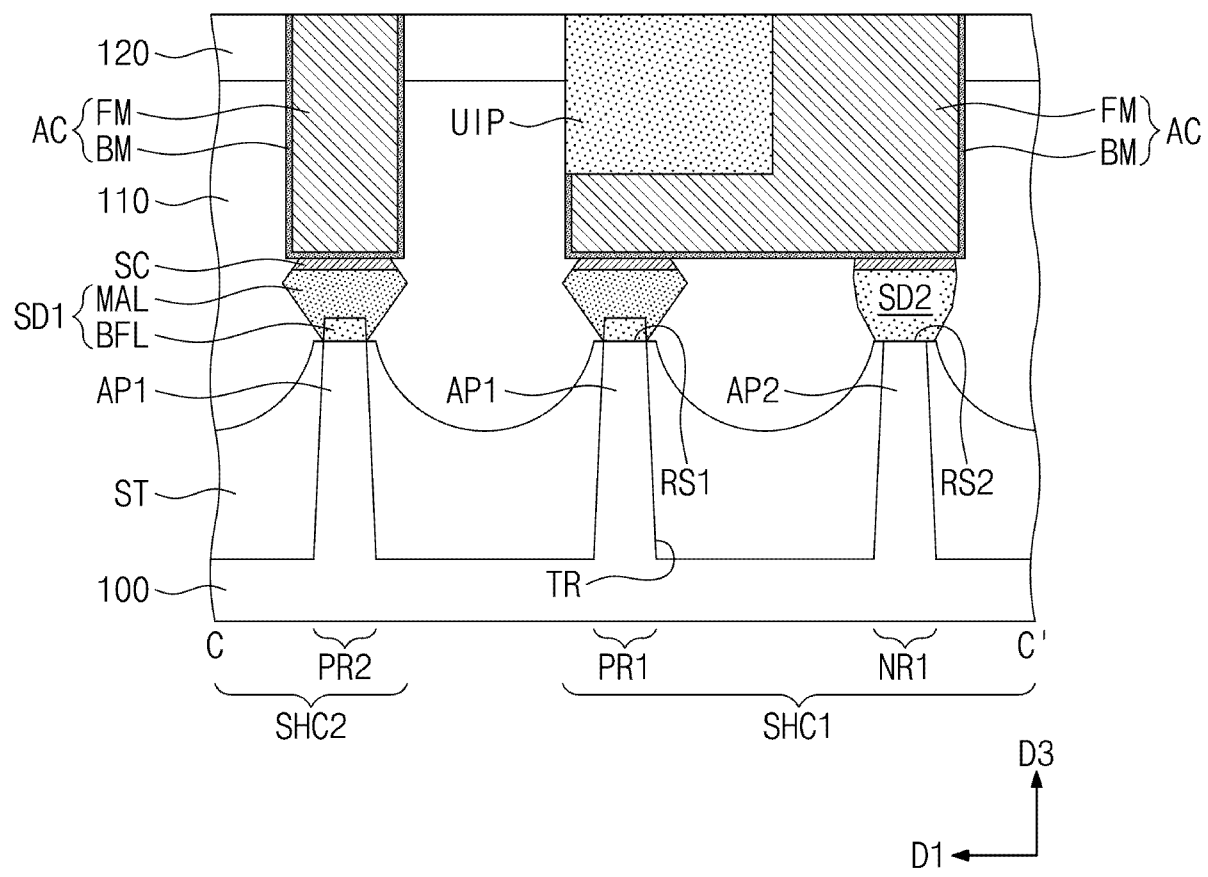
【圖13D】



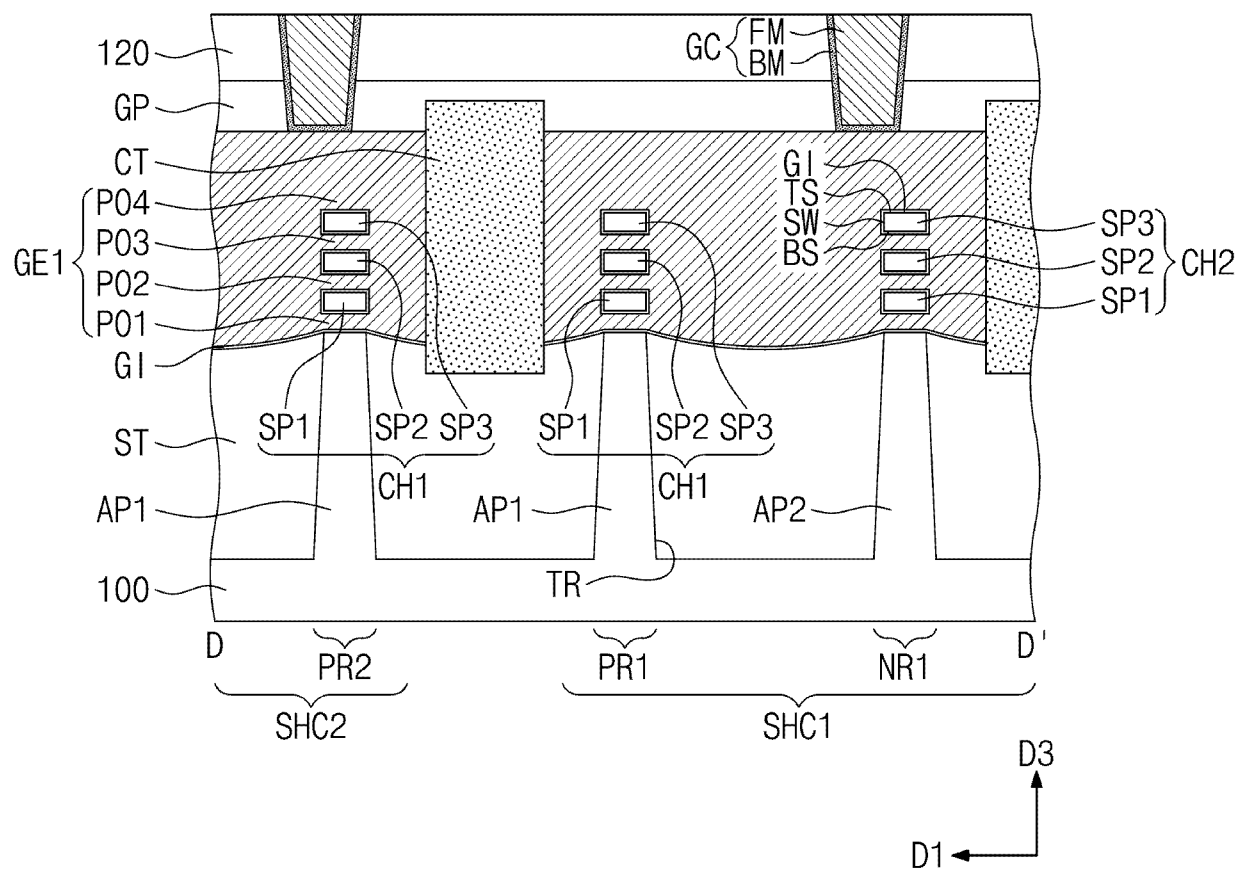
【圖14A】



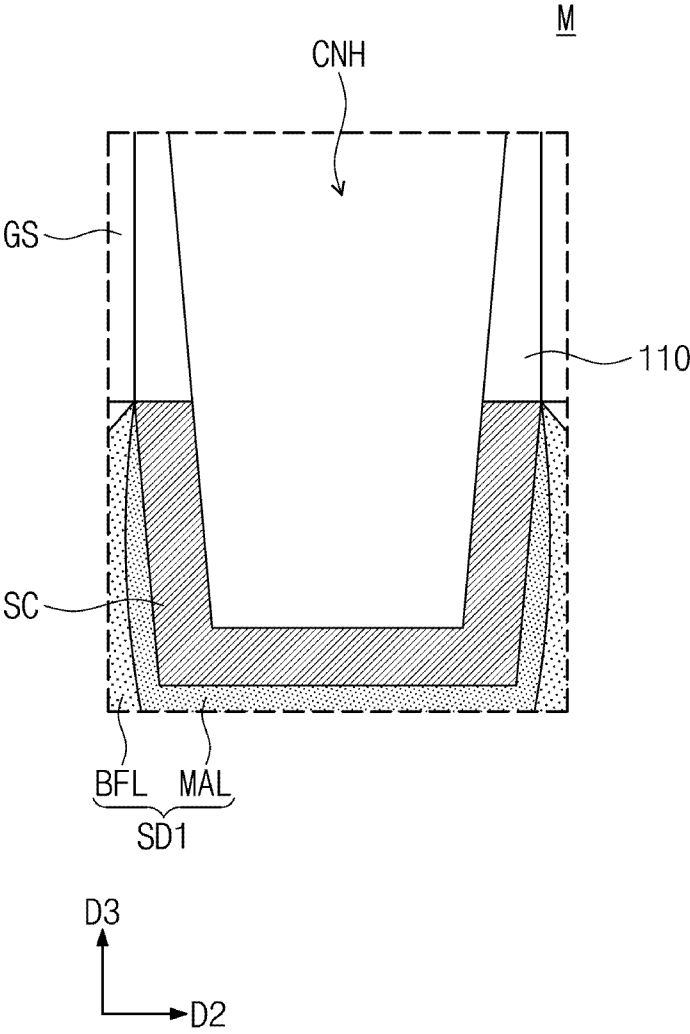
【圖14B】



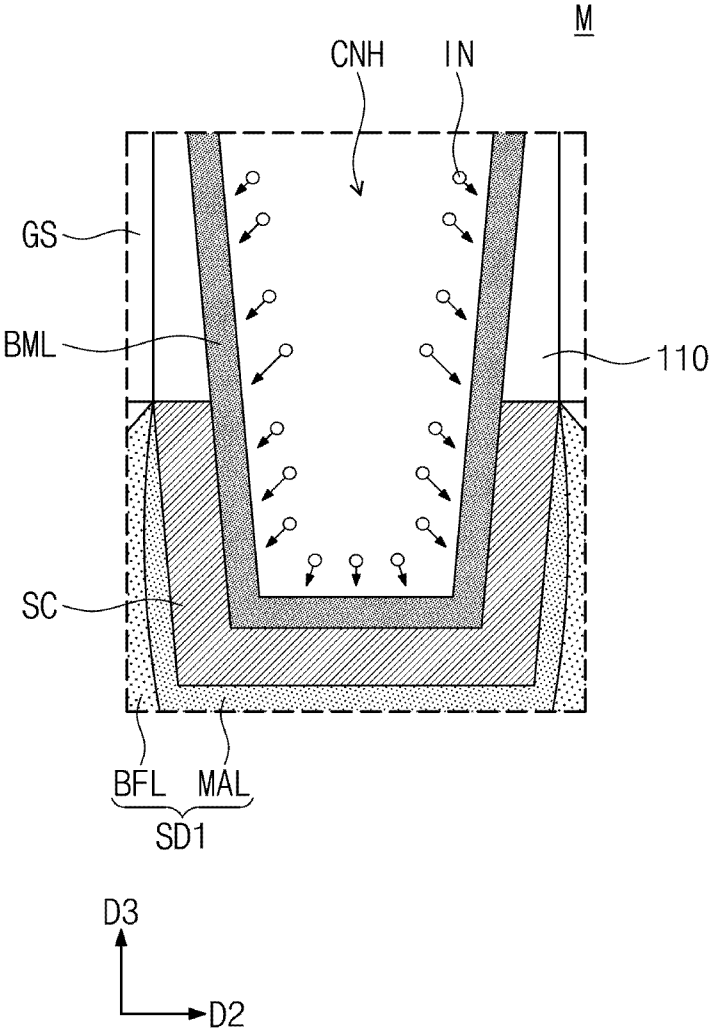
【圖14C】



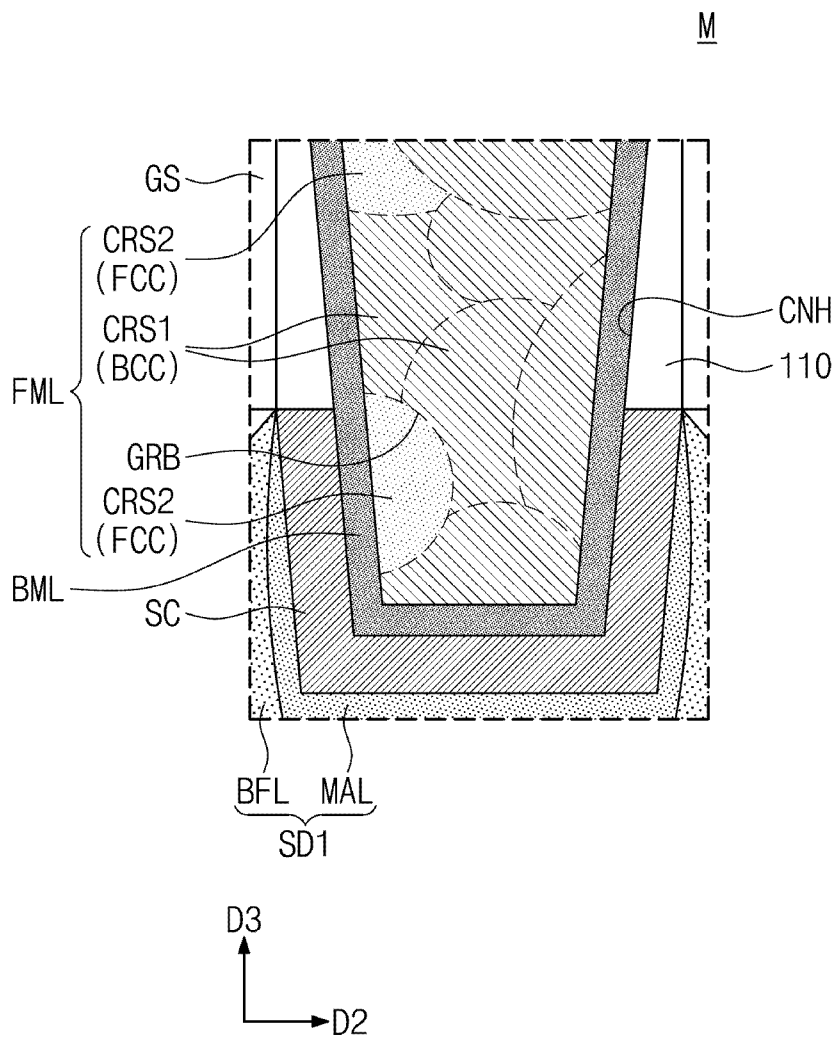
【圖14D】



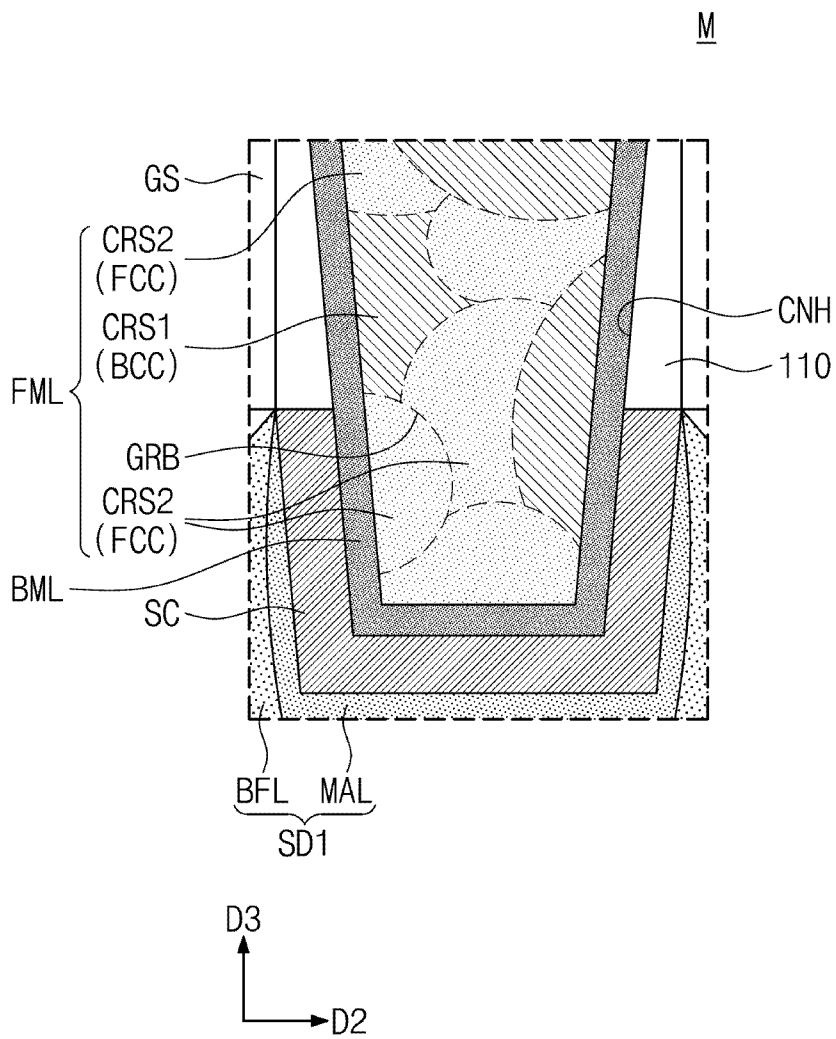
【圖15】



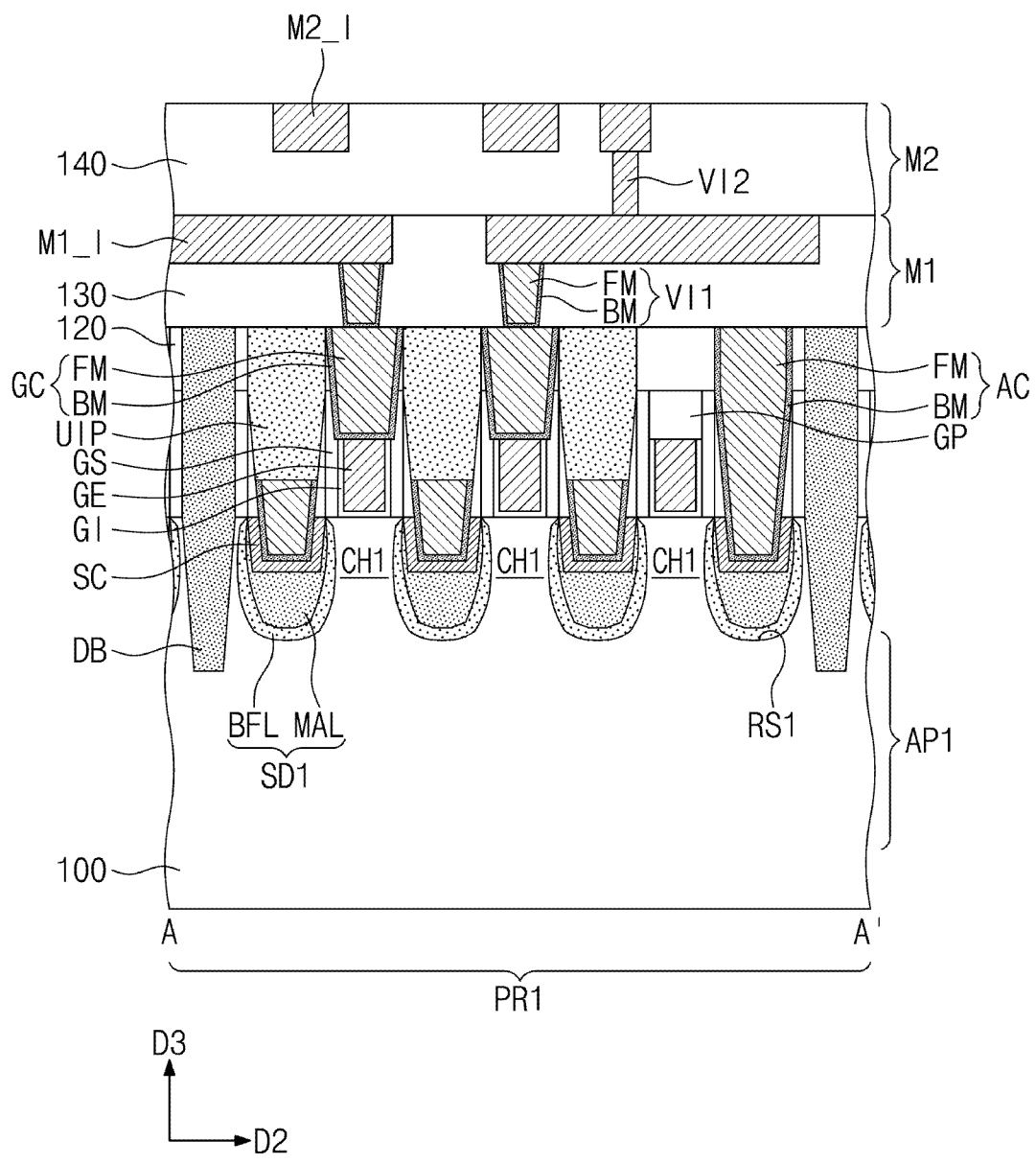
【圖16】



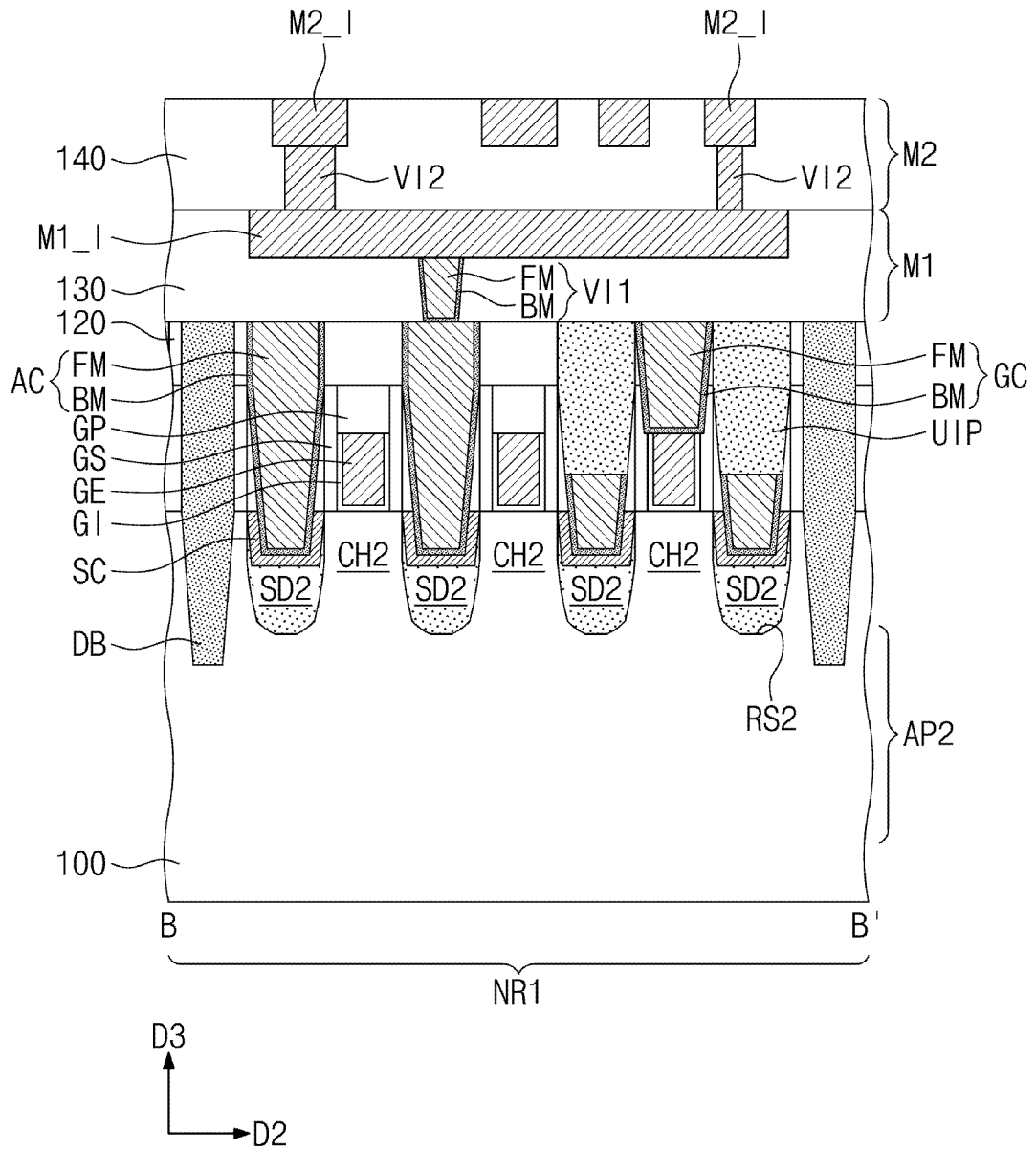
【圖17】



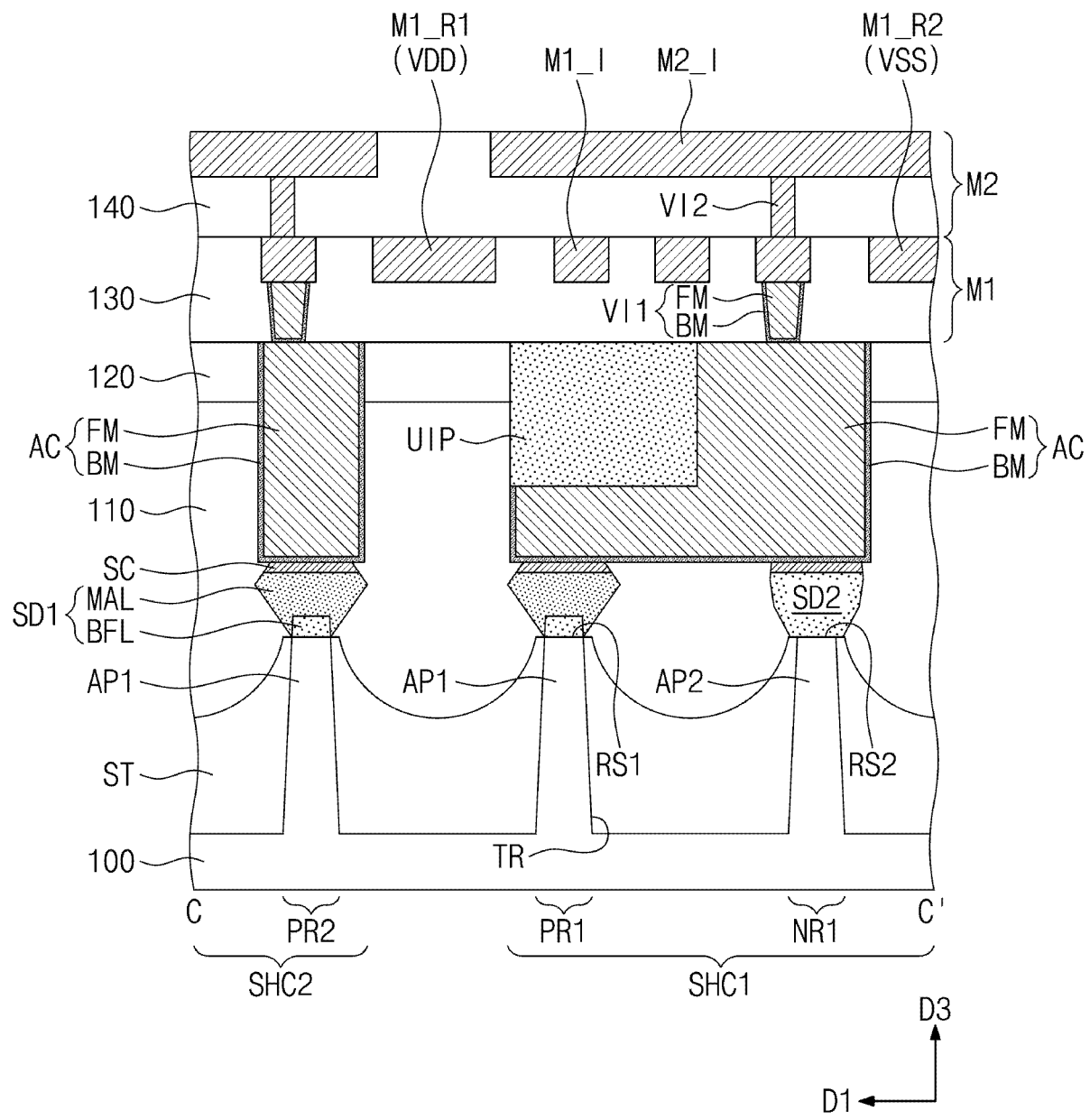
【圖18】



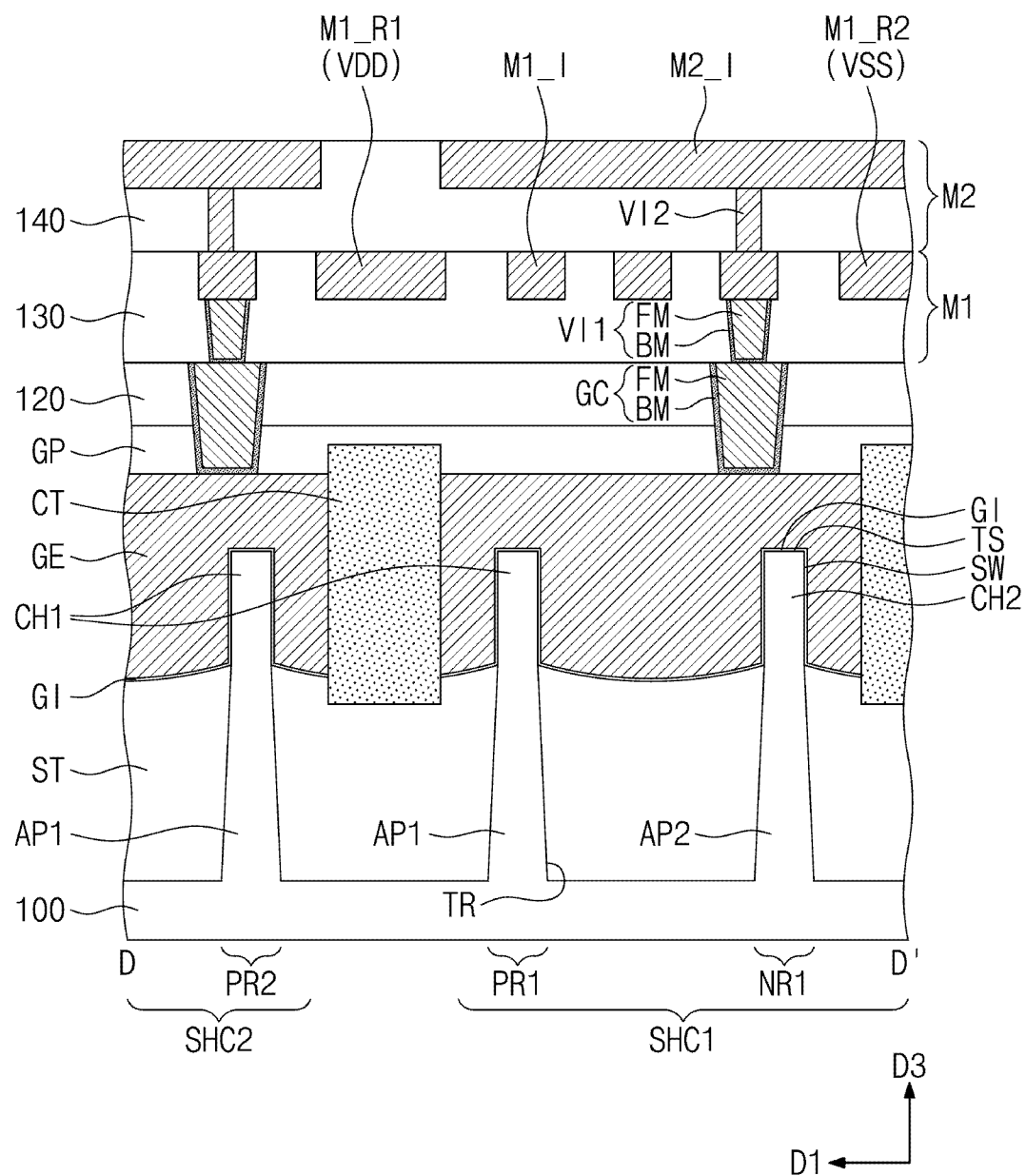
【圖19A】



【圖19B】



【圖19C】



【圖19D】



## 【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】本發明提供一種半導體裝置，包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；以及主動觸點，電連接至源極/汲極圖案。主動觸點包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且第一障壁金屬包含金屬氮化物層。第一填充物金屬包含鉬、鎢、鈦、鈷或鈮中的至少一者。第一填充物金屬包含具有體心立方（BCC）結構的第一結晶區及具有面心立方（FCC）結構的第二結晶區。第一填充物金屬中的第一結晶區的比例在60%至99%的範圍內。

【英文】A semiconductor device includes a substrate including an active pattern, a channel pattern and a source/drain pattern that are on the active pattern and connected to each other, and an active contact electrically connected to the source/drain pattern. The active contact includes a first barrier metal and a first filler metal on the first barrier metal, and the first barrier metal includes a metal nitride layer. The first filler metal includes at least one of molybdenum, tungsten, ruthenium, cobalt, or vanadium. The first filler metal includes a first crystalline region having a body-centered cubic (BCC) structure and a second crystalline region having a face-centered cubic (FCC) structure. A proportion of the first crystalline region in the first filler metal ranges from 60% to 99%.

【指定代表圖】圖5A

【代表圖之符號簡單說明】

100:基底

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A':線

AC:主動觸點

AP1:第一主動圖案

BFL:緩衝層

BM:障壁金屬

CH1:第一通道圖案

D2:第二方向

D3:第三方向

DB:分隔結構

FM:填充物金屬

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GS:閘極間隔件

M:部分

M1:第一金屬層

M1\_I:第一互連線

M2:第二金屬層

M2\_I:第二互連線

MAL:主層

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PR1:第一 PMOSFET 區

RS1:第一凹部

SC:金屬半導體化合物層

SD1:第一源極/汲極圖案

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

UIP:上部絕緣圖案

VI1:第一通孔

VI2:第二通孔

### 【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

[相關申請案的交叉參考]

【0001】 本專利申請案主張 2021 年 10 月 28 日在韓國智慧財產局申請的韓國專利申請案第 10-2021-0145716 號的優先權，所述專利申請案的全部內容特此以引用的方式併入。

【0002】 本揭露是關於一種半導體裝置及其製造方法，且特定言之，是關於一種包含場效電晶體的半導體裝置及其製造方法。

【先前技術】

【0003】 半導體裝置包含可由金屬-氧化物-半導體場效電晶體 (metal-oxide-semiconductor field-effect transistor; MOS-FET) 組成的積體電路。為滿足對具有較小圖案大小及簡約設計規則的半導體裝置的逐漸增加的需求，可大幅度將 MOS-FET 按比例縮小。MOS-FET 的按比例縮小可引起半導體裝置的操作性質的劣化。正在進行各種研究以克服與半導體裝置的按比例縮小相關聯的技術限制及實現高效能半導體裝置。

【發明內容】

【0004】 本發明概念的實施例可提供一種具有改良的電特性的半導體裝置。

【0005】 本發明概念的實施例可提供一種製造具有改良的電特性的半導體裝置的方法。

【0006】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；以及主動觸點，電連接至源極/汲極圖案。主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且第一障壁金屬可包含金屬氮化物層。第一填充物金屬可包含鉬、鎢、鈦、鈷或鈳中的至少一者。第一填充物金屬可包含具有體心立方（body-centered cubic；BCC）結構的第一結晶區及具有面心立方（face-centered cubic；FCC）結構的第二結晶區。第一填充物金屬中的第一結晶區的比例可在 60%至 99%的範圍內。

【0007】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含主動圖案；通道圖案及源極/汲極圖案，位於主動圖案上且彼此連接；主動觸點，電連接至源極/汲極圖案；以及金屬層，位於主動觸點上。金屬層中的互連線可經由通孔電連接至主動觸點，且主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬。通孔可包含第二障壁金屬及第二障壁金屬上的第二填充物金屬，且第一障壁金屬及第二障壁金屬中的每一者可包含金屬氮化物層。第一填充物金屬及第二填充物金屬可各自包含鉬、鎢、鈦、鈷或鈳中的至少一者。第一填充物金屬包含具有體心立方（BCC）結構的第一結晶區，且第二填充物金屬包含具有體心立方（BCC）結構的第二結晶區。第一填充物金屬中的體心立方（BCC）結構的比例高於第二填充物金屬中的體心立方（BCC）結構的比例。

【0008】 根據本發明概念的實施例，一種半導體裝置可包含：基底，包含 P 型金氧半場效電晶體 (p-type metal-oxide-semiconductor field-effect transistor, PMOSFET) 區及 N 型金氧半場效電晶體 (n-type metal-oxide-semiconductor field-effect transistor, NMOSFET) 區；第一主動圖案及第二主動圖案，所述第一主動圖案位於 PMOSFET 區上，所述第二主動圖案位於 NMOSFET 區上；第一通道圖案及第一源極/汲極圖案，位於第一主動圖案上；第二通道圖案及第二源極/汲極圖案，位於第二主動圖案上；閘極電極，位於第一通道圖案及第二通道圖案上；閘極絕緣層，位於閘極電極與第一通道圖案及第二通道圖案之間；閘極間隔件，位於所述閘極電極的側表面上；閘極間隔件，位於閘極電極的側表面上；閘極頂蓋圖案，位於閘極電極的頂表面上；閘極切割圖案，穿透閘極電極；層間絕緣層，位於閘極頂蓋圖案及閘極切割圖案上；主動觸點，穿透層間絕緣層且電連接至第一源極/汲極圖案及第二源極/汲極圖案；金屬半導體化合物層，分別位於主動觸點與第一源極/汲極圖案及第二源極/汲極圖案之間；閘極觸點，穿透層間絕緣層及閘極頂蓋圖案且電連接至閘極電極；第一金屬層，位於層間絕緣層上，第一金屬層包含電源線及第一互連線，所述電源線在正交於基底的表面的方向上與閘極切割圖案重疊，且所述第一互連線分別電連接至主動觸點及閘極觸點；以及第二金屬層，位於第一金屬層上。第二金屬層可包含電連接至第一金屬層的第二互連線。主動觸點可包含第一障壁金屬及第一障壁金屬上的第一填充物金屬，且閘極觸點可包含第二障壁金屬及第二障壁金屬上的第二填充物金屬。第一填充物金屬中的體心立方 (BCC) 結構的比例可高於第二填充

物金屬中的體心立方（BCC）結構的比例。

【0009】 根據本發明概念的實施例，一種製造半導體裝置的方法可包含：在基底上形成主動圖案；在主動圖案上形成在第一方向上延伸的犧牲圖案；在犧牲圖案的一側處形成包含犧牲層的源極/汲極圖案；在犧牲圖案及源極/汲極圖案上形成層間絕緣層；用閘極電極替換犧牲圖案；在層間絕緣層中形成接觸溝渠，使得源極/汲極圖案的至少一部分不含層間絕緣層；以及在接觸溝渠中形成主動觸點。形成主動觸點可包含：在接觸溝渠中形成障壁金屬層；對障壁金屬層執行使用電漿的離子轟擊製程；以及在障壁金屬層上形成填充物金屬層。填充物金屬層中的體心立方（BCC）結構的比例可在 60%至 99%的範圍內。

#### 【圖式簡單說明】

#### 【0010】

圖 1 至圖 3 為示出根據本發明概念的實施例的半導體裝置的邏輯單元的概念圖。

圖 4 為示出根據本發明概念的實施例的半導體裝置的平面圖。

圖 5A 至圖 5D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C' 以及線 D-D'截取的截面圖。

圖 6 為示出圖 5A 的部分『M』的放大截面圖。

圖 7A 至圖 14D 為示出根據本發明概念的實施例的製造半導體裝置的方法的截面圖。

圖 15 至圖 17 為示出在圖 14A 的部分『M』中形成主動觸點

的方法的放大截面圖。

圖 18 為示出根據比較例的在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。

圖 19A 至圖 19D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取以示出根據本發明概念的實施例的半導體裝置的截面圖。

### 【實施方式】

【0011】 將參考隨附圖式更全面地描述各種實例實施例，在圖式中繪示實例實施例。然而，本揭露可以許多不同形式體現，且不應解釋為限於本文中所闡述的實施例。在整個本申請案中，相同附圖標號指代相同元件。應理解，儘管可在本文中使用術語第一、第二等來描述各種元件，但此等元件不應受此等術語限制。此等術語僅用於將一個元件與另一元件區分開。因此，例如，在不脫離本發明概念的教示的情況下，下文論述的第一元件、第一組件或第一區段可稱為第二元件、第二組件或第二區段。如本文中所使用，術語「及/或」包含相關聯的所列項目中的一或多者的任何及全部組合。應注意，儘管並未相對於不同實施例特定地描述一個實施例，但關於一個實施例所描述的態樣可併入於所述不同實施例中。即，全部實施例及/或任何實施例的特徵可以任何方式及/或組合進行組合。圖 1 至圖 3 為示出根據本發明概念的實施例的半導體裝置的邏輯單元的概念圖。

【0012】 參考圖 1，可提供單高度單元 SHC。詳言之，第一電源線 M1\_R1 及第二電源線 M1\_R2 可設置於基底 100 上。第一電源線

M1\_R1 可為提供了汲極電壓 VDD (例如，電源電壓) 的導電路徑。第二電源線 M1\_R2 可為提供了源極電壓 VSS (例如，接地電壓) 的導電路徑。

【0013】單高度單元 SHC 可界定於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間。單高度單元 SHC 可包含一個 PMOSFET 區 PR 及一個 NMOSFET 區 NR。換言之，單高度單元 SHC 可具有設置於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間的 CMOS 結構。

【0014】PMOSFET 區 PR 及 NMOSFET 區 NR 中的每一者在第一方向 D1 上可具有第一寬度 W1。在其他實施例中，PR 區及 NR 區的寬度可為在第一方向 D1 上的不同 I。單高度單元 SHC 在第一方向 D1 上的長度可界定為第一高度 HE1。第一高度 HE1 可實質上等於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間的距離 (例如，間距)。

【0015】單高度單元 SHC 可構成單邏輯單元。在本說明書中，邏輯單元可意謂經組態以執行特定功能的邏輯裝置 (例如，AND、OR、XOR、XNOR、反相器等)。換言之，邏輯單元可包含構成邏輯裝置的電晶體以及使電晶體彼此連接的互連線。

【0016】參考圖 2，可提供雙高度單元 DHC。詳言之，第一電源線 M1\_R1、第二電源線 M1\_R2 以及第三電源線 M1\_R3 可設置於基底 100 上。第一電源線 M1\_R1 可安置於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。第三電源線 M1\_R3 可為提供了汲極電壓 VDD 的導電路徑。

【0017】雙高度單元 DHC 可界定於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。雙高度單元 DHC 可包含第一 PMOSFET 區 PR1、

第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。

【0018】 第一 NMOSFET 區 NR1 可鄰近於第二電源線 M1\_R2。第二 NMOSFET 區 NR2 可鄰近於第三電源線 M1\_R3。第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可鄰近於第一電源線 M1\_R1。當以平面圖查看時，第一電源線 M1\_R1 可安置於第一 PMOSFET 區 PR1 與第二 PMOSFET 區 PR2 之間。

【0019】 雙高度單元 DHC 在第一方向 D1 上的長度可界定為第二高度 HE2。第二高度 HE2 可為圖 1 的第一高度 HE1 的約兩倍。雙高度單元 DHC 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可經組合以構成單一 PMOSFET 區。

【0020】 因此，雙高度單元 DHC 的 PMOS 電晶體的通道大小可大於先前參考圖 1 所描述的單高度單元 SHC 的 PMOS 電晶體的通道大小。舉例而言，雙高度單元 DHC 的 PMOS 電晶體的通道大小可為單高度單元 SHC 的 PMOS 電晶體的通道大小的約兩倍。在此情況下，雙高度單元 DHC 可以比單高度單元 SHC 更高的速度操作。在實施例中，圖 2 中所繪示的雙高度單元 DHC 可定義為多高度單元。儘管未繪示，但多高度單元可包含三高度單元，其單元高度為單高度單元 SHC 的單元高度的約三倍。

【0021】 參考圖 3，可以二維方式在基底 100 上安置第一單高度單元 SHC1、第二單高度單元 SHC2 以及雙高度單元 DHC。第一單高度單元 SHC1 可安置於第一電源線 M1\_R1 與第二電源線 M1\_R2 之間。第二單高度單元 SHC2 可安置於第一電源線 M1\_R1 與第三電源線 M1\_R3 之間。第二單高度單元 SHC2 可在第一方向 D1 上

鄰近於第一單高度單元 SHC1。

【0022】 雙高度單元 DHC 可安置於第二電源線 M1\_R2 與第三電源線 M1\_R3 之間。雙高度單元 DHC 可在第二方向 D2 上鄰近於第一單高度單元 SHC1 及第二單高度單元 SHC2。

【0023】 分隔結構 DB 可設置於第一單高度單元 SHC1 與雙高度單元 DHC 之間以及第二單高度單元 SHC2 與雙高度單元 DHC 之間。雙高度單元 DHC 的主動區可藉由分隔結構 DB 而與第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的主動區電分離。

【0024】 圖 4 為示出根據本發明概念的實施例的半導體裝置的平面圖。圖 5A 至圖 5D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的截面圖。圖 6 為示出圖 5A 的部分『M』的放大截面圖。圖 4 及圖 5A 至圖 5D 示出圖 3 的第一單高度單元 SHC1 及第二單高度單元 SHC2 的詳細結構的實例。

【0025】 參考圖 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 及第二單高度單元 SHC2 可設置於基底 100 上。構成邏輯電路的邏輯電晶體可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者上。基底 100 可為由一或多種材料（諸如矽、鍺、矽鍺、合成半導體材料或類似者）形成或包含所述一或多種材料的半導體基底。在實施例中，基底 100 可為矽晶圓。

【0026】 基底 100 可包含第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2 中的每一者可在第二方向 D2 上

延伸。第一單高度單元 SHC1 可包含第一 NMOSFET 區 NR1 及第一 PMOSFET 區 PR1，且第二單高度單元 SHC2 可包含第二 PMOSFET 區 PR2 及第二 NMOSFET 區 NR2。

【0027】第一主動圖案 AP1 及第二主動圖案 AP2 可由形成於基底 100 的上部部分上的溝渠 TR 界定。第一主動圖案 AP1 可設置於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者上。第二主動圖案 AP2 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的每一者上。第一主動圖案 AP1 及第二主動圖案 AP2 可在第二方向 D2 上延伸。第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者可為基底 100 的豎直突出部分，亦即，在 D3 方向或垂直於基底 100 的上表面的方向上延伸。

【0028】可設置裝置隔離層 ST 以至少部分地填充溝渠 TR。裝置隔離層 ST 可包含氧化矽層。裝置隔離層 ST 可不覆蓋第一通道圖案 CH1 及第二通道圖案 CH2，亦即，第一通道圖案 CH1 及第二通道圖案 CH2 的至少一部分可不含裝置隔離層 ST，如下文將描述。

【0029】第一通道圖案 CH1 可設置於第一主動圖案 AP1 上。第二通道圖案 CH2 可設置於第二主動圖案 AP2 上。第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可包含依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可在豎直方向（亦即，第三方向 D3 或垂直於基底 100 的上表面的方向）上彼此間隔開。

【0030】第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者可由以下中的至少一者形成或包含以下

的至少一者：矽（Si）、鍺（Ge）或矽鍺（SiGe）。舉例而言，第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者可由結晶矽形成或包含結晶矽。

【0031】多個第一源極/汲極圖案 SD1 可設置於第一主動圖案 AP1 上。多個第一凹部 RS1 可形成於第一主動圖案 AP1 的上部部分中。第一源極/汲極圖案 SD1 可分別設置於第一凹部 RS1 中。第一源極/汲極圖案 SD1 可為第一導電型（例如，p 型）的雜質區。第一通道圖案 CH1 可插入於每對第一源極/汲極圖案 SD1 之間。換言之，每對第一源極/汲極圖案 SD1 可藉由堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 彼此連接。

【0032】多個第二源極/汲極圖案 SD2 可設置於第二主動圖案 AP2 上。多個第二凹部 RS2 可形成於第二主動圖案 AP2 的上部部分中。第二源極/汲極圖案 SD2 可分別設置於第二凹部 RS2 中。第二源極/汲極圖案 SD2 可為第二導電型（例如，n 型）的雜質區。第二通道圖案 CH2 可插入於每對第二源極/汲極圖案 SD2 之間。換言之，每對第二源極/汲極圖案 SD2 可藉由堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 彼此連接。

【0033】第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 可為藉由選擇性磊晶生長（selective epitaxial growth；SEG）製程形成的磊晶圖案。在實施例中，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的每一者可在基底 100 充當基礎參考層的 D3 方向上及橫截面圖中具有高於第三半導體圖案 SP3 的頂表面的頂表面。在另一實施例中，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的至少一者的頂表面可在 D3 方向上位於與第三半導體

圖案 SP3 的頂表面實質上相同的層級上。

【0034】 第一源極/汲極圖案 SD1 可包含晶格常數大於基底 100 的晶格常數的半導體材料（例如，SiGe）。在此情況下，所述對第一源極/汲極圖案 SD1 可對其間的第一通道圖案 CH1 施加壓縮應力。第二源極/汲極圖案 SD2 可由與基底 100 相同的半導體元素（例如，Si）形成或包含所述半導體元素。

【0035】 第一源極/汲極圖案 SD1 中的每一者可包含緩衝層 BFL 及緩衝層 BFL 上的主層 MAL。在下文中，將參考圖 5A 更詳細地描述第一源極/汲極圖案 SD1 在第二方向 D2 上的截面形狀。

【0036】 緩衝層 BFL 可在第一凹部 RS1 的內表面上且至少部分地覆蓋所述內表面。在實施例中，緩衝層 BFL 可具有在向上方向（亦即，D3 方向或垂直於基底 100 的上表面的方向）上逐漸減小的厚度。舉例而言，在第一凹部 RS1 的底部上在第三方向 D3 上量測到的緩衝層 BFL 的厚度可大於在第一凹部 RS1 的頂部層級處在第二方向 D2 上量測到的緩衝層 BFL 的厚度。另外，緩衝層 BFL 可具有沿著第一凹口 RS1 的輪廓的『U』形截面。

【0037】 主層 MAL 可填充其中具有緩衝層 BFL 的第一凹部 RS1 的未填充區的大部分。主層 MAL 的體積可大於緩衝層 BFL 的體積。即，主層 MAL 的體積與第一源極/汲極圖案 SD1 的總體積的比可大於緩衝層 BFL 的體積與第一源極/汲極圖案 SD1 的總體積的比。

【0038】 緩衝層 BFL 及主層 BFL 中的每一者可由矽鍺（SiGe）形成或包含矽鍺（SiGe）。在一些實施例中，緩衝層 BFL 可含有相對較低濃度的鍺（Ge）。在另一實施例中，緩衝層 BFL 可僅含有矽

(Si) 而不含有鍺 (Ge)。緩衝層 BFL 的鍺濃度可在 0 原子%至 10 原子%的範圍內。更特定言之，緩衝層 BFL 的鍺濃度可在 2 原子%至 8 原子%的範圍內。

【0039】 主層 MAL 可含有相對較高濃度的鍺 (Ge)。作為實例，主層 MAL 的鍺濃度可在 30 原子%至 70 原子%的範圍內。主層 MAL 的鍺濃度可在第三方向 D3 上增加。舉例而言，主層 MAL 的鄰近於緩衝層 BFL 的部分可具有約 40 原子%的鍺濃度，而主層 MAL 的上部部分可具有約 60 原子%的鍺濃度。

【0040】 緩衝層 BFL 及主層 MAL 中的每一者可含有雜質 (例如，硼、銻或銦)，此允許第一源極/汲極圖案 SD1 具有 p 型導電性。緩衝層 BFL 及主層 MAL 中的每一者的雜質濃度可在  $1E18$  原子/立方公分至  $5E22$  原子/立方公分的範圍內。主層 MAL 的雜質濃度可大於緩衝層 BFL 的雜質濃度。

【0041】 緩衝層 BFL 可防止或減小基底 100 (亦即，第一主動圖案 AP1) 與主層 MAL 之間，以及第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 與主層 MAL 之間的堆疊故障的可能性。堆疊故障可使得通道電阻增大。堆疊故障可易於出現在第一凹部 RS1 的底部上。因此，為了防止堆疊故障，可設置緩衝層 BFL 以在第一凹部 RS1 的底部附近具有相對較大厚度。

【0042】 緩衝層 BFL 可利用閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 來保護主層 MAL 免受將在下文描述的替換犧牲層 SAL 的過程影響。舉例而言，緩衝層 BFL 可防止或抑制用於移除犧牲層 SAL 的蝕刻劑材料進入及蝕刻主層 MAL。

【0043】 返回參考圖 4 及圖 5A 至圖 5D，閘極電極 GE 可在第一

方向 D1 上延伸且可與第一通道圖案 CH1 及第二通道圖案 CH2 交叉。閘極電極 GE 可在第二方向 D2 上以第一間距配置。閘極電極 GE 中的每一者可在豎直或 D3 方向上與第一通道圖案 CH1 及第二通道圖案 CH2 交疊。

【0044】 閘極電極 GE 可包含插入於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間的第一部分 PO1、插入於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間的第二部分 PO2、插入於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間的第三部分 PO3 以及第三半導體圖案 SP3 上的第四部分 PO4。

【0045】 返回參考圖 5A，PMOSFET 區 PR 上的閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 可在 D2 方向上具有彼此不同的寬度。舉例而言，第三部分 PO3 在第二方向 D2 上的最大寬度可大於第二部分 PO2 在第二方向 D2 上的最大寬度。第一部分 PO1 在第二方向 D2 上的最大寬度可大於第三部分 PO3 在第二方向 D2 上的最大寬度。

【0046】 返回參考圖 5D，閘極電極 GE 可設置於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 以及相對側表面 SW 上。即，根據本實施例的電晶體可為三維場效電晶體(例如，MBCFET 或 GAAFET)，其中閘極電極 GE 設置成以三維方式圍繞通道圖案。

【0047】 返回參考 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 可具有在第二方向 D2 上彼此相對的第一邊界 BD1 及第二邊界 BD2。第一邊界 BD1 及第二邊界 BD2 可在第一方向 D1 上延伸。第一單高度單元 SHC1 可具有在第一方向 D1 上彼此相對的第三邊界 BD3

及第四邊界 BD4。第三邊界 BD3 及第四邊界 BD4 可在第二方向 D2 上延伸。

【0048】 閘極切割圖案 CT 可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的平行於第二方向 D2 的邊界上。舉例而言，閘極切割圖案 CT 可安置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。閘極切割圖案 CT 可沿著第三邊界 BD3 以第一間距配置。閘極切割圖案 CT 可沿著第四邊界 BD4 以第一間距配置。當以平面圖查看時，第三邊界 BD3 及第四邊界 BD4 上的閘極切割圖案 CT 可在 D3 方向上分別與閘極電極 GE 交疊。閘極切割圖案 CT 可由一或多種絕緣材料（例如，氧化矽、氮化矽或其組合）形成或包含所述一或多種絕緣材料。

【0049】 第一單高度單元 SHC1 上的閘極電極 GE 可藉由閘極切割圖案 CT 與第二單高度單元 SHC2 上的閘極電極 GE 分離。閘極切割圖案 CT 可插入於在第一方向 D1 上彼此對準的第一單高度單元 SHC1 及第二單高度單元 SHC2 上的閘極電極 GE 之間。即，可藉由閘極切割圖案 CT 將在第一方向 D1 上延伸的閘極電極 GE 劃分為多個閘極電極 GE。

【0050】 一對閘極間隔件 GS 可分別安置於閘極電極 GE 的第四部分 PO4 的相對側表面上。閘極間隔件 GS 可沿著閘極電極 GE 且在第一方向 D1 上延伸。閘極間隔件 GS 的頂表面可在基底 100 充當基礎參考層的 D3 方向上高於閘極電極 GE 的頂表面。閘極間隔件 GS 的頂表面可與將在下文描述的第一層間絕緣層 110 的頂表面共面。在實施例中，閘極間隔件 GS 可由以下中的至少一者形成或包含以下中的至少一者：SiCN、SiCON 或 SiN。在另一實施例

中，閘極間隔件 GS 可為多層結構，所述多層結構由選自 SiCN、SiCON 以及 SiN 的至少兩種不同材料形成或包含所述至少兩種不同材料。

【0051】 閘極頂蓋圖案 GP 可設置於閘極電極 GE 上。閘極頂蓋圖案 GP 可沿著閘極電極 GE 且在第一方向 D1 上延伸。閘極頂蓋圖案 GP 可由將在下文描述的相對於第一層間絕緣層 110 及第二層間絕緣層 120 具有蝕刻選擇性的材料形成或包含所述材料。詳言之，閘極頂蓋圖案 GP 可由以下中的至少一者形成或包含以下的至少一者：SiON、SiCN、SiCON 或 SiN。

【0052】 閘極絕緣層 GI 可插入於閘極電極 GE 與第一通道圖案 CH1 之間以及閘極電極 GE 與第二通道圖案 CH2 之間。閘極絕緣層 GI 可位於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的每一者的頂表面 TS、底表面 BS 以及相對側表面 SW 上且至少部分地覆蓋所述表面。閘極絕緣層 GI 可位於閘極電極 GE 下方的裝置隔離層 ST 的頂表面上且至少部分地覆蓋所述頂表面。

【0053】 在實施例中，閘極絕緣層 GI 可包含氧化矽層、氮氧化矽層及/或高 k 介電層。高 k 介電層可由介電常數高於氧化矽的介電常數的一或多種高 k 介電材料形成或包含所述一或多種高 k 介電材料。舉例而言，高 k 介電材料可包含以下中的至少一者：氧化鈣、氧化鈣矽、氧化鈣銻、氧化鈣鉍、氧化鈣、氧化銻、氧化銻矽、氧化鉍、氧化鈦、氧化鉍銻鈦、氧化鉍鈦、氧化銻鈦、氧化鋰、氧化鋁、氧化鉛銻鉍或鉍酸鉛鋅。

【0054】 在另一實施例中，半導體裝置可包含使用負電容器的負

電容 (negative capacitance ; NC) FET。舉例而言，閘極絕緣層 GI 可包含展現出鐵電性質的鐵電層以及展現出順電性質的順電層。

【0055】 鐵電層可具有負電容，且順電層可具有正電容。在兩個或大於兩個電容器串聯連接且每一電容器具有正電容的情況下，總電容可減小至小於電容器中的每一者的電容的值。相比之下，在串連連接的電容器中的至少一者具有負電容的情況下，串聯連接的電容器的總電容可具有正值且可大於每一電容的絕對值。

【0056】 在具有負電容的鐵電層及具有正電容的順電層串聯連接的情況下，串聯連接的鐵電層及順電層的總電容可增加。歸因於總電容的此增加，包含鐵電層的電晶體在室溫下可具有小於 60 mV/decade 的亞臨限值擺幅 (subthreshold swing ; SS)。

【0057】 鐵電層可具有鐵電性質。鐵電層可由例如以下中的至少一者形成或包含以下的至少一者：氧化鈣、氧化鉻銻、氧化鋇鋇鈦、氧化鋇鈦及/或氧化鉛銻鈦。此處，氧化鉻銻可為摻雜有銻 (Zr) 的氧化鈣。替代地，氧化鈣銻可為由鈣 (HF)、銻 (Zr) 及/或氧 (O) 構成的化合物。

【0058】 鐵電層可更包含摻雜劑。舉例而言，摻雜劑可包含例如以下中的至少一者：鋁 (Al)、鈦 (Ti)、鈮 (Nb)、鐳 (La)、釔 (Y)、鎂 (Mg)、矽 (Si)、鈣 (Ca)、銻 (Ce)、鐳 (Dy)、鉕 (Er)、釷 (Gd)、銻 (Ge)、釷 (Sc)、鋇 (Sr) 及/或錫 (Sn)。鐵電層中的摻雜劑的種類可取決於包含於鐵電層中的鐵電材料而變化。

【0059】 在鐵電層包含氧化鈣的情況下，鐵電層中的摻雜劑可包含例如以下中的至少一者：釷 (Gd)、矽 (Si)、銻 (Zr)、鋁 (Al) 及/或釔 (Y)。

【0060】 在摻雜劑為鋁 (Al) 的情況下，鐵電層中的鋁的含量可在約 3 原子% (atomic percentage; at%) 至約 8 原子%的範圍內。此處，摻雜劑 (例如，鋁原子) 的含量可為鋁原子的數目與鉛原子及鋁原子的數目的比。

【0061】 在摻雜劑為矽 (Si) 的情況下，鐵電層中的矽的含量可在 2 原子%至 10 原子%的範圍內。在摻雜劑為釔 (Y) 的情況下，鐵電層中的釔的含量可在 2 原子%至 10 原子%的範圍內。在摻雜劑為釷 (Gd) 的情況下，鐵電層中的釷的含量可在 1 原子%至 7 原子%的範圍內。在摻雜劑為銦 (Zr) 的情況下，鐵電層中的銦的含量可在 50 原子%至 80 原子%的範圍內。

【0062】 順電層可具有順電性質。順電層可由例如氧化矽及/或高 k 金屬氧化物中的至少一者形成或包含氧化矽及/或高 k 金屬氧化物中的至少一者。可用作順電層的金屬氧化物可包含例如氧化鉛、氧化銦及/或氧化鋁中的至少一者，但本發明概念的實施例不限於此等實例。

【0063】 鐵電層及順電層可由相同材料形成或包含相同材料。鐵電層可具有鐵電性質，但順電層可能不具有鐵電性質。舉例而言，在鐵電層及順電層均含有氧化鉛的情況下，鐵電層中的氧化鉛的晶體結構可不同於順電層中的氧化鉛的晶體結構。

【0064】 鐵電層可僅在其厚度在特定範圍內時展現出鐵電性質。在實施例中，鐵電層可具有在 0.5 奈米至 10 奈米範圍內的厚度，但本發明概念的實施例不限於此實例。因為與鐵電特性的出現相關聯的臨界厚度取決於鐵電材料的種類而變化，所以鐵電層的厚度可取決於鐵電材料的種類而改變。

【0065】 作為實例，閘極絕緣層 GI 可包含單個鐵電層。作為另一實例，閘極絕緣層 GI 可包含彼此間隔開的多個鐵電層。閘極絕緣層 GI 可具有多個鐵電層及多個順電層交替堆疊的多層結構。

【0066】 閘極電極 GE 可包含第一金屬圖案及第一金屬圖案上的第二金屬圖案。第一金屬圖案可設置於閘極絕緣層 GI 上且可鄰近於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一金屬圖案可包含功函數金屬，所述功函數金屬可用於調整電晶體的臨限電壓。藉由調整第一金屬圖案的厚度及組成，有可能實現具有所要臨限電壓的電晶體。舉例而言，閘極電極 GE 的第一部分 PO1、第二部分 PO2 以及第三部分 PO3 可由第一金屬圖案或功函數金屬構成。

【0067】 第一金屬圖案可包含金屬氮化物層。舉例而言，第一金屬圖案可包含由至少一種金屬材料構成的層，所述至少一種金屬材料由由以下組成的群組中選出：鈦 (Ti)、鉭 (Ta)、鋁 (Al)、鎢 (W) 及鉬 (Mo)，以及氮 (N)。在實施例中，第一金屬圖案可更包含碳 (C)。第一金屬圖案可包含堆疊的多個功函數金屬層。

【0068】 第二金屬圖案可由電阻小於第一金屬圖案的金屬材料形成或包含所述金屬材料。舉例而言，第二金屬圖案可由至少一種金屬材料形成或包含至少一種金屬材料，所述至少一種金屬材料由由以下組成的群組中選出：鎢 (W)、鋁 (Al)、鈦 (Ti) 以及鉭 (Ta)。閘極電極 GE 的第四部分 PO4 可包含第一金屬圖案及第一金屬圖案上的第二金屬圖案。

【0069】 返回參考 5B，可將內間隔件 IP 設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。即，內間隔件 IP 可設置於第

二主動圖案 AP2 上。內間隔件 IP 可分別插入於閘極電極 GE 的第一部分 PO1、第三部分 PO2 以及第三部分 PO3 與第二源極/汲極圖案 SD2 之間。內間隔件 IP 可與第二源極/汲極圖案 SD2 直接接觸。閘極電極 GE 的第一部分 PO1、第三部分 PO2 以及第三部分 PO3 中的每一者可藉由內間隔件 IP 與第二源極/汲極圖案 SD2 間隔開。

【0070】第一層間絕緣層 110 可設置於基底 100 上。第一層間絕緣層 110 可位於閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 上且至少部分地覆蓋閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。第一層間絕緣層 110 可具有與閘極頂蓋圖案 GP 的頂表面及閘極間隔件 GS 的頂表面實質上共面的頂表面。第二層間絕緣層 120 可形成於第一層間絕緣層 110 上，以位於閘極頂蓋圖案 GP 上且至少部分地覆蓋閘極頂蓋圖案 GP。第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。在實施例中，第一層間絕緣層 110 至第四層間絕緣層 140 中的至少一者可包含氧化矽層。

【0071】一對分隔結構 DB 可在第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的兩側處設置成在第二方向 D2 上彼此相對。舉例而言，可將一對分隔結構 DB 分別設置於第一單高度單元 SHC1 的第一邊界 BD1 及第二邊界 BD2 上。分隔結構 DB 可在第一方向 D1 上平行於閘極電極 GE 延伸。分隔結構 DB 與鄰近其的閘極電極 GE 之間間距可等於第一間距。

【0072】分隔結構 DB 可穿透第一層間絕緣層 110 及第二層間絕

緣層 120 且可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 中。分隔結構 DB 可穿透第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的上部部分。分隔結構 DB 可使第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的主動區與相鄰單元的主動區電分離。

【0073】 主動觸點 AC 可穿透第一層間絕緣層 110 及第二層間絕緣層 120 且可分別電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。一對主動觸點 AC 可分別設置於閘極電極 GE 的兩側處。當以平面圖查看時，主動觸點 AC 可為在第一方向 D1 上延長的條形圖案。

【0074】 主動觸點 AC 可為自對準觸點。舉例而言，主動觸點 AC 可藉由使用閘極頂蓋圖案 GP 及閘極間隔件 GS 的自對準製程來形成。舉例而言，主動觸點 AC 可位於閘極間隔件 GS 的側表面的至少一部分上且覆蓋所述至少一部分。儘管未繪示，但主動觸點 AC 可位於閘極頂蓋圖案 GP 的頂表面的一部分上且至少部分地覆蓋所述一部分。

【0075】 金屬半導體化合物層 SC（例如，矽化物層）可分別插入於主動觸點 AC 與第一源極/汲極圖案 SD1 之間以及主動觸點 AC 與第二源極/汲極圖案 SD2 之間。主動觸點 AC 可經由金屬半導體化合物層 SC 電連接至源極/汲極圖案 SD1 及源極/汲極圖案 SD2。舉例而言，金屬半導體化合物層 SC 可由以下中的至少一者形成或包含以下的至少一者：矽化鈦、矽化鋁、矽化鎢、矽化鎳或矽化鈷。

【0076】 返回參考圖 5C，第一單高度單元 SHC1 上的至少一個主動觸點 AC 可將第一 PMOSFET 區 PR1 的第一源極/汲極圖案 SD1

電連接至第一 NMOSFET 區 NR1 的第二源極/汲極圖案 SD2。主動觸點 AC 可在第一方向 D1 上自第一 NMOSFET 區 NR1 的第二源極/汲極圖案 SD2 延伸至第一 PMOSFET 區 PR1 的第一源極/汲極圖案 SD1。

【0077】 閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP，且可分別電連接至閘極電極 GE。當以平面圖查看時，第一單高度單元 SHC1 上的兩個閘極觸點 GC 可在 D3 方向上與第一 PMOSFET 區 PR1 重疊。即，第一單高度單元 SHC1 上的兩個閘極觸點 GC 可設置於第一主動圖案 AP1 上（例如，參看圖 5A）。當以平面圖查看時，第一單高度單元 SHC1 上的單個閘極觸點 GC 可在 D3 方向上與第一 NMOSFET 區 NR1 重疊。換言之，第一單高度單元 SHC1 上的單個閘極觸點 GC 可設置於第二主動圖案 AP2 上（例如，參看圖 5B）。

【0078】 閘極觸點 GC 可自由地安置於閘極電極 GE 上，其位置無任何限制。舉例而言，第二單高度單元 SHC2 上的閘極觸點 GC 可分別安置於第二 PMOSFET 區 PR2、第二 NMOSFET 區 NR2 以及裝置隔離層 ST 上，從而至少部分地填充溝渠 TR（例如，參看圖 4）。

【0079】 在實施例中，參考圖 5A 及圖 5B，鄰近於閘極觸點 GC 的主動觸點 AC 的上部部分可至少部分地填充有上部絕緣圖案 UIP。上部絕緣圖案 UIP 的底表面可在基底 100 充當基礎參考層的 D3 方向上低於閘極觸點 GC 的底表面。換言之，鄰近於閘極觸點 GC 的主動觸點 AC 的頂表面可藉由上部絕緣圖案 UIP 形成於在基底 100 充當基礎參考層的 D3 方向上低於閘極觸點 GC 的底表面的層

級處。因此，可有可能防止或減小彼此鄰近的閘極觸點 GC 及主動觸點 AC 彼此接觸的可能性，且藉此防止或減小其間出現短路問題的可能性。

【0080】主動觸點 AC 及閘極觸點 GC 中的每一者可包含障壁金屬 BM 及障壁金屬 BM 上的填充物金屬 FM。障壁金屬 BM 可設置成包圍填充物金屬 FM 的除頂表面以外的全部表面。舉例而言，填充物金屬 FM 可由以下中的至少一者形成或包含以下的至少一者：鉬、鎢、鈳、鈷或鈳。在實施例中，填充物金屬 FM 可由鉬形成或包含鉬。障壁金屬 BM 可包含金屬氮化物層。金屬氮化物層可由以下中的至少一者形成或包含以下中的至少一者：氮化鈦 (TiN)、氮化鉭 (TaN)、氮化鎢 (WN)、氮化鎳 (NiN)、氮化鈷 (CoN) 或氮化鉑 (PtN)。

【0081】第一金屬層 M1 可設置於第三層間絕緣層 130 中。舉例而言，第一金屬層 M1 可包含第一電源線 M1\_R1、第二電源線 M1\_R2、第三電源線 M1\_R3 以及第一互連線 M1\_I。第一金屬層 M1 的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 可在第二方向 D2 上彼此平行地延伸。

【0082】詳言之，第一電源線 M1\_R1 及第二電源線 M1\_R2 可分別設置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。第一電源線 M1\_R1 可沿著第三邊界 BD3 且在第二方向 D2 上延伸。第二電源線 M1\_R2 可沿著第四邊界 BD4 且在第二方向 D2 上延伸。

【0083】第一金屬層 M1 的第一互連線 M1\_I 可在第一方向 D1 上以第二間距配置。第二間距可小於第一間距。第一互連線 M1\_I 中

的每一者在 D1 方向上的線寬可小於第一電源線 M1\_R1、第二功率線 M1\_R2 以及第三功率線 M1\_R3 中的每一者的線寬，如圖 5C 中所繪示。

【0084】 第一金屬層 M1 可更包含第一通孔 VI1。第一通孔 VI1 可分別設置於第一金屬層 M1 的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 下方（亦即，更靠近基底 100）。主動觸點 AC 及第一金屬層 M1 的互連線可經由第一通孔 VI1 彼此電連接。閘極觸點 GC 及第一金屬層 M1 的互連線可經由第一通孔 VI1 彼此電連接。

【0085】 類似於主動觸點 AC 及閘極觸點 GC，第一通孔 VI1 可包含障壁金屬 BM 及障壁金屬 BM 上的填充物金屬 FM。第一金屬層 M1 的互連線及互連線下的第一通孔 VI1 可藉由單獨製程形成。舉例而言，第一金屬層 M1 的互連線及第一通孔 VI1 可獨立地由各別單金屬鑲嵌製程形成。可使用次 20 奈米製程來製造根據本實施例的半導體裝置。

【0086】 第二金屬層 M2 可設置於第四層間絕緣層 140 中。第二金屬層 M2 可包含多個第二互連線 M2\_I。第二金屬層 M2 的第二互連線 M2\_I 中的每一者可為在第一方向 D

【0087】 1 上延伸的線形圖案或條形圖案。換言之，第二互連線 M2\_I 可在第一方向 D1 上延伸且彼此平行。

【0088】 第二金屬層 M2 可更包含分別設置於第二互連線 M2\_I 下方（亦即，更靠近基底）的第二通孔 VI2。第一金屬層 M1 及第二金屬層 M2 的互連線可經由第二通孔 VI2 彼此電連接。第二金屬層 M2 的互連線及互連線下的第二通孔 VI2 可藉由雙金屬鑲嵌製

程一起形成。

【0089】 第一金屬層 M1 的互連線可由與第二金屬層 M2 的導電材料相同或不同的導電材料形成或包含所述導電材料。舉例而言，第一金屬層 M1 及第二金屬層 M2 的互連線可由一或多種金屬材料（例如，銅、鈮、鋁、鎢、鉬以及鈷）形成或包含所述一或多種金屬材料。儘管未繪示，但多個金屬層（例如，M3、M4、M5 等）可另外堆疊於第四層間絕緣層 140 上。堆疊的金屬層中的每一者可包含用作單元之間的佈線路徑的互連線。

【0090】 在下文中，將參考圖 6 更詳細地描述主動觸點 AC 的障壁金屬 BM 及填充物金屬 FM。障壁金屬 BM 可設置於第一層間絕緣層 110 的接觸溝渠 CNH 的內表面上。障壁金屬 BM 可具有均勻厚度。

【0091】 在實施例中，障壁金屬 BM 可包含藉由 PECVD 製程形成的金屬氮化物層（例如，TiN）。在另一實施例中，障壁金屬 BM 可包含使用沈積製程形成且接著使用電漿進行處理的金屬氮化物層（例如，TiN）。舉例而言，障壁金屬 BM 可為或包含金屬氮化物層，所述金屬氮化物層藉由在其沈積製程期間或直接在其沈積製程之後執行的使用電漿的離子轟擊製程進行處理。

【0092】 作為離子轟擊製程的結果，障壁金屬 BM 的材料（例如 TiN）可比使用簡單 CVD 製程沈積的 TiN 層更緻密。由於障壁金屬 BM 的材料（例如，TiN）藉由離子轟擊製程而具有增加的密度，因此其可具有壓縮應力。

【0093】 填充物金屬 FM 可經由沈積製程（例如，ALD）形成，在形成障壁金屬 BM 之後對障壁金屬 BM 執行所述沈積製程。在形

成填充物金屬 FM 期間，填充物金屬 FM 的晶體結構可受障壁金屬 BM 影響。

【0094】 根據本發明概念的實施例，填充物金屬 FM 可為鉬且可包含第一結晶區 CRS1 及第二結晶區 CRS2。第一結晶區 CRS1 可具有第一晶體結構（例如，體心立方（BCC）結構）。第二結晶區 CRS2 可具有第二晶體結構（例如，面心立方（FCC）結構）。

【0095】 晶界 GRB 可界定於結晶區之間。晶界 GRB 可形成於具有不同結晶結構的第一結晶區 CRS1 與第二結晶區 CRS2 之間。另外，晶粒界 GRB 可形成於彼此鄰近且具有相同結晶結構的第一結晶區 CRS1 之間。

【0096】 填充物金屬 FM 中的第一結晶區 CRS1 的比例可在 60% 至 99% 的範圍內。換言之，第一結晶區 CRS1 的體積與填充物金屬 FM 的總體積的比可在 60% 至 99% 的範圍內。舉例而言，在圖 6 中所繪示的二維截面中，第一結晶區 CRS1 的面積與填充物金屬 FM 的總面積的比可在 60% 至 99% 的範圍內。填充物金屬 FM 中的 BCC 結構的分率或比例可在 60% 至 99% 的範圍內。第二結晶區 CRS2 可對應於填充物金屬 FM 的除第一結晶區 CRS1 以外的其餘區。

【0097】 根據本發明概念的實施例，填充物金屬 FM（亦即，鉬）中的 60% 至 99% 的晶體結構可為 BCC 結構。更特定言之，填充物金屬 FM（亦即，鉬）中的 80% 至 99% 的晶體結構可為 BCC 結構。

【0098】 在填充物金屬 FM（亦即，鉬）中的 BCC 結構的比例在 60% 至 99%（更特定言之，80% 至 99%）的範圍內的情況下，填充物金屬 FM 可具有 16 微歐公分至 18 微歐公分的電阻率。根據本發明概念的實施例，由於填充物金屬 FM 中的 BCC 結構的比例高

於 80%，因此填充物金屬 FM 可具有相對較低的電阻率。即，主動觸點 AC 可具有相對較低的電阻，且此可使得有可能改良半導體裝置的電特性。

【0099】 已參考主動觸點 AC 描述根據本發明概念的實施例的障壁金屬 BM 及填充物金屬 FM。在實施例中，閘極觸點 GC 及第一通孔 VI1 亦可包含障壁金屬 BM 及填充物金屬 FM，且在此情況下，閘極觸點 GC 及第一通孔 VI1 中的障壁金屬 BM 及填充物金屬 FM 可具有與上文所描述的主動觸點 AC 的特徵相同的特徵。

【0100】 因此，在根據本發明概念的實施例的半導體裝置中，構成邏輯電路的電晶體可藉由減小的電阻連接至其上的第一金屬層 M1 的互連線，且此可使得有可能改良半導體裝置的電特性。

【0101】 根據本發明概念的實施例，主動觸點 AC 的填充物金屬 FM 中的體心立方（BCC）結構的比例可高於閘極觸點 GC 及第一通孔 VI1 中的每一者的填充物金屬 FM 中的體心立方（BCC）結構的比例。在此情況下，填充物金屬 FM 在主動觸點 AC 中的電阻率可低於在閘極觸點 GC 及第一通孔 VI1 中的每一者中的電阻率。此是因為主動觸點 AC 是以至少部分地填充相對較寬的渠溝的接觸插塞的形式提供（例如，參看圖 5C），而閘極觸點 GC 及第一通孔 VI1 中的每一者是以可至少部分地填充相對較窄的孔的接觸插塞的形式提供（例如，參看圖 5D）。

【0102】 圖 7A 至圖 14D 為示出根據本發明概念的實施例的製造半導體裝置的方法的截面圖。詳言之，圖 7A、圖 8A、圖 9A、圖 10A、圖 11A、圖 12A、圖 13A 以及圖 14A 為對應於圖 4 的線 A-A' 的截面圖。圖 9B、圖 10B、圖 11B、圖 12B、圖 13B 以及圖 14B

為對應於圖 4 的線 B-B'的截面圖。圖 9C、圖 10C、圖 11C、圖 12C、圖 13C 以及圖 14C 為對應於圖 4 的線 C-C'的截面圖。圖 7B、圖 8B、圖 9D、圖 10D、圖 11D、圖 12D、圖 13D 以及圖 14D 為對應於圖 4 的線 D-D'的截面圖。

【0103】 參考圖 7A 及圖 7B，可提供基底 100，且在一實施例中，基底可包含第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2。主動層 ACL 及犧牲層 SAL 可交替堆疊於基底 100 上。主動層 ACL 可由以下形成或包含以下：矽（Si）、鍺（Ge）及/或矽鍺（SiGe），且犧牲層 SAL 可由以下形成或包含以下：矽（Si）、鍺（Ge）及/或矽鍺（SiGe）。

【0104】 犧牲層 SAL 可由相對於主動層 ACL 具有蝕刻選擇性的材料形成或可包含所述材料。舉例而言，主動層 ACL 可由矽（Si）形成或包含矽（Si），且犧牲層 SAL 可由矽鍺（SiGe）形成或包含矽鍺（SiGe）。犧牲層 SAL 中的每一者的鍺濃度可在 10 原子%至 30 原子%的範圍內。

【0105】 罩幕圖案可分別形成於基底 100 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。罩幕圖案可為在第二方向 D2 上延伸的線形圖案或條形圖案。

【0106】 可執行使用罩幕圖案作為蝕刻罩幕的圖案化製程以形成界定第一主動圖案 AP1 及第二主動圖案 AP2 的溝渠 TR。第一主動圖案 AP1 可形成於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者上。第二主動圖案 AP2 可形成於第一 NMOSFET

區 NR1 及第二 NMOSFET 區 NR2 中的每一者上。

【0107】 可在第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上形成堆疊圖案 STP。堆疊圖案 STP 可包含交替堆疊的主動層 ACL 及犧牲層 SAL。在圖案化製程期間，可與第一主動圖案 AP1 及第二主動圖案 AP2 一起形成堆疊圖案 STP。

【0108】 裝置隔離層 ST 可形成為至少部分地填充溝渠 TR。詳言之，絕緣層可形成於基底 100 上以至少部分地覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 以及堆疊圖案 STP。裝置隔離層 ST 可藉由使絕緣層凹陷以暴露堆疊圖案 STP 的至少一部分而形成。

【0109】 裝置隔離層 ST 可由至少一種絕緣材料（例如，氧化矽）形成或包含所述絕緣材料。如圖 7B 中所繪示，堆疊圖案 STP 可在 D3 方向上置放於裝置隔離層 ST 上方，且可暴露於裝置隔離層 ST 的外部。換言之，堆疊圖案 STP 可在裝置隔離層 ST 上方豎直（亦即，D3 方向）突出。

【0110】 參考圖 8A 及圖 8B，犧牲圖案 PP 可形成於基底 100 上以與堆疊圖案 STP 交叉。犧牲圖案 PP 中的每一者可為在第一方向 D1 上延伸的線形圖案或條形圖案。犧牲圖案 PP 可在第二方向 D2 上以第一間距配置。

【0111】 詳言之，犧牲圖案 PP 的形成可包含在基底 100 上形成犧牲層，在犧牲層上形成硬式罩幕圖案 MP，以及使用硬式罩幕圖案 MP 作為蝕刻罩幕來圖案化犧牲層。舉例而言，犧牲層可由多晶矽形成或包含多晶矽。

【0112】 一對閘極間隔件 GS 可形成於犧牲圖案 PP 中的每一者的相對側表面上。閘極間隔件 GS 的形成可包含在基底 100 上共形地

形成閘極間隔件層以及非等向性地蝕刻閘極間隔件層。在實施例中，閘極間隔件 GS 可為包含至少兩個層的多層結構。

【0113】 參考圖 9A 至圖 9D，第一凹部 RS1 可形成於第一主動圖案 AP1 上的堆疊圖案 STP 中。第二凹部 RS2 可形成於第二主動圖案 AP2 上的堆疊圖案 STP 中。在形成第一凹部 RS1 及第二凹部 RS2 期間，裝置隔離層 ST 亦可在第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的兩側處凹陷（例如，參看圖 9C）。

【0114】 詳言之，可藉由使用硬式罩幕圖案 MP 及閘極間隔件 GS 作為蝕刻罩幕蝕刻第一主動圖案 AP1 上的堆疊圖案 STP 來形成第一凹部 RS1。第一凹部 RS1 可形成於一對犧牲圖案 PP 之間。

【0115】 第二主動圖案 AP2 上的堆疊圖案 STP 中的第二凹部 RS2 可藉由與第一凹部 RS1 的相同的方法來形成。第二凹部 RS2 的形成可更包含在藉由選擇性地蝕刻犧牲層 SAL 形成的凹陷區中形成內間隔件 IP。

【0116】 依序堆疊於第一凹部 RS1 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由主動層 ACL 形成。依序堆疊於第二凹部 RS2 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由主動層 ACL 形成。第一凹部 RS1 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第一通道圖案 CH1。第二凹部 RS2 中的相鄰者之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第二通道圖案 CH2。

【0117】 參考圖 10A 至圖 10D，第一源極/汲極圖案 SD1 可分別形

成於第一凹部 RS1 中。詳言之，緩衝層 BFL 可藉由使用第一凹部 RS1 的內表面作為晶種層的第一 SEG 製程來形成。緩衝層 BFL 可使用至少部分地經由第一凹部 RS1 暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 及第三半導體圖案 SP3 以及基底 100 作為晶種層進行生長。在實施例中，第一 SEG 製程可包含化學氣相沈積（chemical vapor deposition；CVD）製程或分子束磊晶（molecular beam epitaxy；MBE）製程。

【0118】 緩衝層 BFL 可含有晶格常數大於基底 100 的半導體材料的晶格常數的半導體材料（例如，SiGe）。緩衝層 BFL 可含有相對較低濃度的鍺（Ge）。在實施例中，緩衝層 BFL 可僅含有矽（Si）而不含有鍺（Ge）。緩衝層 BFL 的鍺濃度可在 0 原子%至 10 原子%的範圍內。

【0119】 可對緩衝層 BFL 執行第二 SEG 製程以形成主層 MAL。主層 MAL 可形成為至少部分地填充第一凹部 RS1。主層 MAL 可含有相對較高濃度的鍺。在實施例中，主層 MAL 的鍺濃度可在 30 原子%至 70 原子%的範圍內。

【0120】 第一源極/汲極圖案 SD1 可在形成緩衝層 BFL 及主層 MAL 期間原位摻雜有 p 型雜質（例如，硼、鎵或銦）。在其他實施例中，可在形成第一源極/汲極圖案 SD1 之後將雜質注入至第一源極/汲極圖案 SD1 中。

【0121】 第二源極/汲極圖案 SD2 可分別形成於第二凹部 RS2 中。詳言之，第二源極/汲極圖案 SD2 可藉由使用第二凹部 RS2 的內表面作為晶種層的第三 SEG 製程形成。在實施例中，第二源極/汲極圖案 SD2 可由與基底 100 相同的半導體材料（例如，Si）形成或

包含所述半導體材料。

【0122】 在形成第二源極/汲極圖案 SD2 期間，第二源極/汲極圖案 SD2 可原位摻雜有 n 型雜質（例如，磷、砷或銻）。在其他實施例中，可在形成第二源極/汲極圖案 SD2 之後將雜質注入至第二源極/汲極圖案 SD2 中。

【0123】 參考圖 11A 至圖 11D，可形成第一層間絕緣層 110 以至少部分地覆蓋第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2、硬式罩幕圖案 MP 以及閘極間隔件 GS。作為實例，第一層間絕緣層 110 可包含氧化矽層。

【0124】 第一層間絕緣層 110 可經平坦化以至少部分地暴露犧牲圖案 PP 的頂表面。可使用回蝕或化學機械研磨（chemical-mechanical polishing；CMP）製程來執行第一層間絕緣層 110 的平坦化。可在平坦化製程期間移除大部分或全部硬式罩幕圖案 MP。因此，第一層間絕緣層 110 可具有與犧牲圖案 PP 的頂表面及閘極間隔件 GS 的頂表面共面的頂表面。

【0125】 可執行光微影製程以選擇性地敞開犧牲圖案 PP 的區。舉例而言，可選擇性地敞開犧牲圖案 PP 在第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上的區。可選擇性地蝕刻及移除犧牲圖案 PP 的敞開區。可藉由用絕緣材料至少部分地填充藉由移除犧牲圖案 PP 形成的空間來形成閘極切割圖案 CT。

【0126】 參考圖 12A 至圖 12D，可選擇性地移除暴露的犧牲圖案 PP。作為移除犧牲圖案 PP 的結果，可形成至少部分地暴露第一通道圖案 CH1 及第二通道圖案 CH2 的外部區 ORG（例如，參看圖 12D）。移除犧牲圖案 PP 可包含濕式蝕刻製程，使用能夠選擇性地

蝕刻多晶矽的蝕刻溶液來執行所述濕式蝕刻製程。

【0127】 可選擇性地移除經由外部區 ORG 暴露的犧牲層 SAL 以形成內部區 IRG（例如，參看圖 12D）。詳言之，藉由執行選擇性地蝕刻犧牲層 SAL 的製程，有可能留下第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 且僅移除犧牲層 SAL。蝕刻製程可經選擇以使具有相對較高的鍺濃度的材料（例如，SiGe）具有較高蝕刻速率。舉例而言，蝕刻製程可經選擇以使鍺濃度高於 10 原子%的矽鍺層具有較高蝕刻速率。

【0128】 在蝕刻製程期間，可移除第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上的犧牲層 SAL。蝕刻製程可為濕式蝕刻製程。用於蝕刻製程中的蝕刻劑材料可經選擇以移除具有相對較高的鍺濃度的犧牲層 SAL。同時，第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 上的第一源極/汲極圖案 SD1 可藉由具有相對較低的鍺濃度的緩衝層 BFL 而不受蝕刻製程影響。

【0129】 返回參考圖 12D，因為選擇性地移除犧牲層 SAL，所以可僅留下堆疊於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者上的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。藉由移除犧牲層 SAL 而形成的空區可分別形成第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3。

【0130】 詳言之，第一內部區 IRG1 可形成於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間，第二內部區 IRG2 可形成於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間，且第三內部區 IRG3 可形成於第二半導體圖案 SP2 與第三半導體圖案 SP3

之間。

【0131】 參考圖 13A 至圖 13D，閘極絕緣層 GI 可保形地形成於暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 上。閘極電極 GE 可形成於閘極絕緣層 GI 上。閘極電極 GE 可包含分別形成於第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 中的第一部分 PO1、第二部分 PO2 以及第三部分 PO3，以及形成於外部區 ORG 中的第四部分 PO4。

【0132】 可使閘極電極 GE 凹陷以具有降低的高度。在使閘極電極 GE 凹陷期間，第一閘極切割圖案 CT1 及第二閘極切割圖案 CT2 的上部部分可稍微凹陷。閘極頂蓋圖案 GP 可形成於凹陷的閘極電極 GE 上。

【0133】 參考圖 14A 至圖 14D，第二層間絕緣層 120 可形成於第一層間絕緣層 110 上。第二層間絕緣層 120 可包含氧化矽層。主動觸點 AC 可形成為穿透第二層間絕緣層 120 及第一層間絕緣層 110 且電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。閘極觸點 GC 可形成為穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP 且分別電連接至閘極電極 GE。

【0134】 形成主動觸點 AC 及閘極觸點 GC 中的每一者可包含形成障壁金屬 BM 以及在障壁金屬 BM 上形成填充物金屬 FM。障壁金屬 BM 可保形地形成且可包含金屬層及金屬氮化物層。填充物金屬 FM 可由一或多種低電阻金屬形成或包含一或多種低電阻金屬。

【0135】 一對分隔結構 DB 可形成於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的每一者的兩側處。分隔結構 DB 可穿透第

二層間絕緣層 120 及閘極電極 GE 且可延伸至主動圖案 AP1 或主動圖案 AP2 中。分隔結構 DB 可由絕緣材料（例如，氧化矽或氮化矽）形成或包含所述絕緣材料。

【0136】 返回參考圖 5A 至圖 5D，第三層間絕緣層 130 可形成於主動觸點 AC 及閘極觸點 GC 上。第一金屬層 M1 可形成於第三層間絕緣層 130 中。詳言之，分別連接至主動觸點 AC 及閘極觸點 GC 的第一通孔 VI1 可形成於第三層間絕緣層 130 的下部部分中。第一通孔 VI1 中的每一者可包含障壁金屬 BM 及填充物金屬 FM。與第一通孔 VI1 接觸的互連線 M1\_R1、互連線 M1\_R2、互連線 M1\_R3 以及互連線 M1\_I 可形成於第三層間絕緣層 130 的上部部分中。第四層間絕緣層 140 可形成於第三層間絕緣層 130 上。第二金屬層 M2 可形成於第四層間絕緣層 140 中。

【0137】 圖 15 至圖 17 為示出在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。參考圖 15，接觸溝渠 CNH 可形成為穿透第一層間絕緣層 110。舉例而言，接觸溝渠 CNH 可形成為至少部分地暴露第一源極/汲極圖案 SD1。接觸溝渠 CNH 的底部可在 D3 方向上低於第一源極/汲極圖案 SD1 的頂表面，如圖 15 中所繪示。

【0138】 可藉由對經由接觸溝渠 CNH 暴露的第一源極/汲極圖案 SD1 執行矽化製程來形成金屬化半導體化合物層 SC。可藉由經由接觸溝渠 CNH 暴露的第一源極/汲極圖案 SD1 的半導體材料與經由接觸溝渠 CNH 供應的金屬材料之間的反應來形成金屬化半導體化合物層 SC。

【0139】 參考圖 16，障壁金屬層 BML 可形成為保形地至少部分

覆蓋接觸溝渠 CNH 的內表面。可使用化學氣相沈積 (CVD) 製程來形成障壁金屬層 BML。障壁金屬層 BML 可包含金屬氮化物 (例如, TiN) 層。

【0140】 根據本發明概念的實施例, 可使用電漿來形成障壁金屬層 BML。在實施例中, 可使用程在電漿環境下執行的沈積製程 (例如, PECVD 製程) 來形成障壁金屬層 BML。在另一實施例中, 可使用沈積製程來形成障壁金屬層 BML, 且接著, 可對障壁金屬層 BML 進一步執行使用電漿的後處理製程。

【0141】 因為障壁金屬層 BML 暴露於電漿, 所以障壁金屬層 BML 可經歷電漿中的由離子 IN 引起的離子轟擊。可藉由在電漿製程期間在製程腔室中供應非活性及/或惰性氣體 (例如, 氮氣、氬氣、氦氣、氖氣、氬氣以及氙氣) 來產生離子 IN。

【0142】 在實施例中, 轟擊障壁金屬層 BML 的離子 IN 可包含氮離子。在另一實施例中, 轟擊障壁金屬層 BML 的離子 IN 可包含氬離子。在此情況下, 氬 (Ar) 可留在障壁金屬層 BML 中且可充當雜質。換言之, 留在障壁金屬層 BML 中的雜質可包含在電漿製程期間以離子形式注入的氬原子、氮原子、氖原子、氬原子及/或氙原子。障壁金屬層 BML 中的雜質的濃度可在  $1E18$  原子/立方公分至  $1E21$  原子/立方公分的範圍內。

【0143】 因為障壁金屬層 BML 經歷離子轟擊製程, 所以障壁金屬層 BML 與未暴露於電漿製程的層相比可具有較高密度。障壁金屬層 BML 可具有壓縮應力。

【0144】 參考圖 17, 填充物金屬層 FML 可形成於障壁金屬層 BML 上。填充物金屬層 FML 可使用沈積製程 (例如, ALD) 形成。填

填充物金屬層 FML 可由以下中的至少一者形成或包含以下中的至少一者：鉬、鎢、鈮、鈷或鈳。在實施例中，填充物金屬層 FML 可由鉬形成或包含鉬。

【0145】 填充物金屬層 FML 可包含具有第一晶體結構（例如，體心立方（BCC）結構）的第一結晶區 CRS1 以及具有第二晶體結構（例如，面心立方（FCC）結構）的第二結晶區 CRS2。

【0146】 在填充物金屬層 FML 的沈積製程期間，至少兩種不同晶體結構可形成於填充物金屬層 FML 中。在填充物金屬層 FML 的沈積製程期間，具有其自有獨特晶體結構且彼此接合以形成邊界的若干結晶區可形成於填充物金屬層 FML 中。換言之，填充物金屬層 FML 可包含界定於結晶區之間的粒界 GRB。

【0147】 填充物金屬層 FML 中的第一結晶區 CRS1 的比例可在 60%至 99%的範圍內。在實施例中，填充物金屬層 FML 中的第一結晶區 CRS1 的比例可在 80%至 99%的範圍內。舉例而言，填充物金屬層 FML 可包含 BCC 結構的比例高於 80%的鉬。因為填充物金屬層 FML 沈積於障壁金屬層 BML 上，所述障壁金屬層暴露於離子轟擊製程以具有增加的密度，所以第一結晶區 CRS1 可佔填充物金屬層 FML 的 60%（較佳為 80%）或高於 60%。

【0148】 在 BCC 結構的第一結晶區 CRS1 的比例在填充物金屬層 FML 中增加的情況下，填充物金屬層 FML 的電阻率可以成反比方式降低。即，填充物金屬層 FML 中的第一結晶區 CRS1 的比例愈高，填充物金屬層 FML 的電阻率愈低。因為根據一些實施例的填充物金屬層 FML 包含 BCC 結構比例為 80%或高於 80%的鉬，所以填充物金屬層 FML 可具有 16 微歐公分至 18 微歐公分的相對較

低電阻率。

【0149】 返回參考圖 14A，可分別使接觸溝渠 CNH 中的填充物金屬層 FML 及障壁金屬層 BML 凹陷以形成填充物金屬 FM 及障壁金屬 BM。填充物金屬 FM 及障壁金屬 BM 可構成主動觸點 AC。上部絕緣圖案 UIP 可形成於主動觸點 AC 上以填充凹陷區。

【0150】 儘管未繪示，但參考圖 15 至圖 17 所描述的形成障壁金屬層 BML 及填充物金屬層 FML 的方法可用於形成閘極觸點 GC 及第一通孔 VI1 中的每一者。

【0151】 根據本發明概念的實施例，因為主動觸點 AC 形成於相對較寬的接觸溝渠 CNH 中，所以可更易於對障壁金屬層 BML 執行離子轟擊製程。因此，可有可能更有效地增加主動觸點 AC 的障壁金屬層 BML 的密度。相比之下，由於閘極觸點 GC 及第一通孔 VI1 形成於相對較窄的孔中，因此可更低效地對障壁金屬層 BML 執行離子轟擊製程。因此，障壁金屬層 BML 的密度在閘極觸點 GC 及第一通孔 VI1 中的每一者中可比在主動觸點 AC 中更低。

【0152】 因為主動觸點 AC 的障壁金屬層 BML 具有相對較高密度，所以形成於其上的填充物金屬層 FML 中的體心立方（BCC）結構的比例可相對較高。相比之下，由於閘極觸點 GC 及第一通孔 VI1 中的每一者的障壁金屬層 BML 具有相對較低密度，因此形成於其上的填充物金屬層 FML 中的體心立方（BCC）結構的比例可相對較低。

【0153】 圖 18 為示出根據比較例的在圖 14A 的部分『M』中形成主動觸點的方法的放大截面圖。參考圖 18，根據比較例的障壁金屬層 BML 可經由不使用電漿或使用較少電漿的製程來形成。舉例

而言，根據比較例的障壁金屬層 BML 可僅藉由簡單 CVD 製程形成，且可省略使用電漿的後續後處理製程。因此，根據比較例的障壁金屬層 BML 的密度可低於執行了圖 16 的離子轟擊製程的障壁金屬層 BML 的密度。

【0154】對於沈積於根據比較例的障壁金屬層 BML 上的填充物金屬層 FML，第一結晶區 CRS1 可形成為具有相對較小的分率。舉例而言，根據比較例的填充物金屬層 FML 中的第一結晶區 CRS1 的比例可小於 60%。換言之，填充物金屬層 FML 中的第二結晶區 CRS2 的比例可具有相對增大的值。

【0155】在比較例中，因為填充物金屬層 FML 中的 BCC 結構的比例相對較低，所以填充物金屬層 FML 可具有相對較高的電阻率。舉例而言，根據比較例的填充物金屬層 FML 的電阻率可大於 18 微歐公分。此是因為填充物金屬層 FML 具有藉由下伏層（亦即，障壁金屬層 BML）的性質判定的晶體結構，所述下伏層在其沈積製程期間位於填充物金屬層 FML 下方。

【0156】圖 19A 至圖 19D 為分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取以示出根據本發明概念的實施例的半導體裝置的截面圖。為了簡潔描述，先前參考圖 4 及圖 5A 至圖 5D 所描述的元件可由相同附圖標號標識，而不重複其重疊描述。

【0157】參考圖 4 及圖 19A 至圖 19D，裝置隔離層 ST 可在基底 100 的上部部分中界定第一主動圖案 AP1 及第二主動圖案 AP2。可在第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的每一者上界定第一主動圖案 AP1，且可在第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的每一者上界定第二主動圖案 AP2。

【0158】裝置隔離層 ST 可位於第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的下部側表面上且至少部分地覆蓋所述下部側表面。第一主動圖案 AP1 及第二主動圖案 AP2 中的每一者的上部部分可為裝置隔離層 ST 上方的突出圖案，所述突出圖案豎直地，亦即在 D3 方向或垂直於基底的上表面的方向上延伸（例如，參看圖 19D）。

【0159】第一主動圖案 AP1 可包含設置於其上部部分中的第一源極/汲極圖案 SD1 以及設置於第一源極/汲極圖案 SD1 之間的第一通道圖案 CH1。第二主動圖案 AP2 可包含設置於其上部部分中的第二源極/汲極圖案 SD2 以及設置於第二源極/汲極圖案 SD2 之間的第二通道圖案 CH2。

【0160】返回參考圖 19D，第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可不包含先前參考圖 5A 至圖 5D 所描述的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 的堆疊。第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者可經成形為如在裝置隔離層 ST 上方突出的單個半導體柱（例如，參看圖 19D）。

【0161】閘極電極 GE 可設置於第一通道圖案 CH1 及第二通道圖案 CH2 中的每一者的頂表面 TS 及相對側表面 SW 上。換言之，根據本實施例的電晶體可為三維場效電晶體（例如，FinFET），其中閘極電極 GE 設置成以三維方式至少部分地圍繞通道圖案。

【0162】第一層間絕緣層 110 及第二層間絕緣層 120 可設置於基底 100 上。主動觸點 AC 可穿透第一層間絕緣層 110 及第二層間絕緣層 120 且可分別連接至第一源極/汲極圖案 SD1 及第二源極/

汲極圖案 SD2。閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP，且可連接至閘極電極 GE。主動觸點 AC 及閘極觸點 GC 可經組態以具有與參考圖 4、圖 5A 至圖 5D 以及圖 6 所描述的特徵實質上相同的特徵。

【0163】 第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。第一金屬層 M1 可設置於第三層間絕緣層 130 中。第二金屬層 M2 可設置於第四層間絕緣層 140 中。第一金屬層 M1 及第二金屬層 M2 可經組態以具有與參考圖 4 及圖 5A 至圖 5D 所描述的特徵實質上相同的特徵。

【0164】 根據本發明概念的實施例，半導體裝置的觸點的填充物金屬可具有呈相對較高比例的體心立方（BCC）結構。在觸點的填充物金屬中的體心立方（BCC）結構的比例增加的情況下，觸點可具有較低電阻率。因此，構成邏輯電路的電晶體與其上的第一金屬層之間的電阻可減少，且此可使得有可能改良半導體裝置的電特性。

【0165】 雖然已特定繪示及描述本發明概念的實例實施例，但所屬領域中具通常知識者將理解，在不脫離所附申請專利範圍的精神及範疇的情況下，可對此等實例實施例進行形式及細節上的變化。

## 【符號說明】

### 【0166】

100:基底

110:第一層間絕緣層

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

ACL:主動層

AP1:第一主動圖案

AP2:第二主動圖案

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

BFL:緩衝層

BM:障壁金屬

BML:障壁金屬層

BS:底表面

CH1:第一通道圖案

CH2:第二通道圖案

CNH:接觸溝渠

CRS1:第一結晶區

CRS2:第二結晶區

CT:閘極切割圖案

CT1:第一閘極切割圖案

CT2:第二閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分隔結構

DHC:雙高度單元

FM:填充物金屬

FML:填充物金屬層

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GRB:晶界

GS:閘極間隔件

HE1:第一高度

HE2:第二高度

IN:離子

IP:內間隔件

IRG:內部區

IRG1:第一內部區

IRG2:第二內部區

IRG3:第三內部區

M:部分

M1:第一金屬層

M1\_I:第一互連線

M1\_R1、M1\_R2、M1\_R3:互連線

M1\_R1:第一電源線

M1\_R2:第二電源線

M1\_R3:第三電源線

M2:第二金屬層

M2\_I:第二互連線

MAL:主層

MP:硬式罩幕圖案

NR:NMOSFET 區

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

ORG:外部區

PO1:第一部分

PO2:第二部分

PO3:第三部分

PO4:第四部分

PP:犧牲圖案

PR:PMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

RS1:第一凹部

RS2:第二凹部

SAL:犧牲層

SC:金屬半導體化合物層

SD1:第一源極/汲極圖案

SD2:第二源極/汲極圖案

SHC:單高度單元

SHC1:第一單高度單元

SHC2:第二單高度單元

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

ST:裝置隔離層

STP:堆疊圖案

SW:側表面

TR:溝渠

TS:頂表面

UIP:上部絕緣圖案

VDD:汲極電壓

VI1:第一通孔

VI2:第二通孔

VSS:源極電壓

WI1:第一寬度

## 【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包含主動圖案；

通道圖案及源極/汲極圖案，位於所述主動圖案上且彼此連接；以及

主動觸點，電連接至所述源極/汲極圖案，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述第一障壁金屬包括金屬氮化物層，

其中該第一填充物金屬包括鉬、鎢、鈮、鈷及鈇中的至少一者，

其中所述第一填充物金屬包括具有體心立方（body-centered cubic；BCC）結構的第一結晶區及具有面心立方（face-centered cubic；FCC）結構的第二結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的比例在 60% 至 99%的範圍內。

【請求項2】 如請求項 1 所述的半導體裝置，其中，在所述第一填充物金屬中，所述第一結晶區的所述比例高於所述第二結晶區的比例。

【請求項3】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬包括氮化鈦層，

其中所述第一填充物金屬包括鉬，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例在 80%至 99%的範圍內。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬更包括所述第一結晶區與所述第二結晶區之間的晶界。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬包括氫、氮、氖、氦及氙中的一或多者。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬具有 16 微歐公分至 18 微歐公分的電阻率。

【請求項7】 如請求項 1 所述的半導體裝置，更包括：

閘極電極，位於所述通道圖案上；以及

閘極觸點，電連接至所述閘極電極，

其中所述閘極觸點包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第二填充物金屬包括具有所述體心立方（BCC）結構的第三結晶區及具有所述面心立方（FCC）結構的第四結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例高於所述第二填充物金屬中的所述第三結晶區的比例。

【請求項8】 如請求項 1 所述的半導體裝置，更包括：

互連線，位於所述主動觸點上；以及

通孔，將所述互連線電連接至所述主動觸點，

其中所述通孔包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第二填充物金屬包括具有所述體心立方（BCC）結構的第三結晶區及具有所述面心立方（FCC）結構的第四結晶區，以及

其中所述第一填充物金屬中的所述第一結晶區的所述比例高於所述第二填充物金屬中的所述第三結晶區的比例。

【請求項9】 如請求項 1 所述的半導體裝置，其中所述第一障壁金屬位於所述第一填充物金屬的表面上，同時所述第一填充物金屬的頂表面保持沒有所述第一障壁金屬。

【請求項10】 如請求項 1 所述的半導體裝置，其中所述第一填充物金屬的電阻率隨著所述第一填充物金屬中的所述第一結晶區的所述比例的增加而降低。

【請求項11】 一種半導體裝置，包括：

基底，包含主動圖案；

通道圖案及源極/汲極圖案，位於所述主動圖案上且彼此連接；

主動觸點，耦接至所述源極/汲極圖案；

金屬層，位於所述主動觸點上；以及

互連線，位於所述金屬層中，經由通孔電連接至所述主動觸點，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述通孔包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，

其中所述第一障壁金屬及所述第二障壁金屬中的每一者包括金屬氮化物層，

其中所述第一填充物金屬及所述第二填充物金屬中的每一者包括鉬、鎢、鈮、鈷及鈳中的至少一者，

其中所述第一填充物金屬包括具有體心立方（BCC）結構的第一結晶區，且所述第二填充物金屬包括具有所述體心立方（BCC）結構的第二結晶區；以及

其中所述第一填充物金屬中的所述體心立方（BCC）結構的比例高於所述第二填充物金屬中的所述體心立方（BCC）結構的比例。

【請求項12】如請求項 11 所述的半導體裝置，其中所述第一填充物金屬及所述第二填充物金屬中的每一者中的所述體心立方（BCC）結構的所述比例在 60%至 99%的範圍內。

【請求項13】如請求項 11 所述的半導體裝置，其中所述第一障壁金屬及所述第二障壁金屬中的每一者包括氮化鈦層，以及

其中所述第一填充物金屬及所述第二填充物金屬中的每一者包括鉬。

【請求項14】如請求項 11 所述的半導體裝置，其中所述第一填充物金屬的電阻率低於所述第二填充物金屬的電阻率。

【請求項15】如請求項 14 所述的半導體裝置，其中所述第一填充物金屬的所述電阻率及所述第二填充物金屬的所述電阻率分別在 16 微歐公分至 18 微歐公分的範圍內。

【請求項16】一種半導體裝置，包括：

基底，包含 P 型金氧半場效電晶體區及 N 型金氧半場效電晶體區；

第一主動圖案及第二主動圖案，所述第一主動圖案位於所述 P 型金氧半場效電晶體區上，所述第二主動圖案位於所述 N 型金氧半場效電晶體區上；

第一通道圖案及第一源極/汲極圖案，位於所述第一主動圖案上；

第二通道圖案及第二源極/汲極圖案，位於所述第二主動圖案上；

閘極電極，位於所述第一通道圖案及所述第二通道圖案上；

閘極絕緣層，位於所述閘極電極與所述第一通道圖案及所述第二通道圖案之間；

閘極間隔件，位於所述閘極電極的側表面上；

閘極頂蓋圖案，位於所述閘極電極的頂表面上；

閘極切割圖案，穿透所述閘極電極；

層間絕緣層，位於所述閘極頂蓋圖案及所述閘極切割圖案上；

主動觸點，穿透所述層間絕緣層且電連接至所述第一源極/汲極圖案及所述第二源極/汲極圖案；

金屬半導體化合物層，分別位於所述主動觸點與所述第一源極/汲極圖案及所述第二源極/汲極圖案之間；

閘極觸點，穿透所述層間絕緣層及所述閘極頂蓋圖案且電連接至所述閘極電極；

第一金屬層，位於所述層間絕緣層上，所述第一金屬層包括電源線及第一互連線，所述電源線在正交於所述基底的表面的方向上與所述閘極切割圖案重疊，且所述第一互連線分別電連接至所述主動觸點及所述閘極觸點；以及

第二金屬層，位於所述第一金屬層上，

其中所述第二金屬層包括電連接至所述第一金屬層的第二互連線，

其中所述主動觸點包括第一障壁金屬及所述第一障壁金屬上的第一填充物金屬，

其中所述閘極觸點包括第二障壁金屬及所述第二障壁金屬上的第二填充物金屬，以及

所述第一填充物金屬中的體心立方（BCC）結構的比例高於所述第二填充物金屬中的所述體心立方（BCC）結構的比例。

【請求項17】如請求項 16 所述的半導體裝置，其中所述第一障壁金屬及所述第二障壁金屬中的每一者包括氮化鈦層，以及

其中所述第一填充物金屬及所述第二填充物金屬中的每一者包括鉬。

【請求項18】如請求項 16 所述的半導體裝置，其中所述第一填充物金屬及所述第二填充物金屬中的每一者中的所述體心立方（BCC）結構的所述比例在 60%至 99%的範圍內。

【請求項19】如請求項 16 所述的半導體裝置，其中所述第一填充物金屬的電阻率低於所述第二填充物金屬的電阻率。

【請求項20】如請求項 19 所述的半導體裝置，其中所述第一填充物金屬的所述電阻率及所述第二填充物金屬的所述電阻率分別在 16 微歐公分至 18 微歐公分的範圍內。