



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 22 112 B4** 2004.12.16

(12)

Patentschrift

(21) Aktenzeichen: **197 22 112.2**
(22) Anmeldetag: **27.05.1997**
(43) Offenlegungstag: **02.01.1998**
(45) Veröffentlichungstag
der Patenterteilung: **16.12.2004**

(51) Int Cl.⁷: **H01L 21/336**
H01L 21/8232, H01L 21/324

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
96-23252 14.06.1996 KR

(71) Patentinhaber:
**Hyundai Electronics Industries Co., Ltd., Ichon,
Kyonggi, KR**

(74) Vertreter:
**PAe Reinhard, Skuhra, Weise & Partner GbR,
80801 München**

(72) Erfinder:
**Lee, Kil Ho, Ichon, Kyonggi, KR; Yu, Sang Ho,
Ichon, Kyonggi, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 52 73 914

(54) Bezeichnung: **Verfahren zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement**

(57) Hauptanspruch: Verfahren zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement, welches folgende Schritte aufweist:

Bilden einer Transistorstruktur, die ein Feldoxid (17), ein Gate-Oxyd (19) und eine Gate-Elektrode (21) auf einem Halbleitersubstrat aufweist,

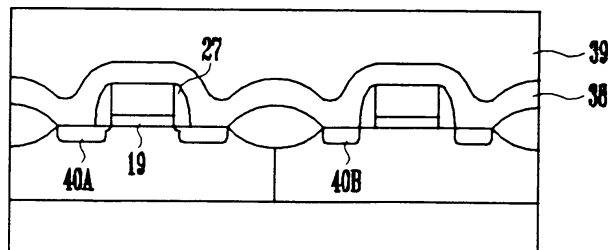
Abscheiden einer ersten Isolierschicht (29) über einem aktiven Bereich des Halbleitersubstrats,

Implantieren einer vorbestimmten Menge an Fehlstellenionen mit konstanter Implantationsenergie in den aktiven Bereich, um einen durch Ionen implantierten Fehlstellenbereich zu schaffen,

Entfernen der ersten Isolierschicht (29),

Aussetzen des Halbleitersubstrats einem schnellen thermischen Prozess für eine kurze Zeit,

Bilden einer zweiten Isolierschicht (38) und einer dritten Isolierschicht (39) der Reihe nach über der resultierenden Struktur, wobei die zweite und die dritte Isolierschicht als Isolierzwischenschicht und Planierungsschicht dienen, und Aussetzen des Halbleitersubstrats einer thermischen Behandlung im Diffusionsofen, um den mit Ionen implantierten Fehlstellenbereich in einen flachen Source/Drain-Übergangsbereich umzuwandeln.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement.

Stand der Technik

[0002] Aus der US 5,273,914 ist ein Verfahren zur Herstellung eines CMOS-Halbleiters bekannt, bei dem ein durch Ionenimplantation gebildetes Begrenzungsgebiet auf einer Gate-Elektrode erzeugt wird, die sich auf dem Substrat erstreckt. Der Begrenzungsbereich dient dazu, zu verhindern, dass die Gate-Elektrode der Ionenimplantation ausgesetzt wird. Dadurch dass die Gate-Elektrode nicht der Ionenimplantation ausgesetzt wird, wird gewährleistet, dass eine Kanalbildung in der Gate-Elektrode ausgeschlossen wird. Das Implantieren von Ionen dient hierbei der Erzeugung von Fehlstellen im Substrat. Hauptzweck ist aber die Verwendung einer Kanalbildung in der Gate-Elektrode.

[0003] Üblicherweise erfordert die ultrahohe Integration von Halbleiter-Bauelementen eine signifikante Verringerung des Gebiets bzw. der Grundfläche des Source/Drain-Bereichs. Herkömmlicherweise wird die Bildung eines Source/Drain-Übergangs durch einen Voramorphisierungsprozess ausgeführt, bei welchem schwere Ionen wie etwa Arsen, Silicium oder Germanium, vor der Implantierung von Dotierstoffen vom p-Typ, wie etwa Bor und Borfluoridionen, implantiert werden, um das Durchtunneln von Bor zu verhindern, oder durch eine nachfolgende Wärmebehandlung bei niedriger Temperatur für kurze Zeit.

[0004] Um den Hintergrund der Erfindung besser verstehen zu können, erfolgt eine Erläuterung eines herkömmlichen Verfahrens zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement in Bezug auf Fig. 1.

[0005] Zunächst wird eine n-Wanne **43** im oberen Teil eines Halbleitersubstrats **41** gebildet, gefolgt durch die aufeinander folgende Bildung einer Feld-Oxidschicht **45**, einer Gate-Oxidschicht **47**, einer Gate-Elektrode **49** und eines Oxidschicht-Abstandhalters **51** über der n-Wanne **43**. Die derart über dem Halbleitersubstrat **41** gebildete Struktur dient als Maske beim Ionenimplantierungsprozess zur Bildung eines p⁺-Source/Drain-Übergangsbereichs **53**. Die Ionen werden durch eine Rest-Oxidschicht oder eine absichtlich aufgewachsene dünne Oxidschicht **59** implantiert, die auf dem p⁺-Source/Drain-Übergangsbereich **53** gebildet wird. Um den Schaden, der dem Durchtunnelungseffekt des Dotierstoffs, hier Bor, der Ionenimplantation und Metallverunreinigung, die in die Si-Schicht bei der Ionenimplantation eingeführt werden, zuzuschreiben ist, zu verhindern, wird die Rest-Oxidschicht **59** aus einer thermischen Oxid-

schicht gebildet, die auch verwendet wird, um das Halbleitersubstrat **41** vor einem Ätzen zum Bilden der Gate-Elektrode oder vor dem Reststoff nach der Bildung des Oxidschicht-Abstandhalters **51** zu schützen.

[0006] Als nächstes wird eine LPCVD-TEOS-Isolierzwichenschicht **55** abgeschieden, gefolgt von der Abscheidung einer Planarisierungsschicht **57** über der Isolierzwichenschicht **55**. Die Planarisierungsschicht **57** ist eine Isolierschicht mit sehr guter Fließfähigkeit, wie etwa Borphosphosilikatglas ("BPSG").

[0007] Mit diesem herkömmlichen Verfahren ist es aus folgenden Gründen jedoch sehr schwierig, einen flachen Übergang, der die Konstruktionsregel für eine hochgradige Integration zufrieden stellt, insbesondere einen p⁺n-Übergang, zu bilden.

[0008] Erstens ist eine niedrige Energie für die BF₂-Ionenimplantation erforderlich, um einen flachen p⁺n-Übergang zu bilden. Obwohl ein konventionell erhältlicher Hochstrom-Ionenimplanter in der Lage ist, eine Ionenimplantation mit 10 keV oder niedriger durchzuführen, ist seine Implantationsdosis jedoch zu gering, um den Implanter für den Prozess anwenden zu können.

[0009] Zweitens ist eine Senkung der Prozesstemperatur und -dauer in dem auf die Ionenimplantation folgenden thermischen Prozess, der dazu dient, den Übergang flach zu machen, limitiert aufgrund einer kritischen Bedingung zum Einebnen der Isolierzwichenschicht, wie etwa der BPSG. Eine derartige Verringerung mindert auch die Dotierstoffaktivierung und die Defektbeseitigung und führt so zu einer Erhöhung des Schichtwiderstands und des Übergangsleckstroms.

[0010] Insbesondere ist es schwierig, die Bor-Diffusion einer derartigen BF₂-Ionenimplantation zu verhindern, weil das implantierte Fluor das Halbleitersubstrat amorph macht, was dazu führt, dass nach der Wärmebehandlung für die Planarisierung der herkömmlichen LPCVD-TEOS- und BPSG-Schicht Defekte unterhalb der Grenze zwischen einem anfänglich amorphisierten Bereich und einem nicht amorphisierten Bereich weit verteilt werden. Die Defekte liegen außerdem in hohem Maß in der Verarmungsschicht des Übergangs vor, was den Übergangsleckstrom erhöht.

[0011] Obwohl nicht gezeigt, können andere herkömmliche Verfahren einen flachen Übergang durch Absenken der Prozess-Temperatur und -Zeit bei der nachfolgenden Wärmebehandlung erzeugen. Allerdings kann durch die meisten von ihnen weder eine elektrische Aktivierung des Dotierstoffs noch eine Defektbeseitigung erzielt werden, was bei diesen Verfahren zu einem sehr hohen Übergangsleckstrom

führt. Die kritische Bedingung zum Planarisieren der Isolierzwischenschicht, wie etwa der BPSG-Schicht, limitiert die Verringerung der Prozess-Temperatur und der -Zeit der nachfolgenden Wärmebehandlung stark, wodurch die Bildung des flachen Übergangs behindert wird.

[0012] Aufgrund der vorstehend genannten Beschränkung sind die durch die herkömmlichen Verfahren hergestellten Halbleiter-Bauelemente bezüglich ihrer Zuverlässigkeit und einer hohen Integrierbarkeit beschränkt.

Aufgabenstellung

[0013] Eine Aufgabe der vorliegenden Erfindung besteht darin, die beim Stand der Technik vorhandenen Probleme zu überwinden, und ein Verfahren zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement zu schaffen.

[0014] Gelöst wird diese Aufgabe durch die Merkmale des Anspruchs 1. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0015] Als Ergebnis intensiver und sorgfältiger Studien haben die vorliegenden Erfinder ermittelt, dass der am stärksten beschränkende Faktor zur Erzielung eines flachen Übergangs in einem Halbleiter-Bauelement Punktdefekte sind, wie etwa Si-Zwischengitterstellen und -Fehlstellen, die beide durch Ionenimplantation erzeugt werden, und dass die internen Siliciumdefekte beseitigt werden, wenn die Punktdefekte miteinander gekoppelt werden (Si-Zwischengitterstelle plus -Fehlstelle = 0). Aufgrund des Ergebnisses kann nach der Ionenimplantation eine große Mengen an Punktdefekten ohne Diffusion von Dotierstoffen und ohne Koppeln der Punktdefekte durch Ausführen eines schnellen thermischen Prozesses mit einer steilen Temperaturrampe für eine kurze Zeit entfernt werden.

[0016] Vorliegend werden Arsenionen mit Hilfe der Lücke und Borionen mit Hilfe der Siliciumzwischengitterstelle diffundiert. Nach Durchführen des schnellen thermischen Prozesses für eine kurze Zeit werden die Punktdefekte miteinander gekoppelt, so dass ihre Dichten stark verringert werden. Dadurch können sowohl die Arsen- als auch die Borionen daran gehindert werden, bei der nachfolgenden thermischen Behandlung bzw. Wärmebehandlung bzw. Behandlung im Diffusionsofen zur Planarisierung des Oxids gleichzeitig diffundiert zu werden, wodurch ein flacher Übergang geschaffen wird. Außerdem können restliche Defekte bezüglich der Größe und Dichte verringert werden, was zu einer elektrischen Aktivierung der Dotierstoffe und einem geringen Übergangsleckstrom führt.

[0017] Gemäß der vorliegenden Erfindung wird die vorstehend genannte Aufgabe durch Bereitstellen eines Verfahrens zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement gelöst, aufweisend die Schritte: Erstellen einer Transistorstruktur, einschließlich eines Feldoxids, eines Gate-Oxids und einer Gate-Elektrode auf einem Halbleitersubstrat, Abscheiden einer ersten Isolierschicht mit einer Dicke über einem aktiven Bereich des Halbleitersubstrats, Implantieren einer vorbestimmten Menge an Fehlstellenionen mit konstanter Implantierungsenergie in den aktiven Bereich zur Bildung eines Ionen-implantierten Fehlstellenbereichs, Entfernen der ersten Isolierschicht, Unterwerfen des Halbleitersubstrats einem schnellen thermischen Prozess für eine kurze Zeit, Bilden einer zweiten Isolierschicht und einer dritten Isolierschicht über der resultierenden Struktur nacheinander, wobei die zweiten und dritten Isolierschichten als Isolierzwischenschicht und Planarisierungsschicht dienen, und Unterwerfen des Halbleitersubstrats einer thermischen Behandlung im Diffusionsofen, um den Ionenimplantierten Fehlstellenbereich in einen flachen Source/Drain-Übergangsbereich umzuwandeln.

Ausführungsbeispiel

[0018] Nachfolgend wird die Erfindung anhand der Zeichnungen beispielhaft näher erläutert; es zeigen:

[0019] Fig. 1 eine Querschnittsansicht eines herkömmlichen Verfahrens zur Bildung eines flachen Übergangs in einem CMOS-Halbleiter-Bauelement,

[0020] Fig. 2A bis 2D Querschnittsansichten eines Verfahrens zur Bildung eines flachen Übergangs in einem CMOS-Halbleiter-Bauelement gemäß der vorliegenden Erfindung, und

[0021] Fig. 3 Tiefenverteilungskurven von Bor gemäß einem herkömmlichen Verfahren und gemäß der vorliegenden Erfindung.

[0022] In Fig. 2 sind die schrittweisen Prozesse bei der Bildung eines flachen Übergangs in einem CMOS-Transistor gezeigt.

[0023] Wie in Fig. 2A gezeigt, werden zunächst trivalente p-Typ-Ionen und pentavalente n-Typ-Ionen selektiv in ein Halbleitersubstrat **11** implantiert, um eine p-Wanne **13** und eine n-Wanne **15** zu bilden, und ein Feldoxid **17** wird an der Grenze zwischen der p-Wanne **13** und der n-Wanne **15** gebildet. Ein Gate-Oxid **19** wird vollständig über dem Halbleitersubstrat **11** gebildet, woraufhin ein leitendes Material, wie etwa Polysilicium, über der resultierenden Struktur abgeschieden wird. Ein Strukturierungsprozess führt zu einer Gate-Elektrode **21**. Daraufhin wird ein erstes Photoresistschichtmuster **23** so gebildet, dass die n-Wanne **15** abgedeckt ist, und es dient als Maske für

den Implantierungsprozess, bei welchem Arsenionen, n-Typ-Ionen, mit niedriger Dichte in die p-Wanne **13** implantiert werden, um einen leicht bzw. gering dotierten Arsenbereich **25** zu erzeugen.

[0024] Als zweites wird, wie in **Fig. 2B** gezeigt, nach Entfernen des ersten Photoresistschichtmusters **23** ein Oxid, bei dem es sich um einen Isolator handelt, vollständig über der resultierenden Struktur abgeschieden und daraufhin einem anisotropen Ätzprozess unterworfen, um einen Oxid-Abstandshalter **27** an der Seitenwand der Gate-Elektrode **21** zu bilden, und eine erste Isolierschicht **29** mit einer Dicke von etwa 5–20 nm wird auf dem Teil des Substrats gebildet, in welchem ein Source/Drain-Bereich gebildet werden soll. Die erste Isolierschicht **29** kann gebildet werden, indem die Überätzung nicht ausgeführt wird, die das anisotrope Ätzen begleitet. Infolge davon wird ein zweites Photoresistmuster **31** gebildet, um die n-Wanne **15** abzudecken. Unter Verwendung des zweiten Photoresistmusters als Maske werden Arsenionen mit einer Implantationsdosis von $1\text{E}15\text{--}1\text{E}16$ Ionen/cm² sowie mit einer Implantationsenergie von 10–40 keV implantiert, um einen stark dotierten Arsenbereich **33** in der p-Wanne **13** zu bilden. Infolge davon wird eine gering dotierte Drainstruktur ("LDD") gebildet, in welcher der hochdichte Arsen-implantierte Bereich **33** den gering dotierten Arsen-Bereich enthält.

[0025] Wie in **Fig. 2C** gezeigt, wird nach Entfernung des zweiten Photoresistmusters **31** als nächstes ein drittes Photoresistmuster **35** gebildet, um die p-Wanne **13** abzudecken. Um einen Borfluoridionen-implantierten Bereich **37** in der n-Wanne **15** zu bilden, dient das dritte Photoresistmuster **35** als Maske, wenn Borfluorid(BF₂)ionen in einer Dosis von $1\text{E}15\text{--}5\text{E}15$ Ionen/cm² und mit einer Energie von 5–40 keV in der n-Wanne **15** implantiert werden.

[0026] Anstelle der Borfluoridionen können Borionen verwendet werden. In diesem Fall wird der resultierende Borionen-implantierte Bereich durch Implantieren von Borionen in einer Dosis von $1\text{E}15\text{--}5\text{E}15$ Ionen/cm² und mit einer Energie von 2–10 keV implantiert.

[0027] Wie in **Fig. 2D** gezeigt, wird daraufhin das dritte Photoresistmuster **35** entfernt, gefolgt von der Entfernung des restlichen Oxids **29** unter Verwendung einer HF-Lösung, die zu keiner Beschädigung des Halbleitersubstrats **11** führt. Daraufhin wird das Halbleitersubstrat **11** einem schnellen thermischen Prozess (RTP) unterworfen, bei welchem eine Stickstoffatmosphäre mit einer Temperaturrampe von 30°C/s oder höher auf eine Temperatur von etwa 750 bis 1050°C erwärmt wird, wobei die Temperatur 2 bis 60 Sekunden beibehalten wird. Ein TEOS-Oxid **38**, das als Isolierschicht dient, wird mit einer Dicke von 30 bis 100 nm abgeschieden, gefolgt von der Ab-

scheidung einer BPSG-Isolierschicht über dem TEOS-Oxid **38**. Die BPSG-Isolierschicht **39** kann durch einen Plasma-verstärkten chemischen Dampfabscheidungsprozess, einen chemischen Dampfabscheidungsprozess unter Atmosphärendruck oder einen chemischen Dampfabscheidungsprozess unter niedrigem Druck gebildet werden. Daraufhin wird eine Wärmebehandlung bzw. eine Behandlung im Diffusionsofen ausgeführt, um gleichzeitig einen n⁺-Source/Drain-Übergangsbereich in der p-Wanne **13** und einen p⁺-Source/Drain-Übergangsbereich in der n-Wanne **15** bei einer Temperatur von 750 bis 900°C für 10 bis 90 Minuten zu bilden.

[0028] Der schnelle thermische Prozess, der in einem hohen Wärmebereich für eine kurze Zeit ausgeführt wird, veranlasst die Punktdefekte, wie etwa die Siliciumzwischengitterstellen und -fehlstellen, die beide durch die Ionenimplantation auftreten, dazu, miteinander gekoppelt und dadurch entfernt zu werden, wodurch die Diffusion von Dotierstoffen verhindert wird, die durch Defekte bei einer nachfolgenden Behandlung im Diffusionsofen verursacht werden. Infolge dessen bleibt die Tiefe des Übergangs flach und der Übergangsleckstrom wird verringert.

[0029] **Fig. 3** zeigt die Verteilung von Fehlstellen- bzw. Störstellenionen, die mit dem herkömmlichen Verfahren und dem Verfahren gemäß der Erfindung in das Halbleitersubstrat implantiert sind. Wie aus **Fig. 3** hervorgeht, führt ein zusätzlicher schneller thermischer Prozess, der bei 950°C für 5 Sekunden ausgeführt wird, zum selben Zustand der Ionenimplantation, und eine thermische Behandlung im Diffusionsofen wie bei dem herkömmlichen Verfahren führt zu einer Bortiefenverteilung, die wesentlich flacher ist als sie mit dem herkömmlichen Verfahren erhalten wird.

[0030] Wie vorstehend erläutert, kann ein wesentlich flacherer Übergang mit einem geringeren Schichtwiderstand und einem geringeren Leckstrom selbst unter denselben Ionenimplantierungs- und Diffusionsbedingungen durch die vorliegende Erfindung im Vergleich zum herkömmlichen Verfahren erhalten werden. Dies trägt zu einer Verbesserung der Produktionsausbeute des Halbleiter-Bauelements bei. Durch Beseitigung der Punktdefekte durch den schnellen thermischen Prozess können außerdem die Beschränkungen bei der Auswahl der Temperatur im Diffusionsofen und der Prozesszeit zum Planarisieren der nachfolgenden Isolierzwischenschicht gelockert werden, so dass die Prozess toleranz vergrößert werden kann, wodurch die Eigenschaften und die Zuverlässigkeit des Halbleiter-Bauelements verbessert werden und eine hohe Integration des Halbleiter-Bauelements möglich ist.

Patentansprüche

1. Verfahren zur Bildung eines flachen Übergangs in einem Halbleiter-Bauelement, welches folgende Schritte aufweist:

Bilden einer Transistorstruktur, die ein Feldoxid (**17**), ein Gate-Oxyd (**19**) und eine Gate-Elektrode (**21**) auf einem Halbleitersubstrat aufweist,
Abscheiden einer ersten Isolierschicht (**29**) über einem aktiven Bereich des Halbleitersubstrats,
Implantieren einer vorbestimmten Menge an Fehlstellenionen mit konstanter Implantierungsenergie in den aktiven Bereich, um einen durch Ionen implantierten Fehlstellenbereich zu schaffen,
Entfernen der ersten Isolierschicht (**29**),
Aussetzen des Halbleitersubstrats einem schnellen thermischen Prozess für eine kurze Zeit,
Bilden einer zweiten Isolierschicht (**38**) und einer dritten Isolierschicht (**39**) der Reihe nach über der resultierenden Struktur, wobei die zweite und die dritte Isolierschicht als Isolierzwischenschicht und Planierungsschicht dienen,
und Aussetzen des Halbleitersubstrats einer thermischen Behandlung im Diffusionsofen, um den mit Ionen implantierten Fehlstellenbereich in einen flachen Source/Drain-Übergangsbereich umzuwandeln.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die erste Isolierschicht (**29**) ein 5 bis 20 nm dickes Oxyd ist.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der mit Ionen implantierte Fehlstellenbereich durch Implantieren von Arsenionen mit einer Implantationsdosis von $1\text{E}15\text{--}5\text{E}15$ Ionen/cm² und einer Implantationsenergie von 10 bis 40 keV gebildet wird.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Ionen-implantierte Fehlstellenbereich durch Implantieren von Borfluoridionen mit einer Implantationsdosis von $1\text{E}15\text{--}5\text{E}15$ Ionen/cm² und einer Implantationsenergie von 5–40 keV gebildet wird.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Ionen-implantierte Fehlstellenbereich durch Implantieren von Borionen mit einer Implantationsdosis von $1\text{E}15\text{--}5\text{E}15$ Ionen/cm² und einer Implantationsenergie von 2–10 keV gebildet wird.

6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die erste Isolierschicht (**29**) unter Verwendung einer HF-Lösung nass entfernt wird.

7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der schnelle thermische Prozess bei einer Temperatur von 750 bis 1050°C für 2 bis 60 Sekunden mit einer Temperaturrampe von 30°C/s oder höher ausgeführt wird.

8. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die zweite Isolierschicht (**38**) eine Tetraethylorthosilikat-Isolierschicht mit einer Dicke von 30 bis 100 nm ist.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die dritte Isolierschicht (**39**) durch einen plasma-verstärkten chemischen Dampfabscheidungsprozess, einen chemischen Dampfabscheidungsprozess unter Atmosphärendruck oder einen chemischen Dampfabscheidungsprozess bei niedriger Temperatur gebildet wird.

10. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die thermische Behandlung im Diffusionsofen bei einer Temperatur von 750 bis 900°C für 10 bis 90 Minuten ausgeführt wird.

Es folgen 3 Blatt Zeichnungen

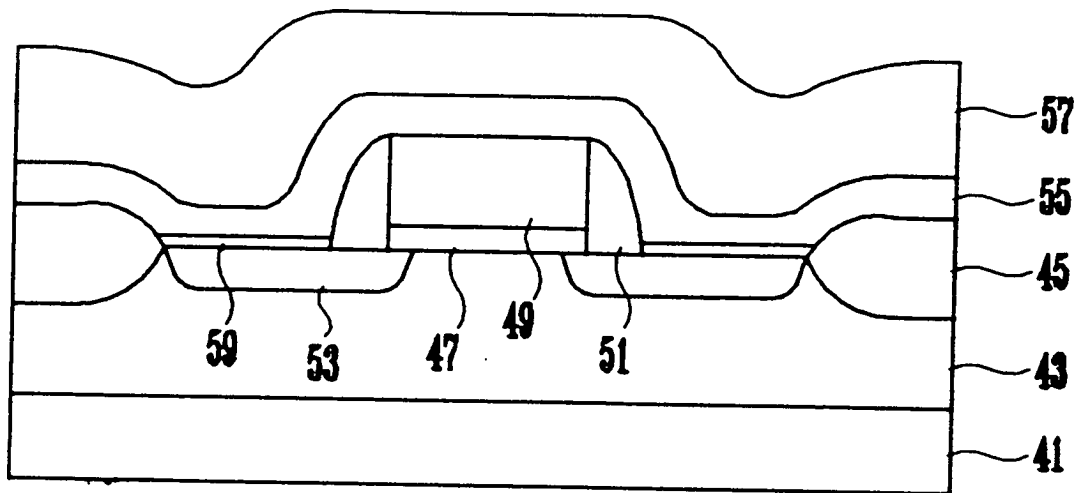


Fig. 1
(Stand der Technik)

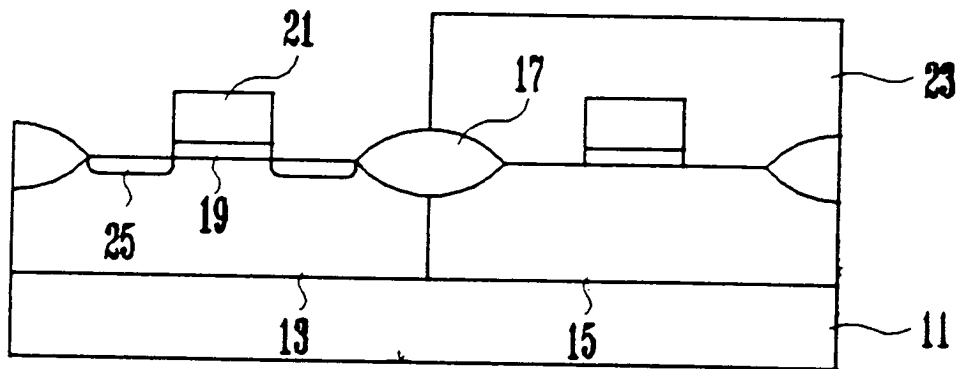


Fig. 2A

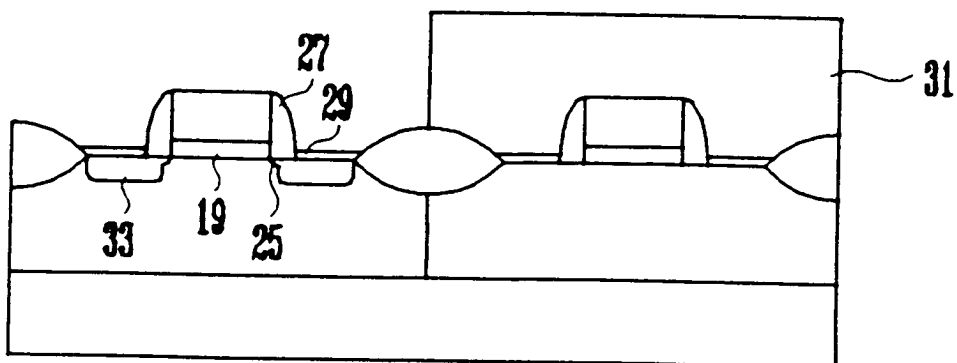


Fig. 2B

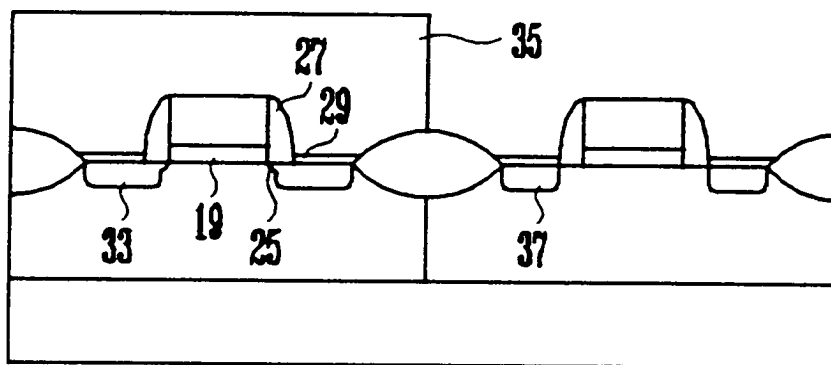


Fig. 2C

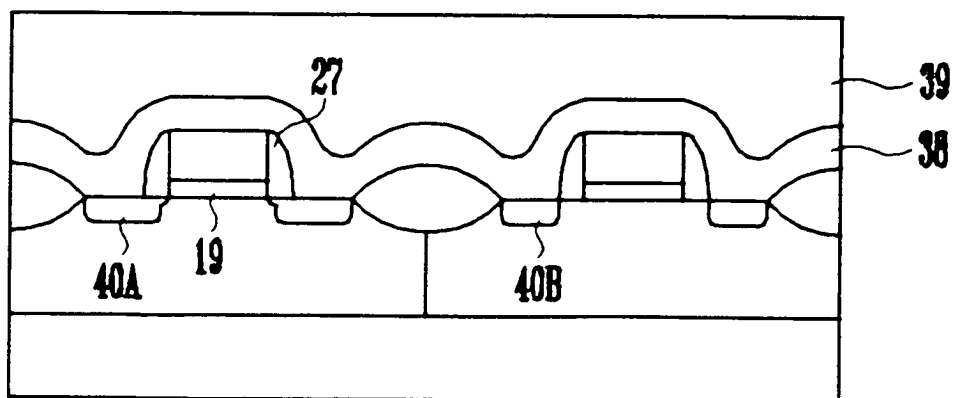
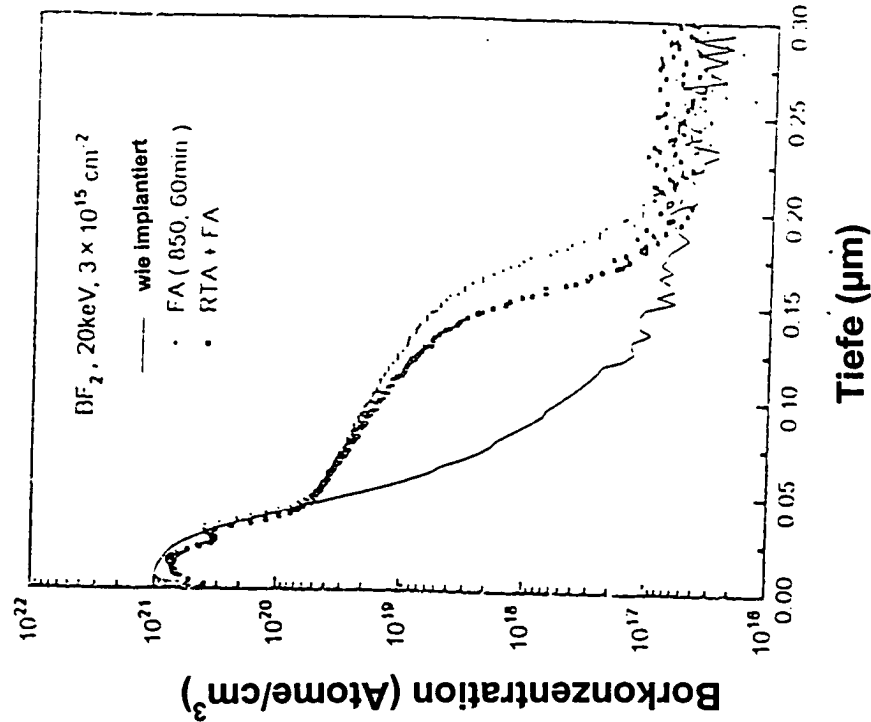
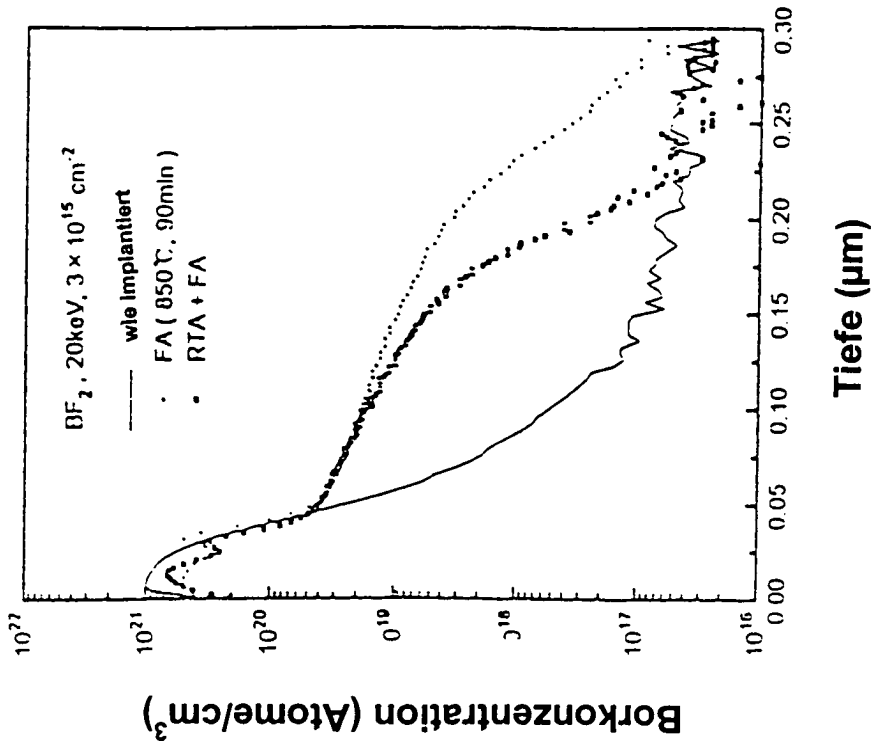


Fig. 2D

Fig. 3



RTA (950°C, 5 s) + F/A (850°C, 60 min)



RTA (950°C, 5 s) + F/A (850°C, 90 min)