发明名称

具有重写能力和低写放大器的非易失性存储器

摘要

本文描述了一种非易失性存储器架构，其具有为存储系统提供低写放大的写和重写能力。通过示例的方式公开了一种存储器阵列，其包括双端存储单元块和子块。该双端存储单元可被直接重写。在一些实施方式中保留了低至1的写放大值。此外，存储器阵列可具有输入输出复用器配置，从而降低了存储操作期间存储器架构的通路电流。
1. 一种用于与计算设备通信连接的固态非易失性存储器驱动器，包括：
   双端存储元件阵列，其被配置为可与多条字线及多条位线结合工作；
   存储控制器，其用于访问所述双端存储元件的至少一个子集，所述子集包括等于或少于
   双端存储元件的一个页面，并且，该存储控制器用于写入数据集到双端存储元件的所述
   子集，以及重写该子集处的数据集，从而为所述计算设备提供小于 2 并且等于或大于 1 的写
   放大。

2. 根据权利要求 1 所述的固态非易失性存储器驱动器，其中，所述计算设备包括存储
   设备和控制所述存储设备的主控制器。

3. 根据权利要求 2 所述的固态非易失性存储器驱动器，进一步包括本地字线，其连接到
   所述双端存储元件的各个第一端子处的各个子集，所述本地字线用于被多条字线之一激
   活，其中，所述多条字线之一用于激活包括所述本地字线的多条本地字线，其分别连接到双
   端存储元件的所述页面的各个子集。

4. 根据权利要求 3 所述的固态非易失性存储器驱动器，其中，所述多条本地字线之一
   的激活促进写入数据集到双端存储元件的所述页面的各个子集之一，以及重写该处的数据
   集。

5. 根据权利要求 1 所述的固态非易失性存储器驱动器，其中，所述存储控制器用于在不
   擦除存储所述数据集的物理地址位置的情况下重写数据集，从而为所述计算设备提供等
   于 1 的写放大。

6. 根据权利要求 1 所述的固态非易失性存储器驱动器，其中，所述子集包括 8 个或更少
   的双端存储元件。

7. 根据权利要求 1 所述的固态非易失性存储器驱动器，其中，所述子集包括单个双端
   存储元件。

8. 根据权利要求 1 所述的固态非易失性存储器驱动器，进一步包括：
   输入输出接口集；
   本地字线集，其至少部分被所述多条字线之一控制；以及
   复用组件，其用于结合存储操作选择性地将双端存储元件组中的各个双端存储元件与
   所述输入输出接口集中的各个输入输出接口连接。

9. 根据权利要求 8 所述的固态非易失性存储器驱动器，其中，所述双端存储元件组包
   括至少两个双端存储元件，其分别连接到多条本地字线中不同的字线。

10. 根据权利要求 9 所述的固态非易失性存储器驱动器，其中，所述复用组件结合存储
    操作将连接到所述多条本地字线中第一条的所述组中的第一双端存储元件连接到所述输
    入输出接口集中的第一个，并将连接到所述条本地字线中第二条的所述组中的第二双端
    存储元件连接到所述输入输出接口集中的第二个。

11. 根据权利要求 8 所述的固态非易失性存储器驱动器，其中，
    所述存储控制器用于从本地字线集的各个子集中的一个双端存储单元中选择所述双
    端存储单元组中的各个双端存储单元；以及
    所述复用组件促进所述组的双端存储单元的互联，所述组的双端存储单元包括所述本
    本地字线集中每条单独本地字线上的一个双端存储单元。

12. 根据权利要求 8 所述的固态非易失性存储器驱动器，其中，所述复用组件促进所述
组的双端存储单元中的一个与输入输出接口集中的一问的互联，并同时将所述组中的其余的双端存储单元与所述输入输出接口集断开或抑制。

13. 根据权利要求12所述的固态非易失性存储器驱动器，其中所述存储控制器进一步用于对所述组的双端存储单元中的所述一个双端存储单元进行写入或重写，而不写入或重写所述组中的剩余双端存储单元。

14. 一种用于制造双端存储器阵列的方法，包括
在基底上创建多个双端存储单元，所述多个双端存储单元以关于字线和位线的阵列排列；
将本地字线集中的各个本地字线连接到所述字线的单个字线上的各个双端存储单元组；
提供输入输出接口集，用于同时为多条位线或多条字线供电；以及
提供存储控制器，用于改进等于或少于所个双端存储单元组的双端存储单元的直接重写。

15. 根据权利要求14所述的方法，进一步包括在NAND或NOR存储接口或架构中排列多个双端存储单元，字线以及位线。

16. 根据权利要求14所述的方法，进一步包括提供多路径解码器，用于选择性地将位线或字线子集与输入输出接口子集连接或断开。

17. 根据权利要求16所述的方法，进一步包括将所述多路径解码器配置为促进单条位线与输入输出接口集的单个输入输出接口的选择性互联，以促进对多个双端存储单元中不超过一个的写入或重写。

18. 根据权利要求16所述的方法，进一步包括
将所述多路径解码器配置为促进多条位线与所述输入输出接口集的对应子集的选择性互联，所述多条位线包括从所述阵列的多个位线子集的各个位线子集中选择的一条位线，以及
将所述存储控制器配置为同时在多个位线的各个位线处同时读、写、擦除或重写至少一个双端存储单元。

19. 一种方法，包括：
基于非易失性固态存储器接收将编程到逻辑NAND或逻辑NOR的存储器块子集的数据集；
将所述存储器块子集的编程路径与写接口集中的各个写接口互联；
将所述数据集写入所述存储器块子集；
接收8位或更少位的第二数据集以及要重写所述第二数据集的所述存储器块子集的对应数量的存储单元；以及
用小于2的写放大将所述8位或更少位重写到对应数量的存储单元，同时维持写入所述存储器块子集的其它存储单元的数据集的子集。

20. 根据权利要求19所述的方法，其中，将8位或更少位重写进一步包括：
将与各个对应数量存储单元相关联，并位于所述存储器块的不同子块内的位线与所述输入输出接口集中的各个输入输出接口集互联；
将预极性编程电压施加到要由第二数据集编程为逻辑1的8位或更少位之一相连的各
条位线上：

将反极性擦除电压施加到由第二数据集编程为逻辑 0 的 8 位或更少位之一相连的各条位线上。
具有重写能力和低写放大的非易失性存储器

[0001] 相关申请案的交叉引用

[0002] 本专利申请主张 2013 年 3 月 14 日递交的美国临时专利申请号 61/785,979 的优先权，并且是其非临时申请，出于所有目的，其全文通过引用被合并于本文中。

技术领域

[0003] 本发明公开通常涉及一种非易失性存储器，作为一个示例性实例，涉及用低写放大促进写和重写的非易失性存储器架构。

背景技术

[0004] 集成电路技术领域中最近的革新是电阻型存储器。虽然很多电阻型存储器技术还处于开发阶段，但电阻型存储器的各种技术概念已经被本发明的受让人所展示，并且正处于一个或多个改进或反驳相关理论的验证阶段。即便如此，电阻型存储器技术承诺在半导体电子工业中比竞争技术拥有实质性的优势。

[0005] 电阻型随机存取存储器（RRAM）是一种电阻型存储器。发明人相信 RRAM 有潜力成为用于基于更高级半导体的设备的高密度非易失性信息存储器技术。通常 RRAM 通过不同阻态之间的可控切换存储信息。RRAM 设备的一个理论实例包括一对电极之间提供的绝缘层。这种正确配置的设备可显示出电感应脉冲迟滞性电切换效应。

[0006] 电阻切换被解释为不同电绝缘介质内导电结构的形成结果（在一些理论中）。导电材料可以是从附近电极（例如具有自由离子的）中的离子形成。在一些理论中，响应于施加在 RRAM 存储单元上的适当电势或电流，会发生离子的场致扩散。根据其它理论，响应于二元氧化物（例如 NiO、TiO2 等）中的焦耳热和电化学过程，或者通过离子导体（包括氧化物、硫族化合物、聚合物等）的氧化还原过程，会发生电极形成。

[0007] 本发明人希望基于电极、绝缘体、电极模型的电阻型设备显示良好的耐久性和生命周期。此外，本发明人希望这种设备具有非常高的片上密度。对应地，电阻型元件有望成为用于数字信息存储器的金属氧化物半导体（MOS）晶体管的替代物。本发明申请的发明人相信电阻切换存储器设备的模型相对于非易失性 FLASH MOS 设备提供了一些潜在的技术优势。

[0008] 有鉴于此，发明人希望进一步改进存储技术和电阻型存储器。

发明内容

[0009] 以下提出本说明书的简要概述，以提供本说明书一些方面的基本理解。该概述不是本说明书的广义综述。其并不是用于确定本说明的关键或重要元件，也不是用于勾画本说明书的任何特定实施方式的范围或权利要求书的任何范围。其目的在于以简要形式提出本说明书的一些概念，作为本公开中提出的更多详细描述的序言。

[0010] 本文公开的各种实施方式提供了具有为存储系统提供低写放大的写和重写能力的非易失性存储器架构。在一些公开的实施方式中，写放大可以是 2 或更低。在至少一个
实施方式中，写放大可以低至 1。
[0011] 在其它实施方式中，提供了一种具有写和重写能力和高存储单元粒度的非易失性存储器阵列。例如，该非易失性存储器阵列可写入一组小字节（例如2字节，或双字中的4 字节, 4 字中的8 字节等，这取决于编程操作逻辑或约束）的存储单元。在一（多）个实施方
式中，非易失性存储器可写入一组小字节的存储单元。在至少一个附加实施方式中，非易
失性存储器可写入单个存储单元。
[0012] 此外，各种公开的实施方式包括为系统提供低写放大（例如，无写放大）的重写能
力。重写能力包括直接改变存储在一个或多个编址存储单元中的信息，而不擦除包含该编址存储单元的页面或块的程序过程。直接改变信息指的是通过将数据从第一存储器位
置传送到第二存储器位置（而非改变或刷新存储在第一存储器位置中的信息），在没有（或
使用降低的）垃圾回收、耗损均衡、存储器位置映射或其它间接促进重写的过程的情况下实
现的程序过程。在一些实施方式中，用于重写的写放大可低至 1。而在其它实施方式中，写
放大可能比结合重写实现一个或多个附加功能（例如，垃圾回收、耗损均衡、存储器位
置映射等）的更高。重写能力为存储系统提供低写放大以及对应系统性能的增强。这是通过
避免在不同位置的存储器中使用冗余修正数据来实现的，取而代之，数据在其起始地址位
置被修正。通过重写起始地址位置，增加写放大的诸如垃圾回收、耗损均衡，存储器位置映射
等的常规算法可被显著降低或消除。
[0013] 在附加实施方式中，具有低写放大放的非易失性存储器系统可包括双端存储单元阵
列。在一些实施方式中，双端存储可包括电阻切换存储器装置。在一个或多个其它方面中，
非易失性存储器可包括一个或多个电阻型随机存取存储器（RRAM）阵列。
[0014] 在其它实施方式中，具有低写放大放的子 -20 纳米（nm）电阻型单元装置的非易失性
存储器系统可被作为数字存储驱动器实现。在一些方面中，该数字存储驱动器能够可拆卸
连接到主计算设备，在替换或附加方面中，其可以类似 FLASH 驱动器的方式工作。例如，该
非易失性存储器可以示意性地以 NAND 或 NOR 逻辑阵列（虽然在主题公开的范围内考虑到其
它本领域已知的或本领域技术人员通过本文描述的上下文的方式已知的逻辑阵列）排列，
同时等于或超过 NAND 或 NOR 存储的写、擦除和读性能。
[0015] 在至少一个实施方式中，公开了一种包括非易失性双端电阻切换存储器的存储设
备。该存储设备可以是写放大为 1 子 -20nm 装置。在至少一个实施方式中，该存储设备
可包括多个以三维排列方式堆栈的双端电阻切换存储器阵列。该存储设备可同时在大量存
储单元（例如页面、块等）上工作（包括重写），或在少量存储单元（例如字、字节、位集、或
甚至单个位）上工作，或在大小和数量上工作。相应地，该存储设备可包括用于存储过程的特
殊灵活性，从而获得高写和擦除性能，以及快速、有针对性的重写或刷新性能。
[0016] 在其它实施方式中，公开的数字存储设备的单元写速度可以在大约 5 纳秒（ns）到
大约 5 微秒（μs）之间。在其它实施方式中，公开的数字存储设备的单元写速度可以在大
约 30ns 到大约 1μs 之间。在替换或附加方面中，公开的存储设备可包括页面擦除和重写能
力，字擦除和重写能力，字节擦除或重写能力，或位擦除或重写能力。在至少一个公开的
方面中，擦除 / 重写能力的写放大可低至 1。
[0017] 以下描述和附图阐述了说明书的某些说明性方面。然而，这些方面指示了说明书
原理所能被采用的任何方式中的一些。通过说明书的以下详细描述，当结合附图考虑时，本
说明书的其它优点和新颖性特征将会变得明显。

附图说明
[0018] 参考附图描述本公开的各个方面和特征，其中全文中相似的标号用于指代相似的元件。在本说明书中，提出了大量的具体细节，以提供本公开的详细理解。然而，应该理解，主题公开的某些方面可以在没有这些具体细节的情况下，或者使用其它方法、元件、物质等实现。在其它情况下，用框图形式示出公知的结构和设备，以实现主题公开的描述。
[0019] 图1是公开的一些方面中，具有支持低写放放大(WA)的高元件密度的示例性存储电路的示意图。
[0020] 图2是一些方面中，图1的示例性存储电路包括选择用于存储操作的存储行的示意图。
[0021] 图3是在一个或多个实施方式中，具有实时读写能力和低WA的示例性电子存储系统的示意图。
[0022] 图4是在一(多)个实施方式中，用于促进基于输入输出(I/O)的存储器架构的示例性复用器的示意图。
[0023] 图5是根据其它实施方式，用于基于I/O的存储器架构的示例性电路的示意图。
[0024] 图6是在其它实施方式中，用于三位数字信息单元的示例性读或写操作的示意图。
[0025] 图7是根据本文公开的一个或多个实施方式，用于制造具有低WA的存储系统的示例性方法的流程图。
[0026] 图8是在其它实施方式中，用于制造数字存储设备从而提供低WA存储系统的示例方法的流程图。
[0027] 图9是根据其它实施方式，用于重写双端数字存储设备子集的示例性方法的流程图。
[0028] 图10是用于促进本文公开的一个或多个方面的示例操作环境的框图。
[0029] 图11是可结合各种实施方式实现的示例性计算环境的框图。

具体实施方式
[0030] 本公开涉及用于数字信息存储的双端存储单元。在一些实施方式中，双端存储单元可包括电阻技术，诸如电阻切换双端存储单元。本文使用的电阻切换双端存储单元(也称为电阻切换存储器单元或电阻切换存储器)包括电路元件，其具有两个导电触头(本文中也称为电极或端子)以及两个导电触头之间的存储区。在电阻切换存储器的环境中，存储装置的存储区显示多个稳定或半稳定阻态，每个阻态具有不同的电阻。此外，多个阻态中的每个阻态可适用于在两个导电触头上的电压信号而形成或激活。适当的电信号可以是电压值、电流值、电压或电流极性等，或其适当的组合。虽然并不详尽，但电阻型双端存储装置的一个实例可以包括电阻型随机存取存储器(RRAM)。
[0031] 本主题公开的实施方式可提供基于丝的存储单元。基于丝的存储单元的一个实例可包括：p型或n型硅(Si)承载层(例如p型或n型多晶硅，p型或n型SiGe…)，电阻切换层(RSL)以及用于为RSL提供丝状金属的活性金属层。p型或n型Si承载层可包括p
型或 n 型多晶硅、p 型或 n 型 SiGe 等。RSL（在本领域中也可称为电阻切换媒质（RSM））可包括例如未掺杂非晶 Si 层、具有内在特性的半导体层、Si 子氧化等。其中，活性金属层的实例包括银 (Ag)、金 (Au)、钛 (Ti)、镍 (Ni)、铝 (Al)、铬 (Cr)、钼 (Mo)、铁 (Fe)、锰 (Mn)、钨 (W)、矾 (V)、钴 (Co)、铂 (Pt) 以及钯 (Pd)。在主题公开的一些方面中，其它适当的半导体物质以及前述的化合物或组合可用于活性金属层。涉及上述实例外的领域公开的实施例的一些细节可参考美国专利申请：2007 年 10 月 19 日递交的申请序号 11/875,541，以及 2009 年 10 月 8 日递交的申请序号 12/575,921，及于所有目的，其各自的全文被通过引用合并于本文中。

【0032】本主题公开提供了具有高元件密度和低写放大 (WA) 的双端存储结构。这些方面中，该双端存储可包括 20 纳米 (nm) 装置，而在其它方面中，该双端存储可包括子 -20 纳米 (nm) 装置（例如 15nm、10nm、5nm 以及其它）。此外，该双端存储的元件面积可小于大约 5F²（例如大约 4.28F²）。在一些方面中，可提供双端存储器阵列的二维堆栈，从而降低元件面积。例如，对于具有两个堆栈层的三维设备而言，4.28F² 的设备可具有 2.14F² 的有效元件区域。作为另一个实例，对于具有 4 个堆栈层的三维设备而言，4.28F² 的设备可具有 1.07F² 的有效元件区域。

【0033】在本文公开的附加实施方式中，提供了一种包括双端存储的数字存储设备。在一些实施方式中，这种数字存储设备可可拆卸连接到计算设备（例如主计算机）。在其它实施方式中，数字存储设备可与计算设备（例如只读存储器，随机存取存储器等）集成。在特定实施方式中，数字存储设备可以是 FLASH 驱动器，其可通过存储接口（例如诸如通用串行总线（USB）的主接口，或其它适当的接口，见图 10 和 11 的基础设备）连接到主计算机，并可响应主设备的命令存储和获取信息，以及擦除存储信息。

【0034】本主题公开的发明人将 FLASH 存储装置视为具有两个主要的不同逻辑架构：NAND 和 NOR 架构，二者均基于半导体晶体管的不同排列。每个逻辑架构具有不同的属性，包括相对于彼此的优点和缺点。然而，NAND 是消费 FLASH 驱动器应用中最常使用的，这很大程度是由于其存储密度和低价格。

【0035】NAND FLASH 是用于紧缩型 FLASH 设备、USB 设备、SD 卡、固态驱动器（SSD）、存储级存储、以及其它规格。在过去的十年中，NAND 已经被证明是一项刺激驱动器缩减为更小设备和更高芯片密度的成功的装置。然而，当装置缩减为 72 纳米 (nm) 存储单元装置时，本申请的发明人相信一些结构和电问题变得明显。例如，误码率 (BER) 显著增加，而存储循环（与存储耐久性有关）降低。

【0036】除了与缩减为更小装置相关联的问题以外，FLASH 也有一些固有的缺陷。NAND FLASH 装置的一个局限性在于存储页面（例如，在不处理整个存储器块（例如 2MB）的情况下，连接到存储设备的单个全局字线的存储单元（例如 4kB）不能被直接改变或重写）。此外，多个块过程参与重写存储页面。作为实例，改变存储页面可包括备份存储页面所在的块，擦除该块，并将备份数据（包括对存储页面的修正）写回该块。如本实例所说明的，无论存储粒度如何（例如块、页面、字节、位等），在不首先被擦除的情况下，NANDFLASH 不能被更新。

【0037】为了继续以上的页面重写实例，降低存储器块的 P/E 循环可包括使用对存储页面的修正来讲备份数据写入第二存储器块，而非该页面所在的块。虽然这包括写入两个存储器块，但其去除了对第一块的擦除过程，将两个块操作（例如擦除块、重写块）中涉及重写...
存储页面的全部存储操作降低为一个块操作（例如写入第二块）。在这一情况下，逻辑-物理（L2P）映射表被存储控制器所维护和更新，以跟踪修正的各份数据的新位置。L2P 增加了控制器开销，包括存储和过程。

除了上述以外，通常 NAND FLASH 在退化前不具有高的程序/擦除（P/E）循环次数。结果，NAND 设备常常包括损耗均衡方案，以降低给定存储块中的 P/E 循环，或将这些 P/E 循环分布在存储设备的大多数或所有中。损耗均衡算法尝试均衡 NAND 设备的各个存储器块上的多个 P/E 循环。这可独立于主操作命令和文件系统操作而实现。高效的损耗均衡算法尝试在最高循环存储器块和最低循环存储器块之间维持低 P/E 循环差。虽然该损耗均衡算法改进了产品使用寿命，但也增加了计算和管理开销。

除了损耗均衡算法和 L2P 映射增加的开销以外，垃圾回收算法也普遍与 NAND 设备一起使用，特定用于存储其耐久性（例如 P/E 循环容量）损耗均衡和垃圾回收算法的小型技术节点，损耗均衡和垃圾回收算法对于增加感知的耐久性周期而言是重要的。将数据页面或数据块重新写入芯片上的其它位置使原始位置留有残留数据。在许多重写后，无论是由于主机命令还是损耗均衡，相当数量的存储块或页面会留有残留数据。由于 NAND FLASH 设备不能在不首先擦除这些数据的情况下重写存储器单元，垃圾回收算法被设计为通过删除它们来释放这些数据页面或数据块，以使新数据可被写入它们。

对于 NAND FLASH 而言，重写过程、垃圾回收和损耗均衡常常包括多个 P/E 循环。P/E 循环的数量与存储器特性（称为写放大）有关。WA 可被看做存储控制器效率的度量，通常是由存储设备以及与该存储设备相关的存储控制器的特性所定义的。更具体地说，WA 指的是在执行到存储器的条存储块写命令时所涉及的一些存储控制器写过程。理想的 WA 是 1，其指示用于每条主机写命令的单个存储块上处理。然而，NAND FLASH 的 WA 常常是在 3 和 4 之间，这反映出直接重写能力的缺乏。由于通过增加 P/E 循环会影响存储器的可靠性和寿命，存储设备的 WA 直接影响存储设备的可靠性和性能。

影响存储器系统性能和开销的另一个因素是降低存储单元保持期，以及对应增加的误码率。如上所述，当半导体晶体管技术尺寸降低时（例如从 72nm 约到 20nm 约），存储保持器会相应降低，误码率相应增加。增加的误码率使 NAND FLASH 提供了对纠错码（ECC）的更深入的要求。对于给定尺寸的存储器而言（例如 1kB），对 ECC 要求的增加会引起 ECC 纠错数据增加，这与和 ECC 相关联的芯片晶体管数量、处理周期和功耗增加有关。使该问题更加恶化的是更强大的数字信号处理算法（例如低密度奇偶校验码（LDPC））与传统 ECC 算法的合并。这些码会增加 ECC 纠错的有效性，但会给存储系统的所有元件显著增加开销和功耗。本主题公开的发明人的观点是，存储设备需要更多的空闲存储器以容纳增加的 ECC 要求，该控制器需要更多晶体管，并且该系统需要大大容量的 DRAM 元件。

除了以上讨论的存储保持期、设备寿命和系统开销的挑战以外，NANDFLASH 存储器系统具有固有的慢页面读取速度。许多 NAND FLASH 产品的典型读速度为大约 25 μs。该延迟会不适合新的应用，诸如企业存储器、实时嵌入式存储器应用等。例如，在这些和其它的存储器应用中，子 (sub)-100ns 读访问次数是优选的。NAND FLASH 相对低的读电流（例如小于大约 300 纳安安培 (nA)）提出了改进该技术的读次数的问题。此外，NAND FLASH 的存储器架构包含一些固有的对快速随机读操作的挑战。

近年来 NAND FLASH 已经成为便携式存储设备中的领先技术。结合快速的写速度和
擦除速度有效改变节点大小的能力，相当好的寿命和制造使 NAND FLASH 成为商业和消费者市场上最流行的可拆卸存储设备。虽然 NAND 面临扩展性高达 20 倍技术的需求，本申请的发明人相信其它技术将开始替代常规用于存储器应用（尤其是 20nm 单元技术及以下的）的栅极晶体管。

[0044] 为此，本主题公开提供了一种存储器阵列，其包括由双端存储装置组成的存储单元。双端存储装置的实例包括电阻型存储器（例如电阻切换存储器单元）、铁磁存储器相变存储器、磁电阻型存储器、有机存储器、导电桥接存储器等。此外，双端存储装置可实现在不首先擦除存储器阵列中存储单元的情况下写入或重写入该存储器阵列。在本主题公开的一方面中，公开的存储设备可在不首先擦除其自身存储器阵列的情况下写入该存储器阵列。相应地，这种存储设备可避免垃圾回收算法和相关联的开销费用。此外，这些存储设备提供低至 1 的 WA 值，其是存储系统的理想 WA 值。

[0045] 在附加实施方式中，公开了一种存储设备，其包括具有快读（例如页面读取）特性的双端存储器阵列。在至少一个实施方式中，用于本公开的存储设备的存储单元的读取速度可以是大约 30ns 至大约 1μs。此外，该存储设备具有低的误码率，更高的耐久性和强大的循环特性，从而简化了 ECC 和校正算法的约束，并降低了控制器开销和能耗。在各种实施方式中，提供用于本公开的存储器阵列的双端存储装置可以有大约 10 年或更久（例如在 85 摄氏度下）的存储保持期，以及大约 1×10^8/个/循环的单元耐久性。在其它实施方式中，双端存储装置容易缩减为 5nm 节点，但本主题公开并不局限于具有该可扩展性的双端存储装置。

[0046] 在一个或多个其它实施方式中，公开的存储器阵列可以为三维堆栈排列实施。该三维堆栈排列可以包括例如二位存储器阵列（例如，三维 NAND 阵列、三维 NOR 阵列等）。在至少一个公开的方面中，三维堆栈排列可以包括一对以第二维堆栈的三维存储器阵列。在另一个方式中，三维堆栈排列可以包括四个以第三维堆栈的三维存储器阵列。在其它方面中，其它数量的三维存储器阵列（例如 3、5、6、7 等）也可堆栈到第三维中，以提供三维堆栈排列。

[0047] 根据附加实施方式，公开了一种具有高写入密度和重写密度的存储设备。本文使用的写密度或重写密度指的是可使用单一存储操作编程，重新编程或刷新的最小数量的单元。高密度指的是更低的最小数量的单元，而低密度指的是更高的最小数量的单元。参考上文，高写密度或重写密度可至少部分通过增加用作基于输入输出的（基于 1/O）解码器的程序解码器来实现。该基于 1/O 的解码器可用于为存储设备实现基于 1/O 的存储操作（例如编程、擦除、重写等）。基于 1/O 的存储操作可促进等于或低于存储页面的写密度或重写密度。在一些实施方式中，基于 1/O 的解码器可促进多个字（例如双字、四个字等）、或者甚至单个数据字（例如一个数据字节、多个数据位等）的写密度或重写密度。在至少一个实施方式中，基于 1/O 的解码器可促进单个数据位（例如单个存储单元）的写密度或重写密度。

[0048] 在至少一个实施方式中，本主题公开提供了一种可拆卸地连接主计算设备，并包括双端存储单元装置的固态非易失性存储器驱动器。在一些方面中，双端存储单元装置可包括电阻型存储器（例如电阻型随机取存储器等）。在一个实施方式中，存储驱动器可具有 8 位存储通道（其每通道 1 至 8 台设备），其传送速率为 200Mb。可替代或附加地，存储驱动器可具有一个或多个以下特征：数据传送率大约 100Mb，总线宽度 8 位，页面大小约 4KB，漂移时间大约 20μs，漂移时间（例如漂移时间+25%开销）大约 25μs，程序时间大约 28μs，
读延迟大约 1 μs，写放大为 1，或最大传送速率大约 160Mb。

【0049】现在参考附图，图 1 是根据本主题公开的一个或多个方面的示例性存储器架构 100 的示意图。在一些公开的方面中，存储器架构 100 可以是被包含作为非易失性固态存储设备一部分的存储器阵列。例如，存储器架构 100 可以是存储器块的子块，其中子块包括存储器块的全局字线，以及共享存储器块的子块专用的共同本地字线集的存储器块的位线集。

【0050】存储器架构 100 可包括位线 102 的集合。位线 102 的集合包括单独的位线 BL₁、BL₂，...，BLₙ，其中 X 是大于 1 的整数。位线 102 的交叉集合是字线 104 的集合。字线 104 的集合包括单独的字线 WL₁、WL₂，...，WLₙ，其中 N 是大于 1 的整数。在一个实施方式中，X 可以是等于 8 的整数，N 是等于 512 的整数。然而，本主题公开并不局限于此，X 和 N 可以是其它适当的值。

【0051】如上所述，位线 102 的集合可与存储器块的子块相关联，以使该位线 102 的集合共享存储器块的子块所专用的本地字线 108 的集合。本地字线 108 的集合中的各条本地字线连接到一组存储单元 106。存储单元 106 的第一端子连接到一个位线 102 的集合，第二端子连接到一个本地字线 108 的集合。本地字线 108 通过各个字线选择晶体管 110 连接到源线 112。每个字线选择晶体管 110 被定位为将各条本地字线 108 与源线 112 电连接（在激活时，或在导电状态下）或电断开（在解除激活时，或在电阻型状态下）。在一些实施方式中，各个字线选择晶体管 110 可以是栅极晶体管（例如单栅、浮栅等）。如图所示，字线选择晶体管 110 的各个栅级连接到各个位线 104 的集合，并由其控制。

【0052】将适当的电信号应用到选择的一条位线 102 和选择的一条本地字线 108 可实现对存储单元 106 的目标存储单元的存储操作。将电信号施加到选择的一条本地字线 108 可由源线 112 和相关联的一个字线 104 的集合实现（例如，见图 2 的基本设备）。可使用存储器架构 100 的电路实现的存储单元操作可包括通过将适当的电信号施加到连接到目标存储单元 106 的一条位线 102 和一条本地字线 108 来激活/解除激活/编程。重新编程/擦除该目标存储单元 106（例如，见图 6 的基本设备）。

【0053】图 2 是根据本主题公开的一个或多个实施方式的示例性存储器架构的示意图。在至少一个实施方式中，存储器架构 200 可与图 1 顶部的存储器架构 100 基本相同。但本主题公开并非是如此局限的。例如，在一个实施方式中，存储器架构 100 可根据与存储器架构 200 不同的存储操作过程被编程/重写或擦除。

【0054】如图 2 所示，存储器架构 200 可包括存储设备的位线 202（包括 BL₁，...，BLₙ），以及存储设备的字线 204（包括字线 WL₁，...，WLₙ）。存储器架构说明位线 202 和字线 204 垂直排列（例如，以二维交叉阵列），但本主题公开并不局限于这种排列。在一些实施方式中，存储器架构 200 可以是位线和字线相交叉的三维存储排列的一部分，其中多个二维阵列（例如，包括存储器架构 200）以三维堆栈。

【0055】通常，存储器架构 200 包括用于一条位线 202 和一条字线 204 每个交叉点的一个存储单元 208。然而，各个存储单元 208 不需要物理地设置于字线 204 与位线 202 相交叉的位置。如图所示，本地字线 210 的集合可散布在各条字线 204 之间。各组存储单元 208 可包括在一条本地字线 210 处的端子触点的那些存储单元 208。例如，与选择行 206 相关联的该组存储单元 208 中的每个的一端连接到与选择行 206 相关联的本地字线 210。另外，
在该组存储单元 208 内的各个存储单元 208 的第二端子连接到一条位线 202。通过这种方式，通过激活选择行 206 并将操作电压施加在一条选择的位线 202 上，该组存储单元（例如，连接到选择行 206 上本地字线 210 的存储单元 208）的单个存储单元 208 可针对存储操作（例如读、写、擦除、重写等）。

【0056】字线选择晶体管 212 的集合可用于使用源线 214 与各个相关联的本地字线 210 电连或电断开。相关联的一条字线 204 可连接到各个字线选择晶体管 212 的栅极。由此，施加在字线 Wl 的适当激活/解除激活信号可激活或解除激活与选择的行 206 相关联的本地字线 210。当连接到字线 204Wl 的字线选择晶体管 212 被激活时，选择行 206 的本地字线 210，以及连接到本地字线 210 的存储单元组的端子电连接到源线 214。该过程实现了选择行 206 的选择。例如，将激活信号施加到字线 204WL，将选择行 206 的本地字线连接到源线 214。然后，通过将适当的信号施加在选择的位线 202 和源线 214，该信号被选择的位线 202 上具有第一触点的选择行 206 的存储单元 208 观察。

【0057】图 3 是根据本主题公开的一个或多个公开实施方式的示例性存储设备的框图。在一些实施方式中，存储设备 300 可以为诸如 FLASH 储设备的可拆卸存储设备，其可通过通信接口（例如通用串行总线（USB）接口等）连接到主计算设备（例如，计算机、笔记本、终端、智能电话、台式计算机等）或从其断开。在其它实施方式中，存储设备 300 可部署在硬件卡上，用于与服务器设备或其它计算设备连接。在其它实施方式中，存储设备 300 可以是用于通过适当的远程通信平台（例如无线接口，蜂窝接口，卫星接口，有线接口，以太网接口，电力线宽带接口等，或其适当组合）与远程主机设备通信的独立设备。

【0058】在各种实施方式中，存储设备 300 可用于通过适当的通信接口与主计算设备通信。在至少一个实施方式中，存储设备 300 可包括电源。然而在另一个实施方式中，存储设备 300 可被通过通信接口供电。在至少一个替代实施方式中，存储设备 300 可包括电源，并还可经由通信接口获取电源。在其它实施方式中，存储设备 300 可集成在计算设备内，或可为主计算设备专用。本领域技术人员会理解到其它用于存储设备 300 的适当配置，其被视作落入本主题公开的保护范围内。为此，适当时存储设备 300 可包括除图 3 所示以外的附加元件（例如，包括多用途处理元件，其包括用于使用存储在存储设备 300 上的数据与该多用途处理元件一起工作的应用程序等）。

【0059】存储设备 300 可包括存储控制器 302。存储控制器 302 可用于通过主接口 310 与主计算设备通信。主接口 310 可用于从与存储设备 300 上的存储模块 304 相关的主计算设备接收主机命令。适当的主机命令包括写命令、读命令、擦除命令、重写命令等，或其适当组合。此外，主接口 310 可用于从与主机命令相关的主计算设备接收数据，或响应于主机命令为主机设备提供存储在一个或多个存储模块 304 上的数据。

【0060】在各种实施方式中，存储控制器 302 可进一步包括存储接口 306，其用于在一条或多条存储通道/数据总线 308（下文中称为存储通道 308）上与存储模块 304 通信并结合其执行存储操作。在至少一个方面中，存储通道 308 可以为 8 位通道，然而，各种实施方式并不局限于本方面，并且一个或更多其它大小的通道也可用于存储通道 308。在一些实施方式中，存储控制器 302 可使用存储模块 304 执行低级存储操作，包括写、擦除、读等。在其它实施方式中，存储控制器 302 可使用存储器 302 的执行高级存储功能，其中各个存储模块 304 内的各个存储控制器（未示出）将高级存储功能（例如主机读取、擦除命令等）转换为低
级存储功能（例如存储器读、存储器写、存储器擦除等），并执行该低级存储功能。

在各种公开的实施方式中，存储控制器 302 可进一步包括纠错元件 312，其包含 ECC。在至少一个实施方式中，由于一个或多个存储模块 304 的重写能力所导致的低误码率（例如减少会引起误码率的 P/E 循环），ECC 算法可以是相对简单的 ECC（例如汉明码、BCH 码、里德-所罗门码等）。在其它替代实施方式中，ECC 可包含更多复杂的算法，诸如低密度奇偶校验（LDPC）码等。在一个实施方式中，存储控制器 302 也可包括缓冲存储 314 和中央处理单元 316，用于存储模块 304 执行存储操作。在其它实施方式中，存储设备 300 可包括 RAM318（例如动态 RAM 或其它适当的 RAM），用于临时存储、高速操作存储或对本领域技术人员显而易见的其它目的，其均被视为落入本主题公开的保护范围内。

存储模块 304 可包括用于存储数字信息的存储单元阵列，用于访问和写入信息的控制硬件，实现控制硬件过程和存储转换操作的缓存存储（例如 RAM 等）、缓存等，或其适当组合。在一些实施方式中，存储单元阵列可包括双端存储单元（例如电阻型存储器单元、电阻切换存储器等）的交叉排列。在交叉排列中，使存储器阵列的字线和位线相交叉可用于促进将电信号施加在一个或多个双端存储单元上。此外，存储模块 304 可包括被直接重写并未存储设备 300 提供等于 1 的 WA 值的单元存储单元。这种双端存储单元装置的实例包括但不限于用于双端存储单元的电容型存储器单元、电容器型随机存取存储器等，或其适当结合。通过使用 WA 值为 1 的双端存储单元的交叉排列，本主题中发明的发明人相信存储设备 300 在执行存储操作中可提供较大的灵活性。特别地，存储模块 304 可直接重写各个存储单元阵列中的存储单元。在发明人看来，其相信存储设备 300 可减少或避免 NAND FLASH 的缺点；NAND FLASH 无法在不首先擦除存储单元所在的存储块的情况下直接重写存储单元。NAND FLASH 的该特性引起写放大值高（例如在 3 和 4 之间），用于垃圾回收功能的设备开销高，纠错编码（ECC）算法复杂等。相应地，存储设备 300 和存储模块 304 由于有本文所述的直接重写能力，因此在工作效率、存储保持期（存储保持期）、存储寿命、读写速度、以及其它特性上具有显著的优点。

在主题公开的替换或附件实施方式中，一个或多个存储模块 304 内的存储器阵列可分别包括多个存储器块，其中各个存储器块中的至少一个包括多个存储器子块。图 1 和图 2 顶部示出存储器子块的实例示意图。存储器子块与关联的一个存储器块的一个位线子集相关联。如同将位置子块位线的数量一样，位线子集的数量可根据不同实施方式变化。每个子块和相关联的位线子集具有相关联的，该子块专用的本地字线集。每个子块还包括多个数量与存储模块 304 的字线数量相同的双端存储单元组。子块内的单个存储单元组包括一端连接到存储器子块的一条本地字线的双端存储单元。此外，子块内每个组的存储单元的另一端连接到该子块的位线子集的一条位线。由于每个存储单元组在一条本地字线处共享相同的端子，漏电流（也称为潜通路电流）会出现在各条本地字线上的存储器子块内。例如，返回参考图 2 的顶部，如果电压被施加在位线 BLO 以在选择行 206 操作最左侧双端存储单元，其它位线 BL1 到 BLX 观察不同电压（例如零伏或浮动），选择行 206 的本地字线 210 上的共同通路会使潜通路电流出现在位线 BLO 和各条位线 BL1 到 BLX 之间。这些潜通路电流可降低其它效应中传感器 322 的传感容限。

在主题公开的各种实施方式中，存储模块 304 可用于根据 I/O 配置（例如，见图
4.5.6 的基本设备]解脱存储操作时的灌充回流效应。对于基于 I/O 的连接而言，一组这种存储单元（例如字节, 字, 多个字, 页面等）中的一个或多个存储单元是从存储器块的多个子块中选择。因此，在图 1 和图 2 的存储排列中，该存储单元组不会共享共同的本地字线。由此，作为实例，存储的单个字是可从位于存储器块的 16 个独立子块中的双端存储单元组选择。这些双端存储单元将连接到 16 条不同的、被 16 个存储器子块中的各个子块专用的本地字线。这种选择方式可用于减少或避免连接到存储字的各个存储单元的序线之间的灌充回流。基于 I/O 的连接可由复用器排列实现，其被配置为由多个存储器子块中选择多个位线用于存储操作（见图 4 的基本设备）。在一个方面中，多个位线的数量可等于多个子块的数量，这意味着只有给定子块的单条位线被选择用于给定存储操作。然而，其它多条位线的数据大于选择子块的序的具体方式也是允许的，这意味着可从一个或多个选择子块中选择多于一条的位线用于给定存储操作。在后一种情况下，当子块的所有位线被激活用于存储操作时，选择的位线之间的灌充回流流程比前一种情况大，但仍比上面讨论的情况小。

[0065] 图 4 示出根据本主题公开的一个或多个特定方面的示例性复用器 400 的电路图。在一个实施方式中，类似于复用器 400 配置的多个电路可用于选择性地将各个存储器子集的位线与传感放大器, 存储接口（例如与存储接口相关联的 I/O 触头），电源（例如与电压源，电流源等相关联的偏置信号）等，其或适当的组合连接或断开。

[0066] 在各种实施方式中，复用器 400 可用于选择性地将存储器阵列的一条或多条位，包括位线 BL0,402, BL1,404, BL2,406, BL4,408 (统称为位线 402 - 408) 与偏置信号触头 416 或 I/O 触头 414 互联。在一个实施方式中，I/O 触头 414 可与传感电路 418 相关联，以实现读取选择的位线 402 - 408。在本实施方式中，复用器 400 可用来实现读取存储单元的解码器。在另一个实施方式中，I/O 触头 414 可与电源相关联以实现选择的位线 402 - 408 的编程, 擦除或重写。在本实施方式中，复用器 400 可用来实现写入和擦除存储单元的解码器。偏置信号触头 416 可用于将适当的偏置信号施加在一条或多条位线 402 - 408 上。偏置信号可由外部电源（例如电压源，电流源等）提供（未示出）。偏置信号可用于抑制位线 402 - 408 中未被选择的位线的操作。例如，在位线 402 - 408 中的第一条被选择用于编程并连接到 I/O 触头 414 的情况下，位线 402 - 408 中的其它位线可连接到偏置信号触头 416，其可被驱动到抑制电压，保持浮动，或其它用于减少位线 402 - 408 中其它位线编程的适当信号。如以下详细描述，复用器 400 可用于选择待连接到（或断开连接）I/O 触头 414 的位线 402 - 408 中的第一子集（例如偏置编程，擦除等），并同时选择待连接到（或断开连接）偏置信号触头 416 的位线 402 - 408 中的第二子集（例如用于抑制编程，擦除或其它适合的目的等）。
位线 402 - 408 的每一条具有相关联的开关集合，包括各个 I/O 开关 410 和各个偏置信号开关 412。由此，BL_{0,402} 具有相关联的 I/O 开关 410 和相关联的偏置信号开关 412，同样对于其它位线 402 - 408 亦然。各个 I/O 开关是被各个 I/O 选择信号 (1/OSEL_{0}, 1/OSEL_{1}, 1/OSEL_{2}, \cdots, 1/OSEL_{X})，其中 X 是适当的正整数，包括用于与 BL_{0,402} 相关联的 I/O 开关 410 的 I/OSEL_{0}，用于与 BL_{1,404} 相关联的 I/O 开关 410 的 I/OSEL_{1} 等激活或解除激活。特定 I/O 开关的激活将对应的位线 402 - 408 与 I/O 触发器连接 (例如，用于在对应的位线 402 - 408 上执行存储操作)。除前述以外，各个偏置信号开关 412 被各个偏置选择信号 (BiasSEL_{0}, BiasSEL_{1}, BiasSEL_{2}, \cdots, BiasSEL_{X})，包括用于与 BL_{0,402} 相关联的偏置信号开关 412 的 BiasSEL_{0}，用于与 BL_{1,404} 相关联的偏置信号开关 412 的 BiasSEL_{1} 等的激活或解除激活。特定偏置信号开关 412 的激活将对应的位线 402 - 408 与偏置信号触发器 416 连接。

操作中，复用器 400 可通过激活位线 402 - 408 的子集的相应 I/O 选择信号，并解除激活位线 402 - 408 的子集的相应偏置选择信号来选择性地将位线 402 - 408 的子集连接到 I/O 触发器 414。其它位线 402 - 408 可通过解除激活位线 402 - 408 的子集的相应的 I/O 选择信号与 I/O 触发器 414 隔离。可选地，其它位线 402 - 408 可通过激活这些其它位线 402 - 408 的偏置选择信号被抑制或保持为浮动，从而将其它位线 402 - 408 连接到偏置信号触发器 416 (其可连接到抑制信号或被保持为浮动)。在一个操作实例中，复用器 400 可用于将位线 402 - 408 的第一子集连接到 I/O 触发器 414，并将位线 402 - 408 的第二子集连接到偏置信号 416，或用于抑制位线 402 - 408 的第二子集。

图 5 示出根据本文公开的一个或多个附加实施方式的示例性 I/O 存储配置 500 的框图。由于 I/O 存储配置 500 可访问存储器子块中的单独位并对其执行写、读以及擦除，因此其可实现一位重写能力。

I/O 存储配置 500 可包括 1 晶体管 - z 电阻 (1TzR) 排列，其中 z 为大于 1 的正整数。在一个实施方式中，z 的值可为 8，但本主题公开并不局限于该实施方式。本领域的技术人员会理解被认为是落入本文公开保护范围内的替代或附加的晶体管 - 电阻配置 (诸如 1T4R, 1T16R, 1T128R 和其它适当的配置)。

在其它实施方式中，I/O 存储配置 500 可包括具有直接重写能力的双端存储单元。可使用 I/O 存储配置 500 使具有重写能力的存储单元变得有效。由于用于存储配置 500 的双端存储单元具有高效的重写能力，其可提供比许多类型的可比存储配置 (例如 NAND FLASH) 更低的 WA 值。在特定实施方式中，WA 值可以为 2 或更低。在至少一个实施方式中，WA 值可以为 1。相应地，在一些实施方式中，由于与低 WA 值相关联的更少 P/E 循环，I/O 存储配置 500 可用作存储设备的一部分，并可实现改进的数据保存和设备寿命。此外，本申请的发明人相信这种存储设备比包含垃圾回收算法、复杂 ECC 编码和复杂耗损均衡算法的设备具有显著更低的开销。

I/O 存储配置 500 可包括多个存储器子块，如子块 A,502、子块 B,504、一直到子块 E,506，其中 Y 是大于 1 的适当整数。存储器子块被统一称为子块 502 - 506。存储器子块 502 - 506 中的每个包括各个 N 位线集，其中 N 是大于 1 的适当整数。具体地，子块 A,502 包括第一位线集 BL_{A,0:N:508}，子块 B,504 包括第二位线集 BL_{B,0:N:512}，并且子块 C,506 包括第 Y 位线集 BL_{C,0:N:514} (统一称为位线 508,512,514 的集合)。位线 508,512,514 的集合中
的每个包括位线 508, 512, 514 的集合中的各个专用的本地字线集。存储单元组可通过激活与特定存储单元组相关联的全局字线被施加影响特定存储器子块 502 – 506 的选择线上的信号激活（例如，见图 1 和 2，其中示出了全局字线和用于存储器子块的选择线）。激活的存储单元组的特定存储单元可被与被激活组相关联的位线 508, 512, 514 的集合中一个的单条位线编号。


[0076] 应该理解虽然 1/0 存储配置示出选择的位线 510 集合，其中一条是来自存储器子块 502 – 506, 而其它数量的选择位线 510 可被激活用于存储操作。例如，可激活更多或更少的选择位线 510。至少一个实施方式中，单个位线可选择用于存储操作。特别在刷新或重写操作的情况下，单条位线 / 存储单元的存储粒度会产生巨大的重写或刷新数据的灵活性。应该理解其它数量的位线（在一个实施方式中，高达所有位线 508, 512, 514 的集合）可连接到 1/0 触头 516A – 516C。根据后一个实施方式，适当时 1/0 存储配置 500 可执行页面擦除、子块擦除、块擦除等，或页面 / 子块 / 块写，例如结合热量写或热量擦除操作。

[0077] 图 6 显示根据本主题公开的另一个实施方式的示例性存储操作 600 的示意图。在一个或多个实施方式中，存储操作 600 可包括基于 1/0 的存储操作。由此，在这种实施方式中，从没有连接在字线或本地字线上的不同存储器阵列子集中选择多个针对存储操作 600 的存储单元。相应地，存储操作 600 具有用于存储操作 600 的固有潜通路抑制度。

[0078] 存储操作 600 在存储器子块上操作，其包括存储器子块集，包括子块 1602, 子块 2604, 直到子块 Y606（统称为存储器子块 602 – 606）。从每个存储器子块 602 – 606 中的单条位线中选择的存储单元组可针对存储操作（例如，写操作、重写操作、读操作、擦除操
作，刷新操作等）。注意到对于各种公开的实施方式而言，存储单元组的大小可从单条位线上的单个存储单元变为所有交叉了字线或偶条字线的位线上的存储单元变为存储器块的所有存储单元。或者存储单元一些其他适当的组合。

选择用于存储操作的存储单元（在此情况下是 3 个）是被围在图 6 所示的阴影椭圆中。在此情况下，三位信息 1-0-1 被编程到三个选择的存储单元。注意在至少一个实施方式中，无论三位信息是同时被擦除或被编程，其可被编程到三个选择的存储单元中。如图所示，为了实现编程三位信息，程序信号 608 被施加到子块，602 的 BL_{1} <0> 以及子块，606 的 BL_{2} <0>，并且接地或电压 610 被施加到子块，602and 子块，606 的源极。这将电压信号施加到这些子块 602，和 606 中选择的存储单元，将这些目标单元编程为逻辑状态 1。此外，零电压 610 或接地被施加在子块 604 的 BL_{2} <0>，并且擦写信号 612 被施加在子块，604 的源极，从而将该目标单元擦写为逻辑状态 0。在一个实施方式中，擦写信号 612 可与程序信号 608 具有相同的大小。在另一个实施方式中，擦写信号 612 和程序信号 608 具有不同的大小。

已经就存储单元的多个元件之间的交互，或者包括这种存储单元的存储器架构描述了上述示意图。应该理解在主题公开的一些适当的替代方案中，这种示意图可包括其中指定的那些元件和架构，一些指定的元件 / 架构，或附加的元件 / 架构。子元件在电连接到其它子元件，而不是被包括在家长架构内时也可被实现。此外，注意到一个或多个公开的过程可与单个过程组合从而提供聚合功能。例如，湿法过程可包括填充或蚀刻过程、退火过程等，反之亦然，以通过聚合过程的方式实现存储单元层的沉积、填充或蚀刻。公开架构的元件也可与本文中没有具体描述，但本领域技术人员已知的一个或多个其它元件相互作用。

考虑到上述示意图，可参考图 7 和 9 的流程图更好地理解根据公开的对象实现的过程方法。虽然处于简单解释的目的，图 7 和 9 的方法被作为一系列方框示出和描述，但应该理解从本文的图示和描述可以看出由于一些方框会以不同的次序、或者与其它方框同时出现，因此宣告的对象并不被方框的次序限定。此外，不是所有图例的方框都需要实现本文描述的方法。此外，应该进一步了解整个说明书公开的方法能够被存储在制造的产品上，其实现了这种方法到电子设备的传输和传送。使用的术语“制造的产品”用于囊括可从任何适当的计算机可读设备、结合载体的设备，存储介质等、或者其适当的组合访问的计算机程序。

图 7 为根据本主题公开的其它方面，用于制造存储设备的示例性方法 700 的流程图。在步骤 702 中，方法 700 可包括在基底上创建多个双端存储单元，其以关于字线和位线的阵列排列。在一个实施方式中，双端存储单元可以是电阻切换存储器单元（例如电阻切换存储器、电阻型随机存取存储器等）。在其它实施方式中，另一个双端存储装置可用于多个双端存储单元。在各种实施方式中，方法 700 进一步包括将多个双端存储单元排列为多个存储块，其分别具有多个双端存储单元子块。

在步骤 704 中，方法 700 可包括连接本地字线集中的各条本地字线到一个字线集内单条字线上的各个双端存储单元。在一个实施方式中，本地字线集可被多个存储器块中的一个专用。在附加实施方式中，双端存储单元集可被与多个存储器块中的一个相关联的多个子块中的一个专用。

在步骤 706 中，方法 700 可包括提供输入输出接口集，用于同时为多条位线或多条
字线供电。在各种实施方式中，输入输出接口集可用于连接到 I/O 存储配置中的双端存储单元子集。在一些实施方式中，输入输出接口集可被排列为选择性地将多条位线或多条字线与传感电路连接或断开，以读取双端存储单元子集。

【0085】在步骤 708 中，方法 700 可包括提供存储控制器，用于促进多个双端存储单元的直接写入。在各种实施方式中，可提供存储控制器以在不首先擦除双端存储单元的存储存储器块的情况下，或在不首先擦除双端存储单元的情况下重写双端存储单元。在另一个实施方式中，可提供存储控制器，用于重写多个与双端存储单元的单个页面小的双端存储单元。在至少一个实施方式中，可提供存储控制器，用于重写双端存储单元的多个字、双端存储单元的多个字节，或者少至单个双端存储单元。

【0086】图 8 示出根据本公开的附加实施方式，用于制造存储器阵列的示例方法流程图。在步骤 802 中，方法 800 可包括形成电阻型存储器单元阵列。形成该阵列可进一步包括将电阻型存储器单元阵列为多个存储器块。在一些实施方式中，将电阻型存储器单元阵列为多个存储器块可进一步包括将多个存储单元块中的各个子块排列为多个存储单元子块。

【0087】在步骤 804 中，方法 800 可包括为电阻型存储器单元阵列创建位线集。在步骤 806 中，方法 800 可包括将各个位线子集与存储单元的各个子块连接。在步骤 808 中，方法 800 可包括将存储器创建字线集。在步骤 810 中，方法 800 可包括将字线子集与各个存储单元块连接。在步骤 812 中，方法 800 可包括形成输入输出接口集，用于将信号施加在多个位线子集的各个条线。在步骤 814 中，方法 800 可包括形成解码器或复用电路，用于选择性地将位线子集的各个位线连接到各个输入输出接口。在步骤 816 中，方法 800 可包括提供存储控制器，用于使解码器/复用器将一个或多个存储单元子块中的各个子块中的位线与各个输入输出接口连接，以实现电阻型存储器单元阵列的逻辑 I/O 的存储配置。

【0088】图 9 示出用于根据本文公开的一个或多个其它实施方式操作存储器阵列的示例方法流程图。在步骤 902 中，方法 900 可包括将待编程数据集接收基于逻辑 NAND 或逻辑 NOR 的非易失性固态存储的存储器块子集。在步骤 904 中，方法 900 可包括将所述存储器块子集的编程路径与写接口集中的各个写接口互联。在步骤 906 中，方法 900 可包括将数据集写入存储器块的子集。在步骤 908 中，方法 900 可包括接收 8 位或更少位的第二数据集以及对应数量的存储器子集的存储单元，以重写第二数据集。此外，在步骤 910 中，方法 900 可包括用小于 2 的写放大将 8 位或更少位重写到对应数量的存储单元。此外，重写可包括维持写入存储器块子集的其它存储单元的数据集的子集。在至少一个实施方式中，方法 900 可包括将与对应数量存储单元相关联，并位于存储器块的单个子块内的位线与输入输出接口子集中的各个输入输出接口互联。在另一个实施方式中，方法 900 可包括将逻辑编程电压施加到与第二数据集编程为逻辑 1 的 8 位或更少位之一相连的各个条线。在另一个实施方式中，方法 900 可包括将抗极性擦除电压施加到与第二数据集编程为逻辑 0 的 8 位或更少位之一相连的各个条线。

【0089】为了给公开的对象的各个方面提供环境，图 10 和以下讨论用于提供本公开对象所实现或处理的各个方面即所述的适当环境的简短、一般性的描述。虽然以上在半导体架构和用于制造和操作这种架构的过程方法的一般性环境中已经描述了对象，但本领域的技术人员会认识到公开的主题也可结合其它架构或处理方法实现。此外，本领域的技术人员会理解公开的过程可在单独或结合主计算机的处理系统或计算机处理器（其可包括单个处
理器或多处理器计算机系统、微型计算设备、大型计算机、以及个人计算机、诸如 PDA、智能电话、手表的手持计算系统、基于微处理器或可编程消费或工业电子设备等）内实现。图例
方面还可在分布式计算环境中实现，其中任务是由通过通信网络连接的远程处理设备执
行。然而，如果不是全部，则所宣告的本发明的一些方面可在独立电子设备（诸如存储卡、
FLASH 存储模块、可拆卸存储等）上实现。在分布式计算环境中，程序模块可位于本地或远
程存储模块或设备中。
[0090] 图 10 示出根据主题公开的方面，用于存储单元阵列 1002 的示例性操作和控制环
境 1000 的框图。在本主题公开的至少一个方面中，存储单元阵列 1002 可包括多个存储单
元装置。特别地，存储单元阵列 1002 可包括单端存储，其如本文所述的电阻切换存储器单
元。
[0091] 列控制器 1006 可与存储单元阵列 1002 相邻形成。此外，列控制器 1006 可与存储
单元阵列 1002 的连线电耦合。列控制器 1006 可控制各条位线，并将适当的程序、擦除或读
电压施加在选择的位线上。
[0092] 此外，操作和控制环境 1000 可包括行控制器 1004。行控制器 1004 可与列控制器
1006 相邻形成，并与存储单元阵列 1002 的字线电连接。行控制器 1004 可使用适当的选择
电压选择存储单元的特定行。此外，行控制器 1004 可通过将适当的电压施加在选择的字线
处来实现程序、擦除或读操作。
[0093] 时钟源 1008 可提供各个始终脉冲，以实现行控制器 1004 和列控制器 1006 读、写、程序
操作的定时。时钟源 1008 还可响应于操作和控制环境 1000 接收的外部或内部命令实现字
线或位线的选择。输入 / 输出缓冲器 1012 可通过 I/O 缓冲或其它 I/O 的方式连接到外部
主装置，诸如计算机或其它处理设备（未示出）。输入 / 输出缓冲器 1012 可被配置为接收写
数据，接收擦除指令、输出读出数据，以及接收地址数据和命令数据，以及用于各个指令的
地址数据。地址数据可被地址寄存器 1010 传送到行控制器 1004 和列控制器 1006。此外，
输入数据由信号输入线传送到存储单元阵列 1002，并且输出数据是经由信号输出线从存
储单元阵列 1002 接收。输入数据可由主装置接收，输出数据可经由 I/O 缓冲被传递到主装
置。
[0094] 从主装置接收的命令可提供给命令接口 1014。命令接口 1014 可被配置为接收来
自主装置的外部控制信号，并确定输入到输入 / 输出缓冲器 1012 的数据是写数据、命令、还
是地址。输入命令被传送到状态机 1016。
[0095] 状态机 1016 可被配置为管理存储单元阵列 1002 的编程和重新编程。状态机 1016
经由输入 / 输出接口 1012 和命令接口 1014 从主装置接收命令，并管理与存储单元阵列
1002 相关联的读、写、擦除、数据输入、数据输出等功能。在一些方面中，状态机 1016 可发送
和接收关于成功接收或各种命令执行的确认和否定确认。
[0096] 为了实现读、写、擦除、输入、输出等功能，状态机 1016 可控制时钟源 1008。时钟源
1008 的控制可使配置的输出脉冲实现行控制器 1004 和列控制器 1006，从而实现特定功能。输出脉冲可由例如列控制器 1006 传送到选择的位线，或由例如行控制器 1004 传送到字线。
[0097] 本公开示出的方面也可在分布式计算环境中实现，其中某些任务是由通过通信网
络连接的远程处理设备执行。在分布式计算环境中，程序模块或存储信息、指令等可位于本
地或远程存储设备中。
此外，应该理解本文包含的各种元件的实现方式。此外，应该理解其他元件和适当值的电路元件，以实现本发明的实施方式。例如，在一个实施方式中，一套元件可在单个 IC 芯片上实现。在其它实施方式中，一个或多个各个元件是在单独的 IC 芯片上制造和实现的。

结合图 11，以下所述的系统和过程可包含在硬件 (诸如集成电路 (IC) 芯片、多 IC、专用集成电路 (ASIC) 等) 内。此外，一些或全部过程可包括在各个过程中出现的次序不应被视为限定的。相反，应该理解一些过程方框可以多种次序被执行，并不是所有次序都在本文中明确说明。

参考图 11，用于促进所宣告对象各个方面的适当环境 1100 包括计算机 1102。该计算机 1102 包括处理单元 1104、系统存储器 1106、编码器 1135 以及系统总线 1108。系统总线 1108 将系统元件(包括但不限于系统存储器 1106)耦合到处理单元 1104。处理单元 1104 可以是各种可用处理器中的任何一种。双微处理器和其它多处理器架构也可用作处理单元 1104。系统总线 1108 可以是多种类型总线结构中的任意一种，包括存储总线或存储控制器、外围总线或内部总线、和 / 或使用任何多种可用总线架构 (包括但不限于工业标准架构 (ISA)、微通道架构 (MSA)、扩展 ISA (EISA)、智能驱动电子设备 (IDE)、VESA 局部总线 (VLB)、外围组件互连 (PCI) 总线、卡总线、通用串行总线 (USB)、高级图形端口 (AGP)、个人计算机存储卡国际协会总线 (PCMCIA)、火线 (IEEE1394)、以及小型计算机系统接口 (SCSI)) 的局部总线。

系统存储 1106 包括易失性存储器 1110 和非易失性存储器 1112。包含在诸如启动期间在计算机 1102 内的元件之间传送信息的基本程序的基本输入 / 输出系统 (BIOS) 被存储在非易失性存储器 1112 内。此外，根据本发明，编码器 1135 可包括至少一个编码器或解码器，其中至少一个编码器或解码器可包括硬件、软件、或硬件与软件的组合。虽然编码器 1135 被示为单独的元件，但编码器 1135 也可包含在非易失性存储器 1112 内。通过图例而非限定的方式，非易失性存储器 1112 可包括只读存储器 (ROM)、可编程 ROM (PROM)、电可编程 ROM (EPROM)、电可擦写可编程 ROM (EEPROM) 或闪存。易失性存储 1110 包括随机存取存储器 (RAM)，其用作外围缓存。根据本方面，易失性存储可存储坏数据或重试逻辑 (图 11 中未示出) 等。通过图例而非限定的方式，RAM 可以多种形式存在，诸如静态 RAM (SRAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、双倍数据速率 SDRAM (DDR SDRAM)、以及增强型 SDRAM (ESDRAM)。

计算机 1102 可进一步包括可拆卸 / 非可拆卸、易失性 / 非易失性计算机存储介质。例如，图 11 示出光盘存储器 1114。光盘存储器 1114 包括但不限于光盘驱动器、固态盘 (SSD)、软盘驱动器、磁带驱动器、磁盘驱动器、Zip 驱动器、LS-100 驱动器、闪存卡或闪存棒。此外，光盘存储器 1114 可包括单独的或与其它存储介质 (包括但不限于光盘存储器，诸如光盘 ROM 设备 (CD-ROM)、CD 刻录驱动器 (CD-R Drive)、CD 可擦写驱动器 (CD-RW Drive)，或数字通用光盘 ROM 驱动器 (DVD-ROM)) 结合的存储介质。为了实现光盘存储设备 1114 与系统总线 1108 的连接，典型地使用可拆卸或非可拆卸接口，诸如接口 1116。应该理解存储设备 1114 可存储于用户相关的信息。这种信息可存储在服务器上，或提供给服务器，或用户设备上运行的应用程序。在一个实施方式中，用户会被通知 (例如，通过输
出设备 1136 的方式）存储到光盘存储器 1114 和 / 或传送到服务器或应用程序的信息类型。用户会被提供选择进入或选择退出收集的和 / 或与服务器或应用程序共享的这种信息的机会（例如从输出设备 1128 输入的方式）。

[0104] 应该理解图 11 描述了用作用户与适当的操作环境 1100 中所述基本计算机资源之间媒介的软件。可存储在光盘存储器 1114 上的操作系统 1118 用作控制和分配计算机系统 1102 的资源。应用程序 1120 通过程序模块 1124、以及存储在系统存储器 1106 或光盘存储器 1114 上的程序数据 1126（诸如启动 / 关机事务表等）利用操作系统 1118 的资源管理。应该理解宣告的对象可使用各种操作系统或操作系统的组合来实现。

[0105] 用户通过输入设备 1128 将命令或信息输入计算机。输入设备 1128 包括但不限于鼠标、轨迹球、触摸板、键盘、麦克风、游戏棒、游戏手柄、卫星天线、扫描仪、电视卡、数码相机、数码摄像机、网络摄像头等。这些和其他输入设备经由接口端口 1130 通过总线 1108 连接到处理单元 1104。接口端口 1130 包括串行端口、并行端口、游戏端口、以及通用串行总线（USB）。输出设备 1136 使用一些与输入设备 1128 相同类型的端口。由此，例如 USB 端口可用于提供到计算机 1102 的输入，并输出来自计算机 1102 的信号到输出设备 1136。提供输出适配器 1134，以说明在其它输出设备 1136 中，有一些需要特殊适配器的输出设备 1136，例如显示器、扬声器、打印机。通过说明而非限制的方式，输出适配器 1134 包括提供输出设备 1136 与系统总线 1108 之间通信装置的视频卡和声卡。应该注意的是，其它设备和 / 或设备的系统提供诸如远程计算机 1138 的输入和输出能力。

[0106] 计算机 1102 可使用与一台或多台远程计算机（诸如远程计算机 1138）的逻辑连接工作在网络环境下。远程计算机 1138 可以是计算机、服务器、路由器、网络 PC、工作站、基于微处理器的设备、对端设备、智能电话、平板电脑或其他网络节点，并典型地包括许多与计算机 1102 相关描述的元件。由于简要的目的，只有存储设备 1140 和远程计算机 1138 被示出。远程计算机 1138 通过网络接口 1142 逻辑连接到计算机 1102，然后经由通信连接 1144 连接。网络接口 1142 囊括有线和 / 或无线通信网，诸如局域网（LAN）、广域网（WAN）和蜂窝网络。LAN 装置包括光纤分布式数据接口（FDDI）、铜线分布式数据接口（CDDI）、以太网、令牌环等。WAN 装置包括但不限于点对点链路、诸如综合业务数字网络（ISDN）及其变化的电路交换网络、报文交换网络、以及数字用户线路（DSL）。

[0107] 通信连接 1144 指的是用于将网络接口 1142 连接到总线 1108 的硬件 / 软件。虽然为了计算机 1102 内部的清洗说明而示出通信连接 1144，其也可以在计算机 1102 的外部。仅仅为了示例性目的，用于连接到网络接口 1142 的硬件 / 软件包括内部和外部装置，诸如包括常规电话级调制解调器、电缆调制解调器和 DSL 调制解调器的调制解调器、ISDN 适配器、以及有线和无线以太网卡、集线器和路由器。

[0108] 本文使用的术语“元件”、“系统”、“架构”等用于指代计算机或电子相关实体：硬件、软件的组合，软件（例如执行中的）或固件。例如，元件可以是一个或多个晶体管、存储单元、晶体管或存储单元的排列、门级、可编程门阵列、专用集成电路、控制器、处理器、处理器上运行的过程、对象、访问半导体存储或通过接口与之连接的可执行程序或应用、计算机等，或其适当的组合。该元件可包括可擦写程序（例如至少部分存储在可擦写存储中的过程指令）或硬件程序（例如制造时烧入不可擦写存储中的过程指令）。

[0109] 通过图文的方式，从存储执行的过程以及处理器可以是元件。作为另一个实例，架
构可包括电子硬件排列，例如并联或串联晶体管，处理指令和处理器，其以适合电子硬件排列的方式实现处理指令。此外，架构可包括单个元件，例如晶体管、门阵列等或元件的排列，例如串联或并联的晶体管排列。与编程电路连接的门阵列、电源线、电气接地、输入信号线和输出信号线等。系统可包括一个或多个元件，以及一个或多个架构。一个实例系统可包括开关模块架构，其包括交叉的输入/输出线和传输栅极晶体管，以及电源、信号发生器、通信总线、控制器、I/O接口、地址寄存器等。应注意到预料会有一些定义上的重叠，并且架构或系统可以是独立元件，或另一个架构、系统等的元件。

【0110】除了前述以外，公开的对象可使用典型的制造、编程或工程装置来作为方法、装置或制造的产品实现，以产生控制电子设备实现公开的对象的硬件、固件、软件或其他任何适当的组合。本文使用的术语“装置”和“制造的产品”用于包含电子设备、半导体设备、计算机或计算任何计算机可读设备、载体或介质访问的计算机程序。计算机可读介质可包括硬件介质或软件介质。此外，该介质可包括非临时性介质或临时性介质。在一个实例中，非临时性介质可包括计算机读硬件介质。计算机可读硬件介质的具体实例可包括但不限于固态存储设备（例如硬盘、软盘、磁带等）、光盘（例如压缩光盘（CD）、数字通用光盘（DVD）等）、智能卡，以及存储设备（例如卡、棒、键驱动等）。计算机可读信息介质可包括载波等。当然，本领域的技术人员会认识到在不脱离公开对象的保护范围或精神的前提下可对本配置做出许多修改。

【0111】以上描述包括主体发明的实例。当然，不可能出于描述主体发明的目的而描述组件或方法每个可想到的组合，但本领域技术人员可认识到主体发明的许多其它组合和排列也是可能的。相应地，公开的对象用于包揽所有这些落入本公开精神和保护范围内的替换、修改和改变。此外，术语“包括”、“具有”及其变形用在具体实施方式或权利要求书中，这一术语通常不用于具体实施方式或权利要求书中，这一术语以类似于术语“包括”的方式意味着包括性的，即术语“包括”在权利要求书中被用作过渡词所解释的。

【0112】此外，本文中使用词语“示例性”意指用作实例、例子或图例。本文使用“示例性”的任何方面或设计不必被解释为比其它方面或设计更佳或优选。相反，使用词“示例性”用于以具体方式表达概念。本申请中使用的术语“或”用于意指包容性的“或”而非排他性“或”。也就是说，除非另外具体说明或从上下文显而易见，否则“X采用A或B”用于意指任何自然的包括性排列。也就是说，如果X采用A，X采用B，或X采用A和B，那么在前述任何情况下都满足“X采用A或B”。此外，除非另外具体说明或从上下文显而易见为单数形式，否则冠词“一个”被用在本申请和所附权利要求书中，并且通常应被解释为“一个或多个”。

【0113】此外，已经就电子存储内部算法的术语、以及对数据位的过程操作描述了具体实施方式中的一些部分。这些过程描述或陈述是本领域技术人员使用以有效地将其工作实质传达给其他相同技术人员的机制。通常这里过程被设想为导致期望结果的、有条理的行为序列。其行为是需要物理量的物理操纵的。典型地，虽然并不必要，但这些量采用能被存储、传送、结合、比较、和/或另外操纵的电和/或磁信号的形式。

【0114】原则上，由于普遍使用的原因，已经证明将这些信号称为位、值、元件、符号、字符、术语、数字等是方便的。然而，应该牢记这些和类似的术语是与适当的物理量相关联，并仅仅是应用于这些量的方便的标记。除非另外具体提到或者从前文讨论中显而易见，否则应该理解整个公开的对象、使用术语的讨论（诸如处理、计算、复制、模仿、确定或传送等）指的
是操纵电子设备的电路、寄存器或存储内表示为物理（电或电子）量的数据或信号，或将其转换为机器或计算机系统存储或寄存器或其它这种信息存储器、传输和/或显示设备内类似表示为物理量的其他数据或信号的处理系统和/或类似消费或工业电子设备或机器的行为和过程。

[0115]对于上述元件、架构、电路、过程等执行的各种功能而言，除非另外指示，否则用于描述这些元件的术语（包括“装置”的引用）用于对应于执行所述元件具体功能的任何元件（例如功能上等同的），即使其结构上与公开的结构不同，但其执行本文说明的实施方式的示例性方面中的功能。此外，虽然仅仅结合多个实现方式中的一种公开了特定特征，但这些特征可与任何给定或特定应用所希望并且优选的其它实现方式的一个或多个其它特征结合。同样会认识到这些实施方式包括具有用于执行各种过程的行为和/或事件的计算机可执行指令的系统和计算机可读介质。
图 1
图 5
在基底上创建多个双端存储单元，其以关于字线和位线的阵列排列

连接本地字线集中的各条本地字线到一个字线集内单条字线上的各个双端存储单元组

提供输入输出接口集，用于同时为多条位线或多条字线供电

提供存储控制器，用于促进多个双端存储单元的直接重写

图 7
图 8

用存储单元块和子块形成电阻型存储阵列

为存储器阵列创建位线集

将各个位线子集与存储单元的各个子块连接

为存储器创建字线集

将字线子集与各个存储单元块连接

形成输入输出接口集，用于为位线施加信号

形成解码器电路，用于选择性地将位线连接到各个输入输出接口

提供存储控制器，用于使解码器将一个或多个存储单元子块中的各个子块中的位线与各个输入输出接口连接
900

将待编程数据集接收到NAND或NOR存储器块子集

902

将存储器块子集的编程路径与各个写接口互联

904

将数据集写入存储器块的子集

906

接收8位或更少位的第二数据集和目标存储单元用于重写

908

用小于2的写放大将8位或更少位重写到目标存储单元

910

图 9