(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 2 日(02.04.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/045653 A1

(51) 国際特許分類:
H01L 21/265 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2014/071165

(22) 国際出願日: 2014 年 8 月 11 日(11.08.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-198214 2013 年 9 月 25 日(25.09.2013) JP

(71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒 5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 増田 健良 (MASUDA, Takeyoshi); 〒 5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒 5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

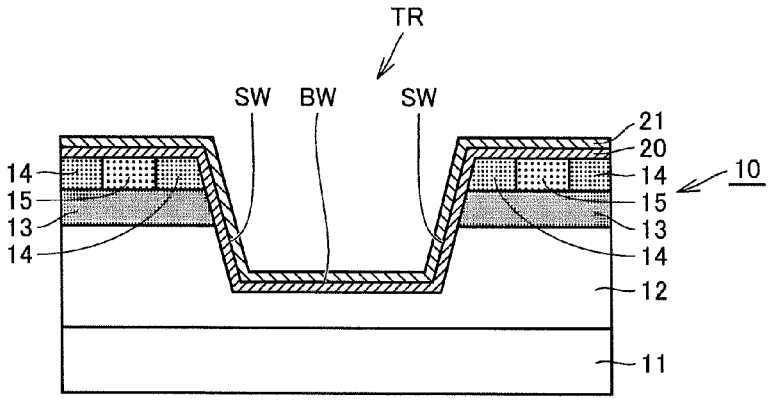
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SILICON CARBIDE SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称 : 炭化珪素半導体装置の製造方法

FIG.8



(57) **Abstract**: This SiC semiconductor device manufacturing method is provided with: a step for forming an impurity region (a body region (13), a source region (14), and a contact region (15)) in a SiC layer (10); a step for forming a first carbon layer (20) on surfaces (a main surface, a side wall surface (SW), and a bottom surface (BW)) of the SiC layer (10) by selectively removing silicon from the surfaces, said SiC layer having the impurity region formed therein; a step for forming a second carbon layer (21) on the first carbon layer (20); and a step for heating the SiC layer (10) having the first carbon layer (20) and the second carbon layer (21) formed thereon.

(57) 要約: ＳｉＣ半導体装置の製造方法は、ＳｉＣ層（１０）に不純物領域（ボディ領域１３、ソース領域１４、コンタクト領域１５）を形成する工程と、不純物領域が形成されたＳｉＣ層（１０）の表面（主面，側壁面ＳＷ，底面ＢＷ）から珪素を選択的に除去することにより、上記表面に第１炭素層（２０）を形成する工程と、第１炭素層（２０）の上に第２炭素層（２１）を形成する工程と、第１炭素層（２０）および第２炭素層（２１）が形成されたＳｉＣ層（１０）を加熱する工程とを備えている。

WO 2015/045653 A1

明　細　書

発明の名称 ： 炭化珪素半導体装置の製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置の製造方法に関し、より特定的には、製造効率の低下を抑制し、かつ、炭化珪素層の表面がより確実に保護された状態で活性化アニールを実施することが可能な炭化珪素半導体装置の製造方法に関する。

背景技術

[0002] 近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] 炭化珪素を材料として用いた半導体装置の製造プロセスでは、イオン注入などにより炭化珪素層内に不純物が導入され、その後活性化アニールが実施される。これにより、炭化珪素層内の不純物領域において所望のキャリアが生成する。この活性化アニールはたとえば１５００℃を超える高温で実施されるため、加熱による炭化珪素層の表面荒れを抑制することが必要になる。これに対して、炭化珪素層の表面に炭素層が堆積された状態で活性化アニールを実施するプロセスが提案されている（たとえば特開２００１－６８４２８号公報（特許文献１）および特開２０１３－２６３７２号公報（特許文献２）参照）。

[0004] 特許文献１では、ダイヤモンドライクカーボン（ＤＬＣ：Ｄｉａｍｏｎｄ

Ｌｉｋｅ　Ｃａｒｂｏｎ）膜やフォトレジスト膜を炭化させた膜をエピタキシャル成長層（炭化珪素層）の表面に堆積させた状態で活性化アニールするプロセスが開示されている。また、特許文献２では、炭化珪素層の表層部から珪素を選択的に除去することにより炭素層を形成し、その後活性化アニールするプロセスが開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００１－６８４２８号公報

特許文献2：特開２０１３－２６３７２号公報

発明の概要

発明が解決しようとする課題

[0006] 上記特許文献１に開示されているプロセスでは、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法やスパッタリング法などの方法により炭化珪素層の表面に炭素層が形成される。しかし、ＣＶＤ法では炭化珪素層の表面における段差や凹凸が大きい場合に膜のカバレッジが悪くなり、スパッタリング法では膜の密着性が低く割れが発生し易いという問題がある。また、フォトレジスト膜を炭化させた膜を形成する場合には、面内における膜厚のばらつきが大きくなる（膜厚分布が悪くなる）という問題がある。そのため、これらの方法では炭化珪素層の表面を十分に保護した状態で活性化アニールを実施することが困難である。

[0007] また、上記特許文献２に開示されているプロセスでは、炭化珪素層の表層部を変質させることにより炭素層が形成される。そのため、このプロセスでは炭化珪素層の表層部に形成された不純物領域の一部が当該炭素層の形成により消費される。よって、このプロセスでは炭素層の形成による消費を見込んで不純物領域をより深く形成しておく必要があり、その結果製造効率が低下するという問題がある。

[0008] 本発明は、上記課題に鑑みてなされたものであり、その目的は、製造効率

の低下を抑制し、かつ、炭化珪素層の表面がより確実に保護された状態で活性化アニールを実施することが可能な炭化珪素半導体装置の製造方法を提供することである。

課題を解決するための手段

[0009] 本発明に従った炭化珪素半導体装置の製造方法は、炭化珪素層に不純物領域を形成する工程と、不純物領域が形成された炭化珪素層の表面から珪素を選択的に除去することにより、上記表面に第１炭素層を形成する工程と、第１炭素層の上に第２炭素層を形成する工程と、第１炭素層および第２炭素層が形成された炭化珪素層を加熱する工程とを備えている。

発明の効果

[0010] 本発明に従った炭化珪素半導体装置の製造方法によれば、製造効率の低下を抑制し、かつ、炭化珪素層の表面がより確実に保護された状態で活性化アニールを実施することができる。

図面の簡単な説明

[0011] [図1]実施形態１に係る炭化珪素半導体装置の製造方法を概略的に示すフローチャートである。

[図2]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１０）および（Ｓ２０）を説明するための概略図である。

[図3]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ３０）を説明するための概略図である。

[図4]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ４０）を説明するための概略図である。

[図5]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ５０）を説明するための概略図である。

[図6]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ６０）を説明するための概略図である。

[図7]炭化珪素層と第１炭素層との界面における炭素原子の結合状態を概略的に示す模式図である。

[図8]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ７０）を説明するための概略図である。

[図9]実施形態１に係る炭化珪素半導体装置の製造方法の工程（Ｓ７０）および（Ｓ８０）における加熱パターンを示すグラフである。

[図10]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１００）を説明するための概略図である。

[図11]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１１０）を説明するための概略図である。

[図12]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１２０）および（Ｓ１３０）を説明するための概略図である。

[図13]実施形態１に係る炭化珪素半導体装置の製造方法における工程（Ｓ１４０）を説明するための概略図である。

[図14]実施形態１に係る炭化珪素層の終端領域の構造を示す概略図である。

[図15]比較例に係る炭化珪素層の終端領域の構造を示す概略図である。

[図16]実施形態２に係る炭化珪素半導体装置の製造方法を説明するための概略図である。

発明を実施するための形態

[0012] [本願発明の実施形態の説明]

まず、本発明の実施形態の内容を列記して説明する。

[0013] （１）本実施形態に係る炭化珪素半導体装置の製造方法は、炭化珪素層（１０）に不純物領域（１３，１４，１５）を形成する工程と、不純物領域が形成された炭化珪素層の表面（１０Ａ，ＳＷ，ＢＷ）から珪素を選択的に除去することにより、上記表面に第１炭素層（２０）を形成する工程と、第１炭素層の上に第２炭素層（２１）を形成する工程と、第１炭素層および第２炭素層が形成された炭化珪素層を加熱する工程とを備えている。

[0014] 本実施形態に係る炭化珪素半導体装置の製造方法では、まず、炭化珪素層の表面から珪素を選択的に除去することにより、上記表面に第１炭素層が形成される。これにより、炭化珪素層の表面を第１炭素層により確実に保護す

ることができる。次に、第１炭素層の上に第２炭素層が形成され、その後炭化珪素層が加熱される（活性化アニール）。これにより、第１炭素層の厚みを小さくして炭素層による不純物領域の消費を抑えた場合でも、第１炭素層および第２炭素層の合計として必要な炭素層の厚みを確保することができる。そのため、第１炭素層を厚く形成して不純物領域が多く消費されることによる製造効率の低下を抑制することができる。したがって、本実施形態に係る炭化珪素半導体装置の製造方法によれば、製造効率の低下を抑制し、かつ、炭化珪素層の表面がより確実に保護された状態で活性化アニールを実施することができる。

[0015] ここで、「炭化珪素層の表面から珪素が選択的に除去される状態」とは、炭化珪素を構成する炭素原子に比べて珪素原子が多く離脱する状態を意味し、たとえば炭素原子の１０倍以上の割合で珪素原子が炭化珪素層の表面から離脱する状態が含まれる。

[0016] （２）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程では、第２炭素層よりも高密度になるように第１炭素層が形成されてもよい。

[0017] これにより、炭化珪素層の表面がさらに確実に保護された状態で活性化アニールを実施することができる。その結果、活性化アニールによる炭化珪素層の表面荒れを抑制することができる。

[0018] （３）上記炭化珪素半導体装置の製造方法において、第２炭素層を形成する工程では、単一層から構成される第２炭素層が形成されてもよい。

[0019] これにより、複数層から構成される第２炭素層を形成する場合に比べてプロセスをより簡略化することができる。その結果、製造効率をより向上させることができる。

[0020] （４）上記炭化珪素半導体装置の製造方法において、第２炭素層を形成する工程では、複数層から構成される第２炭素層が形成されてもよい。

[0021] これにより、単一層から構成される第２炭素層を形成する場合に比べてより緻密な第２炭素層を形成することができる。その結果、炭化珪素層の表面

が一層確実に保護された状態で活性化アニールを実施することができる。

[0022] （５）上記炭化珪素半導体装置の製造方法において、複数層を構成する複数の積層炭素層（２２，２３，２４）は、炭化珪素層の上記表面に近い積層炭素層が相対的に高密度になるように形成されてもよい。

[0023] これにより、炭化珪素層の表面が一層確実に保護された状態で活性化アニールを実施することができる。その結果、活性化アニールによる炭化珪素層の表面荒れをより効果的に抑制することができる。

[0024] （６）上記炭化珪素半導体装置の製造方法において、第２炭素層は、レジスト膜を炭化させる方法、ＣＶＤ法およびスパッタリング法からなる群より選択される少なくともいずれか一の方法により形成されてもよい。

[0025] このように、第２炭素層は第１炭素層を形成する方法とは異なる種々の方法を用いて形成することができる。

[0026] （７）上記炭化珪素半導体装置の製造方法において、第２炭素層を形成する工程では、８００℃以上１０００℃以下の温度でレジスト膜を加熱して炭化させることにより第２炭素層が形成されてもよい。

[0027] 上記加熱温度が８００℃未満である場合には、レジスト膜を十分に炭化させることが困難である。一方で、上記加熱温度が８００℃以上であれば１０００℃以下であってもレジスト膜を十分に炭化させることができる。そのため、レジスト膜の加熱温度は８００℃以上１０００℃以下であることが好ましい。

[0028] （８）上記炭化珪素半導体装置の製造方法において、炭化珪素層を加熱する工程では、第２炭素層を形成する工程においてレジスト膜の炭化が完了した後に連続して炭化珪素層が加熱されてもよい。

[0029] これにより、レジスト膜の炭化が完了した後に一旦冷却される場合に比べて製造効率をより向上させることができる。

[0030] （９）上記炭化珪素半導体装置の製造方法において、炭化珪素層を加熱する工程では、１６００℃以上１９００℃以下の温度で炭化珪素層が加熱されてもよい。

[0031] 上記加熱温度が１６００℃未満である場合には、炭化珪素層内の不純物領域において十分にキャリアを発生させることが困難である。一方で、上記加熱温度が１９００℃を超える場合には、加熱により炭化珪素層が損傷を受ける懸念がある。そのため、炭化珪素層の加熱温度は１６００℃以上１９００℃以下であることが好ましい。

[0032] （１０）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程では、１０ｎｍ以上５０ｎｍ以下の厚みを有する第１炭素層が形成されてもよい。

[0033] 上記厚みが１０ｎｍ未満である場合には、炭化珪素層の表面が確実に保護された状態で活性化アニールを実施することが困難になる。一方で、上記厚みが５０ｎｍを超える場合には、第１炭素層の形成による不純物領域の消費が多くなり、製造効率が低下する。そのため、第１炭素層は１０ｎｍ以上５０ｎｍ以下の厚みで形成されることが好ましい。

[0034] （１１）上記炭化珪素半導体装置の製造方法において、第２炭素層を形成する工程では、５０ｎｍ以上の厚みを有する第２炭素層が形成されてもよい。

[0035] 上記厚みが５０ｎｍ未満である場合には、第１炭素層の上を十分に覆うことが困難になり、当該第１炭素層の耐久性を十分に確保することが困難になる。そのため、第２炭素層は５０ｎｍ以上の厚みで形成されることが好ましい。

[0036] （１２）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程および第２炭素層を形成する工程では、第１炭素層および第２炭素層の合計の厚みが１μｍ以下になるように第１炭素層および第２炭素層が形成されてもよい。

[0037] 上記合計の厚みが１μｍを超える場合には炭素層の形成に長時間を要し、また上記合計の厚みが１μｍ以下でも炭化珪素層の表面を十分に保護することが可能である。そのため、第１炭素層および第２炭素層は合計の厚みが１μｍ以下で形成されることが好ましい。

[0038] （１３）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程では、ハロゲン元素と珪素とを反応させることにより、炭化珪素層の上記表面から珪素が選択的に除去されてもよい。

[0039] これにより、炭化珪素層の上記表面から珪素を効率良く離脱させることができる。

（１４）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程では、ハロゲン元素を含有するガスを含む雰囲気中において炭化珪素層が加熱されることにより、炭化珪素層の上記表面から珪素が選択的に除去されてもよい。

[0040] これにより、ハロゲン元素を用いて珪素を除去して第１炭素層を形成することが容易になる。また、「ハロゲン元素を含有するガス」としては、たとえば塩素（Cl_2）ガス、フッ素（F_2）ガス、臭素（Br_2）ガス、ヨウ素（I_2）ガス、塩化水素（ＨＣｌ)ガス、三塩化硼素（BCl_3）ガス、六フッ化硫黄（SF_6）ガス、四フッ化炭素（CF_4）ガスなどを採用することができる。

[0041] （１５）上記炭化珪素半導体装置の製造方法において、第１炭素層を形成する工程では、ハロゲン元素を含むプラズマ中において炭化珪素層が保持されることにより、炭化珪素層の上記表面から珪素が選択的に除去されてもよい。

[0042] これにより、ハロゲン元素を用いて珪素を除去して第１炭素層を形成することがより容易になる。また、「ハロゲン元素を含むプラズマ」としては、たとえば塩素（Ｃｌ）、フッ素（Ｆ）、臭素（Ｂｒ）、ヨウ素（Ｉ）からなる群より選択される一以上の元素を含むプラズマを採用することができる。

[0043] （１６）上記炭化珪素半導体装置の製造方法は、炭化珪素層を加熱する工程の後、第１炭素層および第２炭素層を除去する工程をさらに備えていてもよい。

[0044] これにより、第１炭素層および第２炭素層が除去された後の炭化珪素層の表面上にゲート酸化膜を形成することができる。

[0045] （１７）上記炭化珪素半導体装置の製造方法において、炭化珪素層の上記表面は、（０００－１）面に対するオフ角が８°以下である主面（１０Ａ）を含んでいてもよい。

[0046] これにより、炭化珪素層の上記表面から珪素を除去することにより第１炭素層を形成する速度がより向上する。その結果、製造効率をより向上させることができる。

[0047] ［本願発明の実施形態の詳細］

次に、本発明の実施形態の具体例を図面を参照しつつ説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また、本明細書中においては、個別方位を［］、集合方位を＜＞、個別面を（）、集合面を｛｝でそれぞれ示す。また、負の指数については、結晶学上、”－”（バー）を数字の上に付けることになっているが、本明細書中では、数字の前に負の符号を付けている。

[0048] （実施形態１）

まず、本発明の一実施形態である実施形態１に係る炭化珪素（ＳｉＣ）半導体装置の製造方法について説明する。図１を参照して、本実施形態に係るＳｉＣ半導体装置の製造方法では、まず、工程（Ｓ１０）として炭化珪素（ＳｉＣ）基板準備工程が実施される。この工程（Ｓ１０）では、図２を参照して、たとえば４Ｈ－ＳｉＣからなるインゴット（図示しない）を切断し、研磨処理などを行うことにより、ＳｉＣ基板１１が準備される。

[0049] ＳｉＣ基板１１の主面１１Ａは、（０００－１）面に対して８°以下のオフ角、好ましくは４°以下のオフ角を有している。また、ＳｉＣ基板１１の幅の最大値は、たとえば１００ｍｍ以上である。

[0050] 次に、工程（Ｓ２０）として炭化珪素（ＳｉＣ）層形成工程が実施される。この工程（Ｓ２０）では、図２を参照して、ＳｉＣ基板１１の一方の主面１１Ａ上においてエピタキシャル成長によりＳｉＣ層１０が形成される。ＳｉＣ層１０の主面１０Ａは、（０００－１）面に対して８°以下のオフ角、好ましくは４°以下のオフ角を有している。また、ＳｉＣ層１０の主面１０

Ａには０．５μｍ以上の凹凸（たとえばメサ構造など）が形成されている。なお、「凹凸が０．５μｍ以上」とは、主面１０Ａ全体において高低差の最大値が０．５μｍ以上であることを意味する。

[0051] 次に、工程（Ｓ３０）としてソース／ボディ領域形成工程が実施される。この工程（Ｓ３０）では、図３を参照して、まず、たとえばアルミニウム（Ａｌ）イオンが主面１０Ａ側からＳｉＣ層１０内に注入されることにより、当該ＳｉＣ層１０内に導電型がｐ型であるボディ領域１３が形成される。次に、たとえばリン（Ｐ）イオンが上記Ａｌイオンよりも浅い深さでＳｉＣ層１０内に注入されることにより、当該ＳｉＣ層１０内において導電型がｎ型であるソース領域１４が形成される。そして、ＳｉＣ層１０においてボディ領域１３およびソース領域１４のいずれも形成されない領域がドリフト領域１２になる。

[0052] 次に、工程（Ｓ４０）としてトレンチ形成工程が実施される。この工程（Ｓ４０）では、まず、ＳｉＣ層１０の主面１０Ａ上において開口部を有する二酸化珪素（SiO_2）からなるマスク（図示しない）が形成される。そして、当該マスクを用いたＲＩＥ（Ｒｅａｃｔｉｖｅ Ｉｏｎ Ｅｔｃｈｉｎｇ）などのドライエッチング、または塩素（Cl_2）などのハロゲン系ガスを用いた熱エッチング、あるいはそれらの組み合わせなどの方法によりトレンチＴＲが形成される。トレンチＴＲは側壁面ＳＷおよび底面ＢＷを有し、ソース領域１４およびボディ領域１３を貫通してドリフト領域１２に到達するように形成される。すなわち、トレンチＴＲは、側壁面ＳＷがドリフト領域１２、ボディ領域１３およびソース領域１４を露出させ、底面ＢＷがドリフト領域１２内に位置するように形成される。トレンチＴＲは、ＳｉＣ層１０の主面１０Ａに沿った方向（図４中の紙面奥行き方向）に延在するように形成される。また、トレンチＴＲは、たとえば（０３－３８）面からなる側壁面ＳＷを有するように形成される。

[0053] 次に、工程（Ｓ５０）としてコンタクト領域形成工程が実施される。この工程（Ｓ５０）では、図５を参照して、たとえばＡｌイオンがソース領域１

４内に注入されることにより、当該ソース領域１４内にコンタクト領域１５が形成される。このイオン注入は、たとえばＳｉＣ層１０の主面１０Ａ上においてイオン注入すべき所望の領域に開口部を有するマスク（図示しない）を形成した後に実施することができる。このようにしてＳｉＣ層１０において不純物領域（ボディ領域１３、ソース領域１４およびコンタクト領域１５）が形成される。

[0054] 次に、工程（Ｓ６０）として第１炭素層形成工程が実施される。この工程（Ｓ６０）では、図６を参照して、不純物領域（ボディ領域１３、ソース領域１４およびコンタクト領域１５）が形成されたＳｉＣ層１０の表面（主面１０Ａ、側壁面ＳＷおよび底面ＢＷ）から珪素が選択的に除去されることにより、上記表面に第１炭素層２０が形成される。

[0055] この工程（Ｓ６０）では、ハロゲン元素とＳｉＣ層１０を構成する珪素とを反応させることにより珪素が選択的に除去される。より具体的には、ハロゲン元素を含有するガスを含む雰囲気中においてＳｉＣ層１０が加熱されることによりＳｉＣ層１０の上記表面から珪素が選択的に除去されてもよいし、ハロゲン元素を含むプラズマ中においてＳｉＣ層１０が保持されることによりＳｉＣ層１０の上記表面から珪素が選択的に除去されてもよい。これにより、ＳｉＣ層１０の主面１０Ａならびにトレンチ ＴＲの側壁面ＳＷおよび底面ＢＷから珪素が選択的に除去され、上記表面が第１炭素層２０に変質する。

[0056] この工程（Ｓ６０）では、厚みが１０ｎｍ以上５０ｎｍ以下になるように第１炭素層２０が形成される。第１炭素層２０の厚みは、好ましくは１０ｎｍ以上１００ｎｍ以下であり、より好ましくは２０ｎｍ以上５０ｎｍ以下である。

[0057] 図７は、第１炭素層２０とＳｉＣ層１０との界面における炭素原子の結合状態を模式的に示したものである。図７中において、炭素原子が「Ｃ」により示され、炭素原子間の結合が「Ｃ」同士を結ぶ直線により示されている。第１炭素層２０は、上述のようにＳｉＣ層１０の上記表面を変質させること

により形成される。そのため、第１炭素層２０を構成する炭素原子とＳｉＣ層１０を構成する炭素原子とは界面全体に亘り原子的に結合された状態となっている。これにより、ＳｉＣ層１０の上記表面は第１炭素層２０により確実に保護された状態となっている。第１炭素層２０は、たとえばグラフェン構造、ダイヤモンド構造またはＤＬＣ構造などを有している。

[0058] 次に、工程（Ｓ７０）として第２炭素層形成工程が実施される。この工程（Ｓ７０）では、図８を参照して、たとえばスピンコート法などにより第１炭素層２０の上にレジスト材料が塗布され、当該第１炭素層２０の上にレジスト膜（図示しない）が形成される。次に、レジスト膜を８００℃以上１０００℃以下の温度（たとえば９００℃）で加熱することにより当該レジスト膜が炭化する。これにより、第１炭素層２０の上に単一層からなる第２炭素層２１が形成される。

[0059] この工程（Ｓ７０）では、厚みが５０ｎｍ以上２０００ｎｍ以下になるように第２炭素層２１が形成される。第２炭素層２１の厚みは、好ましくは１００ｎｍ以上１５００ｎｍ以下であり、より好ましくは２００ｎｍ以上１０００ｎｍ以下である。

[0060] 工程（Ｓ６０）および（Ｓ７０）では、第１炭素層２０および第２炭素層２１の合計の厚みが６０ｎｍ以上２μｍ以下になるように当該第１および第２炭素層２１が形成される。第１炭素層２０および第２炭素層２１の合計の厚みは、好ましくは１００ｎｍ以上１５００ｎｍ以下であり、好ましくは２００ｎｍ以上１０００ｎｍ以下である。また、第１炭素層２０は、第２炭素層２１よりも高密度になるように形成される。

[0061] この工程（Ｓ７０）では、上述のようにレジスト膜を炭化させる方法により第２炭素層２１が形成されてもよいが、これに限定されるものではない。第２炭素層２１は、たとえばエチレン（C_2H_6）やプロパン（C_3H_8）などの炭化水素のガスを用いたＣＶＤ法やスパッタリング法などの方法により形成されてもよい。

[0062] 次に、工程（Ｓ８０）として活性化アニール工程が実施される。この工程

（Ｓ８０）では、図８を参照して、第１炭素層２０および第２炭素層２１が形成されたＳｉＣ層１０が所定温度で加熱される。これにより、上記工程（Ｓ３０）および（Ｓ５０）において導入された不純物が活性化し、不純物領域において所望のキャリアが発生する。

[0063] この工程（Ｓ８０）では、１６００℃以上１９００℃以下の温度で２分間以上５分間以下の時間保持されることによりＳｉＣ層１０が加熱されてもよい。ＳｉＣ層１０の加熱温度は、好ましくは１８００℃以上１９００℃以下である。

[0064] 図９は、工程（Ｓ７０）および（Ｓ８０）におけるＳｉＣ層の加熱パターンを示すグラフであり、横軸が時間を示し、縦軸が温度を示している。図９を参照して、この工程（Ｓ８０）では、工程（Ｓ７０）においてレジスト膜を炭化させて第２炭素層を形成した後、連続してＳｉＣ層が加熱されてもよい。より具体的には、工程（Ｓ７０）においてレジスト膜の加熱温度（温度T_1）にまで昇温させ、温度T_1においてＳｉＣ層を保持してレジスト膜の炭化が完了した後、室温にまで降温させずに温度T_2にまで昇温させて活性化アニール処理が実施されてもよい。なお、ＳｉＣ層の加熱パターンは上記の場合に限定されず、工程（Ｓ７０）が完了した後に一旦室温にまで冷却され、その後工程（Ｓ８０）が実施される加熱パターンが用いられてもよい。

[0065] 次に、工程（Ｓ９０）として炭素層除去工程が実施される。この工程（Ｓ９０）では、上記工程（Ｓ６０）および（Ｓ７０）において形成された第１および第２炭素層２０，２１が酸化されることにより除去される。より具体的には、たとえば酸素（O_2）を含む雰囲気中において第１および第２炭素層２０，２１を加熱することにより、当該第１および第２炭素層２０，２１が除去される。この酸化による炭素層の除去は、ＳｉＣ層１０の犠牲酸化処理や後述するゲート酸化膜形成工程（Ｓ１００）と同時または連続的に実施することができる。

[0066] 次に、工程（Ｓ１００）としてゲート酸化膜形成工程が実施される。この工程（Ｓ１００）では、図１０を参照して、たとえば酸素（O_2）を含む雰囲

気中においてＳｉＣ層１０が加熱される。これにより、ＳｉＣ層１０の主面１０Ａならびにトレンチ ＴＲの側壁面ＳＷおよび底面ＢＷ上に沿うようにゲート酸化膜３０が形成される。

[0067] 次に、工程（Ｓ１１０）としてゲート電極形成工程が実施される。この工程（Ｓ１１０）では、図１１を参照して、たとえばＬＰ（Ｌｏｗ Ｐｒｅｓｓｕｒｅ）－ＣＶＤ法により、トレンチＴＲを充填するようにポリシリコンからなるゲート電極４０が形成される。

[0068] 次に、工程（Ｓ１２０）として層間絶縁膜形成工程が実施される。この工程（Ｓ１２０）では、図１２を参照して、たとえばＰ（Ｐｌａｓｍａ）－ＣＶＤ法により、SiO_2からなる層間絶縁膜５０がゲート酸化膜３０とともにゲート電極４０を取り囲むように形成される。

[0069] 次に、工程（Ｓ１３０）としてオーミック電極形成工程が実施される。この工程（Ｓ１３０）では、図１２を参照して、まずソース電極６０を形成すべき領域において、層間絶縁膜５０およびゲート酸化膜３０が除去される。そして、当該領域において、たとえばニッケル（Ｎｉ）からなる膜が形成される。一方、ＳｉＣ基板１１の主面１１Ａとは反対側の主面１１Ｂ上においてＮｉからなる膜が形成される。その後、合金化熱処理が実施され、上記Ｎｉからなる膜の少なくとも一部がシリサイド化することによりソース電極６０およびドレイン電極７０が形成される。

[0070] 次に、工程（Ｓ１４０）として配線形成工程が実施される。この工程（Ｓ１４０）では、図１３を参照して、たとえば蒸着法によりＡｌや金（Ａｕ）などの導電体からなるソース配線６１が、層間絶縁膜５０およびソース電極６０を覆うように形成される。また、ＡｌやＡｕなどの導電体からなる裏面保護電極７１がドレイン電極７０上に形成される。以上の工程（Ｓ１０）～（Ｓ１４０）が実施されることによりＭＯＳＦＥＴ１（ＳｉＣ半導体装置）が製造され、本実施形態に係るＳｉＣ半導体装置の製造方法が完了する。

[0071] 以上のように、本実施形態に係るＳｉＣ半導体装置の製造方法では、まず、ＳｉＣ層１０の表面（主面１０Ａ、側壁面ＳＷ、底面ＢＷ）から珪素を選

択的に除去することにより、上記表面に第１炭素層２０が形成される。これにより、ＳｉＣ層１０の表面を第１炭素層２０により確実に保護することができる。次に、第１炭素層２０の上に第２炭素層２１が形成され、その後ＳｉＣ層１０が加熱される（活性化アニール）。これにより、第１炭素層２０の厚みを小さくして炭素層による不純物領域の消費を抑えた場合でも、第１炭素層２０および第２炭素層２１の合計として必要な炭素層の厚みを確保することができる。そのため、第１炭素層２０を厚く形成して不純物領域が多く消費されることによる製造効率の低下を抑制することができる。したがって、本実施形態に係るＳｉＣ半導体装置の製造方法によれば、製造効率の低下を抑制し、かつ、ＳｉＣ層１０の表面がより確実に保護された状態で活性化アニールを実施することができる。

[0072] 図１４は、本実施形態におけるＳｉＣ半導体装置の終端領域となるべき領域の構造を示す図であり、図１５は比較例におけるＳｉＣ半導体装置の終端領域となるべき領域の構造を示す図である。図１４および図１５を参照して、ＳｉＣ層１０，１００にはドリフト領域１２，１２０、ボディ領域１３，１３０およびソース領域１４，１４０、ならびに電界緩和領域としてのＪＴＥ（Ｊｕｎｃｔｉｏｎ Ｔｅｒｍｉｎａｔｉｏｎ Ｅｘｔｅｎｓｉｏｎ）領域１６，１６０およびガードリング領域１７，１７０が形成されている。また、本実施形態ではＳｉＣ層１０の表面から珪素を選択的に除去することにより上記表面に第１炭素層２０が形成されており（図１４）、一方で比較例ではＳｉＣ層１００の表面上にスピンコート法によりレジスト膜を形成し、当該レジスト膜を炭化させることにより第１炭素層２００が形成されている（図１５）。図１４および図１５に示すように、比較例では段差部においてレジスト膜の厚みが相対的に薄くなるため、当該段差部におけるＳｉＣ層１００の表面を第１炭素層２００により十分に覆うことが困難である。一方で、本実施形態では段差部においてもＳｉＣ層１０の表面を第１炭素層２０により十分に覆うことができる。このように本実施形態では、ＳｉＣ層１０の表面に段差や凹凸が存在する場合でも上記表面を炭素層により確実に覆うこ

とができる。

[0073] 上記炭化珪素半導体装置の製造方法において、ＳｉＣ基板準備工程（Ｓ１０）では、幅の最大値が１００ｍｍ以上であるＳｉＣ基板１１が準備されてもよい。また、ＳｉＣ基板１１上に形成されるＳｉＣ層１０の表面（主面１０Ａ、側壁面ＳＷ、底面ＢＷ）には０．５μｍ以上の凹凸が形成されていてもよい。

[0074] このように基板サイズが大きい場合には、スピンコート法によりレジスト膜を塗布し、当該レジスト膜を炭化させて第１炭素層を形成すると膜厚のばらつきが大きくなる（中央部の膜厚が小さく外周部の膜厚が大きくなる）。また、ＳｉＣ層１０の表面の凹凸が大きい場合には、スピンコート法により形成されるレジスト膜により表面全体を十分に覆うことは困難である。これに対して、本実施形態ではＳｉＣ層１０の表面から珪素を選択的に除去することにより第１炭素層２０が形成され、当該第１炭素層２０の上にレジスト膜を炭化させた第２炭素層２１が形成される。そのため、基板サイズが大きく表面の凹凸が大きい場合でもＳｉＣ層１０の表面を確実に保護することができる。

[0075] （実施形態２）

次に、本発明の他の実施形態である実施形態２について説明する。本実施形態に係るＳｉＣ半導体装置の製造方法は、基本的には上記実施形態１の場合と同様に実施され、かつ同様の効果を奏する。しかし、本実施形態に係るＳｉＣ半導体装置の製造方法は、第２炭素層形成工程において上記実施形態１の場合とは異なっている。

[0076] 図１６を参照して、本実施形態では複数の積層炭素層２２，２３，２４から構成される第２炭素層２１が第１炭素層２０上に形成される。より具体的には、第１積層炭素層２２はエチレンガスまたはプロパンガスなどの炭化水素ガスを用いたＣＶＤ法により形成され、第２積層炭素層２３はスパッタリング法により形成され、第３積層炭素層２４はレジスト膜を炭化させる方法により形成される。そのため、積層炭素層２２～２４は、ＳｉＣ層１０の表

面（主面１０Ａ、側壁面ＳＷ、底面ＢＷ）に垂直な方向において上記表面に近い積層炭素層が相対的に高密度になるように形成される。このように第２炭素層２１を複数層から構成することにより、上記実施形態１のように第２炭素層２１を単一層から構成する場合に比べて膜が緻密化され、その結果ＳｉＣ層１０の表面を一層確実に保護することが可能になる。

[0077] また、本実施形態では第２炭素層２１が３層から構成される場合について説明したが、これに限定されるものではない。第２炭素層２１は、複数層（２層以上）で構成されていれば層数は特に限定されず、また各々の積層炭素層を形成する方法も上記方法（レジスト膜を炭化させる方法、ＣＶＤ法およびスパッタリング法）から任意に選択することが可能である。

[0078] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0079] 本発明の炭化珪素半導体装置の製造方法は、製造効率の低下を抑制し、かつ、炭化珪素層の表面がより確実に保護された状態で活性化アニールを実施することが要求される炭化珪素半導体装置の製造方法において、特に有利に適用され得る。

符号の説明

[0080] １ ＭＯＳＦＥＴ、１０，１００ 炭化珪素（ＳｉＣ）層、１０Ａ，１１Ａ，１１Ｂ 主面、１１ 炭化珪素（ＳｉＣ）基板、１２，１２０ ドリフト領域、１３，１３０ ボディ領域、１４，１４０ ソース領域、１５ コンタクト領域、１６，１６０ ＪＴＥ領域、１７，１７０ ガードリング領域、２０ 第１炭素層、２１ 第２炭素層、２２ 第１積層炭素層、２３ 第２積層炭素層、２４ 第３積層炭素層、３０ ゲート酸化膜、４０ ゲート電極、５０ 層間絶縁膜、６０ ソース電極、６１ ソース配線、７０ ドレイン電極、７１ 裏面保護電極、ＢＷ 底面、ＳＷ 側壁面、ＴＲ ト

レンチ。

請求の範囲

[請求項1] 炭化珪素層に不純物領域を形成する工程と、

前記不純物領域が形成された前記炭化珪素層の表面から珪素を選択的に除去することにより、前記表面に第１炭素層を形成する工程と、

前記第１炭素層の上に第２炭素層を形成する工程と、

前記第１炭素層および前記第２炭素層が形成された前記炭化珪素層を加熱する工程とを備える、炭化珪素半導体装置の製造方法。

[請求項2] 前記第１炭素層を形成する工程では、前記第２炭素層よりも高密度になるように前記第１炭素層が形成される、請求項１に記載の炭化珪素半導体装置の製造方法。

[請求項3] 前記第２炭素層を形成する工程では、単一層から構成される前記第２炭素層が形成される、請求項１または請求項２に記載の炭化珪素半導体装置の製造方法。

[請求項4] 前記第２炭素層を形成する工程では、複数層から構成される前記第２炭素層が形成される、請求項１または請求項２に記載の炭化珪素半導体装置の製造方法。

[請求項5] 前記複数層を構成する複数の積層炭素層は、前記炭化珪素層の前記表面に近い前記積層炭素層が相対的に高密度になるように形成される、請求項４に記載の炭化珪素半導体装置の製造方法。

[請求項6] 前記第２炭素層は、レジスト膜を炭化させる方法、ＣＶＤ法およびスパッタリング法からなる群より選択される少なくともいずれか一の方法により形成される、請求項１～請求項５のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項7] 前記第２炭素層を形成する工程では、８００℃以上１０００℃以下の温度で前記レジスト膜を加熱して炭化させることにより前記第２炭素層が形成される、請求項６に記載の炭化珪素半導体装置の製造方法。

[請求項8] 前記炭化珪素層を加熱する工程では、前記第２炭素層を形成する工

程において前記レジスト膜の炭化が完了した後に連続して前記炭化珪素層が加熱される、請求項７に記載の炭化珪素半導体装置の製造方法。

[請求項9] 前記炭化珪素層を加熱する工程では、１６００℃以上１９００℃以下の温度で前記炭化珪素層が加熱される、請求項１～請求項８のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項10] 前記第１炭素層を形成する工程では、１０ｎｍ以上５０ｎｍ以下の厚みを有する前記第１炭素層が形成される、請求項１～請求項９のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項11] 前記第２炭素層を形成する工程では、５０ｎｍ以上の厚みを有する前記第２炭素層が形成される、請求項１～請求項１０のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項12] 前記第１炭素層を形成する工程および前記第２炭素層を形成する工程では、前記第１炭素層および前記第２炭素層の合計の厚みが１μｍ以下になるように前記第１炭素層および前記第２炭素層が形成される、請求項１～請求項１１のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項13] 前記第１炭素層を形成する工程では、ハロゲン元素と珪素とを反応させることにより、前記炭化珪素層の前記表面から珪素が選択的に除去される、請求項１～請求項１２のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項14] 前記第１炭素層を形成する工程では、ハロゲン元素を含有するガスを含む雰囲気中において前記炭化珪素層が加熱されることにより、前記炭化珪素層の前記表面から珪素が選択的に除去される、請求項１３に記載の炭化珪素半導体装置の製造方法。

[請求項15] 前記第１炭素層を形成する工程では、ハロゲン元素を含むプラズマ中において前記炭化珪素層が保持されることにより、前記炭化珪素層の前記表面から珪素が選択的に除去される、請求項１３に記載の炭化

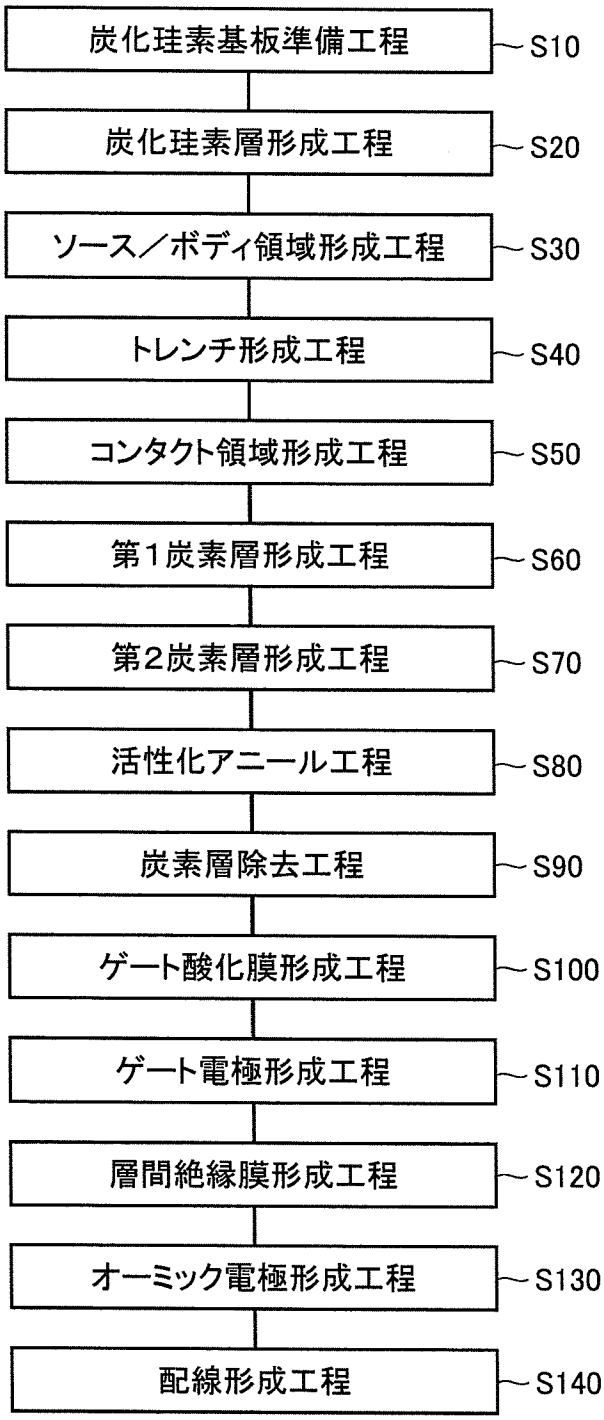
珪素半導体装置の製造方法。

[請求項16] 前記炭化珪素層を加熱する工程の後、前記第１炭素層および前記第２炭素層を除去する工程をさらに備える、請求項１～請求項１５のいずれか１項に記載の炭化珪素半導体装置の製造方法。

[請求項17] 前記炭化珪素層の前記表面は、（０００－１）面に対するオフ角が８°以下である主面を含む、請求項１～請求項１６のいずれか１項に記載の炭化珪素半導体装置の製造方法。

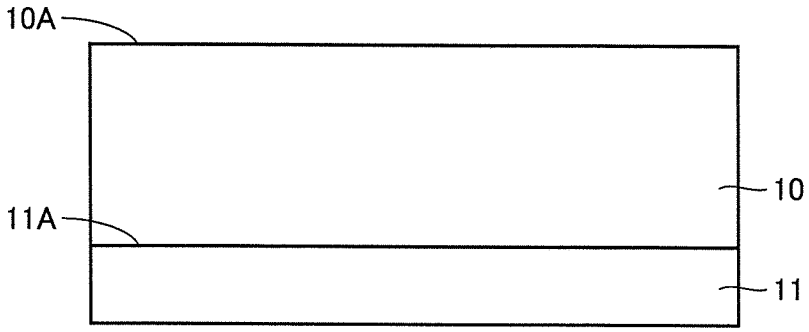
[図1]

FIG.1


炭化珪素基板準備工程
S10
炭化珪素層形成工程
S20
ソース／ボディ領域形成工程
S30
トレンチ形成工程
S40
コンタクト領域形成工程
S50
第1炭素層形成工程
S60
第2炭素層形成工程
S70
活性化アニール工程
S80
炭素層除去工程
S90
ゲート酸化膜形成工程
S100
ゲート電極形成工程
S110
層間絶縁膜形成工程
S120
オーミック電極形成工程
S130
配線形成工程
S140

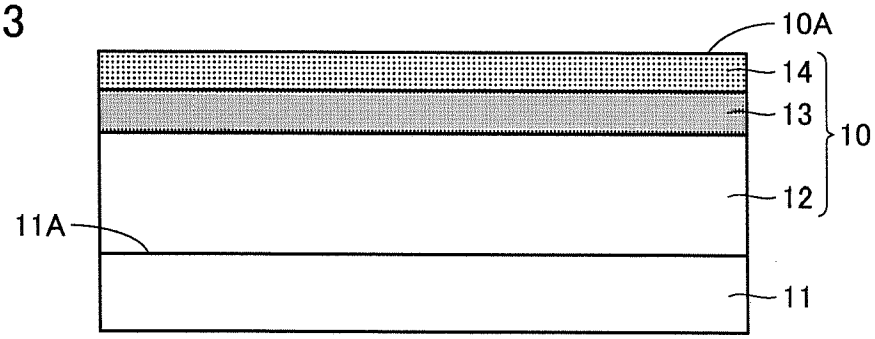
[図2]

FIG.2



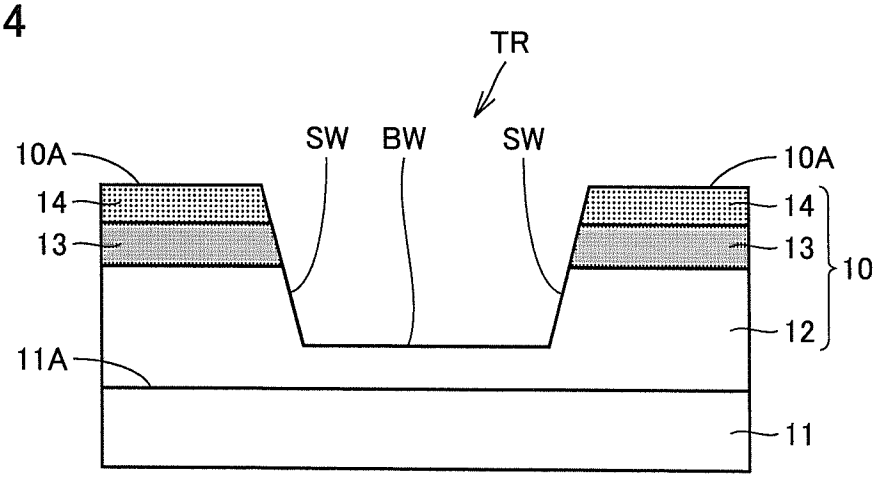
[図3]

FIG.3



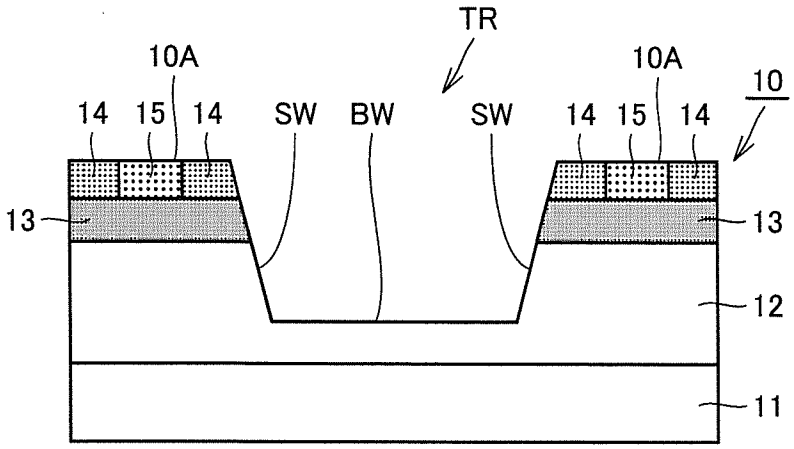
[図4]

FIG.4



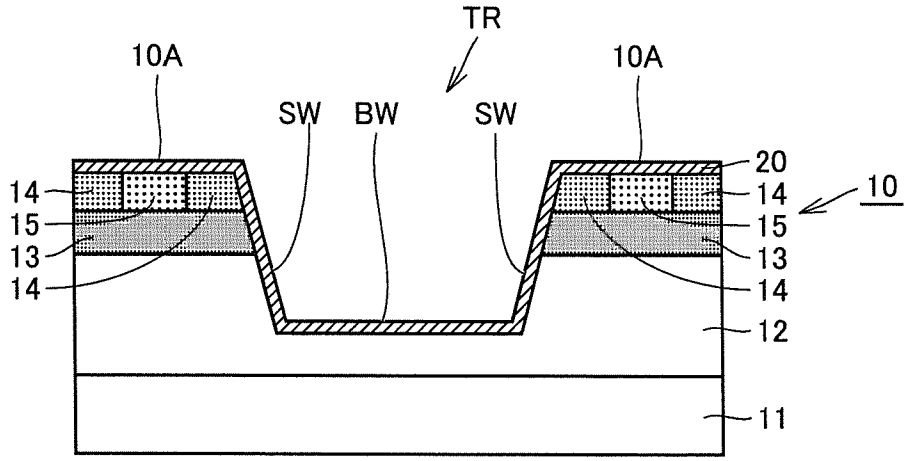
[図5]

FIG.5



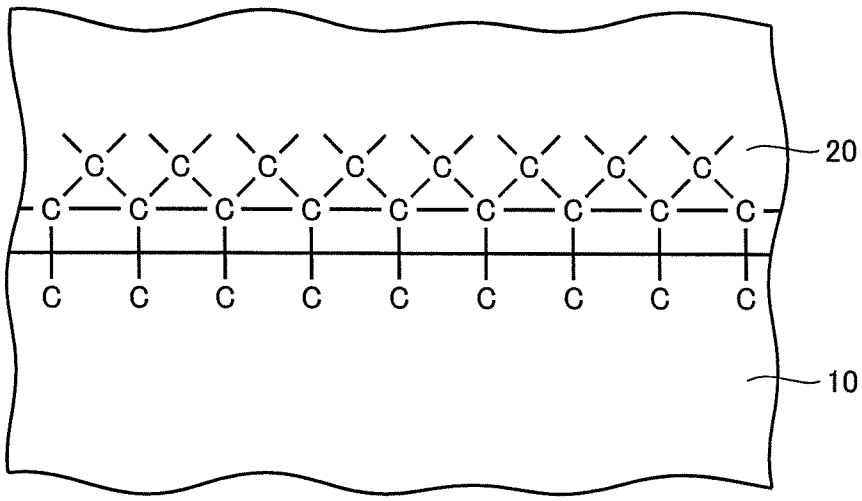
[図6]

FIG.6



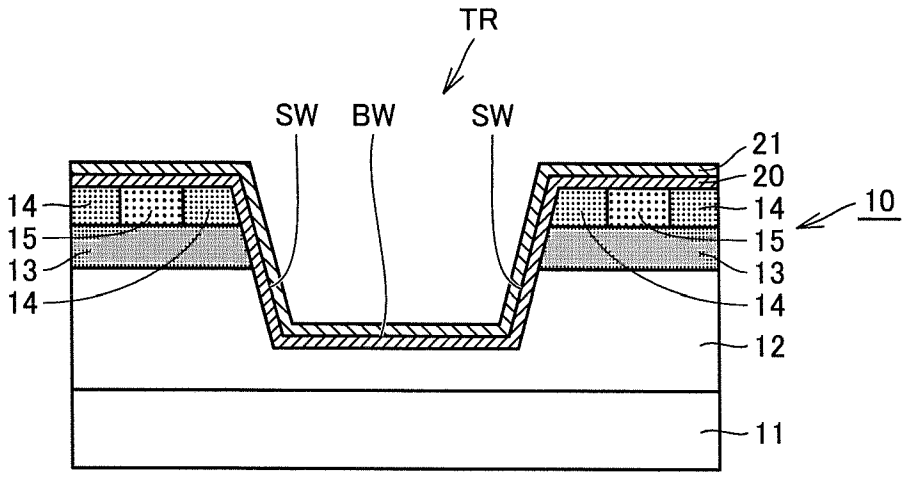
[図7]

FIG.7



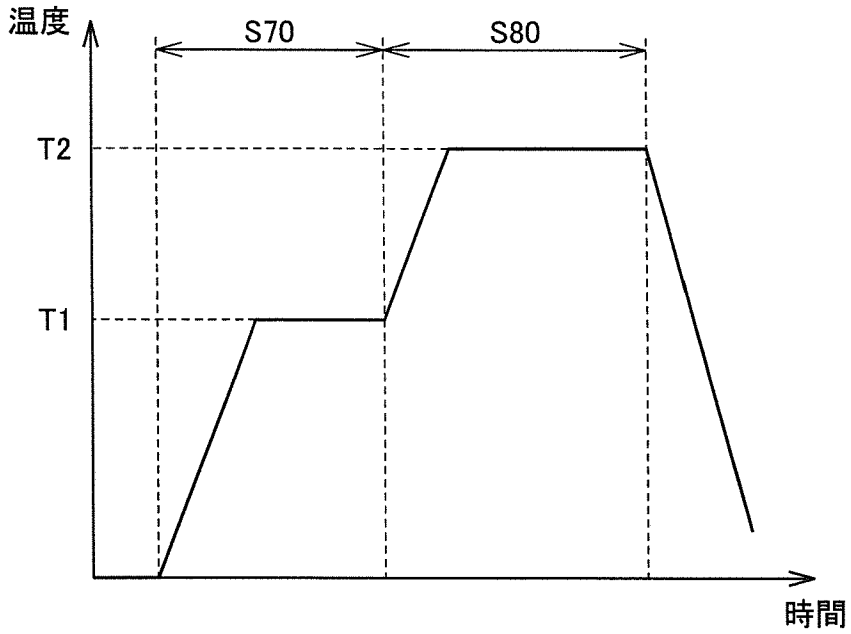
[図8]

FIG.8



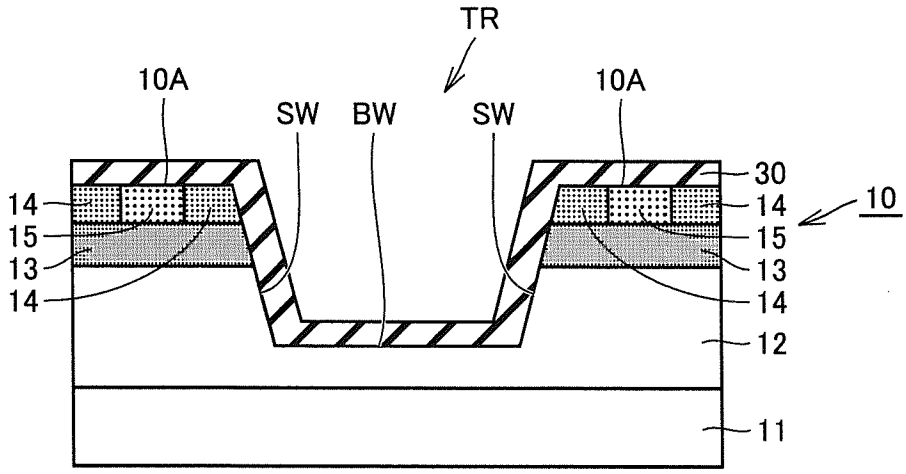
[図9]

FIG.9



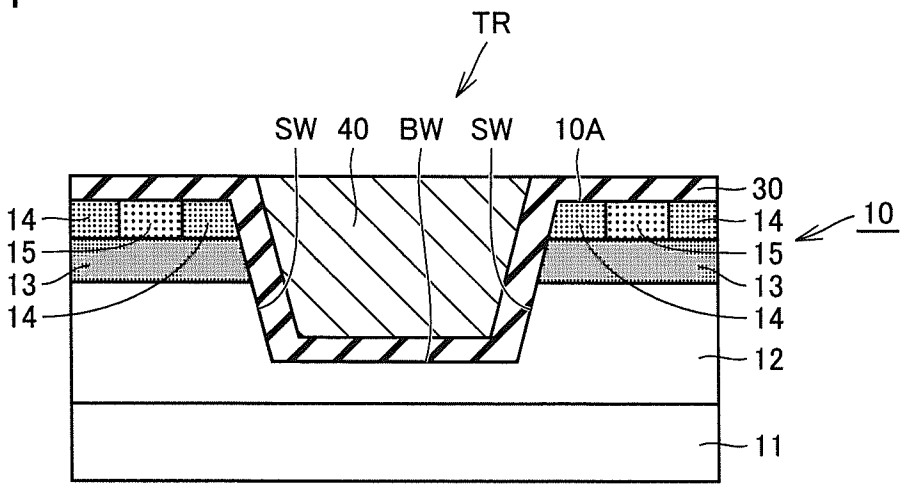
[図10]

FIG.10



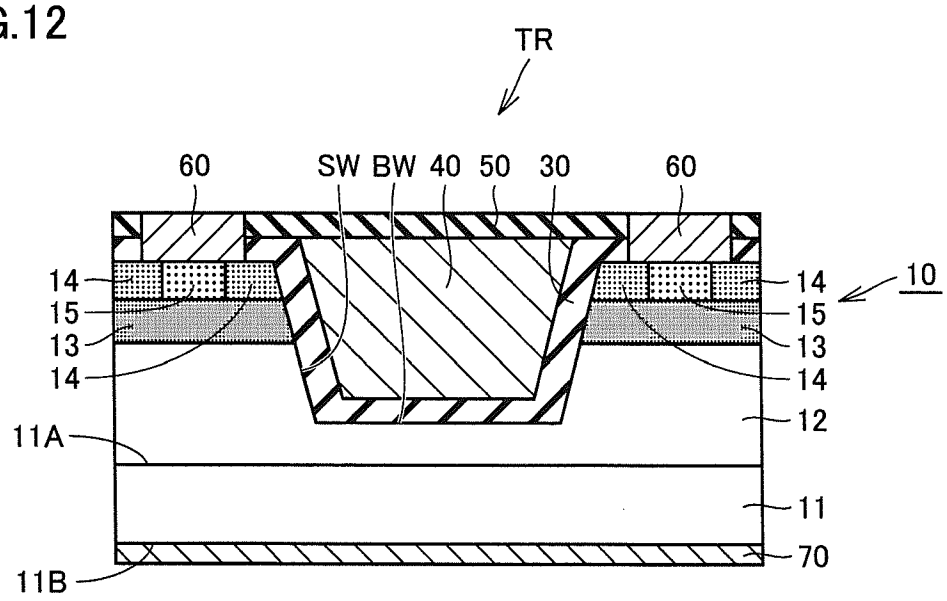
[図11]

FIG.11



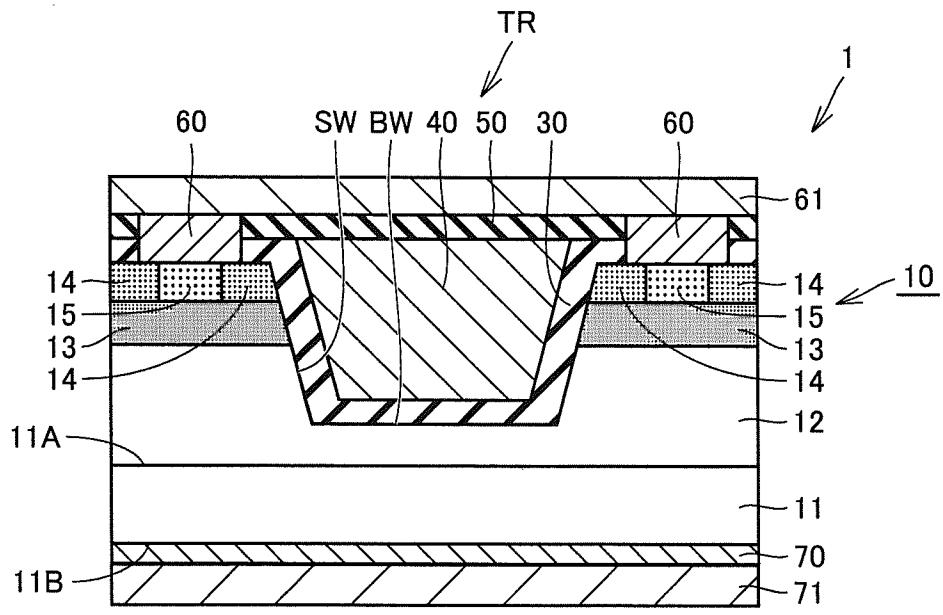
[図12]

FIG.12



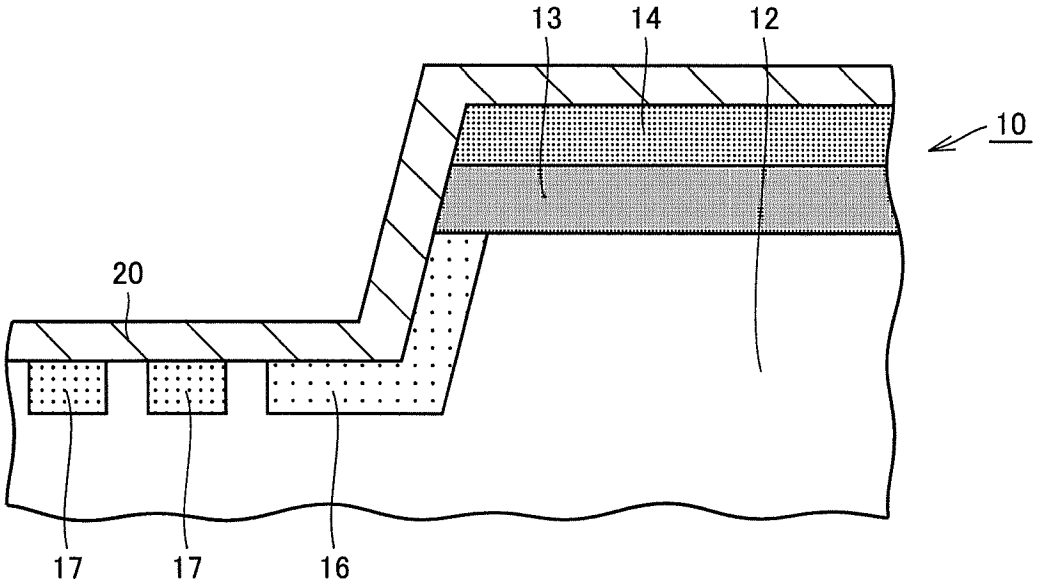
[図13]

FIG.13



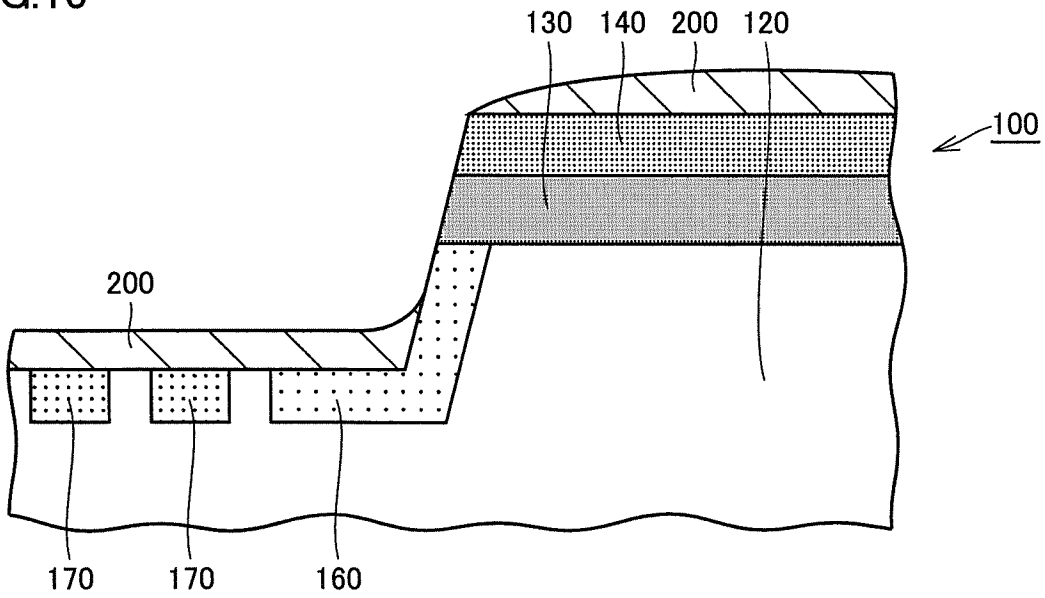
[図14]

FIG.14



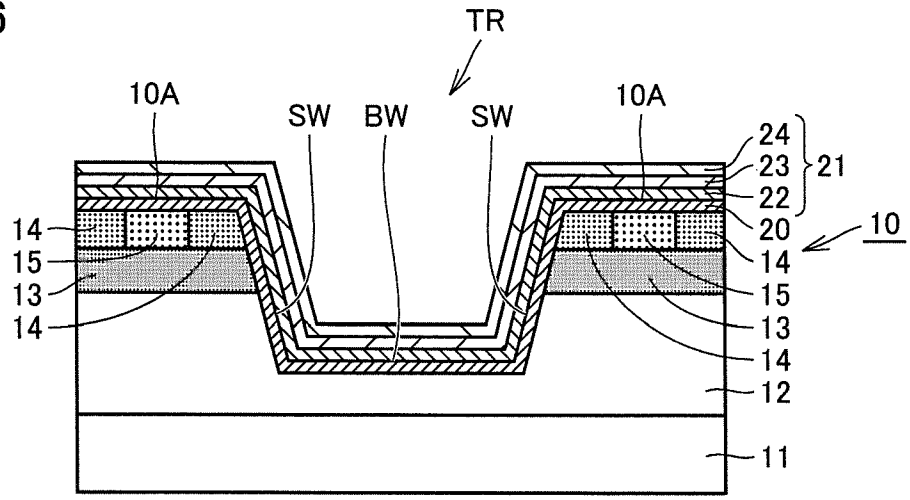
[図15]

FIG.15



[図16]

FIG.16



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/071165

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/265(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/265, H01L21/336, H01L29/06, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-212325 A (Mitsubishi Electric Corp.), 17 September 2009 (17.09.2009), claims; paragraphs [0016] to [0017], [0025] to [0035]; fig. 4 to 8, 13 to 15 (Family: none)	1-6,10,16 7-9,11-15,17
Y	JP 2013-058616 A (Toshiba Corp.), 28 March 2013 (28.03.2013), paragraph [0037] & US 2013/0065382 A1	7-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 October, 2014 (30.10.14)	11 November, 2014 (11.11.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/071165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/011740 A1 (Sumitomo Electric Industries, Ltd.), 24 January 2013 (24.01.2013), claims; paragraphs [0039] to [0041] & JP 2013-26372 A & US 2013/0023113 A1 & EP 2736067 A1 & CN 103620741 A & KR 10-2014-0049986 A & TW 201308443 A	9,11-15
Y	WO 2005/076327 A1 (Matsushita Electric Industrial Co., Ltd.), 18 August 2005 (18.08.2005), claims; paragraphs [0006], [0072] & JP 4418794 B & US 2006/0220027 A1 & EP 1713117 A1 & DE 602005025976 D & KR 10-2006-0125700 A & CN 1788335 A & AT 496392 T	17

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０７１１６５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/265, H01L21/336, H01L29/06, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2009-212325 A (三菱電機株式会社) 2009.09.17, 特許請求の範囲, 段落【0016】-【0017】, 【0025】-【0035】, 第 4-8, 13-15 図 (ファミリーなし)	1-6, 10, 16 7-9, 11-15, 17
Y	JP 2013-058616 A (株式会社東芝) 2013.03.28, 段落【0037】 & US 2013/0065382 A1	7-9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ３０．１０．２０１４	国際調査報告の発送日 １１．１１．２０１４
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　９３７５ 桑原　清 電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2013/011740 A1 (住友電気工業株式会社) 2013.01.24, 請求の範囲,段落【0039】-【0041】 & JP 2013-26372 A & US 2013/0023113 A1 & EP 2736067 A1 & CN 103620741 A & KR 10-2014-0049986 A & TW 201308443 A	9,11-15
Y	WO 2005/076327 A1 (松下電器産業株式会社) 2005.08.18, 請求の範囲,段落【0006】,【0072】 & JP 4418794 B & US 2006/0220027 A1 & EP 1713117 A1 & DE 602005025976 D & KR 10-2006-0125700 A & CN 1788335 A & AT 496392 T	17