

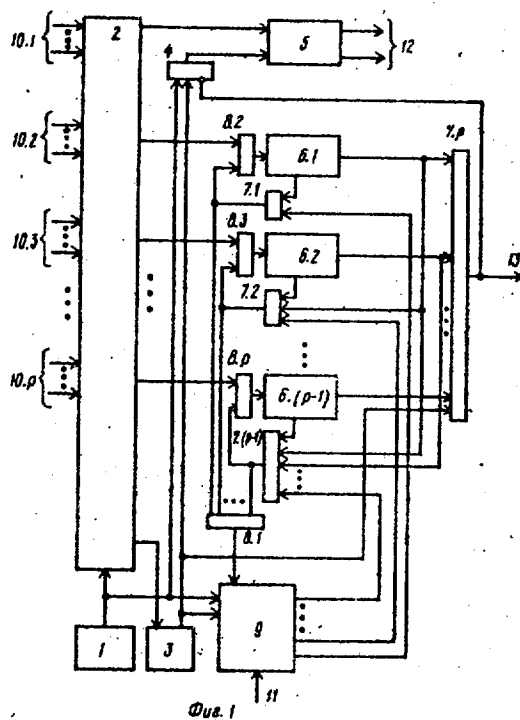
(51) 4 H 03 M 7/20, G 06 F 11/10

2020-2021-22

100-443887-100

рять функциональные возможности устройства за счет формирования остатка по модулю К от входного кода. Устройство содержит генератор 1 тактовых импульсов, многоканальный преобразователь 2 параллельного кода в последовательность импульсов, триггер 3, счетчик 5 по модулю К, Р-1 блоков 6 подсчета единиц по модулю К, Р элементов И 7 и элемент ИЛИ 8.1. Благодаря введению элемента 4 ЗАПРЕТ, элементов ИЛИ 8.2-8.Р и делителя 9 частоты в устройстве формируется остаток по модулю К от входного кода и определяется число единиц кода по тому же модулю. 1 з.п. ф-лы, 2 ил.

(54) УСТРОЙСТВО ДЛЯ ПОДСЧЕТА ЧИСЛА
ЕДИНИЦ ДВОИЧНОГО КОДА ПО МОДУЛЮ К
(57) Изобретение относится к вычис-
лительной технике. Его использование
в системах обработки и передачи дис-
кретной информации позволяет расши-



(19) SU (11) 1427574 A1

Изобретение относится к вычислительной технике и может быть использовано в системах передачи и обработки дискретной информации.

Цель изобретения - расширение функциональных возможностей за счет формирования остатка по модулю K от входного кода.

На фиг.1 изображена функциональная схема устройства; на фиг.2 - выполнение делителя частоты.

Устройство для подсчета числа единиц двоичного кода по модулю содержит генератор 1 тактовых импульсов, многоканальный преобразователь 2 параллельного кода в последовательность импульсов, триггер 3, элемент 4 ЗАПРЕТ, счетчик 5 по модулю K , блоки 6 подсчета единиц по модулю K , элементы 7 И, элементы 8 ИЛИ и делитель 9 частоты. На фиг.1 обозначены информационные и управляющий входы 10 и 11, информационные и контрольный выходы 12 и 13.

Многоканальный преобразователь 2 параллельного кода в последовательность импульсов может быть выполнен так же, как и в прототипе. Входы 10 преобразователя 2 сгруппированы таким образом, что веса всех разрядов одной группы входов, взятые по модулю K , одинаковы, а для первой группы входов равны 1.

Блок 6 подсчета единиц по модулю K включает в себя счетчик по модулю K , выходы которого соединены со входами элемента ИЛИ, прямой и инверсный выходы которого являются первым и вторым выходами блока 6.

Делитель 9 частоты выполнен (фиг.2) на распределителе 14 импульсов, элементах 15 И, элементах 16 ИЛИ. На фиг.2 обозначены управляющий и тактовый входы 17 и 18, входы 19 и 20 синхронизации и обнуления и выходы 21. При этом i -ый выход делителя 9 ($i = \overline{1, p-1}$), соединенный с входом i -го элемента 7 И, соответствует коэффициенту деления, равному весу по модулю K $(i+1)$ -ой группы информационных входов 10.

Устройство для подсчета числа единиц двоичного кода по модулю K работает следующим образом.

В исходном состоянии блоки 6 подсчета единиц по модулю K , счетчик 5 по модулю K , триггер 3, делитель 9 частоты и многоканальный пре-

образователь 2 параллельного кода в последовательный сброшены (цепи начального обнуления не показаны). На выходе триггера 3 - нулевой логический сигнал, блокирующий работу делителя 9 и прохождение импульсов на выход элемента 4 ЗАПРЕТ.

Контролируемый код подан на информационные входы 10 преобразователя 2.

При поступлении тактовых импульсов с выхода генератора 1 на тактовый вход многоканального преобразователя 2 последний преобразует параллельный код на входах 10 в последовательность импульсов на m -ом информационном выходе ($m = \overline{1, p}$).

Импульсы с $(i+1)$ -го информационного выхода поступают через элемент 8. $(i+1)$ ИЛИ на счетный вход блока 6 подсчета единиц по модулю K , а с первого выхода преобразователя 2 - на суммирующий вход счетчика 5 по модулю K . Блоки 6 и счетчик 5 осуществляют подсчет поступающих на их входы импульсов по модулю K . По окончании преобразования входного кода многоканальный преобразователь 2 самоблокируется и далее импульсов на информационных выходах не формирует, при этом на его управляющем выходе (конца работы) появляется сигнал, переключающий триггер 3, на выходе которого при этом появляется единичный логический сигнал (в паузе между тактовыми импульсами).

К этому моменту времени в счетчике 5 по модулю K и блоках 6 подсчета единиц по модулю K оказывается записан код остатка по модулю K числа единичных сигналов на соответствующих входах 10.

Далее происходит процесс последовательного обнуления блоков 6 и пересчет их содержимого (с учетом остатков по модулю K весов соответствующих входов 10 при работе в режиме формирования остатка числа) в счетчик 5 по модулю K .

Пусть устройство работает в режиме формирования остатка числа по модулю K . При этом на управляющий вход 11 (вход 17 делителя 9) подается нулевой сигнал. При этом тактовые импульсы с выхода генератора 1 тактовых импульсов поступают через элемент 4 на вход счетчика 5, а также на тактовый вход делителя 9.

Пусть 6.1 - наименьший номер блока 6 подсчета единиц по модулю K, в который за время работы преобразователя 2 поступило число импульсов, не кратное K. При этом на его втором выходе, соединенном с входом элемента 7.р И, будет нулевой логический сигнал, а на первом выходе, соединенном с выходом элемента 7.1 И - единичный. При этом на входах элемента 7.1 И, соединенных с выходами блоков 6.1-6.(1-1), также единичные сигналы. При этом через $(w_e + 1) \bmod K$ тактов работы генератора 1, когда на вход счетчика 5 по модулю K поступает $(w_e + 1) \bmod K$ импульсов, на выходе делителя 9, соединенном с входом элемента 7.1 И появляется импульс, который через элемент 7.1 И и элемент 8.(1+1) ИЛИ поступает на счетный вход блока 6.1 подсчета единиц по модулю K.

Таким образом, к содержимому блока 6.1 подсчета единиц по модулю K каждый раз прибавляется единица, а за это время из содержимого счетчика 5 по модулю K вычитается $(w_e + 1) \bmod K$ единиц, где $w_e + 1$ - веса информационных входов 10.(1+1).

Импульсы с выхода элемента 7.1 И одновременно поступают через элемент 8.1 ИЛИ на вход 20 обнуления делителя 9, который возвращается в исходное состояние и со следующего тактового импульса его цикл работы повторяется.

Работа продолжается таким образом до обнуления блока 6.1, который в течение всего времени своей работы нулевым логическим сигналом на своем втором выходе блокирует прохождение тактовых импульсов на выходы элементов 7.(1+1)-7.(p-1) И. Пусть к началу процесса обнуления в блоке 6.1 был записан код числа $(m_e + 1) \bmod K$, где $(m_e + 1)$ - число единиц на информационных входах 10.(1+1), при этом за время обнуления этого блока 6.1 на вычитающий вход счетчика 5 по модулю K поступает $(w_e + 1) \bmod K \times (K - (m_e + 1) \bmod K)$ импульсов. В результате от его содержимого отнимается указанное число единиц. Учитывая, что для операции по модулю $K(-B) \bmod K = K - (B) \bmod K$, получаем

$$\begin{aligned} & -(w_e + 1) \bmod K \times (K - (m_e + 1) \bmod K) = \\ & = (w_e + 1) \bmod K \times (m_e + 1) \bmod K, \end{aligned}$$

т.е. указанная операция эквивалентна прибавлению к содержимому счетчика 5 числа, равного произведению количества единиц на информационных входах 10.(1+1) на остаток по модулю K их веса. Далее аналогичным образом обнуляются все остальные блоки 6 подсчета единиц по модулю K.

При обнулении последнего блока 6 на всех входах элемента 7.р И оказываются единичные логические сигналы, вызывающие единичные логические сигналы, вызывающие единичный логический сигнал на его выходе, поступающий на выход контрольный 13 (конец работы) устройства, свидетельствуя об окончании работы и одновременно блокируя прохождение тактовых импульсов на выход элемента 4. Работа устройства окончена. Результат снимается с выходов 12.

При работе в режиме подсчета числа единиц на входах 10 по модулю K на управляющий вход 11 (вход 17) делителя 9 подается единичный сигнал, при этом делитель 9 транслирует на все свои выходы 21 тактовые импульсы и пересчет содержимого блоков 6 подсчета единиц по модулю K в счетчик 5 по модулю K осуществляется с единичным весом, т.е. по окончании работы устройства на выходах 12 будет код числа единиц на входах 10 по модулю K.

Таким образом, устройство обеспечивает как подсчет числа единиц на входах по модулю K, так и формирование остатка входного кода по модулю K.

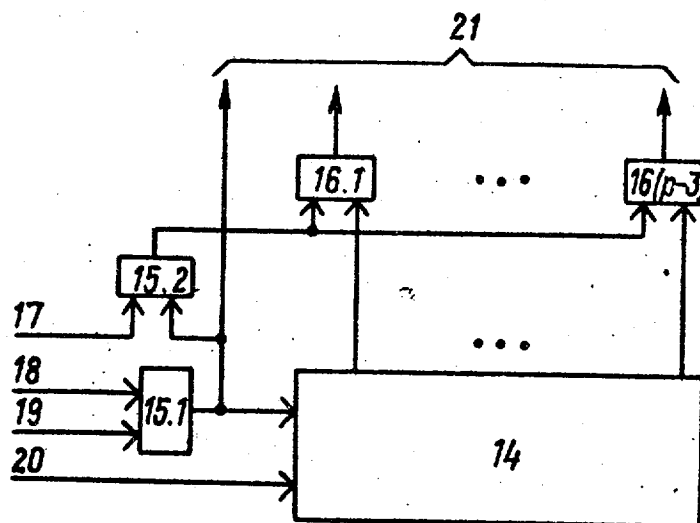
Ф о р м у л а и з о б р е т е н и я

1. Устройство для подсчета числа единиц двоичного кода по модулю K, содержащее генератор тактовых импульсов, выход которого соединен с тактовым входом многоканального преобразователя кода в последовательность импульсов, P групп информационных входов которого являются соответствующими информационными выходами устройства, P-1 блоков подсчета единиц по модулю K, первый выход каждого из которых соединен с первым входом одноименного элемента И, выходы первого - (P-1)-го элементов И подключены к соответствующим входам первого элемента ИЛИ, второй выход i-го

блока подсчета единиц по модулю K ($i = 1, P-1$) соединен с соответствующим входом P -го элемента И и $(i+1)$ -м входом j -го элемента И ($i < j < P$), управляющий выход многоканального преобразователя параллельного кода в последовательность импульсов подключен к входу триггера, выход которого соединен с P -м входом P -го элемента И, выход которого является контрольным выходом устройства, счетчик по модулю K , выходы которого являются информационными выходами устройства, отличающееся тем, что, с целью расширения функциональных возможностей за счет формирования остатка по модулю K от входного кода, в устройство введены делитель частоты, второй — P -й элемент ИЛИ и элемент ЗАПРЕТ, запрещающий вход которого подключен к выходу P -го элемента И, выход элемента ЗАПРЕТ соединен с вычитающим входом счетчика по модулю K , первый — P -й информационные выходы многоканального преобразователя параллельного кода в последовательность импульсов соединены соответственно с суммирующим входом счетчика по модулю K и первыми входами второго — P -го элементов ИЛИ, второй вход и выход $(i+1)$ -го элемента ИЛИ подключены соответственно к выходу i -го элемента И и входу i -го блока подсчета единиц по модулю K , выход первого элемента ИЛИ соединен с входом

обнуления делителя частоты, тактовый вход и вход синхронизации которого объединены соответственно с первым и вторым разрешающими входами элемента ЗАПРЕТ и подключены к выходам соответственно генератора тактовых импульсов и триггера, i -й выход делителя частоты подключен к $(i+1)$ -му входу i -го элемента И, управляющий вход делителя частоты является управляющим входом устройства.

2. Устройство по п.1, отличающееся тем, что делитель частоты выполнен на элементах И, элементах ИЛИ и распределителе импульсов, вход обнуления которого является входом обнуления делителя, первый и второй входы первого и первый вход второго элементов И являются соответственно тактовым входом, входом синхронизации и управляющим входом делителя, выходы распределителя импульсов соединены с первыми входами соответственно первого — $(P-2)$ -го элементов ИЛИ, выход первого элемента И подключен к тактовому входу распределителя импульсов, второму входу второго элемента И и является первым выходом делителя, выход второго элемента И подключен к вторым входам первого — $(P-2)$ -го элементов ИЛИ, выходы которых являются соответственно вторым — $(P-1)$ -м выходами делителя.



Фиг. 2

Редактор Н.Горват	Составитель О.Ревинский Техред М.Дидык	Корректор Н.Король
Заказ 4865/55	Тираж 929	Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4