

發明專利說明書 200428538

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92132601

※ 申請日期：92.11.22

※IPC 分類： H01L 21/44

壹、發明名稱：(中文/英文)

用於製造垂直積體電路之方法

METHOD OF FABRICATING VERTICAL INTEGRATED CIRCUITS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

雷佛公司 / REVEO, INC.

代表人：(中文/英文)(簽章)

貝瑞爾 吉諾 D. / BRILL, GEROW D.

住居所或營業所地址：(中文/英文)

美國紐約艾斯福德大道 85 號

85 Executive Blvd., Elmsford, NY, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

參、發明人：(共 1 人)

姓 名：(中文/英文)

斐利斯 薩吉 M. / FARIS, SADEG M.

住居所地址：(中文/英文)

美國紐約州普里森維爾市波肯提哥河路 24 號

24 Pocantico River Road, Pleasantville, NY, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/11/20；60/428,125

2.

☐ 主張國內優先權（專利法第二十五條之一）：
【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明有關於半導體裝置之製程，特別是關於一種在半導體基
5 板上之一種垂直積體電路總成之製程。

【先前技術】

發明背景

對於更快速而更便宜之積體電路的需求持續增加。莫爾定律推
測每平方英吋之電晶體數量會以每年雙倍之比率成長。然而，當傳
10 統的二維空間(或平面)之晶片製造方法已達到極限，為了要實現莫爾
定律的預言，勢必要格新技術以擴展晶片製造的新領域。

直至目前為止，大部份所遭遇到對更密集之積體電路的需求來
自於在製造於相對平面結構上持續縮小的主動裝置。即，二維晶片
製造已然是為半導體製造的普遍方法。大多數的半導體設備被製造
15 在一個平面的單晶半導體基板中。而此方式對於垂直積設到三維空
間實非常有限。

當瀕臨二維晶片製造空間的極限時，效能上的主要突破將往三
維空間晶片製造發展。(即，在z方向上的晶片製造)

將微裝置垂直積設或堆疊到同一封裝內，是一種減小封裝體
20 積、增加電路密度、節省基板空間、以及增加效能和功能性的相當
吸引人的方法。縮減內部晶片的延遲與耗電量為堆疊積設之兩種優
勢。如果這些裝置變薄並且堆疊在彼此的頂部上，在成本與電路密
度方面之優勢將巨幅增加。而在IC(積體電路)和MEMS(微機電系統)
兩製程中，矽晶圓第三維空間絕大部份尚未開發。

目前產業上所用之二維裝置垂直堆疊的方法，一般為晶片-標度法且需仰賴磨的動作來使晶圓變薄。大多數的方法仰賴利用通孔、堆疊母子晶片、或打線黏結的互連方式。目前的方法皆具有關於封裝大小、成本、可靠度、和產量衝擊之限制。儘管困難，堆疊裝置以達成三維空間的整合被發現是可行的，尤其是在結合微機電系統 ("MEMS") 和應用導向積體電路 ("ASIC") 控制器之方面。堆疊個別晶片之高密度記憶體封裝已被發現許多特定之應用。

IBM 之第 6,355,501 號美國專利揭露一種製造三維積體電路總成的方法，主要關於晶片規模。其中揭露之總成係由在絕緣體上之三維堆疊矽 ("SOI") 晶片所組成，並揭露一種形成此種積體電路總成之方法。每一個 SOI 晶片包括一個處理裝置 (handler) 來對第一金屬化圖案作機械接觸以與一半導體裝置做電氣接觸。該金屬化圖案依次接觸設置在半導體設備之一相反表面上的第二個金屬化圖案。在此揭露的方法包括步驟有：a) 使一基板在其一第一表面上具有一第三金屬化圖案； b) 藉使 SOI 晶片的第二金屬化圖案與基板的第三金屬化的圖案電氣接觸，使基板第一表面之其中一 SOI 晶片在基板的第一表面對齊； c) 從該 SOI 晶片移除處理裝置，暴露出 SOI 晶片的第一金屬化圖案； d) 使第二個 SOI 晶片和第一 SOI 晶片對齊，讓第二 SOI 晶片的第二金屬化圖案與第一 SOI 晶片被暴露出的第一金屬化圖案電氣接觸；及 e) 反復的步驟 c) 和 d) 來一個疊在一個上地裝設後續 SOI 晶片。然而，此參考資料教示之方法可礙於成本昂貴而功能有限。

在上述第 6,355,501 號美國專利中所揭示之方法的關鍵缺點在於其申請人所強調之在一個晶圓規模上形成三維電路導致低產率。再者，對準每個晶片被視為是妨礙晶圓規模堆疊的重要問題。每個晶

片的堆疊步驟包括對準欲彼此黏結之層體。必須具有透明的黏著物和視窗才能夠光學地存取在兩個欲相黏結之表面上的對準標記。此外，處理裝置對於對準標記必須是可通透的。其他的缺點與後續的重複方法步驟的數量有關。依照其中之描述，為達到堆疊層體間之電氣接觸，當它被堆疊而且對齊的時候，各層體間進行一個焊料回流步驟。在再回流之後，晶片堆疊是邊緣黏結的。又，在後來的層可被黏結之前，處理裝置一定要以黏除(用雷射或其他的熱氣)、拋光、及其他的準備步驟移除。最後，過量基板以磨除或者蝕去來移除。

10 這些不利條件導致成本和功能性有關的缺點。伴隨磨除之費用損失、繁瑣的後續步驟、防礙晶圓規模堆疊之晶片規模，而之中晶圓規模眾所皆知可減少成本，欲克服在晶圓上的產量問題於是回歸到晶片規模之問題上、層數限制造成較多數量之堆疊，堆疊一定要在其他的堆疊上堆疊、由於後續堆疊量與互連有關使得整體的產量減少、多重再回流流量可損及其他的層。而功能性的不利條件包括：缺乏診斷、缺乏互連變化性、有限的互連空間、大型堆疊有限的可定址性，特別是記憶體堆疊、沒有整合雜訊屏蔽的能力、沒有整合散熱的能力、沒有接地平面的能力、及層體數量之限。

加州歐文和IBM已採用實施一種三維封裝之歐文感應器。不連續的晶粒利用邊緣隆起方法被堆疊及互連。已知好晶粒(KGD)被變薄。晶粒邊緣之焊料泵在用於對齊及互連連堆疊的晶粒。一晶粒是放在一個環氧基樹脂矩陣中。環氧基樹脂幫助對齊不同尺寸之晶粒，而且被用為互連表面。個體堆疊和晶粒的互連以及KGD的需求，導致這是一種非常貴的製造方法。

另一種已知三維封裝實施例係為立方體記憶體 (Cubic Memory)，其藉由施用佈置在整個晶圓上的數層聚硫亞氮絕緣體層之金的互連線跡，製造出高密度堆疊記憶體模組。然而，堆疊與垂直互連仍然在一個個別的晶片規模上。

5 又另一種已採行之三維封裝實施例係由美國加州聖約瑟之泰瑞莎與英特爾公司一同針對晶片-規模所開發，藉由透過微球柵陣列將晶片黏著到適應性基板上之堆疊封裝，而z向摺疊在它本身之上的晶片載入帶。

Ziptronix顯然地正在發展晶圓規模堆疊的IC。其著眼於挑戰
10 對準、壓力管理、熱管理、高密度、以及產率。

如同上面所舉例說明，可行之垂直積設方法尚有各種不同的缺陷。一種基本缺陷來自於產率損失。當今市場上所有裝置堆疊方式均為晶粒-規模。準備個別的晶粒、對齊、堆疊、乃至於連接。如此之方法很貴，且堆疊之產量損失是為層體中每個裝置之混合產量
15 損失。便宜的裝置有時可容忍增加的產量損失，像是SRAM堆疊等。但是當在堆疊較貴的裝置時，解決手段為使用一已知好晶粒 (Known Good Die)。KGD意指，經燒入和測試之各未包裝晶粒。此外，堆疊需要在每層完成後經電氣測試。此處理過程所須費用非常貴，且主要應用已經被限制在高階的使用者，像是軍隊和衛星技術。

20 另一傳統垂直積設的不利條件肇於晶粒規模之技術有限。除了Ziptronix尚未達到市場之方式外，所有的方法都是堆疊裝置於一晶粒規模上。晶圓規模製造顯著的經濟優勢以這些技術是完全作不到的。處理和測試個別晶粒之高費用限制這些方法用於高階應用。

在整個傳統製造程序中形成電路之另一已知問題是支撐在一個

基板上的處理裝置的需求。在進行處理的時候，基板須提供機械性支撐和熱穩定度。被處理之的基板因而必須夠厚以抵抗惡劣的處理環境，包括高壓、溫度、以及化學與能量暴露。而如果尋求活性的薄膜裝置則需要更進一步的處理。

- 5 在在一個夠厚的基板上形成電路或其他的結構來抵抗處理後採取一種處理方式，即以機械的方法移除基板的厚度。機械的方法，諸如切斷或研磨等，浪費整體的資源和人力。切斷或磨除的材料通常不可回收，即使是可回收的，在重複使用之前一定需要歷經更進一步之處理。再者，變薄的基板通常受制於拋光或其他的方法來平滑表面。其他的技術包括在裝置製造之前在基板上形成一蝕刻停止層結構。然而，基板典型上仍然在一選擇的蝕刻步驟之前被磨除機械式移除，該步驟一般蝕刻基板到蝕刻停止層。所有的這些技術造成時間和資源之浪費，以及令人掛心之品質控制。
- 10

- 要形成薄膜裝置的另一種技術係利用離子植入方法。離子植入的一種普遍利用係形成數層薄的半導體材料。舉例來說，此方法被揭露在第EP01045448號和第WO00/024059號之專利案中，兩者皆名為"藉由氫離子植入分離方法製造SOI晶圓之方法及以該方法生產之SOI晶圓"，而且在本發明中兩者都併供參考。離子，尤其像是氫離子或氦離子，在氧化矽晶圓的頂面植入。離子在頂表面植入一個深度。其後，可從整體矽基板分層出一薄層體，一般受制於高溫(約比500°C大)處理下。此薄層接著可被托承在一緣體層和一基板上，而微電子或其他的結構可被其上形成。然而，微電子一定要在分層薄層之後來形成，因為離子植入對微電子係有害地影響。特別是薄層可被弄歪，裝置可被離子植入而損害，或裝置可在分層期間被損害。
- 15
- 20

Bruel等人發明之第WO 98/33209號專利，取名為"在特定半導體中包含一個被保護的離子區域以及涉及離子植入之獲得薄膜的方法"，其中揭露提供包括一個金屬氧化物半導體("MOS")之薄膜的方法。大體上，一個MOS電晶體形成於半導體基板的表面上。電晶體的區域是被遮罩的，且周圍的區域是以離子植入來界定一預期斷裂線(即，在該處微泡泡由離子植入步驟產生)。為了要分開上面有電晶體的薄膜，在微泡泡附近之預期斷裂線著手斷開之動作，且透過電晶體下面的晶平面(即，沒有微泡泡存在)傳播。可想而知在其上具有電晶體之薄膜利用第WO98/33209號專利案之的教示是可行的，不過，因為基板材料的晶形結構勢必使得破碎之動作極接近電晶體，而使得電晶體受到斷開傳播之不理想壓力的影響。

Aspar等人所有之第6,103,597號美國專利，名稱為"獲得半導體材料薄膜的方法"，主要揭露使一其中具有微電子或其他結構之薄膜基板受到離子撞擊之內容。氣體的微泡泡在形成定義薄膜厚度之深度形成。然而，可在基板上被形成的多種微電子和結構需要一個後續的韌化步驟，以修理損害或其他分散到該等元件之缺點。因此，薄膜層被教示為一種可被導致沿著微泡泡線破碎的熱處理而可從底下的基板材料分離。

Sakaguchi等人所有之第6,221,738號名稱為"基板及相關製造方法"以及第6,100,166號名稱為"生產半導體物件之方法"的美國專利案教示黏結滲透的半導體層，兩者在此處均被併供參考。其中教示黏結滲透層之力量較弱，如此促進應用一外部力量的移除。第6,100,166號美國專利教示一個層體可以一剝除方向的力量移除。然而，這兩個參考專利案中所揭示之在整個層體介面間利用微弱的滲

透分離物理作用。這可對整體傷及其中間的結構完整性以及任何形成在滲透的半導體材料上的半導體設備。

Henley等人所有之名為"前製半導體程序植入和後製程序薄膜分離"的第6,184,111號美國專利案在本案中併供參考。其揭露在一個矽水表面下之一經選擇的深度利用一壓力層。裝置被形成在壓力層上面。通常依晶圓直徑改變劑量而在相同的能階進行植入。受控的斷開傳播開始分離壓力層上面的一層，包括其上任何的裝置。注意形成壓力層之方法可損害其上面形成的裝置，如此一般尚需之後的修理韌化步驟。因此，在傳統的離子植入和分層方法中，在其上包括影微電子或其他結構的薄膜是不可在不弄歪或損害該薄半導體層之情況下植入離子的。

因此，考慮當前電路處理之不利條件，一種避免不利條件和傳統方法之缺點而在一個晶片上或在一個晶圓規模上提供三維空間的積體電路將會是令人想要的。

因此，本發明的一個基本目標在於提供一個最低廉之三維空間積體電路。

本發明更進一步的目的是提供一多層基板來製造一有用的裝置。

另一種發明目的是提供一個多層基板來製造一有用的裝置，該裝置中包括一個埋設的氧化物層。

本發明的另一個目的是提供改良的對準技術，特別是用於本發明所述之裝置層形成、移除、及堆疊之方法。

本發明的另一個目的是提供改良的邊緣互連。

此外，本發明的一個目的是提供改良的穿越互連。

另一種本發明之目的是提供一個能夠包括層體間屏蔽之垂直積體裝置。

另一種本發明之目的是提供一個能夠包括層體間散熱之垂直積體裝置。

- 5 另一種本發明之目的是藉由一個緩衝區或混雜層提供一個能夠整體互連之垂直積體裝置。

閱讀下列各項描述並伴隨圖式，本發明上述和其後所說明之目的和優勢可被明瞭。

【發明內容】

10 發明概要

前面所討論及其他問題、習知不利條件、及本發明所預達成之目的，將藉由本發明所教示之一些方法和裝置來克服與解決。

- 在某一層面中，發明是製造一個垂直的微機電裝置的方法，組成方法的步驟包含：提供在一個晶圓上的一個整體基板；垂直承載於
- 15 該基板上的一第一選擇黏結半導體層，該黏結半導體層包含弱黏結區域和強黏結區域；垂直承載於該第一選擇黏結半導體層上的一第二選擇黏結半導體層；其中一電極與一可致動元件被建立在該弱黏結區域或該弱黏結區域之上；其中該電極與該可致動元件係配置成彼此相對；及其中該電極與該可致動元件垂直地跨越該第一選擇黏
- 20 結半導體層及該第二選擇黏結半導體層。

在另一層面中，本發明是垂直的微機電系統裝置包含：在一個晶圓上的一個整體基板；垂直承載於該基板上的一第一選擇黏結半導體層，該黏結半導體層包含弱黏結區域和強黏結區域；垂直承載於該第一選擇黏結半導體層上的一第二選擇黏結半導體層；其中一

電極與一可致動元件被建立在該弱黏結區域或該弱黏結區域之上；其中該電極與該可致動元件係配置成彼此相對；及其中該電極與該可致動元件垂直地跨越該第一選擇黏結半導體層及該第二選擇黏結半導體層。

- 5 在另一層面中，本發明一種形成於一晶粒上之垂直微機電系統(MEMs)裝置，其包含：在一個晶圓上的一個整體基板；垂直承載於該基板上的一第一選擇黏結半導體層，該黏結半導體層包含弱黏結區域和強黏結區域；垂直承載於該第一選擇黏結半導體層上的一第二選擇黏結半導體層；其中一元件與一可致動元件被建立在該弱黏結區域或該弱黏結區域之上；其中一元件與一可致動元件被建立在該弱黏結區域或該弱黏結區域之上；其中該元件與該可致動元件係配置成彼此相對；及其中該元件與該可致動元件垂直地跨越該第一選擇黏結半導體層及該第二選擇黏結半導體層。
- 10

- 在另一層面中，本發明關於一種用於製造一多層微射流裝置之方法，該方法包含步驟有：提供一個整體基板；在該基板上選擇性地建立強黏結區域和弱黏結區域；提供一第一黏結層垂直承載於該基板上；在該第一黏結層上建立一個埠，該埠對應於該弱黏結區域；機械性地創造一個通道耦接至該埠；從該整體基板移除該第一層；以及黏結該第一層至一第二層。
- 15

- 20 在另一層面中，本發明關於一種多層微射流裝置：在一晶圓上之一整體基板；垂直承載於該基板上之一第一選擇黏結層，該黏結層包含弱黏結區域和強黏結區域；垂直承載於該第一選擇黏結層之一第二選擇黏結層；其中解構埠和解構通道係建立於該等若黏結區域處或在該等若黏結區域上；及其中該等埠及該等通道垂直地跨越該

第一選擇黏結層與該第二選擇黏結層。在另一層面中，本發明關於一種在一晶粒上形成的多層微射流裝置：在一晶圓上之一整體基板；垂直承載於該基板上之一第一選擇黏結層，該黏結層包含弱黏結區域和強黏結區域；垂直承載於該第一選擇黏結層之一第二選擇黏結層；其中解構埠和解構通道係建立於該等若黏結區域處或在該等若黏結區域上；其中該等埠及該等通道垂直地跨越該第一選擇黏結層與該第二選擇黏結層；及其中該晶粒係由切割該等黏結層所形成。

圖式簡單說明

10 連同所附圖式閱讀下列詳細的描述，前面所述摘要和本發明的較佳實施例將更被了解。此處顯示出較佳的圖式與實施例。然而應了解的是，本發明並不僅限制於圖式所繪之態樣，而圖式只是幫助了解本發明而已。在圖式中，其中：

第1圖是依據本發明之原則選擇性地黏結多層基板的一個概要
15 截面圖；

第2圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第3圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

20 第4圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第5圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第6圖是依據本發明之原則選擇性地黏結多層基板的一個概要

截面圖；

第7圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第8圖是依據本發明之原則選擇黏結性地多層基板的一個概要
5 截面圖；

第9圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第10圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

10 第11圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第12圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第13圖是依據本發明之原則選擇黏結多層基板的一個概要截面
15 圖；

第14圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個
水平截面圖；

第15圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個
水平截面圖；

20 第16圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個
水平截面圖；

第17圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個
水平截面圖；

第18圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個

水平截面圖；

第19圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

第20圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個
5 水平截面圖；

第21圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第22圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

10 第23圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第24圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

15 第25圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第26圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第27圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

20 第28圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第29圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第30圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

面圖；

第31圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

5 第32圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第33圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第34圖是依據本發明之原則之電路部段的一個概要截面圖；

10 第35圖是依據本發明之原則之一基板和處理裝置的概要截面圖；

第36圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第37圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

15 第38圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第39圖依據本發明之原則之電路部段的一個概要截面圖；

第40圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

20 第41圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第42圖依據本發明之原則之電路部段的一個概要截面圖；

第43圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第44圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第45圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

5 第46圖依據本發明之原則之電路部段的一個概要截面圖；

第47圖依據本發明之原則之電路部段的一個概要截面圖；

第48圖依據本發明之原則之電路部段的一個概要截面圖；

第49圖依據本發明之原則之電路部段的一個概要截面圖；

10 第50圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第51圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第52圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

15 第53圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第54圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

20 第55圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第56圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第57圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第58圖是依據本發明之原則對齊及堆疊電路部段的一個概要截面圖；

第59圖是依據本發明之原則對齊及堆疊電路部段的一個概要截面圖；

5 第60圖依據本發明之原則之邊緣互連與電路部段的一個概要截面圖；

第61圖是依據本發明之原則之邊緣互連的一個概要截面圖；

第62圖是依據本發明之原則之邊緣互連的一個概要截面圖；

10 第63圖是依據本發明之原則被對齊而且堆疊的電路部段之一個概要截面圖；

第64圖是依據本發明之原則被對齊而且堆疊的電路部段之一個概要截面圖；

第65圖是依據本發明之原則在毗鄰層體間具有之屏蔽層之一個概要截面圖；

15 第66圖是依據本發明之原則在層體間具有之通道之一個概要截面圖；

第67圖是依據本發明之原則在層體間之熱傳導性通道之一個概要截面圖；

第68圖是依據本發明之原則在裝置下側之一個概要截面圖；

20 第69圖顯示依據本發明之原則之電路形成區域的概要截面圖；

第70圖是依據本發明之原則之選擇黏結電路部段的概要側視圖；

第71圖係舉例說明依據本發明之原則解除黏結技術的一個概要截面圖；

第72圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第73圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

5 第74圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第75圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

10 第76圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第77圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第78圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

15 第79圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第80圖是依據本發明之原則一層體堆疊的一個立體圖；

第81圖是依據本發明之原則金屬化的一個概要立體圖；

第82圖是習之金屬化的一個概要立體圖；

20 第83圖是依據本發明之原則之金屬化的概要圖說；

第84圖是依據本發明之原則之金屬化的概要圖說；

第85圖是依據本發明之原則之解除黏結技術的概要圖說；

第86圖是依據本發明之原則之對準技術的概要圖說；

第87圖是依據本發明之原則之對準技術的概要圖說；

第88圖是插頭的概要圖說依據本發明之原則裝滿方法；

第89圖是依據本發明之原則之通路互連的概要圖說；

第90圖是依據本發明之原則之機械性對齊的概要圖說；

第91圖是依據本發明之原則之機械性對齊的概要圖說；

5 第92圖是依據本發明之原則分類層體的概要圖說；

第93圖是依據本發明之原則分類層體的概要圖說；

第94圖是依據本發明之原則分類層體的概要圖說；

第95圖是依據本發明之原則分類層體的概要圖說；

第96圖是依據本發明之原則之處理裝置的概要圖說；

10 第97圖是依據本發明之原則之處理裝置的概要圖說；

第98圖是依據本發明之原則之選擇黏結裝置的概要圖說；

第99圖為依據本發明之原則之微機電系統裝置之處理步驟的概要圖說；及

15 第100圖依據本發明之原則之微機電系統裝置之處理步驟的概要圖說。

【實施方式】

較佳實施例之詳細說明

本發明與形成三維空間的積體電路有關。在討論這些三維空間的積體電路的特定形成的之前，首先討論被呈現的基板，如申請人
20 於2001年12月9日美國申請之專利聯合申請案序列案第09/950,909號之"關於的薄膜和製造方法"中所說明，此基板關於一個選擇黏結多層基板允許晶圓的多重晶片的處理如習知，但更允許晶圓的晶片層易於移除而較佳地沒有機械的磨礪或另外地蝕刻移除技術。這個晶片層接著可堆疊在另一個晶片層上，如以下描述，或另外地，晶片

層可被切割並且堆疊至個別的晶片中。

參照第1圖，其顯示一選擇黏結多層基板100。多層基板100包括具有暴露的表面1B之層體1，且表面1A選擇性地黏結到層體2的表面2A。更進一步層體2包括相對表面2B。大體上，為形成選擇黏結多
5 層基板100，層1、層2、或層體1和2都被用來界定弱黏結區域5和強黏結區域6及之後的黏結，其中弱黏結區域5具有允許處理一個有用的裝置或結構的條件。

通常，層體1和2是相容的。即，層體1和2構成相容的熱、機械的、及/或晶質特性。在特定實施例中，層體1和2是相同的材料。
10 當然，可使用不同的材料，但是較佳地為相容性選擇。

一或更多的層體1被定義為基板區域，其中或其上有一或更多像是微電子之結構被形成。這些區域可為任何所欲的圖案，本案中將更進一步描述。層體1的選定區域接著可被處理以將黏結程度減到最弱形成弱黏結區域5。或者，層體2的相對區域可被處理(連同層體1
15 一起處理，或取代層體1之處理)以將黏結減到最小。進一步的替代選擇包括，處理選定以形成結構外之區域中之層體1及/或層2，如此同樣地在強黏結區域6 提高強度。

在層體1及/或層體2的處理之後，層體可被對齊並且黏結。藉著任何的適當方法黏結。另外，層的對準可為機械的、光學的、或
20 相關的組合。應該了解由於在現階段層體1上沒有被形成的結構而不可能相當地對準。然而，如果兩個層體1和2經處理，對準將是減少選定基板區域變異所必備。

多層基板100可提供一個使用者處理在層體1或層體1之上任何所需結構。因此，形成可令使用者以傳統製造技術、或已知的其

他技術處理作用在各種不同的相關技術發展之任何結構或裝置的多層基板100。一個基板受制於特定製造技術嚴苛的條件中，像是高溫、壓力、粗劣的化學藥品、或其上任一組合。因此，多層基板100為了要抵抗這些條件，較佳地被形成。

5 有用的結構或裝置可形成在區域3或在區域3之上，部份地或大體上地重疊弱黏結區域5。因此，部份地或大體上地重疊強黏結區域6的區域4通常在其中或其上方沒有該結構。當一個使用者在多層基板100的層1上或層1裡面形成有用的裝置後，層1之後可被解除黏結。解除黏結可藉由任何諸如剝除之已知技術，而沒有必要直接地
10 使有用裝置遭受有害的分層技術。因為有用的裝置通常不是形成在區域4中或區域4上，這些區域可遭受諸如離子植入之解除黏結處理，而不會傷害形成在區域3內或區域3上之結構。

 為了形成弱黏結區域5，表面1 A、2 A、或兩者都可在弱黏結區域5處被處理以形成實質上沒有黏結、或弱黏結。或者，弱黏結區域
15 5 可不加以處理，而藉使強黏結區域6被處理而感生強黏結。區域4部份地或實質上重疊強黏結區域6。為形成強黏結區域4，表面 1 A、2 A、或兩者都可在強黏結區域6處被處理。或者，強黏結區域6可不加以處理，而藉使弱黏結區域5被處理而感生弱黏結。再者，兩個區域5和6可以不同的處理技術處理，其中該等處理技術可為性質上地
20 或數量地不同。在處理一或兩弱黏結區域5和強黏結區域6的組合後，層體1和2黏結在一起而形成一個實體上積體的多層基板 100。因此，在形成後，多層基板100可遭受到最終使用者的惡劣環境，譬如，用以在其中或其上形成結構或裝置，尤其是在層體1的區域3之內或之上。

本發明說明書中所用措詞"弱黏結"一般指易於克服的層體間、或部分層體間之黏結作用，譬如諸如剝除等之解除黏結技術，其他像是機械性分離、熱、光、壓力、或與至少包含前述解除黏結技術組合之技術。這些解除黏結技術對層1和層2造成最小的損害，特別
5 是在鄰近弱黏結區域5處。

對於弱黏結區域5和強黏結區域6的單獨處理或兩者一同之處理可以多種方式。關於處理的重要發明層面在於弱黏結區域5比強黏結區域6更易於解除黏結(依照之後更進一步的描述步驟解除黏結)。這在解除黏結期間將避免對區域3的傷害或減將之到最少，區域3上
10 可包括有用的結構。再者，包含強黏結區域6尤其在結構處理其間提高多層基板100的機械完整性。因此，當移除在其中或其上具有有用結構之層1時，其後續處理將被省略或減到最少。

強烈黏結區域對弱黏結區域(SB/WB)的強度比率大體上大於1。依強黏結區域和弱黏結區域的特定組配方式、及強黏結區域對弱
15 黏結區域的相對區域大小，SB/WB的數值可接近無限大。即，如果強黏結區域在尺寸方面和在處理的時維持機械和熱穩定度之力量夠大，弱黏結區域的黏結強度可趨近於零。然而，SB/WB比率可劇烈地改變，係由於強黏結的力量(在典型的矽和矽衍生物中，舉例來說：二氧化矽、晶圓)可從大約500(mj/m²)變化到超過5000 (mj/ m²)，如
20 習知技術(譬如紐約州John Wiley and Sons出版社於1999出版，由Q.Y.Tong與U.Goesle所著半導體晶圓黏結技術一書中第104-118頁，在此併供參考)所教示。然而，弱黏結強度可甚至因材料、理想的有用結構(如果已知)、選用的黏結和解除黏結技術、相對強黏結區域比弱黏結區域、晶圓上的強黏結與弱黏結之配置或圖案等等諸如

此類而更劇烈地改變。譬如說，離子植入係用在解除層體黏結，在離子植入及/或離子植入區相對的微泡泡進化之後，有用的弱黏結區域力量可與強黏結區域之力量相比較。因此，SB/WB 的力量比率通常大於1、或較佳地大於2、5、10、甚至更高，端視所選擇的解除
5 黏結技術和選擇形成在弱黏結區域中之可的有用結構或裝置。

對於個別處理或兩區域一同處理之弱黏結區域5和強黏結區域6所採取的特殊處理型式端視所選擇的材料。再者，層1和層2的黏結技術選擇上至少部份地依據處理法則。另外，之後的解除黏結可依據諸如處理技術、黏結方法、材料、有用的結構型態或存在的結構
10 型態、或一個至少包含前述因子之一的組合等因子。在特定的實施例中，選定的處理組合、黏結、和之後的解除黏結(即，可被一個最終使用者形成在區域3中有用的結構、或者做為一較高階裝置的中介構件)不需要用分裂傳播來從層2移除層1、或機械式變薄來移除層2、以及較佳地省去分裂傳播與機械式變薄兩種方式。因此，依據傳
15 統所教示之分裂傳播或機械式變薄有損層2，致使其本質上若未經後續處理則形同沒有用，其底部基板很少甚至不被重複使用，。

參照第2和3圖，其中位於同樣區域對照相似的參考數字，一種處理技術包括利用表面1 A、2 A、或1 A與2A上含有一固態元件和一可分解元件的泥漿。固態元件可為礬土、氧化矽($\text{SiO}(x)$)、其他的
20 硬金屬或金屬氧化物、或其他將層1和層2的黏結減到最小的其他材料。可分解元件可為乙烯聚合物(PVA)、或其他適合的可分解聚合物。一般，泥漿8施用在弱黏結區域5的表面1 A(第2圖)、2 A(第3圖)、或1A與2A兩者。接下來，層1及/或層2可被加熱，較佳地在惰性環境中分解聚合物。因此，滲透結構(包含泥漿的固態元件)保持在弱黏

結區域5，且一旦黏結，層1和層2在弱黏結區域5不黏結。

參照第4和5圖，另一處理技術可依照弱黏結區域5和強黏結區域6間的表面粗糙度變化。表面粗糙度可在表面1A(第4圖)、表面2A(第5圖)、或表面1A和2A上調整。大體上，弱黏結區域5可有較高
5 於強黏結區域6的表面粗糙7(第4和5圖)。譬如說在半導體材料中，弱黏結區域5可有約大於0.5奈米(nm)的一個表面粗糙度，而強黏結區域4可有一較低的表面粗糙度，通常約少於0.5 nm。在另一個例子中，弱黏結區域5可有約大於1 nm的表面粗糙度，而強黏結區域4可有一較低的表面粗糙度，通常少於約1 nm。又另一個例子中，弱黏
10 結區域5可具有約大於5 nm的一表面粗糙度，而強黏結區域4 可有一較低的表面粗糙度，通常約少於5 nm。表面粗糙度能以蝕刻調整(譬如說，以KOH或HF之解決方式)或沈積程序修改(譬如，低壓化學蒸汽沈積("LPCVD")、或電漿增強式化學蒸汽沈積("PECVD"))。與表面粗糙度有關的黏結力量更完全描述於，譬如，電氣化學期刊第
15 148(4) G225- G228(2001)期，Gui等人所有之"控制表面粗糙度之選擇性晶圓黏結"技術，於本發明中併供參考。

相同地(其中相類似之所在區域參照第4和5圖中相類似之參考標號)，一個滲透區域7可被形成在弱黏結區域5，且強黏結區域6可保持不受處理。因此，層1由於弱黏結區域5之滲透性而在弱黏結區域5處與層2最微弱地黏結。滲透性可在表面1A(第4圖)、表面2A(第5
20 圖)、或表面1A和2A上調整。大體上，弱黏結區域5在滲透區域7有較高於強黏結區域6的滲透性(第4和5圖)。

另一處理技術可依據選擇性蝕刻弱黏結區域5(在表面1A(第4圖)、2A(第圖 5)、或1A和2A)，接著在該蝕刻區域施以一光阻或其

他含碳材料之沉積(譬如，包括聚合物為基材之可分解材料)。一旦層1和層2黏結，較佳地在足以分解載體材料的溫度，其中包括一滲透性含碳材料之弱黏結區域5，使得層1和層2間在弱黏結區域5的黏結相較於層1和2間在強黏結區域6的黏結是非常弱的。一熟於該項技術者可明瞭視情況選擇不會外洩氣體、髒污之分解材質、或其它弄污基板層體1或2分解材質、或任何有用結構形成在區域3或在區域3上之分解材質。

進一步的處理技術可使用放射來獲得強黏結區域6及/或弱黏結區域5。在此技術中，層1及/或層2以中子、離子、質子束、或述之組合來輻射而獲得所需強黏結及/或弱黏結。譬如說，諸如 He^+ 、 H^+ 、或其他適當的離子或質子、電磁能量、或雷射束可在強黏結區域6輻射(在表面1A(第10圖)、2A(第11圖)、或1A和2A)。應該了解的是，此放射方法與離子植入法之不同在於，其為了分層通常在劑量及/或植入能量是少很多的。(譬如說，用於分層的劑量依照第1/100到第1/1000的級數)

參照第8和9圖，更進一步的處理技術包括蝕刻弱黏結區域5的表面。在此一蝕刻步驟，柱狀物9被定義於表面1A(第8圖)、2A(第9圖)、或1A和2A上的弱黏結區域5中。柱狀物可以選擇性的蝕刻、留下柱狀物來定義。柱狀物的形狀可為三角柱形、金字塔形、矩形、半球形的、或其他適當形狀。或者，柱狀物可在被蝕刻的區域中被植入或沉積。由於只有很少的黏結區來讓材料黏結，在弱黏結區域5之整體力量遠小於在強黏結區域6的黏結。

尚有另一處理技術，其關於在層1(第12圖)、層2(第13圖)的弱黏結區域5中利用諸如蝕刻、機製、或兩者(視使用的材料而定)形成包

括一個空區域10(第12和13圖)。由此，當第一層1黏結至第二層2時，空區域10將使黏結減到相對於強黏結區域6最小的力量，來促進之後的解除黏結。

再次參照第2和3圖，又另一種處理技術關於在表面1A(第2圖)、
5 2A(第3圖)、或1A和2A上的弱黏結區域5包括一或更多的金屬區域8。譬如，包括但不限定之銅、金、鉑、或其他任何組合或合金可在積設在弱黏結區域5上。一旦層1和層2黏結，弱黏結區域5將會微弱地黏結。強黏結區域可保持不受處理(其中該黏結力量差提供有關弱黏結層5與強黏結區6所必要的強黏結對弱黏結比率)、或可以前述或
10 之後將敘述之處理來增強黏著。

一種進一步的處理技術關於在表面1A(第10圖)、2A(第11圖)、或1A和2A上的強烈黏結區域6包括使用一或更多的增進黏著物11。適當的增進黏著物包括、但是不限為： $\text{TiO}(x)$ 、金屬氧化物、或其他的增進黏著物。另一可選擇的，增進黏著物可用於大至上所有的
15 表面1A及/或2A，其中一種金屬材料被置於增進黏著物與弱黏結區域5之表面的1A或2A(視增進黏著物所在現場而定)間。因此一旦黏結，金屬材料將避免在一弱黏結區域5的強黏結，而在強黏結區域6的增進黏著物促進強的黏結。

尚有另一種處理技術包括提供排水性及/或親水性的變化區域。
20 域。譬如說，親水性的區域對強黏結區域6是特別有用的，因為像是矽之材料可自然地在室溫下黏住。習知利用排水性和親水性在室溫和升溫的黏結技術，揭示於John Wiley and Sons出版社於1999出版，由Q.Y.Tong與U.Goesle所著半導體晶圓黏結技術一書中第49-135頁中，於本發明中併供參考。

又另一處理技術包括一或更多被選擇地幅射的剝落作用層。譬如說，一或更多的剝落作用層可被放置在表面1A及/或2A上。沒有放射之情況下用剝落作用層形同黏著物。一旦弱黏結區域5中暴露在諸如紫外光幅射之幅射下，黏著特性被減到最低。有用的結構可在弱黏結區域5或弱黏結區域5之上被形成，而一後續的紫外光放射步驟或其他的解除黏結技術，可用來在強黏結區域6分開層1和層2。

參照第6和7圖，額外的處理技術包括植入離子12(第6和7圖)來使弱區域3中的層1(第6圖)、層2(第7圖)、或兩個層體1和2中一經熱處理即能夠形成多數個微泡泡13。因此，當層1和層2被黏結，弱黏結區域5將黏結得比強黏結區域6少，以促進在弱黏結區域5的層1和層2之後的解除黏結步驟。

另一種處理技術包括一個僅緊跟著一個蝕刻步驟的離子植入步驟。在此一實施例中，這技術經由離子植入大致上所有的表面1B來實行。其後，弱黏結區域5可選擇性地蝕刻。此一方法參考辛普森等人於電氣化學固態文件第4(3) G26-G27之"銦磷化物的植入感生選擇性化學蝕刻"中關於選擇損害蝕刻移除的缺點之描述，此處併供參考。

又另一處理技術可知，選擇地放置在弱黏結區域5及/或強黏結區域6之具有幅射及/或反射特性的一或更多層，可依據窄或寬的波長範圍為基礎。譬如說，選擇地放置在強黏結區域6的一或更多層可依視暴露在特定幅射波長下而有黏著的特性，如此層體吸收幅射而黏結強黏結區域6處之層體1和2。

一熟於此技術者可明瞭，被使用任何額外的處理技術、以及包含組合至少其中一種前述技術之技術。然而，任何所採用技術之關

鍵特性在於形成一或更多的弱黏結區域和一或更多的強黏結區域的能力，使得 SB/ WB力量比率大於1。

弱黏結區域5和強黏結區域的幾何形狀6在層1和層2的介面可依據包括但不限定之下列因數來改變：形成在區域3或區域3上之有用的結構種類、所選的解除黏結/黏結型式、所選用的處理技術、及其他因素。參照第14-20圖，多層基板100可具有可為同心的（第圖14、16、和18）、有條紋狀的（第15圖）、放射狀的（第17圖）、格狀的（第20圖）、或組合格狀與環形的（第19圖）、或任何上述態樣組合之弱黏結和強黏結區域。當然一熟於此技術者可判斷可如何選用任何幾何形狀。此外，強黏結區域對弱黏結區域之比率可改變。一般而言，比率提供充份的黏結作用（即，在強黏結區域6）而不需包含整個多層結構100，尤其是在結構處理的期間。較佳地，此比率亦使結構處理的有用區域（即，弱黏結區域5）達最大。

實質上如前述之弱黏結區域5及/或強黏結區域6的一表面或兩表面1A和2A被處理後，層體1和2黏結在一起形成一個實質上整體的多層基板 100。層體1和2可藉著多種技術及/或物理現象被黏結在一起，包括、但不限為：共融合金、熔合、電鍍、真空、凡得瓦耳力、化學黏著、排水性、親水性、氫黏結、庫倫力，毛細作用力、極近距力、或至少包含前述黏結技術之一及/或物理現象的組合力等。當然一熟技術者可明瞭黏結技術及/或物理現象端視所使用的一或更多的處理技術、在其上或在其中形成之有用的結構型態、預期解除黏結方法、或其他的因素而擇以用之。。

另一可選用者，一個埋設的氧化物層可形成在裝置層的底表面。氧化物層可早於裝置層之選擇性黏結之前形成到整體基板。此

外，氧化物層可以氧氣植入至一需要埋設氧化物層之深度。

在多層基板上形成一氧化物層有各種不同的技術。第一種在矽基板中形成埋設的二氧化矽層之技術係藉由植入高濃度之氧後於高於1300° C的溫度下磨。經過離子植入，可形成所欲之埋設的二氧化矽層的厚度。

形成一個埋設氧化物層的另一可選用技術包含在多層基板的一個表面上形成一個薄的二氧化矽薄膜，然後經由二氧化矽薄膜黏結基板至一第二矽基板。然後利用已知機械研磨和拋光來形成一具有所需厚度之矽層於被埋設氧化矽層上。多層基板上的氧化矽層係以連續地氧化表面、接著蝕刻該依序形成之氧化表面來獲得所需要的厚度的形成。

另一種形成一個埋設的氧化物層的技術，其藉著氧化在一第一多層基板上的一個薄的氧化矽層，接著植入H⁺離子在第一多層基板中以形成在薄氧化矽層下面的一個空腔平面。其後，透過薄氧化矽層，第一本體被黏結到一第二多層基板，然後整個總成受制於熱作用下來把空腔平面轉變成一個裂開平面。如此可回復一可使用的SOI基板。

多層基板100由此可供給一個最終使用者(具有或沒有一個埋設的氧化物層)。或者，導體的特定圖案可與多層基板一同積設。最終使用者之後可在大體上或部份地重疊表面1A和2A介面處之弱黏結區域5的區域3或其上形成一可用結構(不顯示)。可用的結構可包括一或更多主動或被動元件、裝置、裝備、工具、通道、其他有用的結構、或至少包含前述有用結構之任何一種的組合。譬如，可包括一個積體電路或一個太陽能電池。當然，熟於此技者可領會可形成各

種不同依據微米技術和奈米技術之裝置。

譬如說，主動裝置可形成在多層SOI晶圓或基板上。這些主動裝置形成於SOI基板的埋設氧化物薄膜上的單晶矽主動層中。矽主動層的厚度端視其中形成主動裝置之目的而定。如果SOI元件是在高速和低耗電量之下操作的互補型金屬氧化半導體元件，主動層厚度大約為50 nm 至 100 nm。如果SOI元件是高崩潰電壓元件，主動層厚度可為幾微米。一個保護性二極體是主動裝置之一種例子。一保護性二極體供給一半導體設備的半導體元件，使其前導一過電流從一個連接引腳到一基板及到半導體裝置之外部，藉此保護半導體設備的內部電路。

熟於此技者可相當明白其他主動裝置可以選擇性攙雜和遮罩單晶矽基板或SOI基板來製造。主動裝置可包括、但不限制為：雙極接面電晶體、金屬氧化物半導體電晶體、場效電晶體、二極體、絕緣閘雙極電晶體、及諸如此類。

另外可在多層基板上製造的主動裝置是微機電系統裝置。通常，微機電系統裝置已包含電極、以及相對於基板上之已製造電極配佈的可致動元件。可致動元件從電極轉移控制來對機器結構提供電氣控制。藉著利用深蝕刻處理之整體微機械加工基板為製造微機電系統裝置的一種技術，其採用減去之製造技術乃因其涉及自一個單一基板層蝕掉材料來形成MEMS結構。基板層可為10微米級而相對地厚，且此方法的精密程度使得基板中不同結構的微機械加工，諸如懸桁、橋接、渠、空腔、噴嘴、和薄膜。

另外一種可在多層基板上製造微機電系統裝置的技術是藉著表面的顯微機械加工技術。它被視為一種附加方法乃因間隔的結構層

與犧牲的空間層係以"往上建"來實現微機電系統結構之機械和電特性造。多晶矽(polysilicon)是最普遍使用的結構材料，而且氧化矽玻璃是最普遍使用的耗材。在傳統的微機械加工程序中，這些層形成為矽基板上以一層矽氮化物隔離之多晶矽/氧化物對。這些層使用光學平版印刷術形成複雜的結構，像是電動機、齒輪、鏡子和波束。

5 當層被建立，切過氧化物層並以多晶矽填滿來定位上結構層或底結構層。

在層1之一或更多選擇區域3或之上形成一或更多的結構後，層體1可以多種方法解除黏結。可知，由於結構被形成在部份地或大體上地覆蓋弱黏結區域5之區域4中或區域4上，層體1之解除黏結可取而代之將與諸如結構缺點或形變有關之傳統中對結構之傷害減少或消除。

10

解除黏結可藉由多種習知的技術來完成。一般而言，解除黏結技術至少部分地端視處理技術、黏結技術、材料、型態、或可用結構之存在與否，或其他的因數。

15

參照第21-32圖，解除黏結技術可依據離子或質子的植入在一個參考深度形成微泡泡，一般與層體1的厚度相等。離子或質子可衍生自氧、氫、氮、或其他的粒子14。被植入後可被強電磁幅射、熱、光(譬如說紅外光或紫外線)、壓力、或至少包含前面所述之一種組合，使得粒子或離子形成微泡泡15而最終擴大而使層1和2分層。植入、以及選擇性的加熱、光、及/或壓力處理後也可跟隨一機械隔離步驟(第23、26、29、32圖)，譬如說，以一與層體1和2垂直的方向、一與層體1和2成一角度之方向、一削除方向(如第23、26、29、32圖中斷線所指示者)、或上述方向之一個組合。譬如在Cheung等人所

20

有之名為"使薄膜自整體基板分離的電漿浸漬離子植入方法"的第6,027,988號美國專利案中進一步的細述分離薄層的離子植入法，於本發明中併供參考。

特別參照第21-23圖和第24-26圖，在層1和層2之間的介面可選擇性地植入，特別地在強黏結區域6形成微泡泡17。以此方式，粒子16在區域3（在其中或其上具有一或更多可用的結構）之植入被減到最少，如此可能對區域3中有用的結構減少可修理的可能性或發生不能修補的損害。選擇性的植入可以選擇的離子束掃描強黏結區域4（第24-26圖）或遮罩區域3（第21-23圖）。選擇的離子束掃描參照結構100的機械處理及/或用於指示將被植入之離子或粒子之裝置。熟習此技者可知，各種不同的裝置和技術可用來實行選擇性掃描，包括但是不限於著重在離子束和電磁波束。此外，各種遮罩材料與技術亦廣為人知。

參照第27-29圖，植入可實質上穿過整個表面1B或2B。端視目標與植入材料而植入在適當層次以及所希望的深度。因此，層2遠比層1厚許多的地方，植入穿過表面2B是不實際的；然而，如果層2以適當的厚度植入（譬如說，以可實行的植入能量），穿過表面2B之植入是令人想要的。這將減少可修理之可能性被除去、或減少可能對在區域3中有用的結構發生之不能修補之損害。

在一實施例中，並參照第30-32圖及第18圖，強黏結區域6在層1和層2間介面之外緣形成。因此，譬如要從層體2解除黏結層1，可植入離子18通過區域4來在層1和層2的介面處形成微泡泡。較佳地，使用選擇性掃描，其中該結構100可被旋轉（箭號20所指方向），掃描裝置21可被旋轉（箭號22）、或其中的一種組合。在此一實施例中，一更

進步的優勢在於給予最終使用者在選擇其上可用的結構方面提供了很大的靈活度。強黏結區域6的大小(即，寬度)適於維持多層基板100之機械和熱的完整性。較佳地，強黏結區域6的尺寸被減到最小，使得弱黏結區域5用來作結構處理的區域最大化。譬如說，強黏結區域5 6在一八吋晶圓上可約為一微米。

再者，自層2解除黏結的層1的可被其他諸如蝕刻這樣的傳統方法像(平行表面)方法開始形成一穿過強黏結區域6之蝕刻。在如此一實施例中，處理技術是特定可相容的，譬如說其中強黏結區域6與一具有遠高於整體材料(即，層1和層2)之蝕刻選擇性之氧化物層一起受處理時。弱黏結區域5較佳地不需要在弱黏結區域5處蝕刻以從層2解除黏結層1，由於選擇性處理或不處理，避免了將層1黏結至層體2 的步驟。

或者，斷裂傳播可用來從層2開始解除黏結層1。再一次，解除黏結較佳地僅需在強黏結區域6處，係因在弱黏結區域5的黏結有限。且如習知所知，解除黏結可以蝕刻(垂直表面)開始而較佳地限制在區域4的現場(即，部份地或大體上地重疊強黏結區域6)。

在另一實施例中，並參照第85圖，其顯示一解除黏結的方法。包括提供一個多層基板100；在WB區域5中處理一或更多有用的結構(不顯示)；在SB區域6蝕刻掉，較佳地以一逐漸變小的角度(譬如說，45度)；使裝置層較佳地只有在被蝕刻的SB區域6受到低能量離子植入；以及在WB區域削去或簡單地移除裝置層部段。注意，當在WB層之二裝置層如所示地被移動時，可了解這可用來促進裝置層部段的釋除。WB區域逐漸變小的邊緣物理性地促進移動。有益地，可利用遠低於滲透原本裝置層厚度所需植入能量之離子植入能量。

層1和層2可為一樣的和不同的材料，且材料可包括、但不限於：塑膠(譬如聚合碳)、金屬、半導體、絕緣體、單晶體、非晶形的、非晶體、生物的(譬如DNA薄膜)、或至少包含前述材料之一的組合。譬如，特定類型的材料包括矽(譬如，單晶、多晶、非晶、矽聚合物和衍生物如Si₃N₄、SiC、SiO₂)、砷化鎵、InP、CdSe、CdTe、SiGe、GaAsP、GaN、SiC、GaAlAs、InAs、AlGaSb、InGaAs、ZnS、AlN、錫、其他IIIA-VA的材料、IIB材料、VIA材料、藍寶石、石英(水晶或玻璃)、鑽石、矽石及/或矽酸鹽基材料，或包含至少前面材料之一的任何組合。當然，其他的材料類型的處理可受益於此處描述之方法來提供理想之多層基板100組成。尤其在此處描述的方法是特別適用於以半導體材料(譬如，矽)作為層及以半導體材料(譬如說，矽)作為層2，其他的組合包括但不限制在：半導體(層1)或玻璃(層2)；在藍寶石(層2)上的半導體(層1)，矽碳化物(層2)上的半導體(層1)；在藍寶石(層2)上的GaN(層1)；在玻璃(層2)上的GaN(層1)；在矽碳化物(層2)上的GaN(層1)；在塑膠(層2)上的塑膠(層1)，其中層1和層2可為相同或不同的塑膠；及在玻璃上(層2)的塑膠(層1)。

層1和層2可衍生自各種不同的來源，包括被沉積以形成薄膜及/或基板結構之晶圓或液體材料。其中起始材料可為一晶圓的形式，任何的傳統程序可用來衍生層1及/或2。譬如說，層體2可有一晶圓，而層體1可包含一樣的和不同的部份晶圓。構成層1的晶圓部分可起源於機械式薄化(譬如說，機械磨礪、切割、拋光、化學機械式拋光、拋光-停止、或包括至少前述方法之一的組合)、斷裂傳播、後續機械式隔離之離子植入(譬如，斷裂傳播、垂直結構100之平面、平行結構100之平面、在一削除方向，或其中一組合)、後續熱、光、及/或

壓力感生之層體分離之離子植入法、化學蝕刻、或諸如此類。再者，層1和層2可被沉積或植入，譬如以化學蒸鍍、種晶法等。

此方法、和產生之多層基板、或從多層基板衍生的薄膜的一種重要優勢在於形成在區域3或在區域3上的，部份地或大體上地重疊弱黏結區域5。當層1被從層2移除時候，實體上將除去對有用結構之傷害或使之減到最少。解除黏結步驟通常需要浸入(譬如說，藉由離子植入)、施力、或其他解除黏結層體1和2必需的技術。由於在特定的實施例中，區域3或在區域3之上的結構不需要區域浸入、施力、或可能造成不一定可修理之結構損害的其他程序步驟，層體1及其衍生之結構可被移除而不需之後的維修處理。通常部份地或大體上地重疊於強黏結區域6之區域4上不具有結構，因此這些區域4可受於對結構無傷之浸入或力量。

層1可被移除做為自我支援薄膜或一個支援性的薄膜。譬如，處理裝置一般用來附著層體1使得層體1可從層體2移除、以及保持被處理裝置拖承。一般處理裝置可用來在之後放置薄膜或在所欲基板上之一部分(具有一或更多可用結構)、另外加工的薄膜，或餘留該處理裝置。

本方法之一種優勢在於構成層2的材料是可被重複使用且可回收的。譬如說，可使用一個單一晶圓以任何已知方法衍生層1。衍生的層1可在其上選擇地黏結依照描述所餘留的部分(層2)。當薄膜被解除黏結時，重複步驟，使用層2的餘留部分獲得一薄膜作為下一層1。直到不再能實行或無法再使用層2的餘留部分衍生層1之薄膜前此方法可不斷重複。

在如此詳述一選擇性黏結多層基板的形成方式後，此後將描述

利用選擇性黏結多層基板形成三維空間積體電路。

參照第80圖，其中顯示從第1…第N晶圓堆疊及從中切割之一晶粒之等角示意圖。為使清楚而說明座標和定義。一晶粒和晶圓堆疊通常具有頂表面與底表面、以及向x和y座標方向延伸之夾層，如一般所指之平面方向。注意平面方向包括在表面或在夾層上延伸的任何方向。一些層體在z方向上堆疊，在此處一般稱為垂直地或在三維中。在一晶粒切割步驟後，一晶粒除了夾層和頂端和底部的表面之外，通常尚有在z方向中延伸的四個邊緣表面。

現在參照第33圖，具有一選擇性黏結基板100，其具有如同前述之強黏結區域3和弱黏結區域4。雖然顯示實施例中之強黏結圖案約如第18圖所示，但可了解可利用任何圖案之強黏結區域3和弱黏結區域4，其中一電路或其他有用裝置依前述在弱黏結區域形成。

特別地，本發明可提供較IBM之第6,355,501號美國專利更具優勢，在於本發明具有許多附加功能、以及效能增強同時減少連續處理步驟數量。

作為範例的，以一虛線圓圈顯示一區域，且此區域的另外選擇例將以各種不同的分解示意圖來解釋適於在三維空間堆疊的電路區域的形成。

參照第34圖，顯示電路部段的一個例子，其具有適用為三維空間積設的晶片邊緣互連結構。更細部之邊緣互連結構可參照在Faris所有之第5,786,629和6,355,976號美國專利案，兩者於本發明中併供參考。

一個電路部段C在形成在選擇黏結層基板之裝置層的一個絕緣區域1。可為電的或光學的一導體W可從電路部段開始而延伸到電路

封裝邊緣地被形成，以虛線表示。導體W通常可在x-y平面中的任何方向上延伸。整體區域在電路部段和導體處理期間作為機械的和熱的支援。

應該了解到當只顯示一個單一導體時(在此之前和之後所有的實施例)，多數個導體可被提供與一般在x-y平面的任何方向上延伸的各電路部段相聯。這些導體可用自身的位址來編碼每個電路部段；接受來自外部位址線的位址資訊；攜帶資料並供電每個電路部段；接收來自電路部段(記憶體)的資料；或其它所需功能性。當使用複合導體時，這些導體可為獨立的或多餘的。

10 在一個實施例中，特別當其中形成一些獨立導體時，半導體製程中所習知的，重疊區域被絕緣。

電路部段可為一樣的或不同的，且可以各種不同的電晶體和二極體形成。這些裝置包括(在一樣的垂直積體電路裡面)一樣的或不同的微處理機(電的或光學的)(雙極電路、互補型金屬氧化半導體電路、或任何其他處理電路)，記憶體電路部段，諸如單裝置記憶單元、DRAM、SRAM、動畫製作軟體、訊號接收及/或傳輸電路功能、或諸如此類。因此，可以本方法形成各種不同的產品。積體式產品可針對多種連線和無線設備而包括處理器和記憶體、或處理器、記憶體訊號接收及/或傳輸電路功能。藉由垂直地(在z方向上)積設，
15 非常密集的晶片改良處理速度或記憶體儲存量達N之係數(N表示積設的總層數，可為一位數、兩位數、甚至三位數的量)。

20 參照第35圖，一個處理裝置係用來協助移除裝置層。如上述，強黏結區域通常受制於促進解除黏結的步驟下，譬如說離子植入。裝置層因而可如前所述輕易地被移除(譬如，有關第23、26、29、和

32圖)而毋需傳統的磨礪或其它蝕刻之步驟。由於電路部段與導體在弱黏結區域中形成，它們通常不會在這一個移除步驟期間受損害。在一較佳實施例中，所使用的處理裝置如2002年10月2日申請之PCT專利申請序列案件第PT/US/02/31348號名為"處理易碎物件之裝置
5 和方法及相關製造方法"中所述，於本發明中併供參考。

具有多數電路部段及邊緣延伸導體之裝置層如第36圖所示對齊與堆疊，於此處的進一步的描述。層體被對齊而且堆疊以致於多數電路部段形成一個垂直積體堆疊。視垂直積體裝置所需而每個層之電路部段可為相同或不同的。

10 在一較佳實施例中，N個層體被堆疊，而後來所有的N層在一個單一步驟中黏結。譬如，可藉由使用紫外線或熱處理在層體間之黏著物來完成。注意，因為互連位在每個晶片的邊緣，在某些實施例中使電路部段本身接觸到黏著物可能不會有害。雖然不是必需，但可減少處理步驟及最終成本。

15 現在參照第37圖，電路部段之每個堆疊依據習知技術切割。在切割步驟不會提供邊緣平滑而為平面的情況下，佈線邊緣可被拋光以使每個電路部段接觸到導體。

第38圖顯示多數具有導體W之電路部段之邊緣互連（電的或光學的）。可以習知的方法藉著遮罩和蝕刻導體材料沉積的薄膜以電氣
20 連接各電路部段來完成。其他的互連方法在前述第5,786,629號和第6,355,976號美國專利案中被更詳細地描述。

值得注意的重點在於邊緣互連能作用在垂直積設晶片處理期間以及最終產品(垂直積設晶片)中。處理期間邊緣互連可作為診斷之用。於是可在多數電路部段之互連期間避掉發生故障之電路部段。

或者，發生故障之電路部段可被修理。又另一替代選擇實施例，一個N層堆疊之電路部段可被縮減(即，水平地沿著電路部段平面)來除
除發生故障之電路部段，而提供二層以上N層以下之堆疊N。某些應
用中使用二或更多的堆疊而各堆疊有少於N層之電路部段層，取代
5 捨棄具有一或更多發生故障之電路部段的N層堆疊，可劇烈地增加
已知好晶粒(KGD)的整體生產量。

此後參照第38圖，在一個另一可選擇的實施例中，一個垂直積
設之邊緣互連堆疊能提供一種本發明之第二垂直IC的垂直積設。如
在第38圖所示，積體邊緣堆疊互連有效地繞其垂直軸旋轉而形成一
10 個佈線堆疊。藉著將旋轉的積體邊緣堆疊黏結至第二垂直IC，可實
現佈線適應性。譬如說，旋轉的積體邊緣互連堆疊能在一水平的規
模中提供超過一層的佈線適應性的。譬如，這對一個需要多重定址
線和控制電路以定址與控制之大量資料儲存晶片所需之控制電路是
有用的。

15 在一個進一步的實施例中，邊緣互連可作為大量儲存定址
(MSA)如前述第6,355,976號美國專利所描述。

參照第39圖，顯示電路部段之另一個例子，其具有適應於三維
空間積體之通路互連結構。一電路部段C在選擇黏結分層基板之裝置
層的一絕緣區域I裡面被形成。可為電氣的或光學的導體W可操作自
20 電路部段開始而延伸到多層基板裝置層的底部。每個電路封裝以虛
線表示。整體區域在電路部段和導體的處理期間作為機械的和熱的
支持。導體W(如前述可與各電路相關聯)可延伸到裝置層的底部側
緣，或者可自裝置層底部測緣的方向中延伸、藉此拋光步驟被執行
以使垂直互連接觸到導體。

接著一個處理裝置可利用來移除裝置層，通常如第35圖所示。

裝置分層堆疊有多數個電路部段，而後如第40圖所示透過導體被對齊及堆疊，接下來有進一步的描述。層體被對齊及堆疊以致於多數個電路部段形成一個垂直積體堆疊。視垂直積體裝置所需而每個層之電路部段可為相同或不同的。

在一較佳實施例中， N 個層被堆疊，而後續所有 N 層在一個單一步驟中黏結。譬如說，這可實現以藉由使用紫外線或熱處理在層體間之黏著物。而為了要避免垂直層體間之接觸問題，處理裝置中應該避免黏著物。

恰如第41圖中顯示的，每個電路部段堆疊依據已知技術切割。

參照第42圖，其顯示電路部段之另一個例子，其具有順應三維空間積設之混成邊緣互連與通路互連。一個電路部段 C 在選擇黏結分層基板裝置層的絕緣區域 I 裡面被形成。可為電氣的或光學的導體 W_t 可操作自電路部段開始而延伸到多層基板裝置層的底部。可了解的是， W_t 也可用為一個機械的耦合器，譬如說，一個微機電系統裝置。另一個導體 W_e 可從在電路部段開始延伸到電路封裝的邊緣，以虛線所示。整體區域在電路部段和導體的處理期間作為機械的和熱的支持。導體 W_t (如前述可與各電路相關聯)可延伸到裝置層的底部側緣，或者可自裝置層底部測緣的方向中延伸、藉此拋光步驟被執行以使垂直互連接觸到導體。可了解的，導體 W_t 和 W_e 能被製造於沿著晶圓之預定位置以使邊緣延伸導體能沿著晶圓邊緣任何地方製造。

接著一個處理裝置可被利用來移除裝置層，通常如第35圖所示。具有多數電路部段與邊緣延伸導體的裝置層之後如第43圖所示。

對齊及堆疊，而此處進一步的描述。層體被對齊及堆疊以使多數個電路部段形成一個垂直積體堆疊。視垂直積體裝置所需而每個層之電路部段可為相同或不同的。

5 在一較佳實施例中，N個層被堆疊而其後所有的N層在一個單一步驟中黏結。這可藉由使用譬如紫外線或熱處理黏著物來實現。

現在參照第44圖，每個電路部段堆疊依據習知技術切割。在切割步驟中造成之不平滑非平面的邊緣情況下，可拋光佈線邊緣以使每個電路部段接觸到導體 W_e 。

10 第45圖顯示整體互連之一個層面，多數個電路部段以導體 W' (電的或光學的)邊緣互連。可以習知的方法藉著遮罩和蝕刻導體材料沉積的薄膜以電氣連接各電路部段來完成。其他的互連方法在前述第5,786,629號和第6,355,976號美國專利案中被更詳細地描述。注意，當邊緣通路互連兩者皆被使用時，可利用同一型或兩類型來互連電路部段。相異互連可為多餘的或獨立的。或者，邊緣互連可作用為
15 診斷的目的，如同前述。在一個更進步的替代實施例中，兩類型的互連可用來提供多餘，藉此減少垂直積體晶片肇於晶片部段間互連所發生故障之可能。

為形成通路導體(如第39和42圖所示)，每晶片部段之每個通路導體可首先被形成(譬如，藉由蝕刻一個洞而用傳導性材料填補該洞)，
20 於是電路部段形成在導體頂上。

另，參照第46圖，電路部段C可首先形成在第一在裝置層之上或在裝置層，且通路導體W從電路部段之頂端延伸到裝置層的頂端。電路部段上面的區域可被處理以提供導體W和絕緣材料I(與該絕緣體相同的材料以達最佳匹配性)。

現在參照第47圖，其中同類參考字元參照之前第46圖中相同的結構，圖中顯示另外可選擇的增強垂直的電路部段互連之特性。通常在各電路部段之頂端具有導體 W_b 。導體 W_b 作為優化來自堆疊層體上之通路導體 W_t 。導體可包含固態材料以使得自一堆疊的接觸體有效提供層體間之接觸。或者，導體 W_b 可包含焊料塊，以使毗鄰的導體可藉由加熱結合。或者又另一種可用方式，導體 W_b 可包含毗鄰電路部段間的電連結。又，導體 W_b 可為包含光學波導之純光學連接。導體之結合可以在堆疊每個層時、或較佳地在所有N層已堆疊後來實現，而使許多回流操作引發之導體連接傷害減到最少，如上述IBM
5
10 之美國專利權第6,355,501號所描述。

在另一個形成通路導體之方法(如第39和42圖中所示)、以及現在述及之第48-50圖，分離的裝置層可形成電路部段層。參照第48圖所顯示，一個具有電路部段的裝置層，每個裝置層具有與其他具有通路接觸體之裝置層接觸之導體 W_b 。導體 W_b 可具有焊料塊或永久固態導體。注意第二個導體 W_b 部段可如參照第47圖之前述內容提供來自堆疊上層體之通路導體 W_t 的傳導。第49圖顯示一個具有通路連接 W_t 的裝置層。層體可如第50圖所示以堆疊、黏結、及結合電接觸裝置來提供一個包含電路部段層和導體層的子堆疊。
15

現在參照第51圖，其中顯示另一可選擇的電路部段層。一個埋設的氧化物層(BO_x)形成在一般在整體基板與裝置層的介面處之裝置層中。習知中此埋設的氧化物層可以各種不同的方法形成，像是 O^+ 離子植入法。此外，埋設的氧化物層可在裝置層被選擇性地黏結至整體基板之後或之前被形成。
20

在埋設的氧化物層於裝置層被選擇性地黏結至整體基板之前

形成的實施例中，一個 SiO_x 層可在選擇性黏結到整體基板前被形成在裝置表面。裝置層於是選擇性地黏結到整體基板。注意其可令人滿意地在黏結之前先處理氧化物層而增強黏結。

在埋設的氧化物層於裝置層被選擇性地黏結至整體基板之之後形成的實施例中，裝置層可被譬如氧氣植入以在理想深度處形成氧化物層，即，以整體基板和裝置層的介面。遮罩裝置層欲強黏結之區域來區域性地避免強黏結區域氧化是令人滿意的。

在埋設的氧化物層形成後，電路部段C毗鄰於裝置層上弱黏結區域中之埋設氧化物形成。導體W2以電氣或光學形成(譬如說，沉積)與電路部段之接觸，且導體W1是以電的或光學的與導體W2接觸。注意導體W1和W2可在一個步驟中或在多數個步驟中形成。同時，當導體W1和W2顯示成T形時，這些導體(或一個相同作之單一導體用)可為L形、矩形、或任何其他適當形狀。

在裝置層從整體基板(如上述)移除之後，埋設的氧化物層被暴露出。如第52圖所示，一個埋設的氧化物層區域可被蝕刻離開，而通路導體W3在其中形成。導體W3作用為一堆疊上裝置層及其毗鄰導體W1之互連。

雖說所述方法在某些層面上相似於IBM之美國專利權6,335,501號中對於晶片規模之教示，不過本發明之方法有多種優勢。在上述的前案中，整體基板移除僅藉由磨礪與蝕刻，然而本發明之方法上有削除或其他的更容易的移動方法，乃基於弱黏結區域形成之電路部段、以及強黏結區域之存在以支撐至整體支持基板之層體，如上所述。在者，本發明之方法係可在一晶圓規模上獲得。滿意的產率可藉由層體測試、及後續利用很多N層及少於N層之堆疊所導致，依

照上面之描述。

現在參照第53圖，另一可選擇的電路部段層與其相聯導體之實施例如所示。一個埋設的氧化物層(BOx)形成在整體基板和裝置層的介面之裝置層中。一個導體在電路部段形成區域的BOx上形成。電
5 路區域被形成，而導體W2和W3(或一整個導體)在電路部段之頂上被形成。注意導體W1(或導體部段)以逐漸變小的邊緣和一個凸出腹部段--這作用為在其他的材料之中促進對準及提高導體的機械完整性。

現在參照第圖 54，當裝置層從整體基板(依上述，可利用削除)被移除後，埋設的氧化物層接著被暴露而形成W3區域。較佳地，這
10 些區域與逐漸變小之導體或導體部段W1的形狀和大小相符合。

如第55圖所示在W3區域中，一個焊料栓被提供作為最後地形成導體W3。這導體W3作為與一相鄰堆疊上裝置層之導體W1互連層，如第56圖所示。

當層體堆疊的時候，在一個實施例中，堆疊的層體可被回流作為將被堆疊的層體。在一較佳實施例中，在N層層體形成之後，整個的堆疊受制於回流處理。還有另一個實施例，堆疊可在部分區段中回流。

可知分離層之W1和W3的形狀和角度更進一步協助機械性地對齊被堆疊的層體。

20 現在參照第64圖，顯示更進一步形成一個三維空間電路或記憶體裝置的裝置層的一個的實施例。一個埋設的氧化物層(BOx)通常形成在整體基板和裝置層介面之裝置層中。這一個埋設的氧化物層可被各種不同習知方法形成。再者，埋設的氧化物層可在裝置層選擇性地黏結整體基板之前或之後形成。注意，具有BOx的裝置層可如

上述移除以衍生一個"未經處理"之SOI晶圓層，該層可供給一個消費者或儲存給之後的處理。在裝置層選擇地黏結整體基板之前形成埋設的氧化物層的實施例中，一SiO₂層可在裝置層選擇地黏結整體基板之前形成於整體基板表面。裝置層接著選擇性地黏結到整體基板。注意其可令人滿意地在黏結之前先處理氧化物層而增強黏結、或遮罩裝置層欲強黏結之區域來區域性地避免強黏結區域氧化。

在裝置層選擇地黏結整體基板後形成埋設的氧化物層的實施例中，裝置層可以譬如氧氣植入於所需的深度來形成氧化物層，即，整體基板和裝置層的介面處。

10 在埋設的氧化物層的形成之後，電路部段C毗鄰於裝置層上弱黏結區域中之埋設氧化物形成。一或更多導體W以電氣或光學形成(譬如說，沉積)與電路部段之接觸，且可延伸到晶片的任何空間邊緣，如同上述。

在此描述在裝置層從整體基板(如上所述)移除之後，埋設的氧化物層被暴露。BO_x層可作為一個通透的絕緣體層，且可用以遮蔽一層體作為在層體堆疊時的對其他層之屏蔽。又，BO_x層提供一個準備好的絕緣體於隔離電路部段使用、或提供在導體間之雜訊屏蔽。再者，BO_x層中可蝕刻出一個洞，如同前面參照第52和54圖所描述之，及上述提及之IBM美國專利第6,355,501號。

20 參照第57圖，另一個電路部段之例子顯示為具有適應於三維空間積體之晶片邊緣互連結構。更進一步之晶片邊緣互連結構細述可見於前述Faris所有之美國專利第5,786,629和6,355,976中尋得。在此一實施例中，一個電路部段C在選擇黏結分層堆疊基板的裝置層的一個絕緣區域I裡面形成。此處，導體在每一電路部段之多重邊緣上被

形成，以WL、WR、和WR/WL表示。然而，注意，導體亦能夠或選擇性地把垂直線向四面八方延伸到層體(譬如說，到電路部段的四個主要邊緣)。

裝置層體具有多個電路部段，而多重邊緣延伸導體於是依第58
5 圖所示對齊與堆疊。層體被對齊及堆疊以致於多數電路部段形成一個垂直積體堆疊。視垂直積體裝置所需電路部段而每個層體可相同的或不相同的。又，雖然邊緣互連顯示在每個層上，一般預計某些層可有一、二、三、或四個邊緣互連。一般更進一步預計某些層可具有唯一的穿越互連。又更進一步預計某些層可有一、二、三、或
10 四個邊緣互連和一個或更多通路互連。在一較佳實施例中，N個層被堆疊，且所有連續的N層係在一個單一步驟中黏結。這可利用，譬如紫外線或熱來處理層體間之黏著物所致。注意，由於一般互連在每個晶片的邊緣，在特定的實施例中暴露電路部段本身接觸到黏著物雖然非必需亦不會有害，而可減少處理步驟及最後地花費。

15 現在參照第59圖，電路部段之每個堆疊依據習知技術切割。在切割無法提供平滑的平面的邊緣情況下，佈線邊緣可被拋光使電路部段觸及每個導體。

參照第60圖中顯示多數電路部段邊緣與導體W'R和W'L(電的或光學的)互連，雖然一般預計可能有一些或所有的層有垂直前後頁之
20 邊緣互連。可藉以習知遮罩和蝕刻導體材料之沉積薄膜的方法電氣連接各電路部段導體。其他的互連方式如前述第5,786,629號和第6,355,976號美國專利案更詳細地描述。

重要的是，邊緣互連能在垂直積體晶片處理期間及最終產品(垂直積設的晶片)中作用。在處理的時候，邊緣互連可作為診斷之效。

尚可有各種不同的選擇。譬如說，一或更多的邊緣互連可用為診斷及其他電量、資料、記憶體存取、或其他的個別電路部段之功能性。邊緣的一或更多互連可餘留的，以改良裝置產量。邊緣互連可獨立地存取電路部段不同區域以增加的功能性。大量儲存定址功能亦為可行的，根據客戶需要而在高密度儲存設備中提供互連。

第61圖為沒有顯示出互連W之'垂直積設晶片之等角視圖。第62圖係顯示有互連W之一個可能的垂直積設晶片。注意可具有各種不同互連W'的組合，端視所需要的功能性。利用一個、兩個、三個、或四個邊緣、以及選擇性通路導體(譬如堆疊底層或頂層)，更使互連區段力量倍增(相較於一個通路互連)及高流量互連，使用達三維垂直積體部段之六個面(或更多，若為更多面體的話)。此外多重導體可從各邊緣延伸，譬如說，與特定層之電路部段的不同部分相聯之邊緣、或餘留的邊緣。

參照第63圖顯示電路部段之另一個例子，其具有順應三維空間積設之晶片邊緣互連結構。在這一個實施例中，一個電路部段C在選擇黏結分層基板裝置層的絕緣區域I裡面被形成。一或更多的導體在電路部段上之裝置層表面穿越地形成。一般，提供延伸穿越晶片部段之部份(如第63圖所示的左右方)作為餘留，以增加垂直積體晶片之一側損壞或無法互連之故障狀況下之產率。注意，如前述，多重導體可穿過晶圓以存取電路部段之不同區域。

現在參照第81和82圖，比較本發明(第81圖)與一上述IBM之專利第6,355,501號所揭露之方法(第82圖)。第82圖(IBM)顯示在一個BOX層上的一個SOI裝置。金屬化僅被提供Z方向上，即，在SOI裝置的頂端和底部垂直穿越連接。特別地，以本發明所示意及敘述提供

邊緣互連，提供了增高裝置效率、減少全部處理步驟、並允許諸如診斷性及增強與簡化互連之功能。

在特定的實施例中，可令人滿意的藉由增加尺寸(接觸區域)、傳導係數(減少電阻係數)、或兩者，而增強此處所述晶圓規模或晶片規

5 模堆疊裝置之互連。

現在參照第83圖，顯示提高邊緣互連傳導係數的一個實施例。大體上，離子植入在金屬化層區域中提供過度的摻雜(n^{++} 或 p^{++})。習知已知此 n^{++} 或 p^{++} 摻雜。因此，以這方法提供之互連提高整體的傳導係數，譬如，以連接邊緣暴露導體。這一個步驟可發生在金屬
10 化之後或之前，而一般係在包括具氧化物層之電路部段之裝置層被移除之前(或在個別裝置被移除之前)。

在形成互連的另一個方法中，特別是穿越互連，可使用熱電漂移處理。可用於熱電漂移處理之鋁或其他適用傳導性金屬沉積在一個矽層的頂端上。一旦在升溫下施加電場(譬如說，上述 200°C)，鋁
15 漂移過基板而提供一個傳導路徑。這方法可用來形成至少10微米厚之通路互連(遷移方向)。熱電遷移處理在多層基板的一個裝置層上執行，留下在裝置層被形成之電路部段的通路互連。或者，層體可在裝置層被選擇地黏結至整體層前受到於熱電遷移處理。

參照第88圖，其顯示提高接觸區域和傳導係數之一焊料栓充填
20 方法。譬如說，一般以一個45度角先行蝕刻在基板中形成一逐漸變小的蝕刻。一個導體被形成穿過基板的頂端，並橫過進入該逐漸變小蝕刻區域之內。注意需要小的角度(較佳地小於60，更佳地少於45度)將導體的機械性故障減到最少。接著該逐漸變小的蝕刻區域被填滿適當的傳導性材料。

該較佳地逐漸變小蝕刻部分位於亦存在晶粒之邊緣。焊料栓沿著切線被切割，暴露出傳導性焊料栓材料與導體。一些層可被堆疊及邊緣連接，藉使接觸電阻顯著地因傳導性栓焊料部分的存在而減到最少。

- 5 為進入形成的金屬化層而可蝕刻(譬如說，較佳地以約45度逐漸變小之蝕刻)通孔。通孔係以可融化的或可燒結的傳導性的材料栓塞。參照第89圖，其描述以本方法形成之一通路互連。注意，當邊緣連接時，在x-y平面中延伸的金屬化層可延伸作為邊緣連接。一逐漸變小之通孔在較低的層中被蝕刻。金屬化層在其中形成，而通孔
- 10 被填以可融化或可燒結材料之栓塞焊料。一後續層在第一層的頂部形成。一逐漸變小之通孔在頂部層中蝕刻。金屬化層形成在頂層，而通孔被填滿可融化或可燒結材料之栓塞焊料。

- 在一個實施例中，當層體堆疊時，傳導性的栓塞焊料被燒結或融化。這可作用於對齊黏結，即非暫時的黏結，而當接合是一個接觸的時候其將不移除，且不會總被視為唯一永久黏結的足夠黏結力。
- 15

在一實施例中，較佳地，可融化的或可燒結的傳導性材料直到最後的黏結步驟才被融化或燒結，較佳地，熔合或其他的適用黏結亦融化或燒結傳導性栓塞焊料。消費者可在熔合和傳導性熔化/燒結之後、或在熔合和傳導性熔化/燒結之前，被提供分層堆疊的裝置。

- 20 相較於上述IBM美國專利案第6,355,501號僅一通路互連，藉由提供一或更多的邊緣互連，可具有僅一通路互連所無法達到之各種不同附加功能如所述。譬如說，參照第65圖，屏蔽層可被提供在毗鄰的層體之間。這避免電路部段層之間的交叉雜訊。

經由通路連接，雜訊從一個層幅射到下一個。這是垂直堆疊電

路的一個習知問題。因為本發明的較佳實施例仰賴邊緣連接而具有一個屏蔽層。屏蔽層形成物質如銅，鎢，鉭或其他的傳導性材料。在特定的實施例中，此種屏蔽層更用來除熱。屏蔽層與毗鄰的金屬化層之適應絕緣性屬習知。有益地，一個層產生的任何雜音是傳送不到毗鄰層的。這對垂直混合積體電路是特別令人想要的，包括混合垂直積體電路與下列有用裝置其中之一的組合，如電源、類比、射頻、數位、光學、光、微機電系統、微射流、和包含至少包含前面諸類型的有用裝置之一的組合。屏蔽層更可更進一步被用於光學的連接電路形成包覆層。

這一個屏蔽層也可視為一個接地平面以建立超高速和超寬頻傳輸電線路，如習知所廣為人知的。注意，IBM之美國專利案第6,355,501號不包括如此的屏蔽層，在其中教示方法只有穿越連接。

參照第66圖，通道可被提供在層體之間以散熱。除熱通道可為除熱而載有流體(液體或氣)。譬如說，通道可流過惰性空氣或其他的單獨冷卻液體來冷卻層體。另可選擇之微射流泵或其他的裝置可被包括在其中來提供氣體或其他的可選用的流體來冷卻層體。

通常，對於這討論的目的，將了解本發明的多層結構中可附加地在多層基板上製造微射流裝置。其所知該互連及通孔提供與微射流裝置的溝槽、井、和通道類似的電功能。除了一些需要電的或光學的控制等一些動電微射流裝置外，大多數的微射流裝置是微標度結構之機械裝置組成，藉由普遍用於積體電路製造的製造技術。因此，一熟於此技者可了解，在此處稱做互連、導體、電極、及通孔可對應到微射流裝置環境下之埠、槽、井、和微通道。

對於微機電系統裝置和微射流裝置而言，必需將所欲裝置解構

成一系列薄的水平薄片。通常，所需要的厚度約在2微米至10微米間的任何地方。每一個薄片建立在一個使用許多微機電系統或微射流已知晶圓處理技術之一的矽晶圓上。一旦微機電系統或微射流薄片在晶圓的頂表面上建立，薄片在晶圓另一個頂表面上被剝落而且堆疊在其他薄片上來製造微機電系統或微射流結構。經過這連續的剝落與堆疊，能建立一個達約一公分高具有複雜的內部結構和幾何形體之微機電系統或微射流裝置。

參照第67圖，這些通道可包括熱傳導性的部分(即，沉積金屬)以更進一步協助散熱。或者，這些通道可被形成像格子鬆餅一樣之結構，譬如，如上述美國專利案第6,355,976 號所描述。

現在參照第68圖，與各電路部段有關的通道或其他熱傳導部分在被處理裝置維護時可被形成在裝置層下面。

這些通道可在電路部段和導體形成後依照描述形成。屏蔽層可選擇地被直接形成在這些通道上以形成第66和67圖中顯示的結構。

或者，遮蔽及/或熱傳導性部段在裝置層被選擇性黏結到整體基板之前可被形成在裝置層的下面。再者，遮蔽及/或熱傳導性的部分可被形成如一或更多分離層體，被對齊、堆疊、和黏結而形成在第64-66圖中顯示的結構。。

在另一個實施例中，通道可在裝置層被選擇性地黏結到整體基板之前被形成。譬如說，如上述，形成弱黏結區域的處理技術包括蝕刻弱黏結區域5的表面。在這一個蝕刻步驟，柱狀物9被定義在表面1 A(第8圖)、2A(第9圖)、或1A和2A上的弱黏結區域5中。柱狀物可以選擇性地蝕刻、餘留柱狀物來界定。柱狀物的形狀可為三角形的、金字塔形、矩形、半球形的、或其他適當形狀。或者，柱狀物

可在被蝕刻的區域中被植入或積設。另一前述處理技術，其關於在層1(第12圖)、層2(第13圖)的弱黏結區域5中利用諸如蝕刻、機製、或兩者(視使用的材料而定)形成包括一個空區域10(第12和13圖)。由此，當第一層1黏結至第二層2時，空區域10將使黏結減到相對於強黏結區域6最小的力量，來促進之後的解除黏結。針對選擇黏接之剷除或形成空白區，階由於只有很少的黏結區來讓材料黏結，在弱黏結區域5之整體力量遠小於在強黏結區域6的黏結。可選擇地，這些通道可包括如上述中被沉積的熱傳導材料。

注意第65-67圖的這些功能。依據上述IBM之美國專利第6,355,501號專利案中教示不能夠利用通路連接器有效地形成。如上述中，導體可藉由沉積適當的傳導材料形成在可實施電或光學導通之電路部段中。除此之外，導體可在形成選擇黏結裝置層的程序中被固定形成。

依照上述，形成強黏結區域之處理技術之一有關於利用在表面1A(第2圖)或1A和2A的弱黏結區域5上之一或更多金屬區域8。譬如，以包括但限為銅、金、鉑、或任何組合金屬或其合金沉積在弱黏結區域5上。一旦層1和2的黏結，弱黏結區域5將微弱地黏結。強黏結區域可保持未經處理的(其中強度不同分別提供必要的強黏結對弱黏結比率給弱黏結層體5和強黏結區域6)，或可依前所述和之後說明來促進強力附著。

隨著預先形成在裝置層弱黏結側的傳導層可為電路部段之處理做好準備。在特定的實施例中，電路部段可被形成一個足以聯繫該預先形成傳導層的深度。在其他特定的實施例中，那該預先形成傳導層可作為之後層體之至少部分導體。可明瞭的是，該預先形成傳

導層可被留下當做是、或可被蝕刻形成一需要之圖案。

或者，不在裝置層下面形成作為弱黏結之用的金屬層，尚可採用多種處理技術來形成傳導層需要之圖案的金屬層。金屬層可在一或更多其他處理技術(譬如說，粗加工)之後被形成。又，金屬層可在一或更多其他的處理技術之前被形成。

在一進一步的實施例中，堆疊的一個單獨的層可被供於互連。這層可允許路由和橋接來避免混雜同時使絕緣邊緣焊線之需求最小。譬如，第62圖上水平(x方向)的连接可在層體中形成，如果該層體是依照此處描述的混雜層。

較佳地在此處描述的各種不同的方法係在一個晶圓規模上實施。然而，對於在一個晶片規模上的垂直整合晶片製造中所重視的許多功能亦非常有用。

現在參照第69圖，圖說一個具有多數選擇黏結電路形成區域(顯示為白色)的選擇黏結多層基板。注意，為清楚只有顯示一些代表性的電路區域，而在一個單一晶圓可提供100個或1000個電路部段。選擇黏結多層基板的剩餘陰影部分通常被強勁的黏結力黏結，如同在上面描述。第70圖顯示這一系列選擇黏結電路部段之側視圖。這些強黏結區域通常黏住強黏結區域的壕溝以在處理及/或剝除的時候維持電路部段或裝置的結構完整性。為了要移除選擇黏結電路部段(譬如說，在電路處理之後)，各電路部段可如同第71圖中所概要顯示之及上述之解除黏結技術來移除。注意，裝置層中可具有一個BOX層，如前述，在WB或WB和SB雙區域提供SOI晶片。

一些堆疊層體之對準可藉著已知對準技術完成的。譬如上述IBM之美國專利案第6,355,501號所描述，可使用光學的對準，藉使

毗鄰層體(譬如說,與透明的區域相聯)上的參考標記使用已知的光學裝製的彼此對齊。該參考前案中也揭露一種自我對齊栓焊料的方法,藉此使用機械性互連(譬如說,如第53-56圖顯示)。

5 在另一個實施例中並且參照第90圖,提供另一機械對準方法連同裝置層晶圓堆疊一起使用。一個層體上具有機械性突出或柱體,而在另一個層體上具有通孔。當他們機械性吻合達成對準。

在另一個實施例中,對準可以上述美國專利案第6,355,976號中揭露的方法實現。如其中所顯示,在一個對準站使用固定的參考,層體利用比較參考對準、可矯治黏著紫外光被施用,層體被堆疊在
10 先前以固定的參考為基礎而維持精確對準之堆疊層體上(或一個基板)。而當與先前的層上之參考標記相較時,感生累增的錯誤堆積。當每個層被堆疊的時候紫外光被施用。

一種用於對齊多數層體之方法和系統通常利用將被對齊之層體的一個投影,投影可與除了層體或堆疊層體之外的對準參考對齊,
15 藉此除去在上述層體間對準時感生之錯誤放大。

此方法包括在一個機械基板上放置一第一層。在一較佳實施例中,第一層和機械基板間包括一個低粘度黏著物材料。聚合材料是較佳地可聚合的(譬如說,暴露在紫外光幅射時),且可選擇地,此聚合材料是可分解的,依據在此處描述之步驟,另一可選擇的黏著物
20 可用來永久地黏住多數層體,在它們已經被形成之後。

系統更進一步包括一個極化反射器,通常以相對於第一層之45度角對齊。一光源106被導向極化反射器,而極化光指向在第一層上的對準標記。另外,一個四分之一波相位延遲器設置在極化反射器和第一層之間。此四分之一波相位延遲器使得從反射器反射的極化

光接下來可從對準標記反射回來並透過極化反射器104傳送，如同極化狀態被四分之一波相延遲器反相。

層更進一步包括一或更多的對準標記。這些對準標記可為蝕刻區域、對層體施用材料、塑形區域、或其他的已知對準標記方法。

- 5 當極化或不極化光被傳輸至極化反射器的時候，光從這些對準標記反射，及，在特定的實施例中，經過四分之一波相延遲器返回並接著經過極化反射器投影出對準標記的位置影像。

- 對準標記的位置影像被與對準參考相較。此對準參考包括對照在第一層上之對準標記的對準標記。如果第一個層被判斷為適當地對齊，譬如說，由在檢測器或比較器中發現之一個零值，則不需要進一步的行動。然而，在層體未被對齊的情況下，通過對準參考之光能被檢測器或比較器發現，而須要機械性對齊層體。一個適當的X-Y- Θ 子系統以x方向、y方向、及/或角度方向來重新定位第一層、直到在對準參考中來自極化反射器反射之反映光的對準標記如檢測器或比較器所指示地被對齊。當檢波器發現層一個無效力的數值(即，和在對準參考上的對準標記的對準來自第一個層的光)的時候被對齊。
- 10
- 15

- 或者，對準標記可為不反射之極化光、以及選擇未從剩下未標記之部份層體的特定波長極化光。因此，當光在除了在對準參考上的對準標記的位置之外所有的部分反射的時候，將獲得一個無效力的數值。
- 20

在一較佳實施例中，零位檢測器或比較器是耦接至X-Y- Θ 子系統的，以致於可實現自動化的對準程序。即，如果零位檢波器發現光，X-Y- Θ 子系統將被調整直到一個無效力的數值(零值)被發現。在

另一可選擇實施例中，取代當對準為正確時發現現零值，可利用光透過諸如符合對準標記的對準參考中的孔或透明的部分來傳輸(有關於光所使用的)。其中只有當對準是適當的時候光通過。

5 所述程序可重複於一第二層、一第三層、直到一第n層等。另一可選擇的投影系統可包括掃瞄程序，表面被一個被反映的雷射光束掃瞄，反射是可經過適當軟體或另一個比較器與對準參考相比來進行。這可包括已知的傅立葉光和使用其他的掃瞄和檢波系統。

10 此系統的一種重要的優勢在於消除起於程序層錯誤之錯誤被除去，因為對準參考在對準和堆疊操作各處保持固定或已知道。N個層將被個別地與對準參考對齊，如此所需具有一個N層堆疊的最終產品將適當地對準。藉由本方法，可實現極準確，因為每個個體層被個別與已知的或固定的參考對齊，相對地分別被之前的層對齊。因此，即使在最差的狀況下亦可達到極端的準確度，乃基於對準會因個別層體之單一錯誤停止而非相對的由N層錯誤相乘才停止。

15 當被堆疊的N層對齊時，可藉著上述黏著物黏結，並依所述，那些黏著物也被分解亦可以另外的黏著物替換。

20 參照第72圖，描述一個範例性系統和方法。該方法包含在一個機械基板102上包括一個對準標記170的第一層150。對準標記170可包含一個點、線、曲線、形狀、或在層體或層體上的其他標記，藉蝕刻或沉積之類似方式形成在層裡面。依照更進一步描述，對準標記170通常反射特定偏極化之光。

系統更進一步包括一個極化反射器104，通常以相對於第一層150之45度角對齊。一光源106被導向極化反射器104，而極化光108指向在第一層150上的對準標記170。另外，一個四分之一波相位延

遲器110設置在極化反射器104和第一層150之間。此四分之一波相位延遲器110使得從反射器104反射的極化光108接下來可從對準標記170反射回來112並透過極化反射器104傳送，如同極化狀態被四分之一波相延遲器110反相。

5 當從極化反射器104傳送的極化光108具有一個第一極化狀態，具有相同之第一極化狀態之極化光經過四分之一波相延遲器110從這些對準標記反射，此處光被轉變到一個第二極化狀態，促成從對準標記反射之光經過極化反射器104被傳輸以投影對準標記位置的影像112。

10 對準標記的位置影像112被與對準參考114相較。此對準參考114包括對照在第一層上之對準標記的對準標記。如果第一個層被判斷為適當地對齊，譬如說，由在檢測器或比較器116中發現之一個零值，則不需要進一步的行動。然而，在層體未被對齊的情況下，通過對準參考114之光能被檢測器或比較器116發現，而須要機械性對
15 齊層體150。

參照第73圖，一對對準標記270可被提供來增加準確度。

參照第74圖，一對光源可被導至極化反射器以減少能量，每個光源被導至一個區域，該區域中對準標記被評估來預期對準誤差。

連同第76圖參照第75圖，具有可控制耦接至檢測器或比較器的
20 X-Y- Θ 子系統490和590。X-Y- Θ 子系統以x方向、y方向、及/或角度方向來重新定位第一層、直到在對準參考中來自極化反射器反射之反映光的對準標記如檢測器或比較器所指示地被對齊。在一較佳實施例中，零位檢測器或比較器可操作地耦接至X-Y- Θ 子系統，以實現被自動對準程序。即，如果零位檢波器發現光，X-Y- Θ 子系統將

被調整直到一個無效力的數值被發現。

當一個低粘性、可聚合之黏著物被用來黏接層體150到基板(或一個後來的層在一個先前的層頂上)，該黏著物藉由X-Y- Θ 子系統允許層體被重新定位。當達到對準時，此黏著材料可被聚合以"確置"該對齊層於定位。

如第75圖所示，X-Y- Θ 子系統490包括一個耦接至晶圓或適當處理裝置層(譬如說在晶圓的邊緣)的運作控制系統。譬如說，運作控制系統可包含一或更多個附著到邊緣的真空處理器、或一個最接近晶圓層邊緣的指定環形區域。再者，通孔可在晶圓中形成以使運作控制系統經一臂部進入。

如第76圖所示，在響應於檢測器或比對器之未對準檢側而被重新定位之層體的相對側上具有一對X-Y- Θ 子系統590。

於另一實施例中，現在參見第77圖，多組光學系統(各大致類似於第72圖所示者)被設置來配合多個對齊標記，以提高精確度。

現請參見第78圖，其中所示裝置適於一或多種對齊程序機能。此裝置內包括有多組子系統；於一實施例中，諸子系統各提供單一機能，例如寫入對齊標記或檢測對齊標記。例如，一裝置可包括有用以寫入對齊標記之多組子系統，而另一裝置可包括有用以檢測對齊標記之多組子系統。為確保對齊精確度，此等個別裝置應製作成使寫入位置與檢測參考位置大致相同，或至少在必要的裝置公差範圍內。

在使用一對齊裝置的一種對齊方法中，對齊標記可於處理電路部段期間定置於一裝置層上。此處，對齊標記可包括於電路部段處理所用一或更多遮罩上，使諸對齊標記對應於對齊標記檢測裝置中

用於檢測對齊標記之多組子系統。

於使用一對齊標記檢測裝置與一寫入裝置的另一方法中，諸裝置本身對齊安置；再者，諸裝置可結合在一起，俾確保對齊精確度。只要其它裝置和欲對齊層體間之裝置對其它裝置呈通透狀，那麼順序(亦即欲對齊層體之關係)就不重要；例如，若最外側裝置為對齊標記檢測裝置，則在例如採用光學參考標記檢測法或其它掃描法時，寫入裝置應呈光學通透狀；若最外側裝置為寫入裝置，則在例如藉由使欲寫上標記之層體暴露於某波長光線來進行對齊標記寫入時，對齊裝置應對寫入裝置呈通透狀；或者，標記寫入可採一已知角度，而可略過檢測裝置。

在另一實施例中，寫入和對齊動作可用同一裝置執行。例如，如上所述之一光學陣列可用來將層體暴露於一標記光信號，以及事後檢測所形成標記。

對齊標記寫入及／或寫入與檢測裝置、或是其複製型態，亦可用來在用於在各裝置層上形成電路部段之一或多個遮罩內標示及／或蝕刻對齊標記。傳統上，IC、MEMs或其它可用裝置係由多個不同層體所形成，是以每一層之遮罩應與前一遮罩對齊。在此，第N層之遮罩則非對齊於第(N-1)層，而是對齊於一共用寫入器／檢測器。于另一實施例中，寫入器／對齊器亦可整合到具有遮罩寫入機能的一裝置內。

在更一實施例中，一裝置層可在電路部段處理之前設置對齊標記。如同本文所述之相同或一實質同等的對齊標記寫入裝置、或是其它寫入裝置，被用來標示將用於形成電路、MEMs或其它有用裝置區域之遮罩及／或曝光裝置。

先精確對齊裝置層，再對齊遮罩及／或曝光裝置，可用和對齊寫入器匹配之一參考對齊標記檢測器輕易達成，而能為裝置層上有用裝置之妥適界定圖案提供匹配的對齊標記。或者，如本文所述，可用一體式對齊標記寫入器／檢測器來確保對齊精確性。

- 5 應知，該裝置本身可用本文所述之多層基板形成各層(圖上未示)、及對齊、堆疊、和黏結多個層體而製成。諸子系統可包括(並不限於)偏極化系統、透鏡系統、光玻錐、STM尖端系統、電子束穿孔、攝影機、附光源光圈、光檢測器、電子光圈、離子光圈、x光光圈、和前述至少一種所組成之組合。
- 10 于又一實施例中，所寫入之對齊標記可進一步包括例如圍繞中心點的對映線或標記；這在採用例如掃描技術時特別合宜，因為掃描器／比較器不只可檢測是否已對齊，更可藉由檢測已知之對映標記來提供對映指令。藉此，為“聚焦”於一對齊標記上所需之系統與時間需求，便大幅降低。例如，比較器可判定X-Y- θ 子系統之移
- 15 動動作應依讀取對映標記之結果，把層體定置於-.1微米X和+.05微米Y處。

上述新穎對齊技術可令N個層體對齊時有空前的nm精確度。此一對齊法結合本文所述其它多個複合層處理技術與各個例示性應用，可大大促進眾多3D微米和奈米裝置的誕生。

- 20 現請參見第86圖，其中揭露另一種對齊法。此處，一錐狀孔(例如具有約45度之錐化推拔角)於欲堆疊之多個裝置層上設於一對齊位置處(例如取代對齊標記)。此等對齊孔可於形成有用結構之前或之後製成。當諸層體堆疊時，一光束試圖射過此等孔；若層體未對齊，光線即無法通過；然後移動層體，直到光線自第N層反射為止。

或者，錐狀孔可填上例如諸如SiO_x的光學透明材料。再者，雖因可能發生累積性誤差而非較佳，但一層體亦可與相鄰層體對齊。

現請參見第87圖，其中提供晶圓級堆疊對齊法。遮罩可如上述設有對齊機能，然而，仍可能無法達到完美的格柵對齊效果。例如，
5 電路部段與相關聯接點之相對位置可能會如虛線參考線所示地偏移；而由於一晶圓上可能有多達數百個有用裝置受處理，故一些有用結構部分的此種隨機歪斜現象可能對於晶圓級堆疊會造成問題。

為解決此一潛在問題，可於晶圓階層設置總體互連體或金屬化設施。一般而言，如第87圖所示，總體金屬化設施包含尺寸超出之
10 金屬化體。此種總體金屬化設施可於每一階層利用同一遮罩製成；其具有夠大尺寸，而能補償任何局部晶粒位置偏移。再者，總體金屬化設施亦可如上所述用於提供邊緣互連機能；應知，所示切割線係位於總體金屬化設施末端。

現請參見第91圖，示出又一種光學對齊技術。一第一晶圓與一
15 第二晶圓各設有一對匹配之對齊窗，此等對齊窗呈例如互相垂直之一對矩形之形式。當第二晶圓如圖所示移動超越第一晶圓時，只可見到一個正方形。依據此圖案，可作x方向移動，直到見到第二嘗試圖案為止。接著，作y方向移動，直到光線匹配於對齊孔為止。

或者，處理器可包括有一共振層，而兼作處理器和對齊裝置。
20 此處理器可包含任何已知處理器，包括前述2002年10月2日申請之PCT專利申請案第PCT/US/02/31348號“用於處理易碎物品之裝置與方法及其製造方法”中所述者。

此種混成型處理器/LC對齊器連同使用此處理器之對齊方法均顯示於第96圖中。一LC電路有部分形成於該處理器內；注意其為

開路。該層體包括有匹配該開路區域之一導體，作為對齊標記。而包括有該匹配對齊導體之此層體乃依處理器技術領域習知之方式受處理。裝置層層體從處理器內之開路LC電路饋以RF信號；當裝置接近對齊時，RF激勵作用即增強，且通常於對齊位置(亦即LC電路完全閉合)達到最大。

此方法相反於IBM公司第6355501號專利所述之電容法，該法係於諸相鄰層體上形成相同共振電路，一個AC信號施加於金屬圖案共振電路並依共振電路所感應感測電流大小對齊，而以最大感測電流值表示完美對齊點。此方法在欲對齊層體上有侵入性處理，可能造成損壞；而在使用混成型處理器／LC對齊器之本案實施例中，則由處理器裝置承受侵入性傳輸。

參見第97圖，針對次微米或奈米級對齊，可設置各種導體圖案(以及因而有各類混成型處理器／LC對齊器系統[均未示於圖中])。

本文所述之黏結可為暫時性或永久性。暫時性黏結例如可如上文針對對齊措施所述地形成(亦即，在層體適當對齊後，於層體局部區域形成暫時性黏結)。應知，此種黏結可能保持到最終處理程序之後，或是可如本文所述地分解。再者，通常發生於對齊動作之後的此種黏結步驟，可能足以充作“永久性”黏結。

大體上，諸個別層體如本文所述在對齊後之永久性黏結可藉多種技術及／或物理現象達成，包括但不限於：鎔合、融合、陽極化、凡得瓦、化學黏合、疏水現象、親水現象、氫鍵結、庫倫力、毛細力、極短程力、或包含前述黏結技術及／或物理現象中之至少一種的組合。

于一實施例中，使用輻射(熱、UV、X光等等)可固化黏合劑，

以求簡便製造。UV黏結可在每一層體堆疊時進行，或是一起以單一步驟實施。

於某些實施例中，當以單一步驟實施UV黏結時，晶圓之邊緣部分，或是若在晶片級製造的話則在晶片邊緣部分，應具UV通透性，俾提供水平UV通入作用。為從晶圓頂部透過輻射使黏合劑固化，可在數個層體設置輻射通透區，俾讓黏合劑暴露於適當輻射下。而在其它實施例中，諸層體則逐層固化。又在它種實施例中，黏合劑則可從邊緣施敷。

較佳地，晶粒一些部分包括有黏著部段，且因而可包括有輻射通透區。

在另一實施例中，為免黏膠暴露於欲形成互連體之金屬化區域，或是為免黏膠暴露於電路或其它有用裝置部段，黏膠可在欲黏著表面上依圖案敷設。于一實施例中，遮蔽要避開的區域、以及繞過該等區域敷設黏合劑，即可提供圖案化黏合劑。或者，控制式積設法可用來選擇性積設黏合劑。應知，黏合劑之公差可比其它程序步驟之公差為大。

為使黏合劑固化，邊緣輻射通透部分可大致如前述美國專利第6355976號所述地設置。或者，如上所述，可在有圖案化黏合區之光學對階段設置一些輻射通透窗。

圖案化黏合劑最好可分解，使得黏著作用可為暫時性。因此，於整個堆疊形成後，暫時黏結作用可依意願予以解構，而堆疊體則藉諸如融合等等其它手段予以永久黏結。

在堆疊體切割(切片)後，邊緣受金屬化處理。金屬化體可包括至少一層／圖案；也可設置多個金屬化層，它們最好如習知技術所作

地絕緣。

于一實施例中，可如前述美國專利第6355976號所述地包括有MSA架構。明顯地，可提供編碼措施，而容許選擇堆疊體上具有最少連接與最短傳播延遲的個別電路。

- 5 其它狀況曾遭遇一種問題，特別是在晶圓級堆疊與集積狀況下，會有與有用裝置產率方面之問題。而在本案中，這可藉由在切割與分類後依據例如機能層數量執行合適診斷動作，而予以克服。本方法可讓產率接近100%。

- 10 本方法包括：提供具有未知裝置健康狀態(通常在可供販售欄呈“空白”形態，但已有互連佈線，且大體上已可供進行例如微處理、模組處理、鑽頭切片處理、平行處理、或儲存應用)之多個垂直積體裝置；對諸垂直積體裝置執行診斷；以及依已知好層數量將諸垂直積體裝置分類。

- 15 諸裝置可藉本文所述之一或多種程序提供，或是由其它已知之垂直積體裝置形成方法提供。基於幾個理由，本文所述方法在某些實施例中屬較佳者。本案方法之邊緣互連體可供進行外部診斷程序；由於在晶圓級堆疊和切割多數垂直積體裝置，故可充分利用到規模經濟之優點。本案方法亦有助於連接之冗餘安排。

- 20 于診斷期間，可用習知診斷方法來判斷裝置有多少層良好。根據好層數量，垂直積體裝置被分類劃歸到符合一好層數量範圍之儲存空間；或者，或是再結合進一步條件，依據裝置速度來分類該等垂直積體裝置。於是，不同儲存空間即代表適於不同使用者的產品。

例如，參見第92圖，假設目標是要在製造500個晶粒之一晶圓的晶圓級上達成1000個堆疊層，則所提供儲存空間可分為1000個已知

好層、500個已知好層、250個已知好層、100個已知好層、50個已知好層、和1個已知好層。

又假設只有10%的晶粒符合1000個堆疊層的標準，這些就分類到“1000”儲存空間；明顯地，這些具有期望層數者是最昂貴的晶粒堆疊體。再假設有10%的晶粒有多於900但少於1000個已知好層，這些就分類到“500”儲存空間。於剩餘的80%中，假設有40%介於500到900個已知好層之間，這些也分類到“500”儲存空間。當然應知，每一儲存空間之好層數量水準可依例如顧客需求而變。假設有20%有介於250到499個之間的已知好層，這些也分類到“250”儲存空間。再假設有10%有介於100到249個之間的已知好層，有5%有介於50到99個之間的已知良好晶粒層，且餘下之5%有介於1到49個之間的已知良好晶粒層，則這些即分別分類到“100”儲存空間、“50”儲存空間、和“1”儲存空間。

每個儲存空間即依此定價，且所出現之需求將會針對含有某一數量已知好層之各種晶粒。因此，商業產率即可大幅提高。

再以上述情況為例，假設一顧客指定要至少100個已知好層，則在“100”儲存空間中的任何晶粒堆疊體均屬合適者。或者，參見第93圖，帶有259層之一裝置可水平切割成一個135層堆疊體和另一個124層堆疊體。此種切割通常沿x-y平面為之，以使堆疊體之z軸大小縮減。于一較佳實施例中，此種切割動作可在幾個已知壞晶粒層之一處為之，俾減少廢料。

於另一實例中，參見第94圖，假設顧客指定含有200個可操作層之裝置，則可將含110個已知良好晶粒之一堆疊體與含95個已知良好晶粒之一堆疊體沿z方向垂直堆疊起來，而構成具205個已知好層之

一裝置。當然，此處不難想到也可堆疊兩個以上的晶粒堆疊體。於是，在製造上，即可取用某一儲存空間之晶粒來修補欠缺完滿堆疊體之晶粒。

參見第95圖，亦可從邊緣來堆疊諸晶粒堆疊體；這在本案中係
5 大致如上述地以多個邊緣連接器來提供。

于再一實施例中，在診斷後且在堆疊前，一層體或其一部分可用來儲存健康狀態或測試結果資訊。再者，於堆疊晶粒中亦可提供以程式規劃和定址機能；應知，當這些晶粒受堆疊時，可用兩個層體來儲存健康狀態或測試結果資訊，但也可想到的是，這些層體可
10 接受重新規劃以更新的健康和狀態資訊。本方法在諸層體為相同層體時尤為有用。

有多種產品與裝置可用本案所揭露程序來製成。如前所述，“胚體”不管是單層或是垂直集積層(完全附有互連結構和隨意而定的定址與編碼機能)，通常由相同層體構成。另種系列之產品和裝置則
15 可由不同層體構成；這些產品和裝置可為標準型(例如附有積體處理機及／或記憶體之MEMs或微射流裝置)，或是也可以依需求特別訂製，例如，GPS、RF、電池、太陽能電池、和其它有用裝置均可集積於此等垂直堆疊體中。

垂直積體微電子裝置可含有形成於其內之多種有用結構或裝置。例如，極高速處理機能即可藉由依本案方法堆疊多個處理電路
20 而達成；若採用MSA架構，甚至可引生更高之速度。

于另一實施例中，可依本案方法製成大容量資料儲存器(例如可儲存64 GB者)。此等裝置可隨意而定地將垂直積體記憶體與有線及／或無線外部連接結構結合，用於對PC、TV、PDA、或其它需要記

憶體之裝置來回進行通訊和資料傳送動作。

在再一實施例中，依本案方法製成之垂直積體裝置可包括一或多個處理機及／或記憶體裝置再搭配上光學處理、通訊或交換機能。

在又一實施例中，依本案方法製成之垂直積體裝置可包括一或多個處理機及／或記憶體裝置再搭配上RF傳輸及／或接收機能。

在更一實施例中，依本案方法製成之垂直積體裝置可包括一或多個處理機及／或記憶體裝置再搭配上全球定位系統接收器及／或發射器。

在進一實施例中，依本案方法製成之垂直積體裝置可包括一或多個處理機及／或記憶體裝置，並再搭配上光學處理、通訊或交換機能、RF傳輸及／或接收機能、及／或全球定位系統接收器及／或發射器。

譬如說，一種範例性產品可包括一個微自動點唱機，在媒體上提供一個使用者每星期100多個小時之依客戶需求修改的程式規劃，以在此處揭露的方法形成。

其他的記憶體儲存器系統包括光學的、掃描取樣微鏡/十億分之一儲存；以及全部手寫的儲存。

微射流裝置可達許多目的。費用縮減和品質與功能性的增加可與依現在的方法和系統獲得。微射流可被提供為各種不同的使用，包括但是不限制在生物科技、化學的分析、產生裝置、微米級和奈米級材料之沈積、熱轉移(譬如說，如同在此處描述)。

如美國專利第6,355,976 號和前所描述，可在裝置層之間形成冷卻層。特別地，這些冷卻層並未依據於IBM美國專利第6,355,501 號的教示。

微射流裝置也可藉由堆疊通道形成，譬如說，如上述2002年十月2日申請的第PCT/US/02/31348號的處理裝置發明說明部份所描述。

除了通道的堆疊之外，其他的微射流裝置也可輕易地被整合，藉由依據已知的技術形成裝置、或較佳地在裝置的弱黏結區域上以易於移動、或藉由總成通常有關於微機電系統之部段，如下面描述。這些裝置可包括，但是沒被限制在，微流量感應器(譬如說，氣流量感應器、表面修剪感應器、液體流量感應器、熱的稀釋流量感應器、熱的傳播時間感應器和壓差流量感應器)、和外部的主動器(譬如說，螺管活柱、壓電的主動器、空氣的主動器、塑造記憶體合金主動器)的微閥門、和整合的主動器(譬如說，靜電主動器、二金屬的主動器、熱氣式主動器、電磁的主動器)的微閥門、檢查裝閥門，機械的微幫浦(譬如說，壓電的微幫浦、空氣的微幫浦、熱氣式微幫浦、靜電微幫浦)、非機械的泵(譬如說，超音波受到驅策的微幫浦電滲透微幫浦、電子水力式微幫浦)。

在此描述使用程序，一個包括微射流和處理器、記憶體、光學處理、通信或交換功能的整合裝置；射頻傳輸及/或收受功能；微機電系統；及/或一個全球定位系統接收機及/或發射機。

2002年八月15日申請PCT/US/02/26090號核准之"微機電系統和製造微機電系統的方法"揭露一個方法形成一個包括微機電系統和其他的功能性的垂直積體堆疊，於本發明中併供參考。大體上，方法中用為在裝置層弱黏結區域形成每個微機電系統裝置(如此處所述)。較佳地，在一個晶圓規模上，裝置層以對微機電系統裝置造成最小傷害的方式移除，而且晶圓通常與其他的微機電系統或具有

其他有用裝置之層體一起堆疊、對齊、和黏結，。

現在參照第98圖，其顯示一截面、一懸桁邊緣、一電接觸邊緣、以及形成在或在一個多層基板之選擇黏結裝置區域之上或之中的多數層體上視圖。一般，圖式呈現堆疊裝置截面部段堆疊形成的微機

5 電系統裝置。底部的層體1通常視為一個基板。層體2包括延伸接觸的邊緣。層體3包括一部分邊緣延伸接觸和一個通路，一般避免微機電系統裝置機械元件之移動限制。層體4包括一個通路。層體5是被放置在堆疊裡用與接處層體3相接觸的部分機械元件(譬如說，一個懸桁)部分。層體6是層體5的機械元件的另一個部份。層體7是允許

10 層體8和層體6中之機械裝置間接觸的一個通路。層體8包括通路和其他機械元件。層體9顯示一個通路。層體10場顯示延伸到垂直IC邊緣的機械元件。

第99和100圖顯示處理第98圖的微機電系統裝置的特定步驟之部份放大視圖。注意每個層通常非常簡單的一個截面，被用於所欲

15 旋臂結構之微機械。這為任何的微機電系統裝置都是真實的，使得他們可依實體和機械的特性易於拆解。

可選擇地，為了在堆疊的時候支援層體，一可分解材料可在區域中提供空白區且該區需要機械性支持。

在進一步的實施例，邏輯電路、記憶體、射頻電路、光學電路、

20 電源裝置、微射流、或任何至少包含前面有用裝置之一的組合可整合在堆疊中(一般在如第98圖中描述之截面)。

微機電系統可包括，但是沒被限制在，懸臂結構(譬如說，諧振器或諧振檢波器)、微渦輪、微齒輪、微轉盤、光學開關、可轉變鏡子(硬的和薄膜基的)、V-槽接合(譬如，用於捲縮結構、彎曲結構、

或為機器人的手及/或腿);能測量一或更多物理性或非物理性之變數包括加速度、壓力、力、轉矩、流量、磁場、溫度、氣體成份、濕度、酸味、流體離子的濃度、和生物的氣體/液體/分子的濃度之微感測器，微致動器、微活塞、或任何其他微機電系統裝置。

- 5 依照所述，如本發明中教示微機電系統裝置可能依截面拆解及在多層體上之分別製造。然而，可了解的整個微機電系統裝置可在裝置層上被製造，並轉移及堆疊到另一個裝置上、或單獨使用為一單機裝置。

- 使用此處描述程序:一包括微機電系統之整合裝置，及包括微機
10 電處理器、記憶體、光學處理、通信或交換功能性、射頻傳輸及/或收受功能性、微射流、及/或一個全球定位系統接收機及/或發射機的整合裝置。

- 依據本發明描述的方法之其他可被形成的裝置包括，但是沒被限制在，微噴射機(譬如說，用於微衛星、機器昆蟲、生物探針裝置、指示型智慧"藥丸"(譬如說，其中具有適當感應器的一個微噴射機能夠設置特定的組織，譬如說，伴隨著內建於微射流裝置、和一個藥劑載體，可將藥劑施於被影響的組織))。進一步依據本發明描述的方法可形成的裝置包括位元截割處理器、平行處理器、模組處理器、具有微射流、積體電路、記憶體、微機電系統或上述任何組合
15 的微引擎。
20

已經顯示並且描述本發明之較佳實施例，不過各種不悖離本發明精神與範疇之不同的修改和替換態樣即可視為本發明。因此，應瞭解本發明已述明的方式及描述並無畫限本發明之可態樣。

【圖式簡單說明】

第1圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第2圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

5 第3圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第4圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

10 第5圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第6圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

第7圖是依據本發明之原則選擇性地黏結多層基板的一個概要
截面圖；

15 第8圖是依據本發明之原則選擇黏結性地多層基板的一個概要
截面圖；

第9圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

20 第10圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第11圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第12圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

25 第13圖是依據本發明之原則選擇黏結多層基板的一個概要截面
圖；

第14圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

第15圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

5 第16圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

第17圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

10 第18圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

第19圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

第20圖是依據本發明之原則之晶圓黏結區域的幾何形狀的一個水平截面圖；

15 第21圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第22圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

20 第23圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第24圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第25圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第26圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第27圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

5 第28圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第29圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

10 第30圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第31圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第32圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

15 第33圖是依據本發明之原則一種晶圓解除黏結技術的一概要截面圖；

第34圖是依據本發明之原則之電路部段的一個概要截面圖；

第35圖是依據本發明之原則之一基板和處理裝置的概要截面圖；

20 第36圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第37圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第38圖係依據本發明之原則對齊及堆疊電路部段與導體的一個

概要截面圖；

第39圖依據本發明之原則之電路部段的一個概要截面圖；

第40圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

5 第41圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第42圖依據本發明之原則之電路部段的一個概要截面圖；

第43圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

10 第44圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第45圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第46圖依據本發明之原則之電路部段的一個概要截面圖；

15 第47圖依據本發明之原則之電路部段的一個概要截面圖；

第48圖依據本發明之原則之電路部段的一個概要截面圖；

第49圖依據本發明之原則之電路部段的一個概要截面圖；

第50圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

20 第51圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第52圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第53圖係依據本發明之原則對齊及堆疊電路部段與導體的一個

概要截面圖；

第54圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

5 第55圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第56圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

第57圖係依據本發明之原則對齊及堆疊電路部段與導體的一個概要截面圖；

10 第58圖是依據本發明之原則對齊及堆疊電路部段的一個概要截面圖；

第59圖是依據本發明之原則對齊及堆疊電路部段的一個概要截面圖；

15 第60圖依據本發明之原則之邊緣互連與電路部段的一個概要截面圖；

第61圖是依據本發明之原則之邊緣互連的一個概要截面圖；

第62圖是依據本發明之原則之邊緣互連的一個概要截面圖；

第63圖是依據本發明之原則被對齊而且堆疊的電路部段之一個概要截面圖；

20 第64圖是依據本發明之原則被對齊而且堆疊的電路部段之一個概要截面圖；

第65圖是依據本發明之原則在毗鄰層體間具有之屏蔽層的一個概要截面圖；

第66圖是依據本發明之原則在層體間具有之通道之一個概要截

面圖；

第67圖是依據本發明之原則在層體間之熱傳導性通道之一個概要截面圖；

第68圖是依據本發明之原則在裝置下側之一個概要截面圖；

5 第69圖顯示依據本發明之原則之電路形成區域的概要截面圖；

第70圖是依據本發明之原則之選擇黏結電路部段的概要側視圖；

第71圖係舉例說明依據本發明之原則解除黏結技術的一個概要截面圖；

10 第72圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第73圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

15 第74圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第75圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第76圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

20 第77圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第78圖係舉例說明依據本發明之原則對齊層體的一個概略圖式；

第79圖係舉例說明依據本發明之原則對齊層體的一個概略圖

式；

第80圖是依據本發明之原則一層體堆疊的一個立體圖；

第81圖是依據本發明之原則金屬化的一個概要立體圖；

第82圖是習之金屬化的一個概要立體圖；

5 第83圖是依據本發明之原則之金屬化的概要圖說；

第84圖是依據本發明之原則之金屬化的概要圖說；

第85圖是依據本發明之原則之解除黏結技術的概要圖說；

第86圖是依據本發明之原則之對準技術的概要圖說；

第87圖是依據本發明之原則之對準技術的概要圖說；

10 第88圖是插頭的概要圖說依據本發明之原則裝滿方法；

第89圖是依據本發明之原則之通路互連的概要圖說；

第90圖是依據本發明之原則之機械性對齊的概要圖說；

第91圖是依據本發明之原則之機械性對齊的概要圖說；

第92圖是依據本發明之原則分類層體的概要圖說；

15 第93圖是依據本發明之原則分類層體的概要圖說；

第94圖是依據本發明之原則分類層體的概要圖說；

第95圖是依據本發明之原則分類層體的概要圖說；

第96圖是依據本發明之原則之處理裝置的概要圖說；

第97圖是依據本發明之原則之處理裝置的概要圖說；

20 第98圖是依據本發明之原則之選擇黏結裝置的概要圖說；

第99圖為依據本發明之原則之微機電系統裝置之處理步驟的概要圖說；及

第100圖依據本發明之原則之微機電系統裝置之處理步驟的概要圖說。

【圖式之主要元件代表符號表】

1····層體	110····波相延遲器
1A····表面	30 112····影像
2A····表面	114····對準參考
5 2B····表面	116····檢測器或比較器
2····層體	150····層體(第一層)
3····區域	151····層體
4····強黏結區域	35 152····層體
5····弱黏結區域	153····層體
10 6····強黏結區域	170····對準標記
7····滲透區域	202····機械基板
8····金屬區域	210····波相延遲器
9····柱狀物	40 250····層體(第一層)
10····空區域	251····層體
15 11····增進黏著物	252····層體
12····離子	253····層體
13····微泡泡	302····機械基板
14····粒子	45 310····波相位延遲器
15····微泡泡	350····層體
20 16····粒子	490····X-Y- θ 子系統
18····離子	590····X-Y- θ 子系統
21····掃描裝置	
22····箭號	
100····多層基板	
25 102····機械基板	
104····極化反射器	
106····光源	
108····極化光	

伍、中文發明摘要：

本發明揭露一種製造一垂直積體電路的方法。積體電路被製造在具有預設弱黏結區域和強黏結區域之層體的一個基板上，而其中積體電路之諸解構層係製造於弱黏結區域處或於該弱黏結區域上。於是該等層體被剝除隨後被黏結來生產一個垂直的積體電路。可黏結並堆疊任意數量的層體到一個別的垂直積體電路。本發明亦揭露建立造互連邊緣及穿過基板之通路來形成層體及層體上之裝置間互連的方法。

陸、英文發明摘要：

A method for fabricating a vertical integrated circuit is disclosed. Integrated circuits are fabricated on a substrate with layers of predetermined weak and strong bond regions where deconstructed layers of integrated circuits are fabricated at or on the weak bond regions. The layers are then peeled and subsequently bonded to produce a vertical integrated circuit. An arbitrary number of layers can be bonded and stacked in to a separate vertical integrated circuit. Also disclosed are methods of creating edge interconnects and vias through the substrate to form interconnections between layers and devices thereon.

拾、申請專利範圍：

1. 一種製造一垂直積體電路的方法，該方法包含之步驟有：
 - 提供一個表體基板；
 - 5 選擇地在該基板上建立強黏結區域和弱黏結區域；
 - 使一第一黏結半導體層垂直地承載於該基板上；
 - 在該第一黏結半導體層上建立半導體裝置部段，該半導體裝置部段對應於該弱黏結區域；
 - 從該表體基板移除該第一半導體層；以及
 - 10 將該第一半導體層黏結到一第二半導體層。
2. 如申請專利範圍第 1 項之方法，其更進一步包含對齊該第一半導體層與該第二半導體層以使兩者具有相同的設置半導體裝置之部段的步驟。
3. 如申請專利範圍第 2 項之方法，其中該對齊步驟是機械
15 性對齊。
4. 如申請專利範圍第 2 項之方法，其中該對齊步驟是光學對齊。
5. 如申請專利範圍第 1 項之方法更進一步包含在該第二半導體層上建立半導體裝置部段的步驟。
- 20 6. 如申請專利範圍第 5 項之方法，其中該第二半導體層在該弱黏結區域上具有半導體裝置部段。
7. 如申請專利範圍第 1 項之方法，其中該強黏結區域對該弱黏結區域之區域比率大於 1。

8. 如申請專利範圍第 1 項之方法，其中該強黏結區域對該弱黏結區域之黏結強度比率大於 1。
9. 如申請專利範圍第 1 項之方法更進一步包含被該第一個半導體層該第二半導體層的互聯的步驟。
- 5 10. 如申請專利範圍第 9 項之方法，其中該互聯之步驟施用於該半導體層的邊緣。
11. 如申請專利範圍第 10 項之方法，其中該互聯之步驟係電氣地耦接。
12. 如申請專利範圍第 10 項之方法，其中該互聯之步驟係
10 光學地耦接。
13. 如申請專利範圍第 9 項之方法，其中該互聯之步驟係操作以垂直地穿越該半導體層。
14. 如申請專利範圍第 5 項之方法，更進一步包含步驟有：
從該表體基板移除該第二半導體層；及
15 黏結該第二個半導體分層至該第一個半導體層。
15. 如申請專利範圍第 1 項之方法，更進一步包含步驟有：
使一第 N 層黏結半導體層垂直地承載於該表體上，
該第 N 層黏結半導體層具有強黏結區域和弱黏結區域；
在該第 N 層半導體層上建立半導體裝置部段，該半
20 導體裝置部段對應於該弱黏結區域；
從該表體基板移除該第 N 層半導體層；及
黏結該第 N 層半導體層至一第(N-1)層半導體層。
16. 如申請專利範圍第 15 項之方法，主動半導體元件由該等 N 層 半導體層中的任何兩層所形成。

17. 如申請專利範圍第 1 項之方法，更進一步包含：

切割該黏結的半導體層來形成一或更多的晶粒之步驟。

18. 如申請專利範圍第 17 項之方法，更進一步包含：

於該晶粒步驟之後互聯該等黏結半導體層之步驟。

5 19. 如申請專利範圍第 18 項之方法，更進一步包含：

在該等一或更多的晶粒邊界上形成編緣連接器之步驟。

20. 如申請專利範圍第 19 項之方法，其中該等邊緣連接器

作用為判斷個別晶粒層之健康狀況的診斷導體。

21. 如申請專利範圍第 1 項之方法，其中該表體基板包括一
10 埋設的氧化物層。

22. 如申請專利範圍第 21 項之方法，其中該埋設的氧化物
層係以離子注入來形成。

23. 一種垂直的積體電路，其包含：

在一個晶圓上的一個表體基板；

15 垂直承載於該基板上的一第一選擇黏結半導體層，
該黏結半導體層包含弱黏結區域和強黏結區域；

垂直承載於該第一選擇黏結半導體層上的一第二選
擇黏結半導體層；

其中一半導體裝置部段建立在該弱黏結區域或該弱
20 黏結區域之上；及

其中該半導體裝置部段垂直地跨越該第一選擇黏結
半導體層及該第二選擇黏結半導體層。

24. 一種形成在一晶粒上的垂直積體電路，其包含：

在一個晶圓上的一個表體基板；

垂直承載於該基板上的一第一選擇黏結半導體層，
該黏結半導體層包含弱黏結區域和強黏結區域；

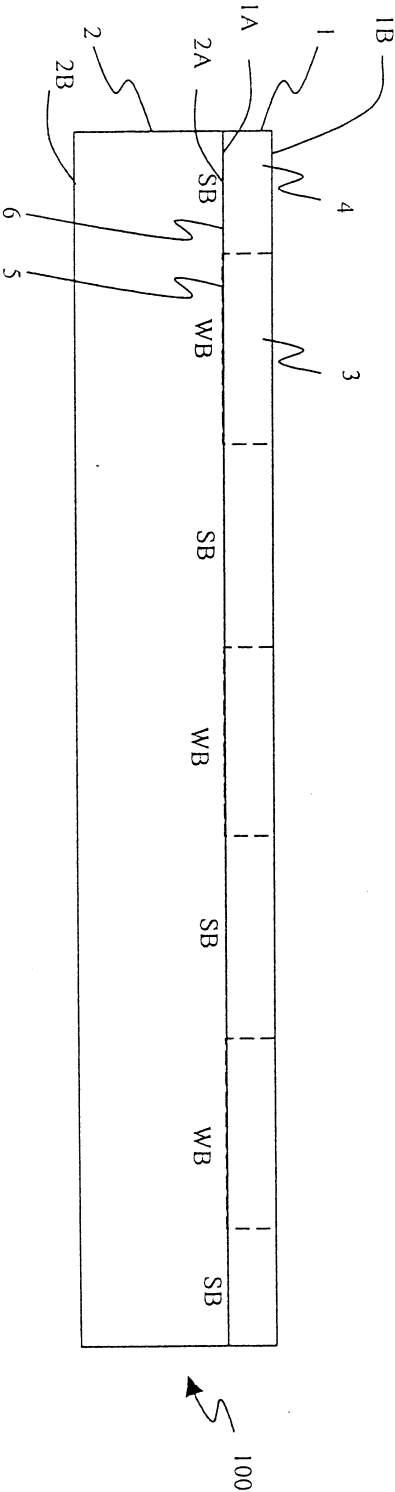
垂直承載於該第一選擇黏結半導體層上的一第二選擇黏結半導體層；

5 其中一半導體裝置部段建立在該弱黏結區域或該弱黏結區域之上；

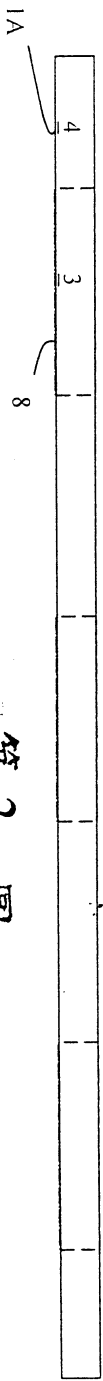
其中該半導體裝置部段垂直地跨越該第一選擇黏結半導體層及該第二選擇黏結半導體層；及

其中該晶粒係由切割該黏結半導體層所形成。

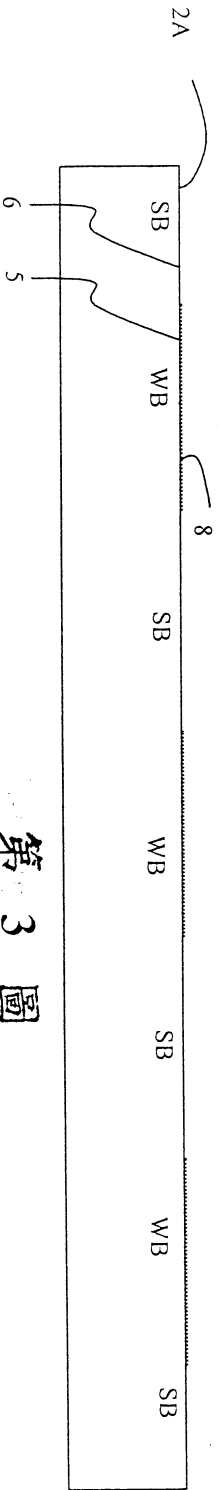
92132601



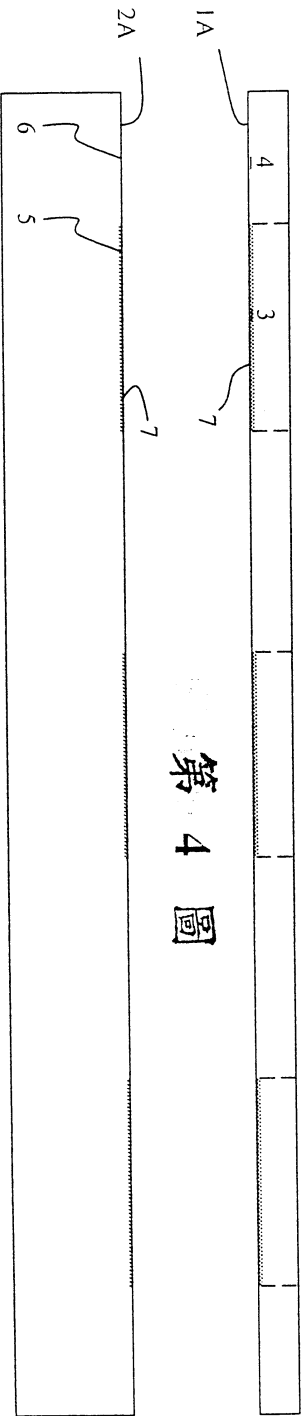
第 1 圖



第 2 圖

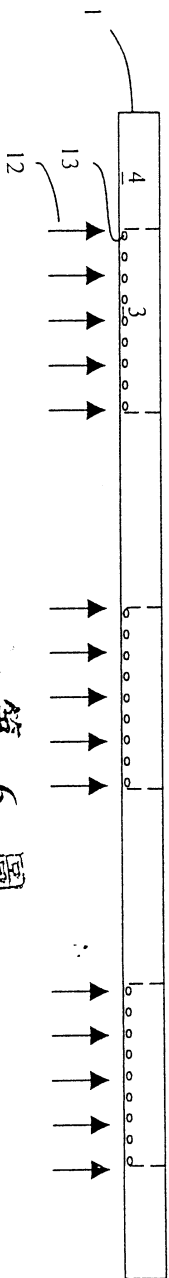


第 3 圖

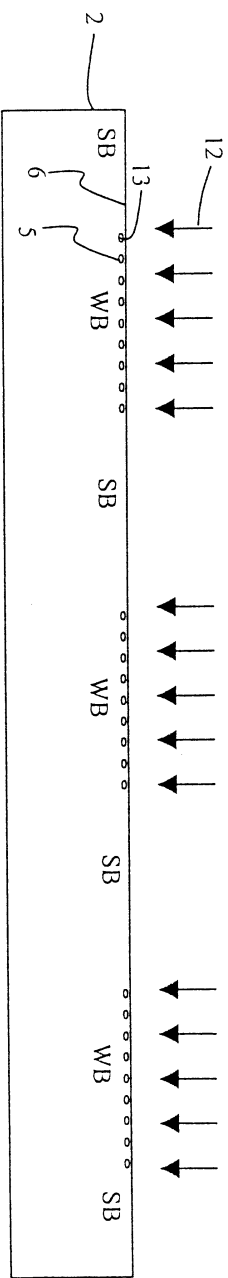


第 4 圖

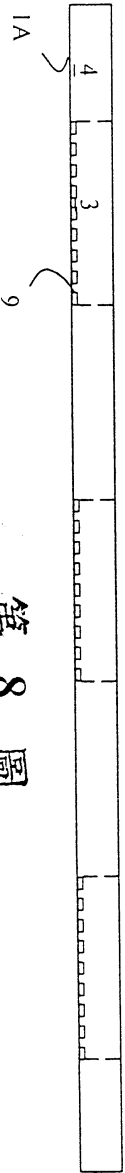
第 5 圖



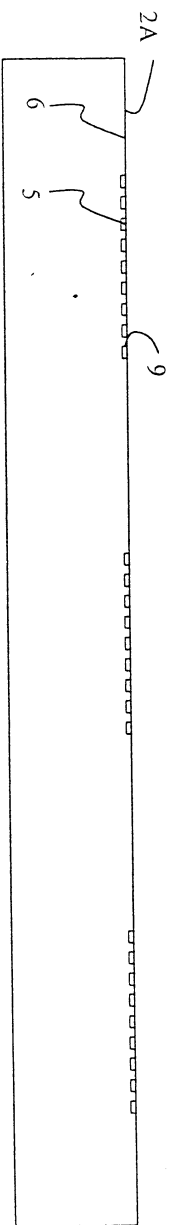
第 6 圖



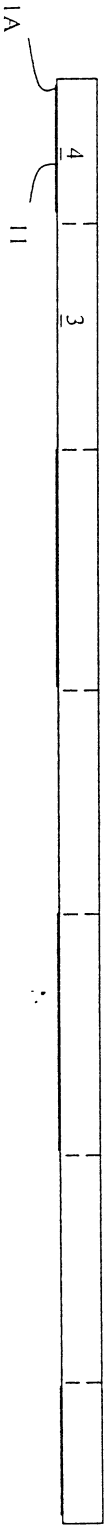
第 7 圖



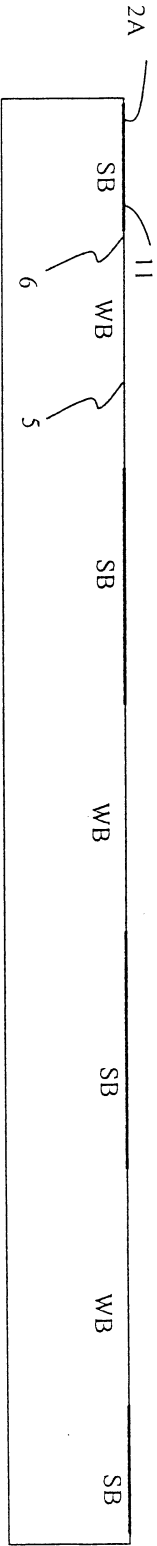
第 8 圖



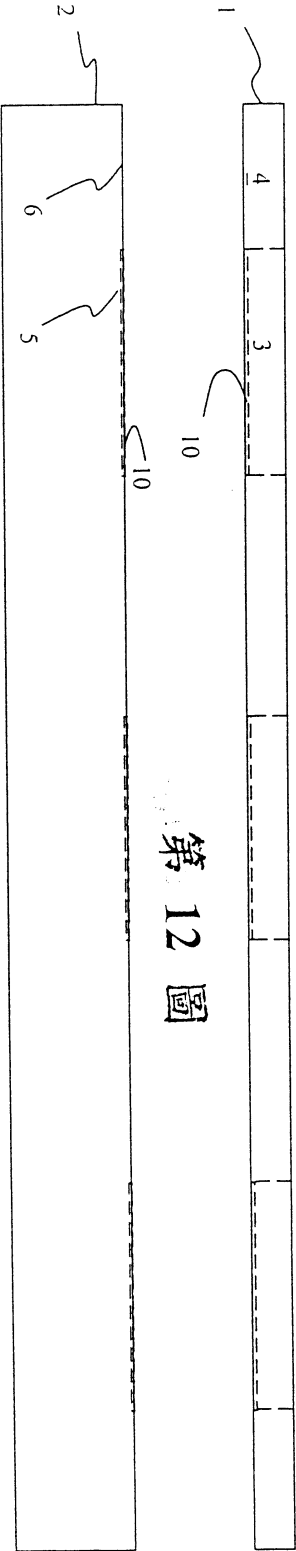
第 9 圖



第 10 圖

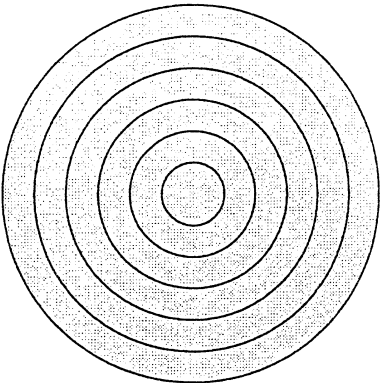


第 11 圖

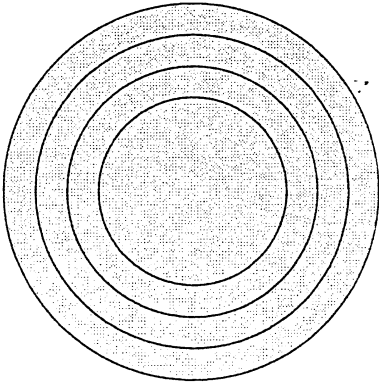


第 12 圖

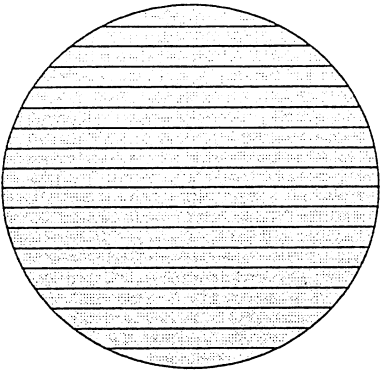
第 13 圖



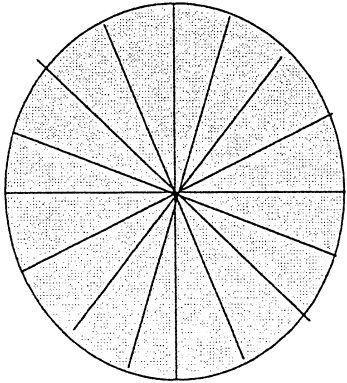
第 14 圖



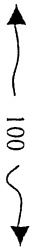
第 16 圖

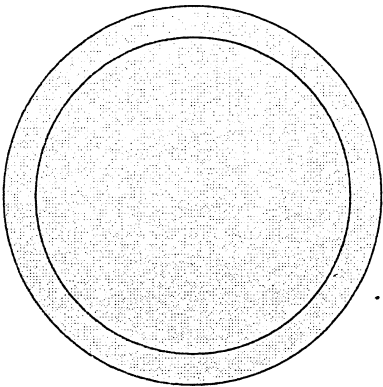


第 15 圖

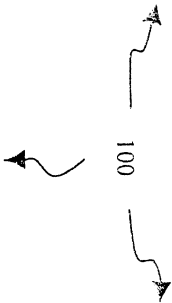


第 17 圖

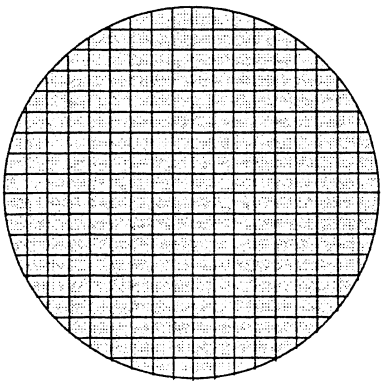




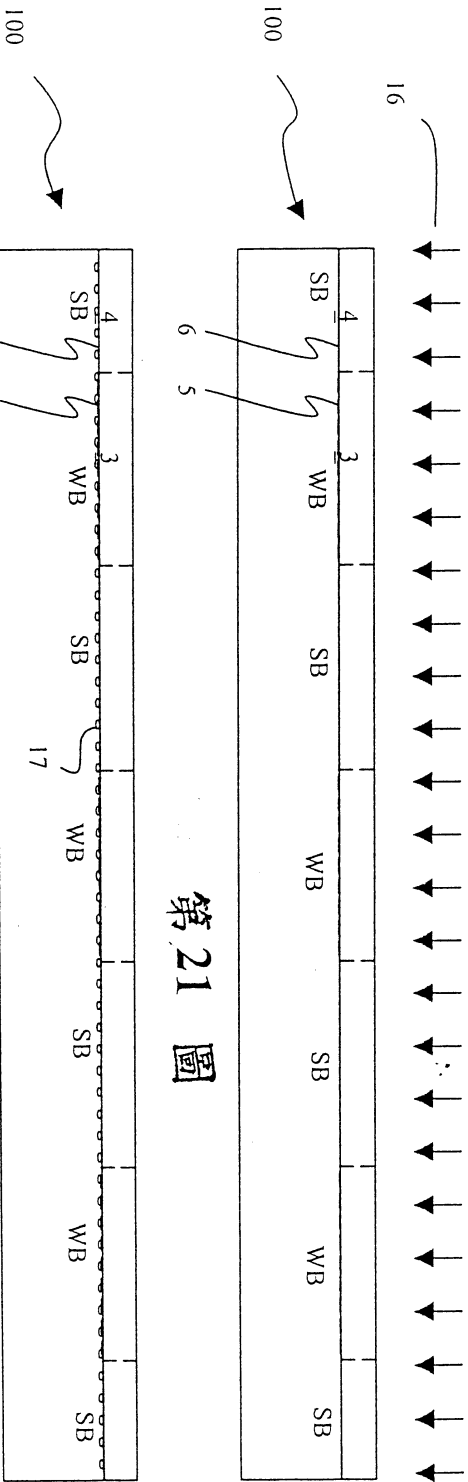
第 18 圖



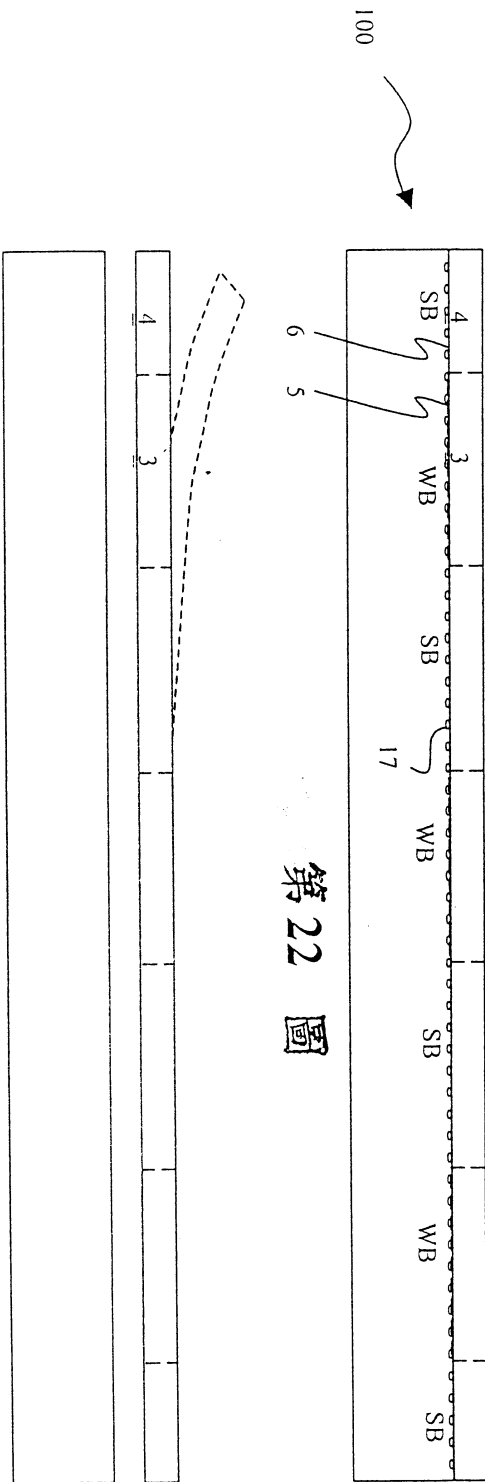
第 19 圖



第 20 圖

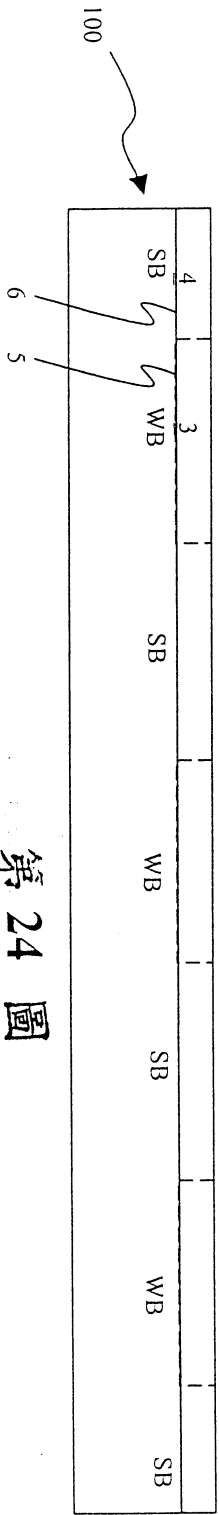


第 21 圖

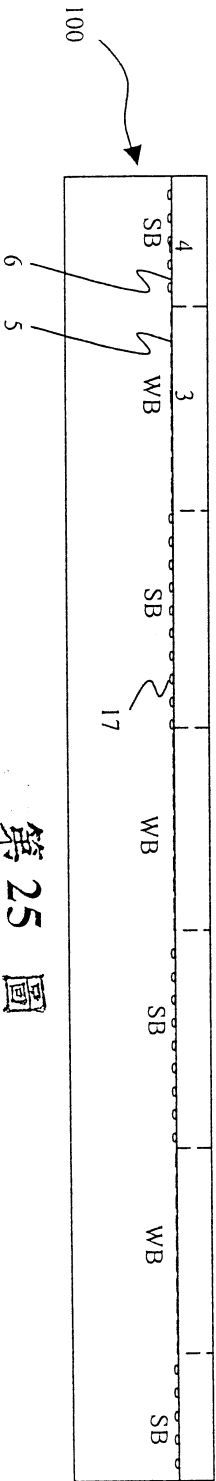


第 22 圖

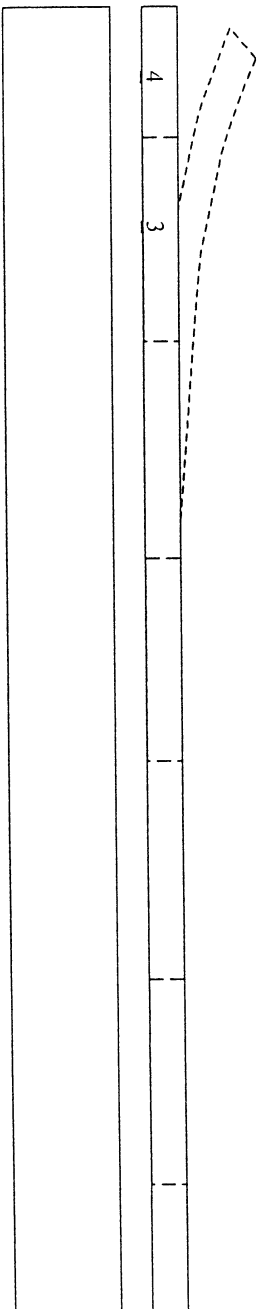
第 23 圖



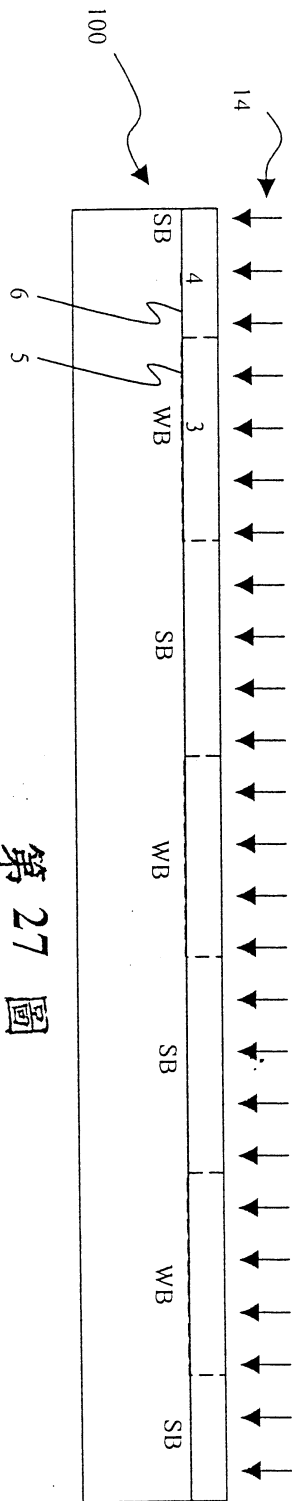
第 24 圖



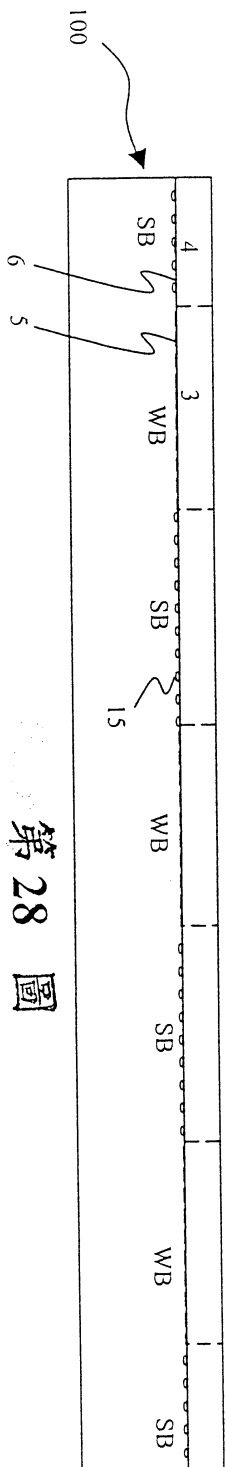
第 25 圖



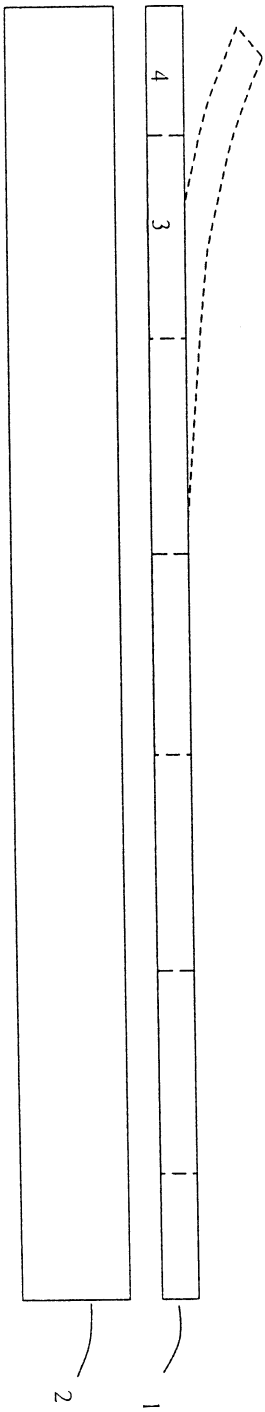
第 26 圖



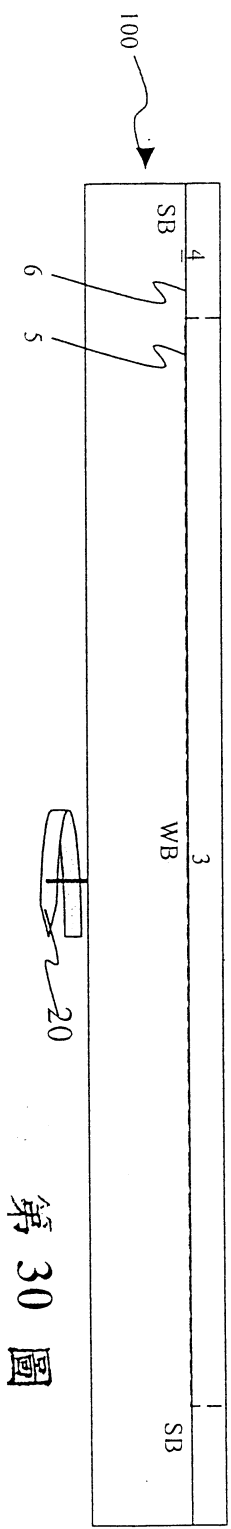
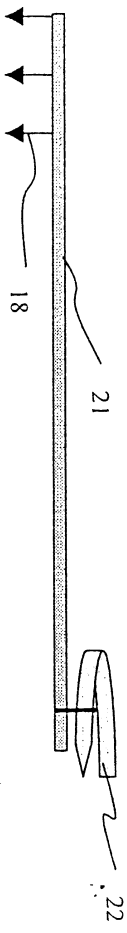
第 27 圖



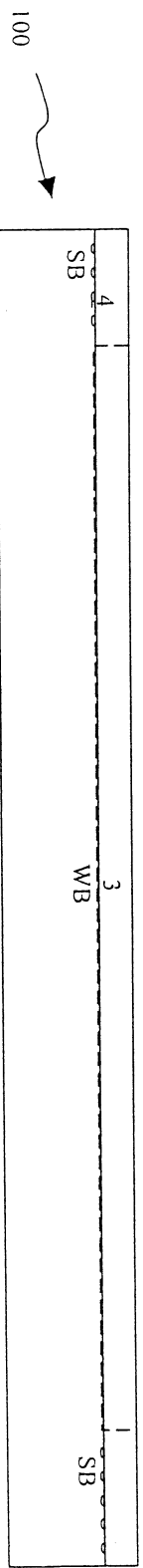
第 28 圖



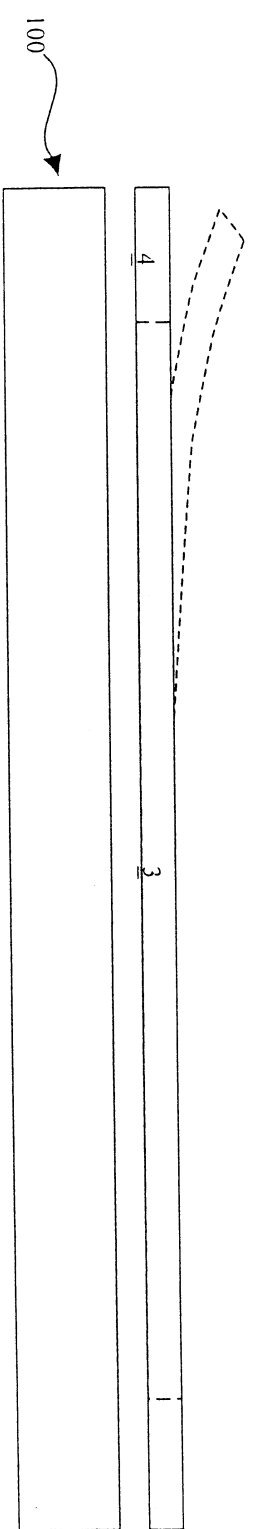
第 29 圖



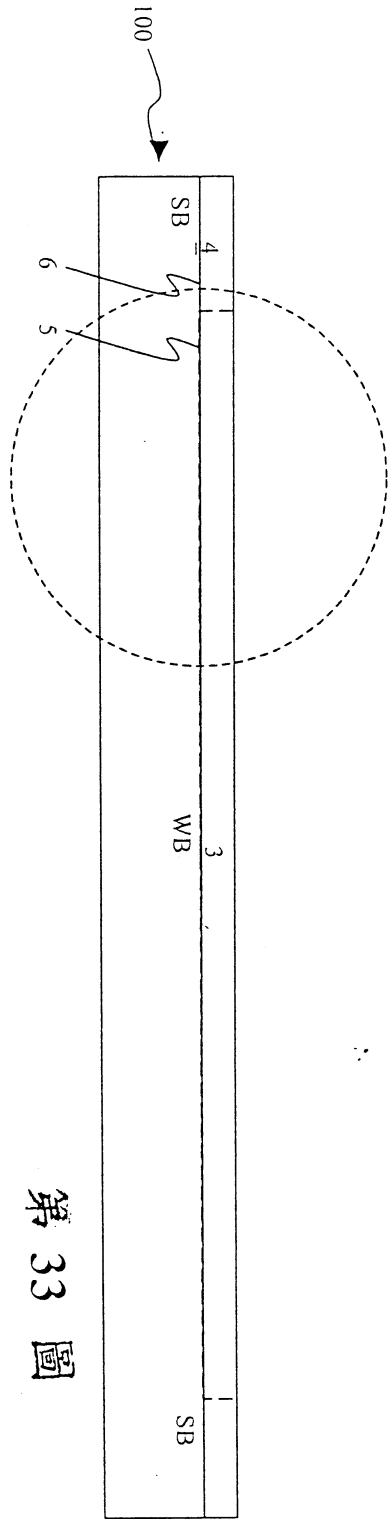
第 30 圖



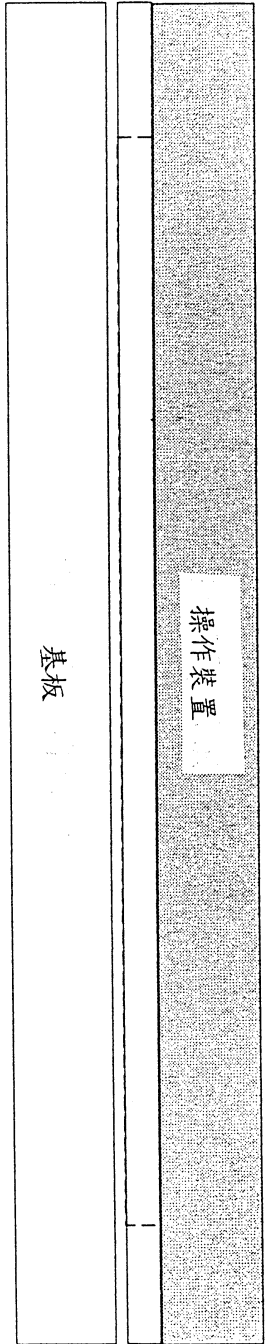
第 31 圖



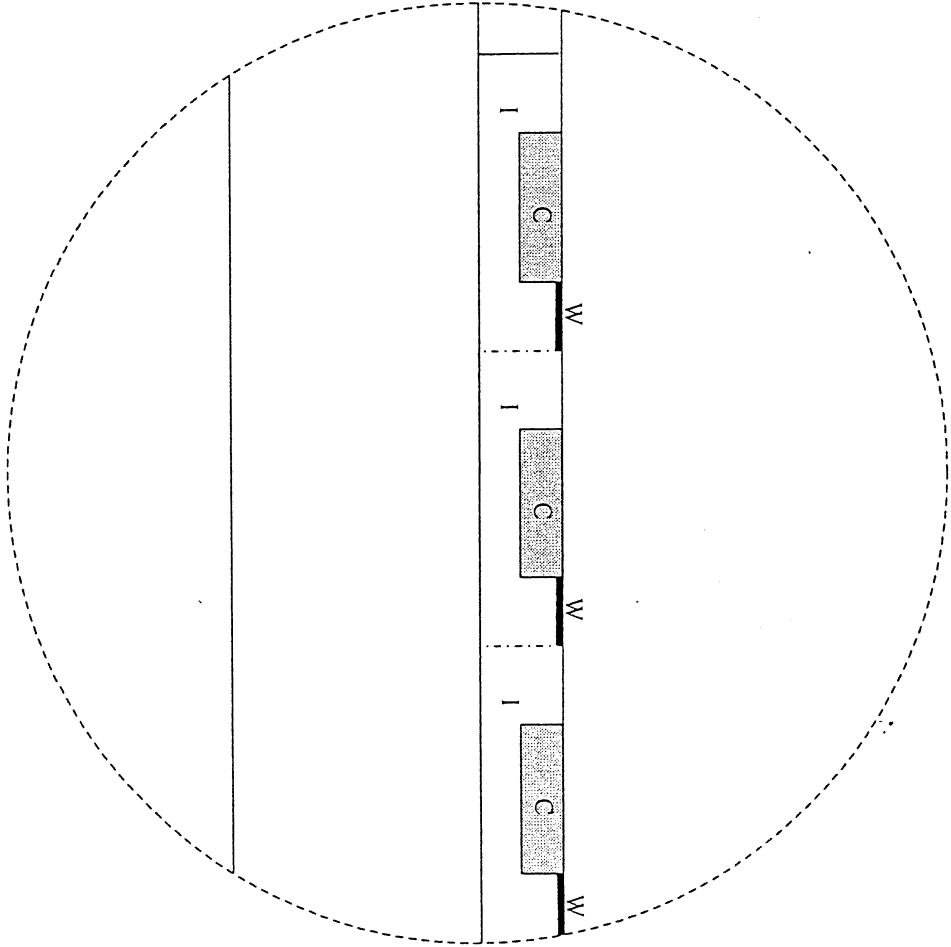
第 32 圖



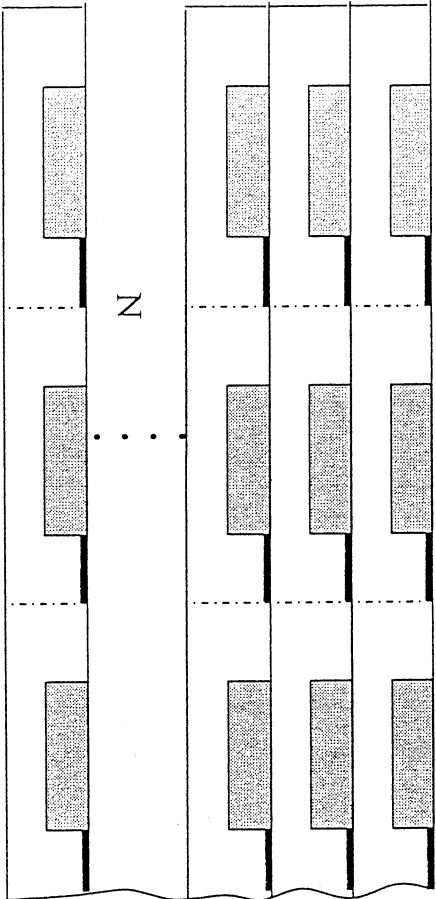
第 33 圖



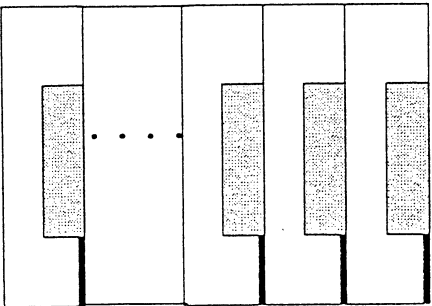
第 35 圖



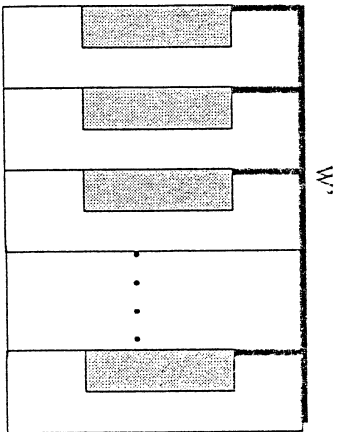
第 34 圖



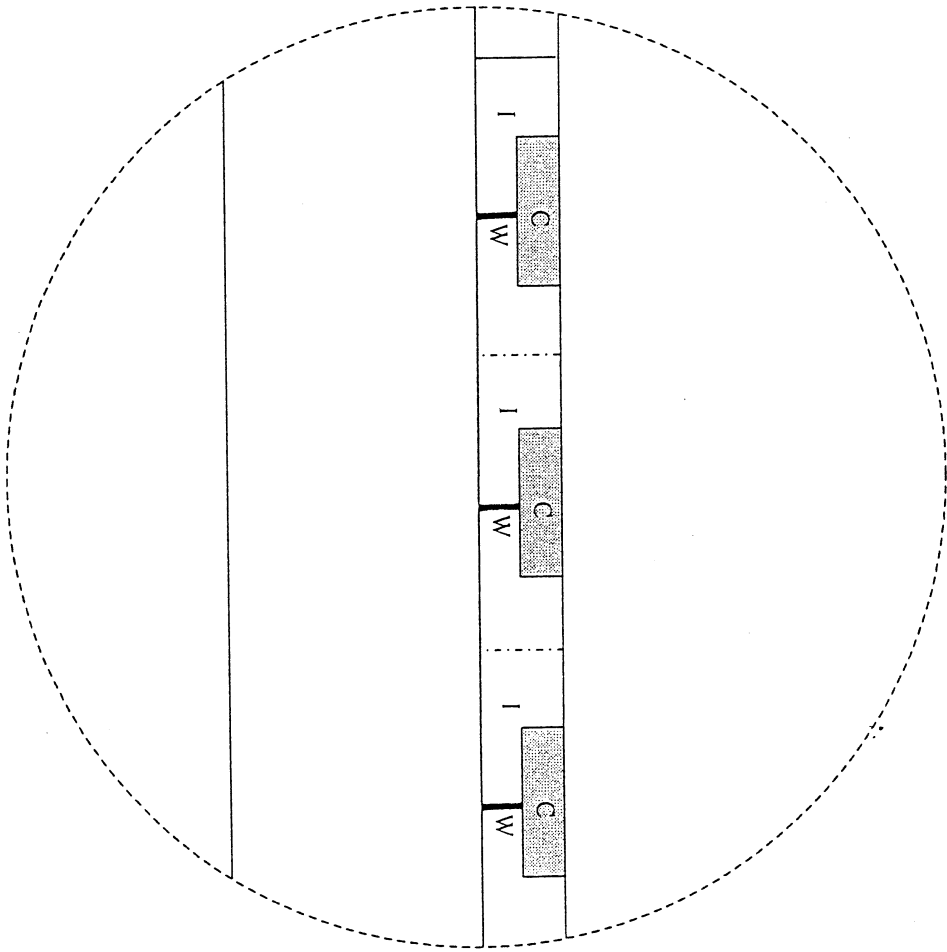
第 36 圖



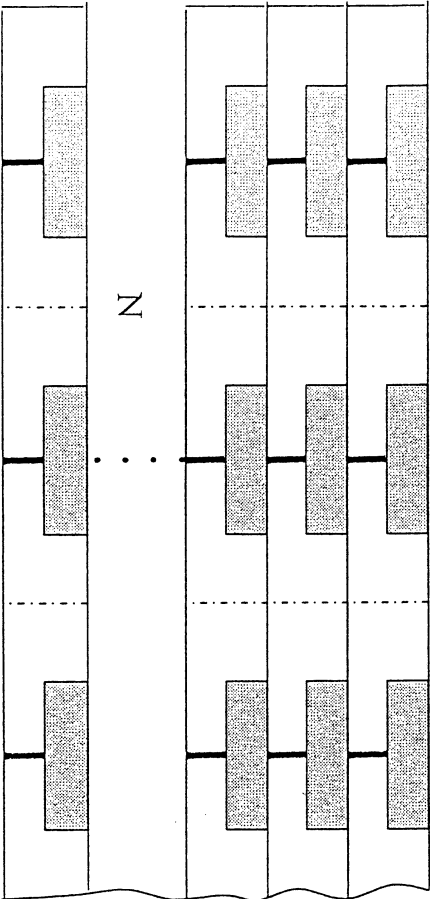
第 37 圖



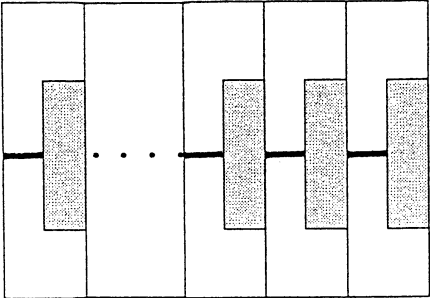
第 38 圖



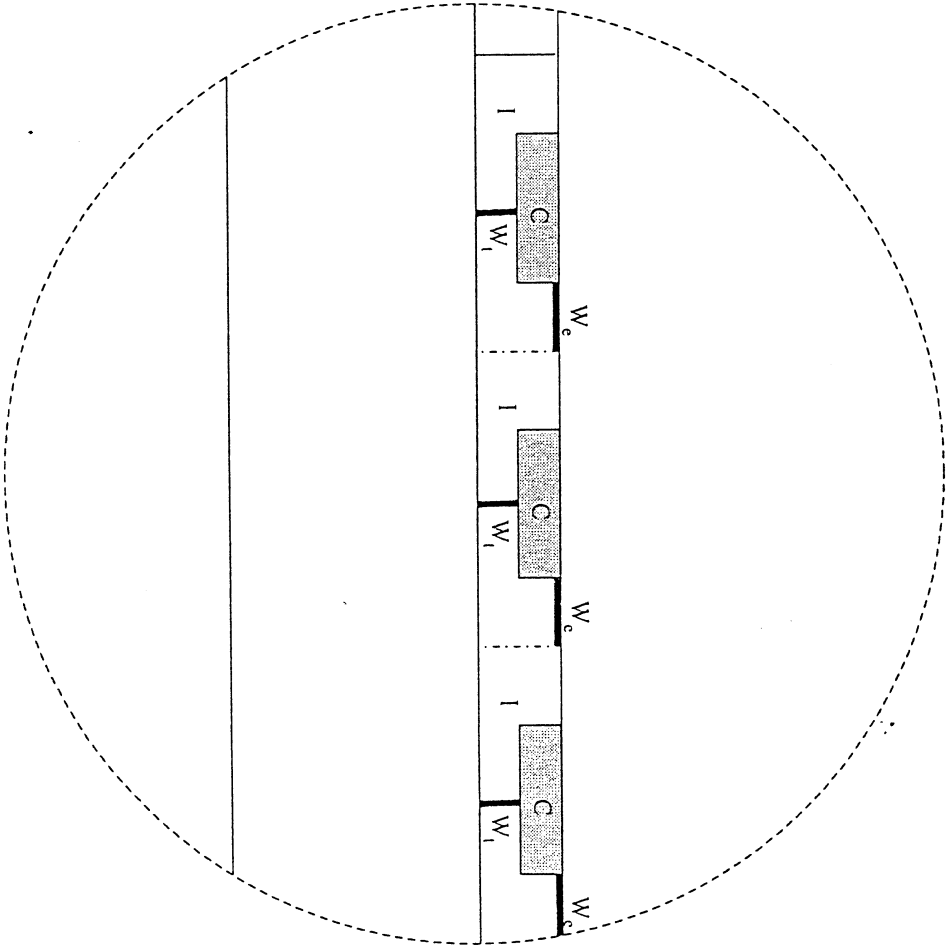
第 39 圖



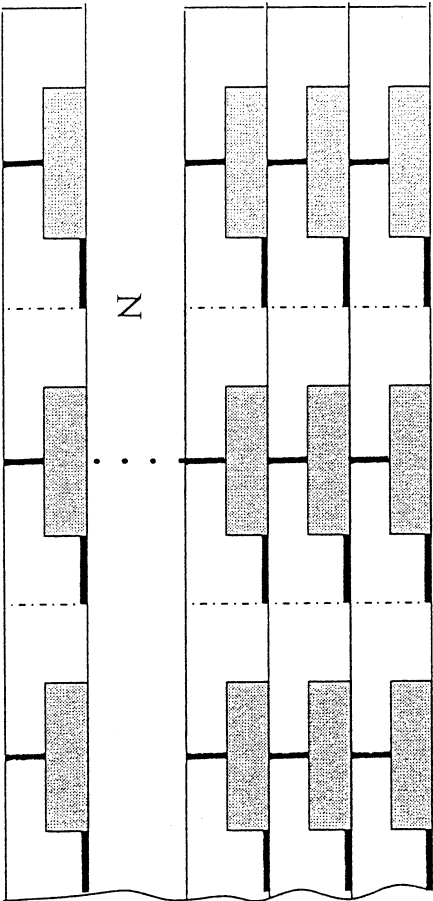
第 40 圖



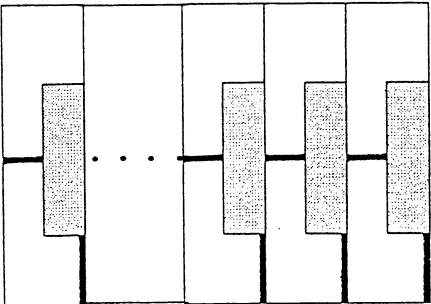
第 41 圖



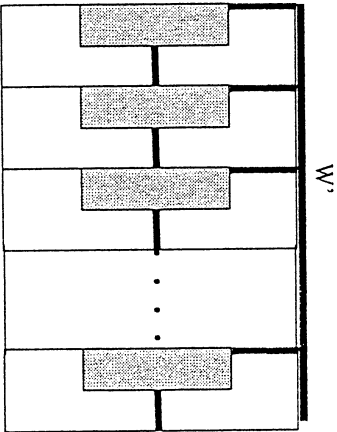
第 42 圖



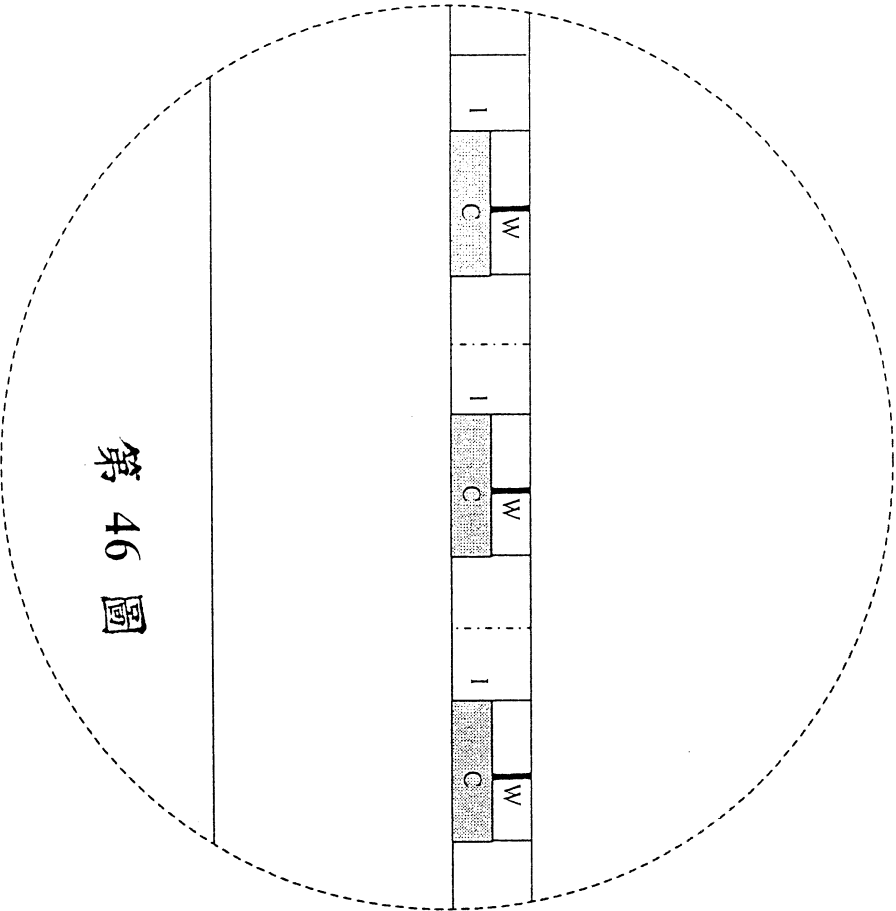
第 43 圖



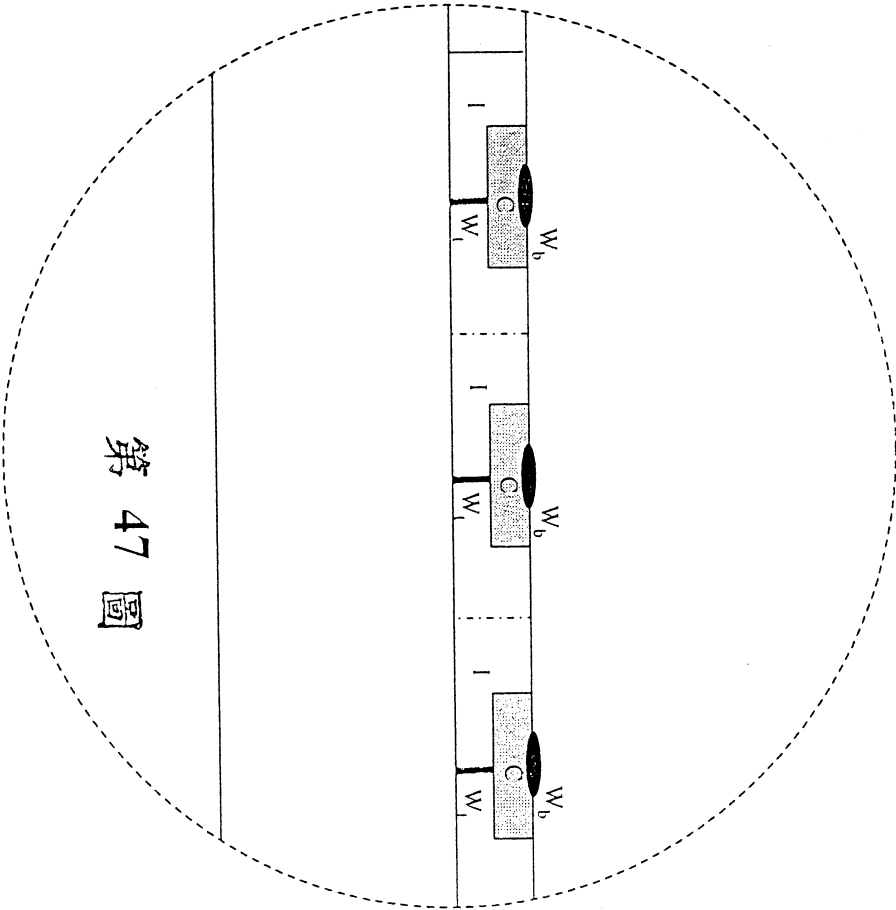
第 44 圖



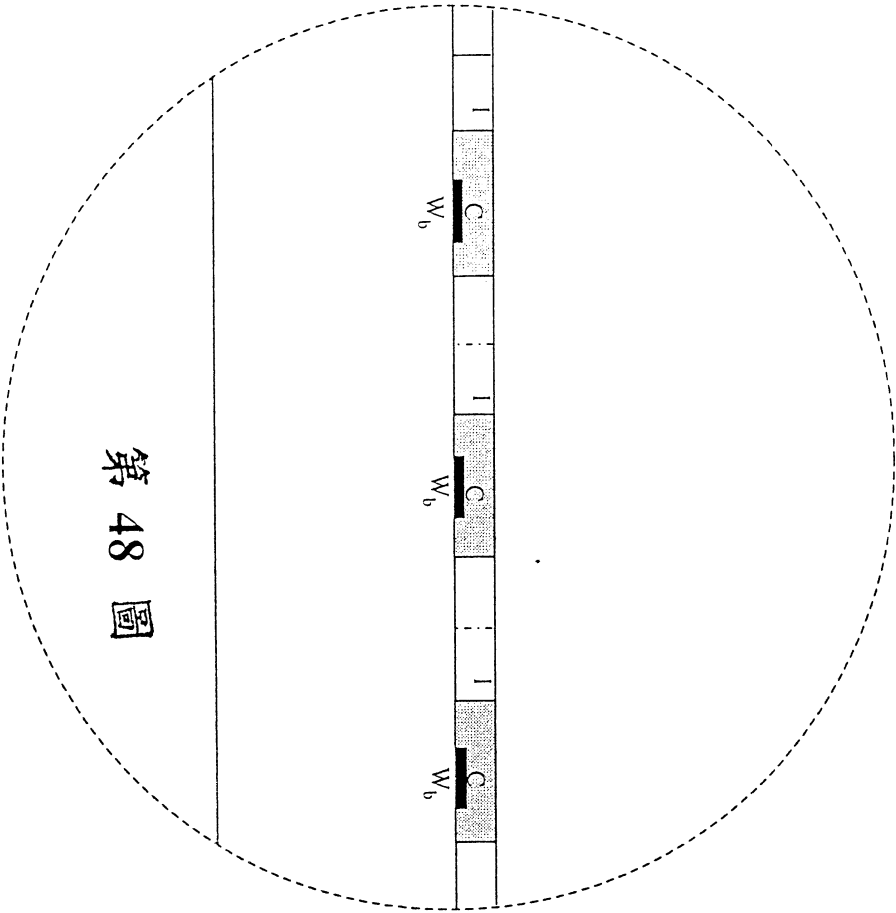
第 45 圖



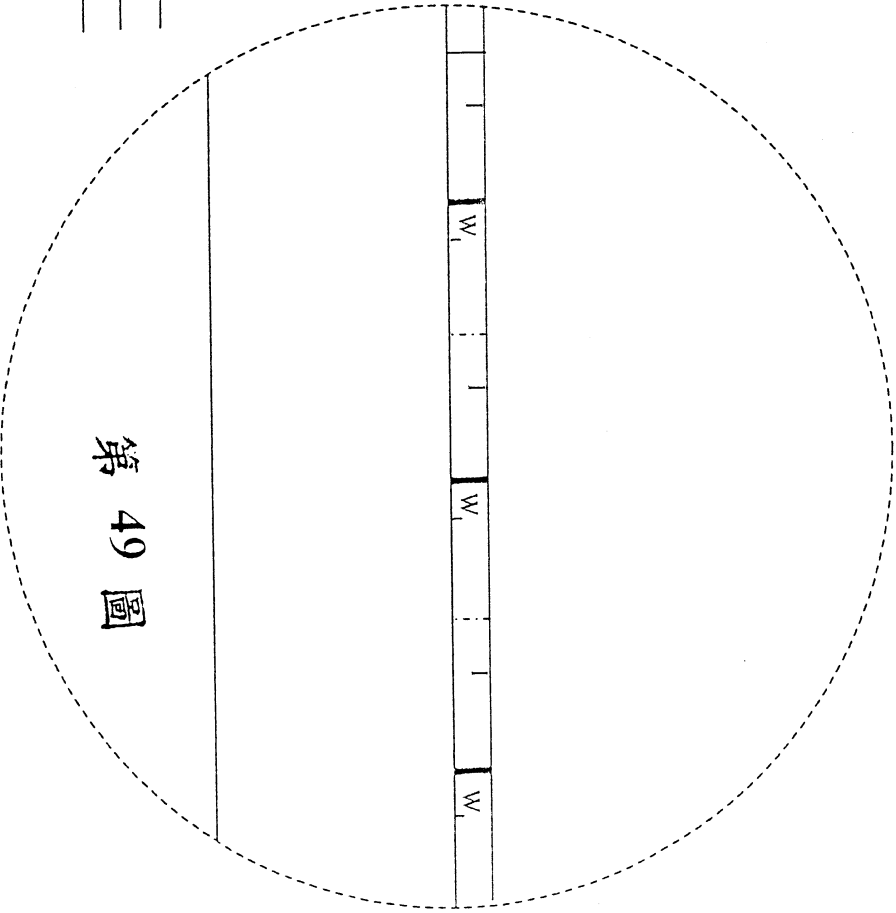
第 46 圖



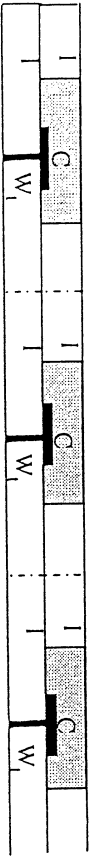
第 47 圖



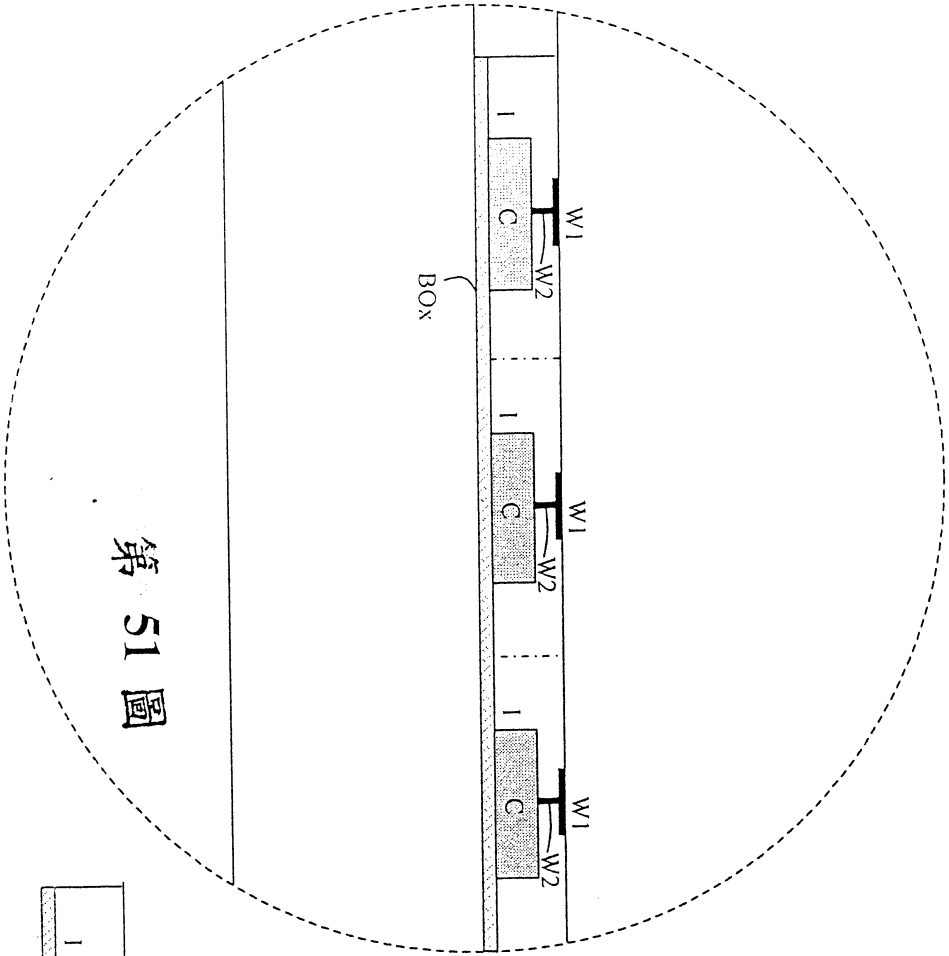
第 48 圖



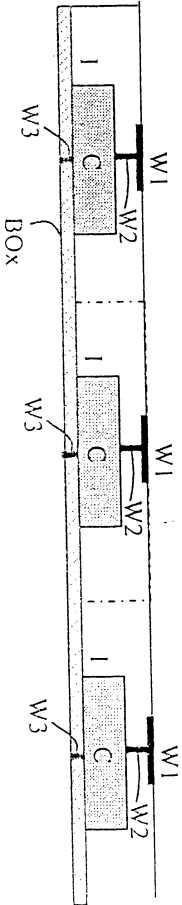
第 49 圖



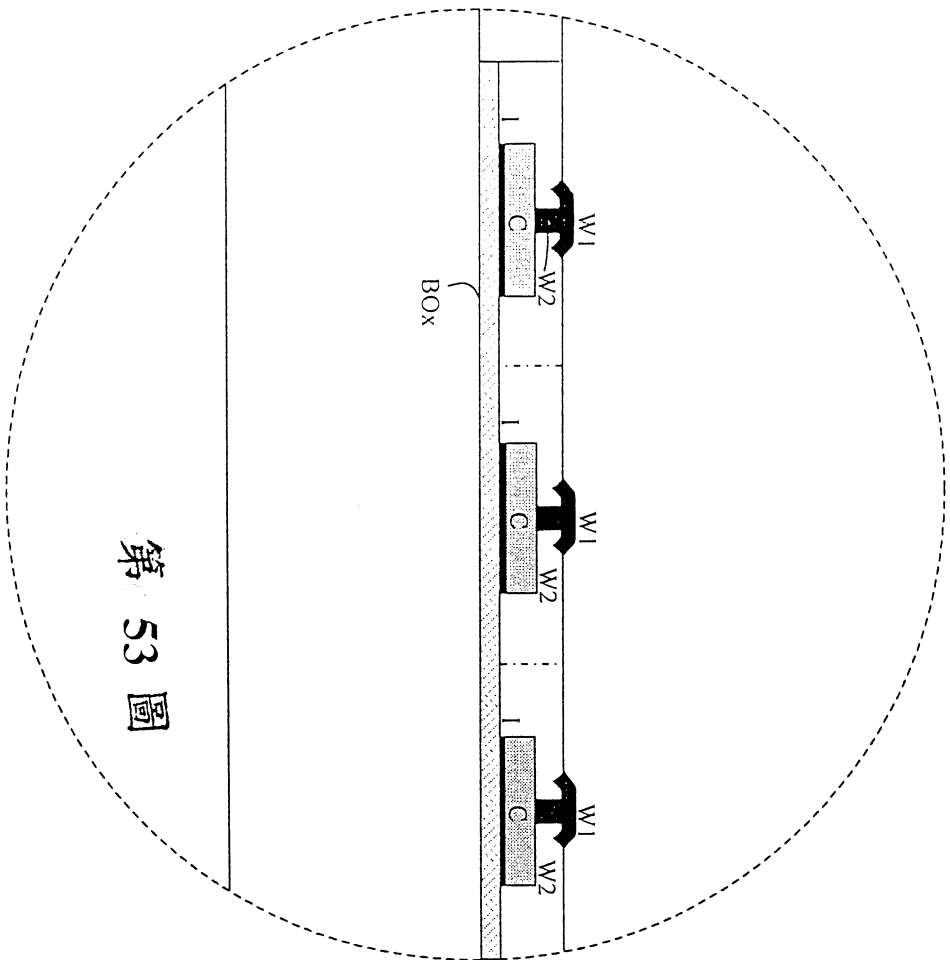
第 50 圖



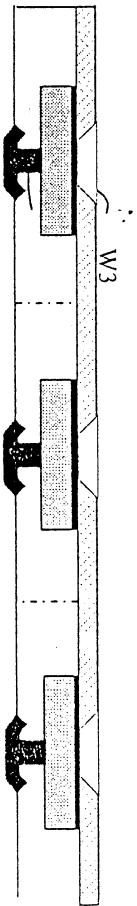
第 51 圖



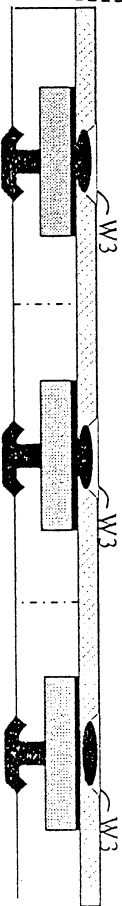
第 52 圖



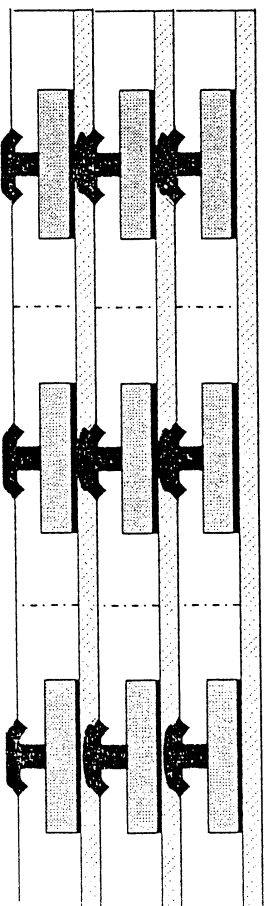
第 53 圖



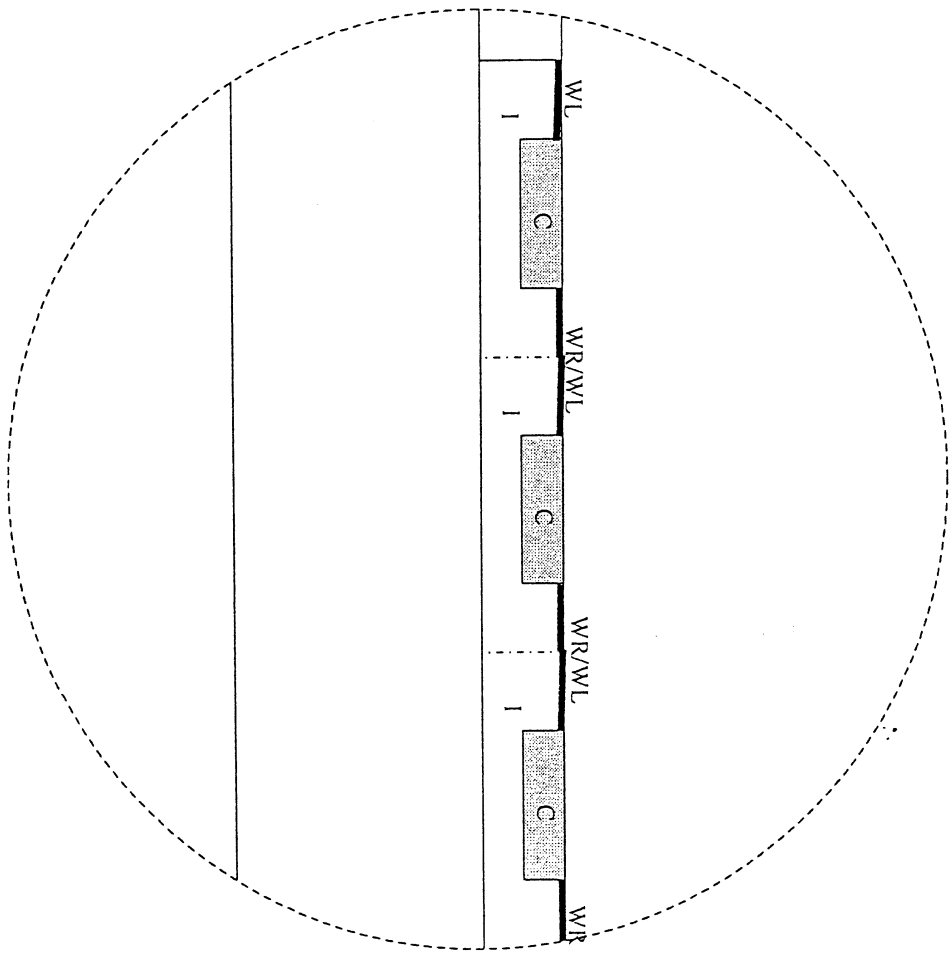
第 54 圖



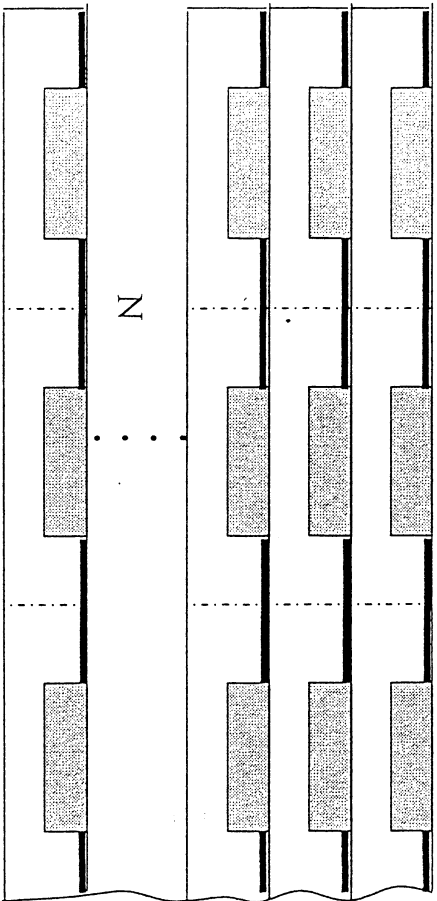
第 55 圖



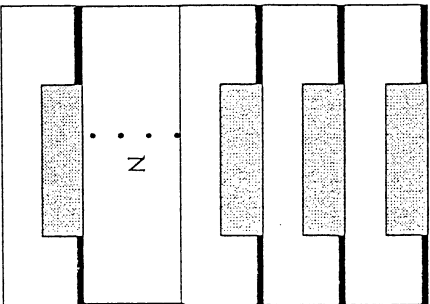
第 56 圖



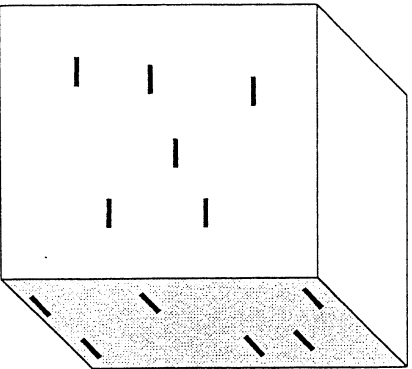
第 57 圖



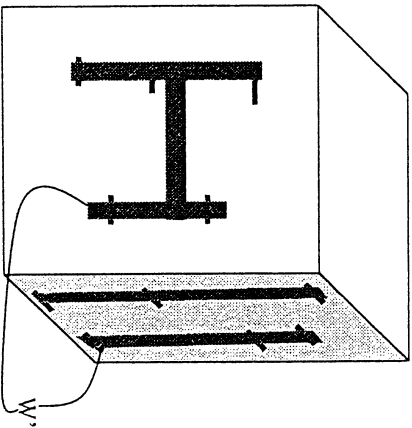
第 58 圖



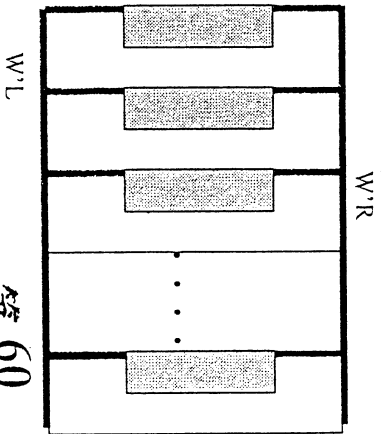
第 59 圖



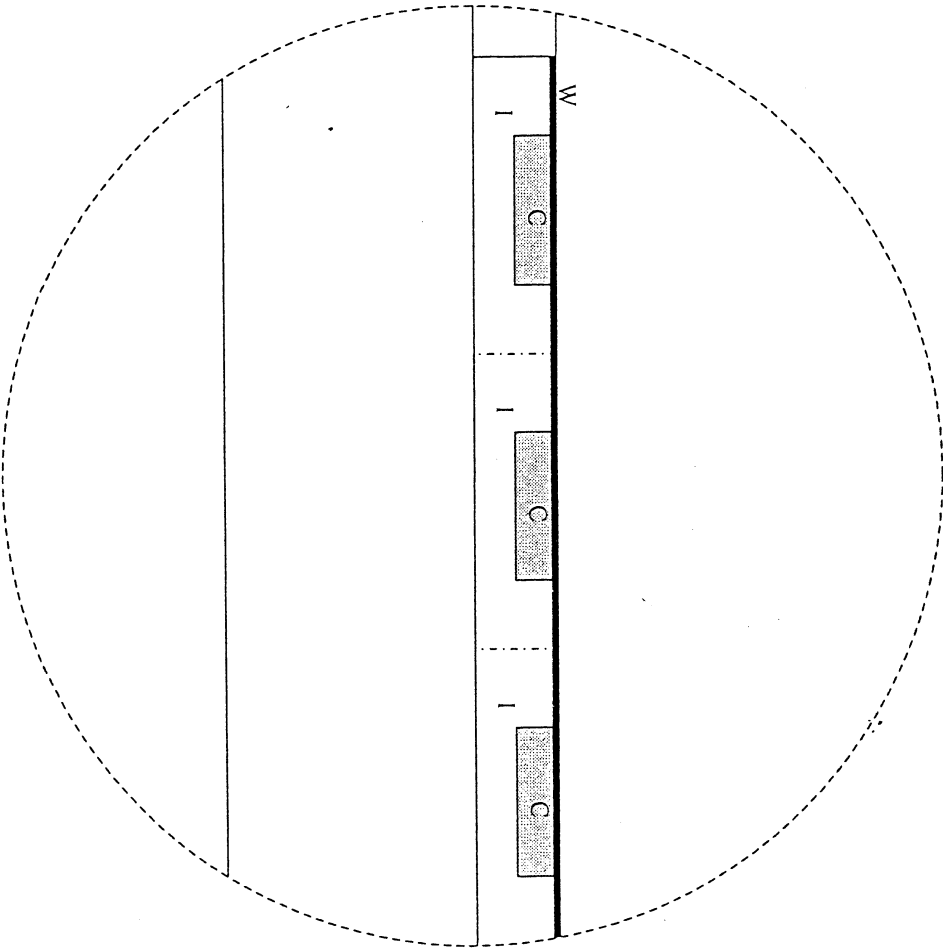
第 61 圖



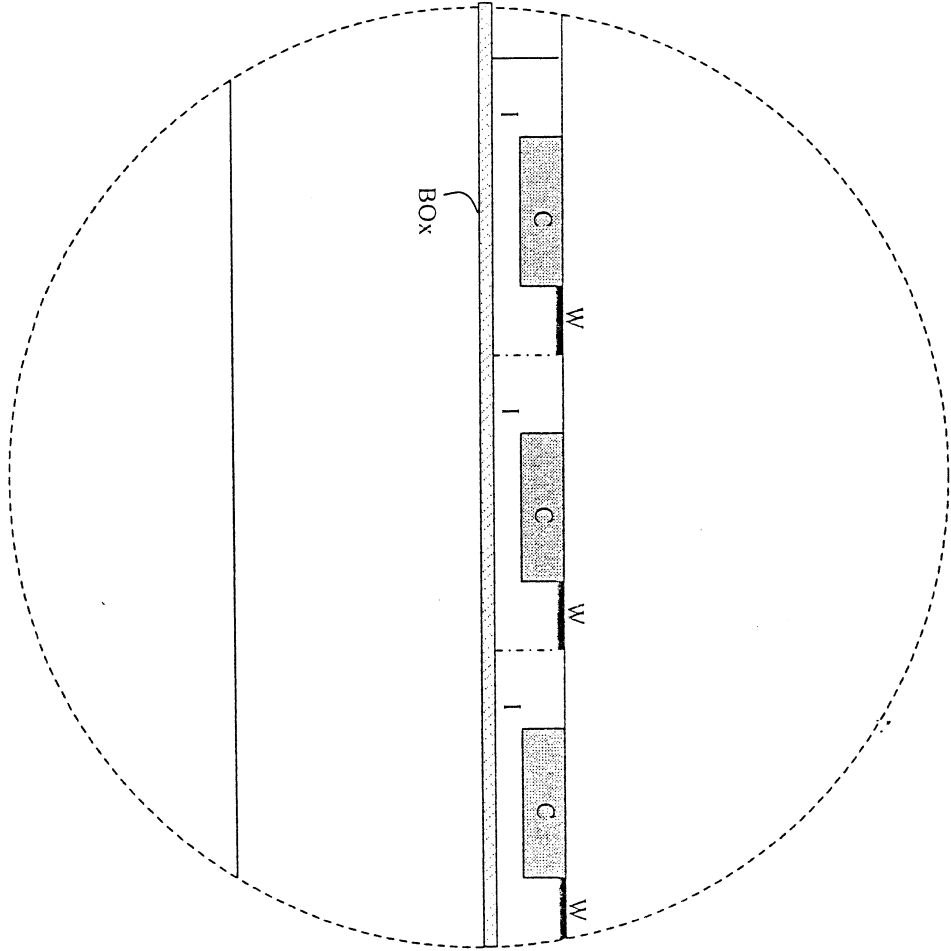
第 62 圖



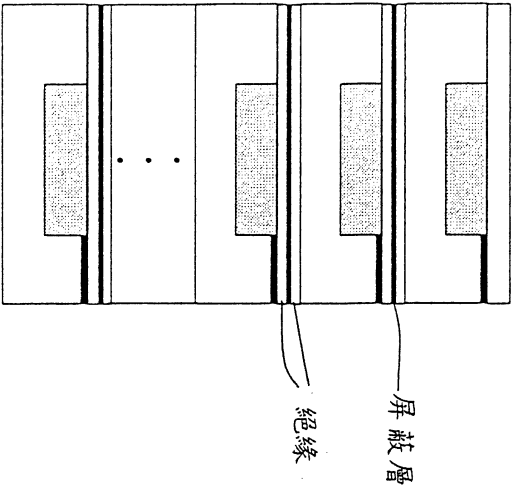
第 60 圖



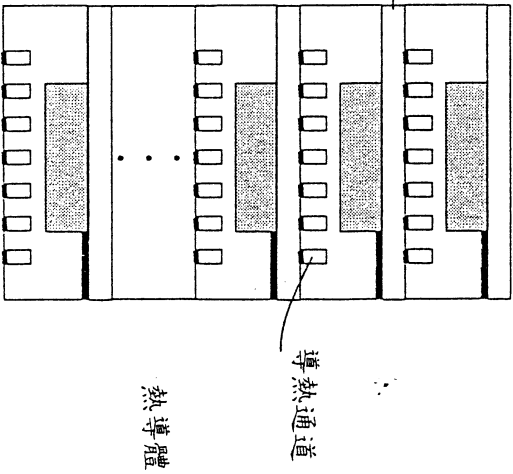
第 63 圖



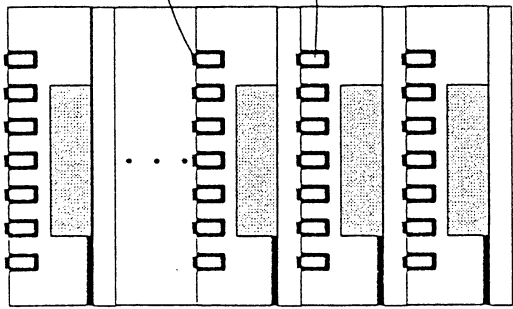
第 64 圖



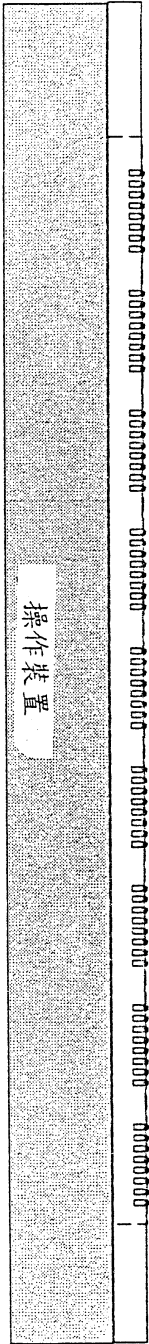
第 65 圖



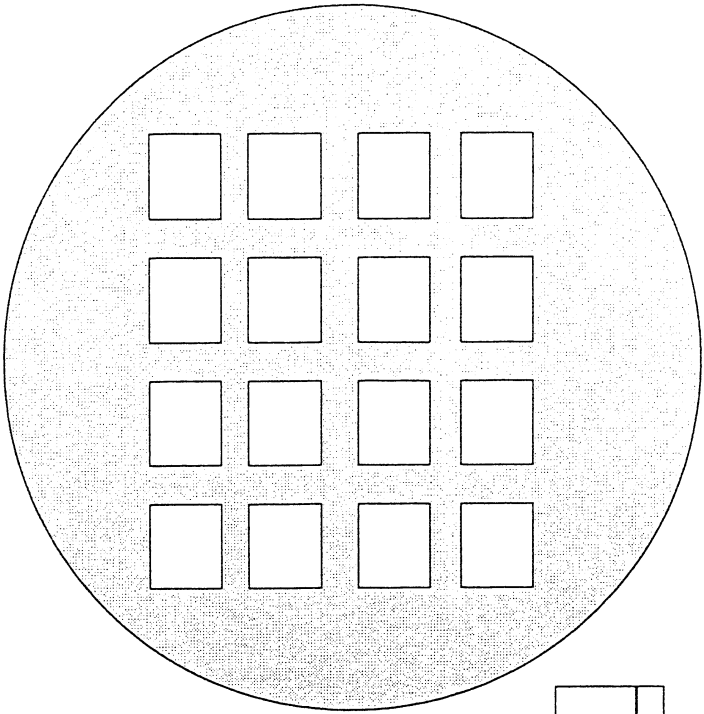
第 66 圖



第 67 圖



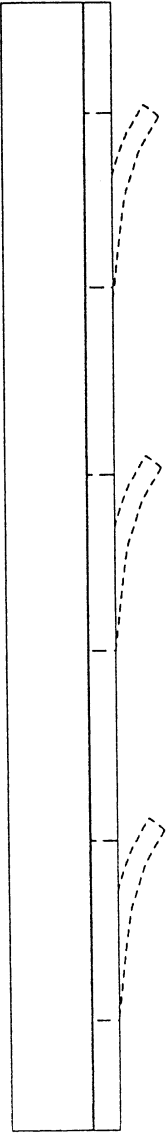
第 68 圖



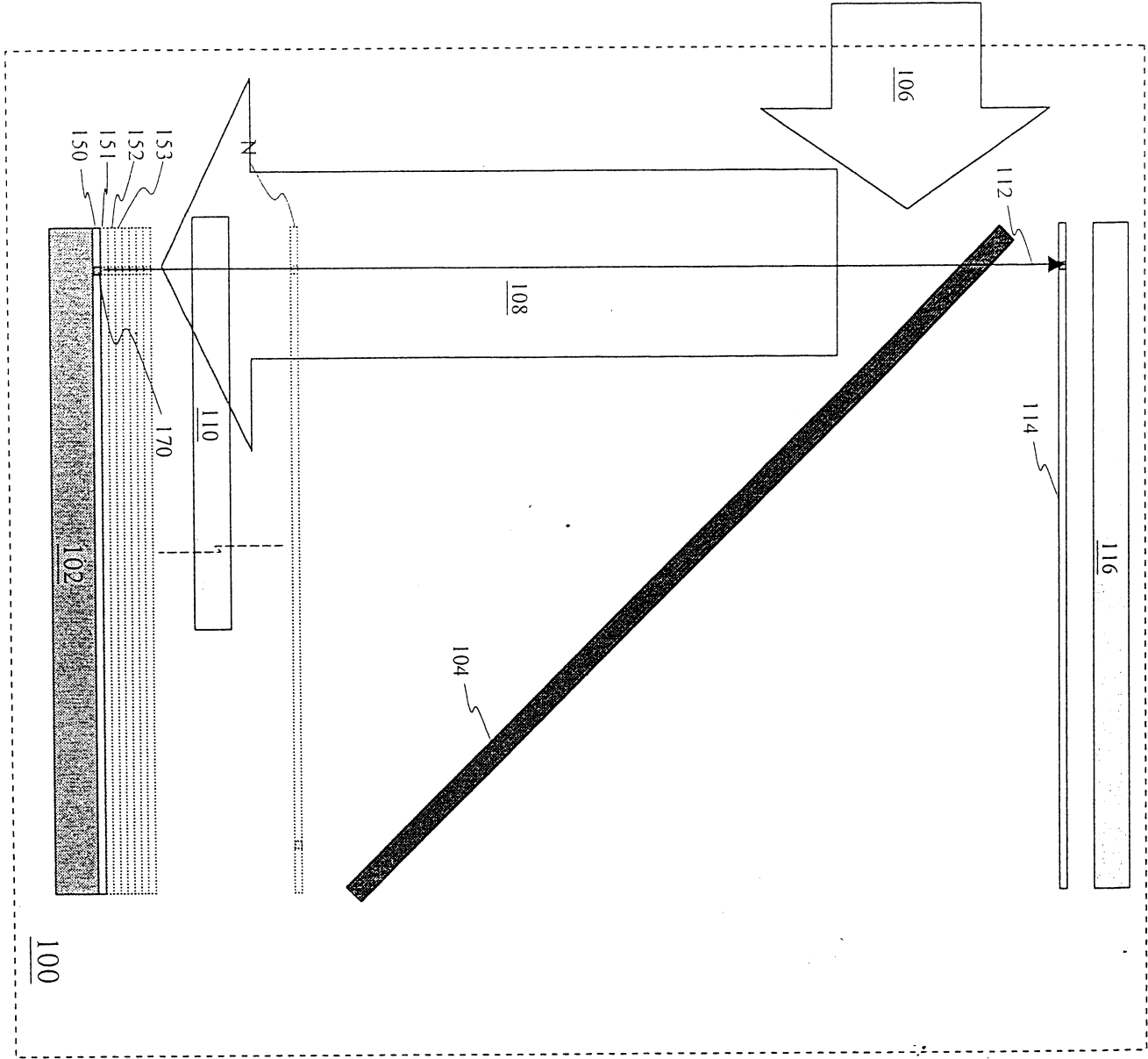
第 69 圖

4	3							
SB	WB	SB	WB	SB	WB	SB	WB	SB

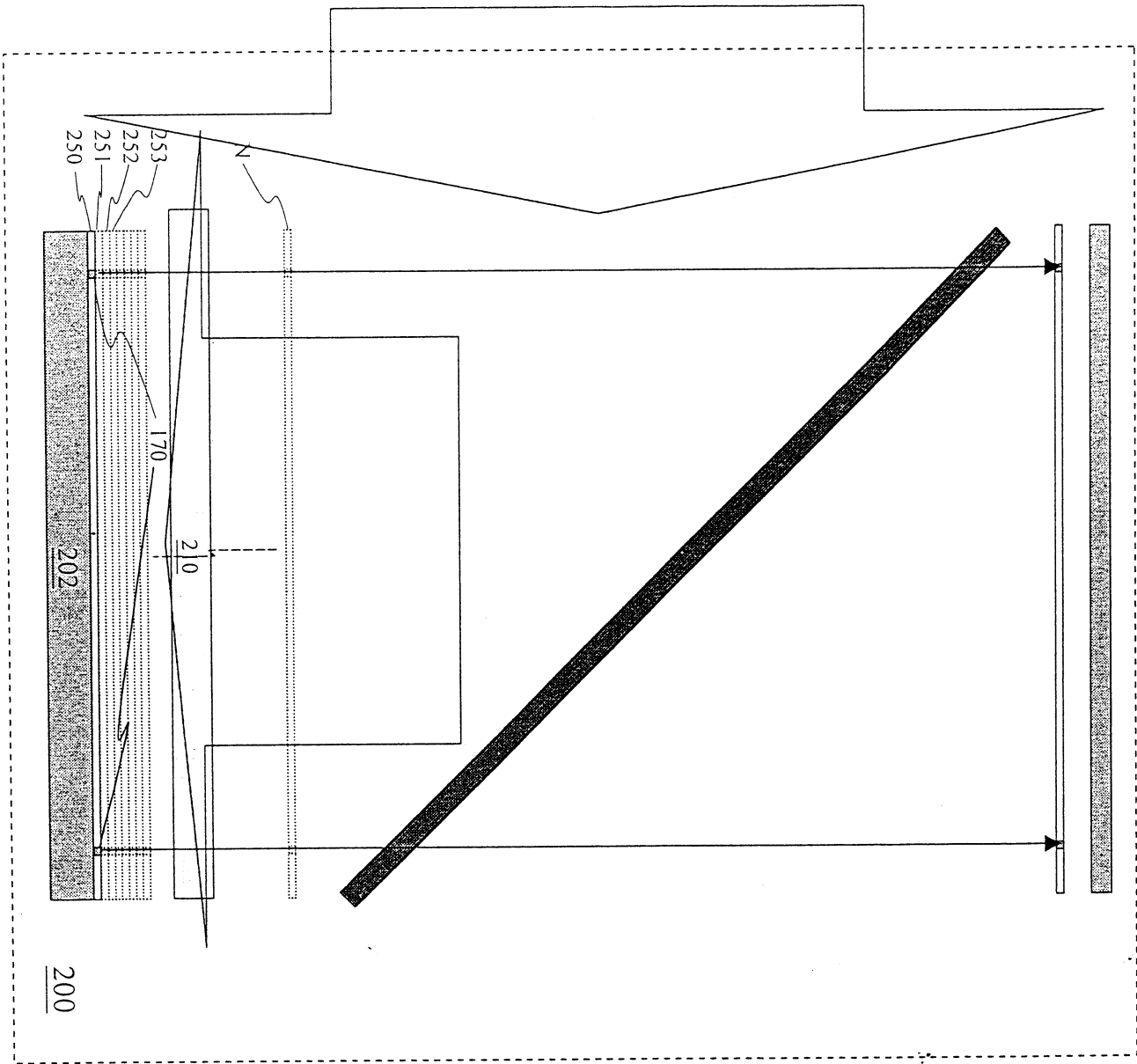
第 70 圖



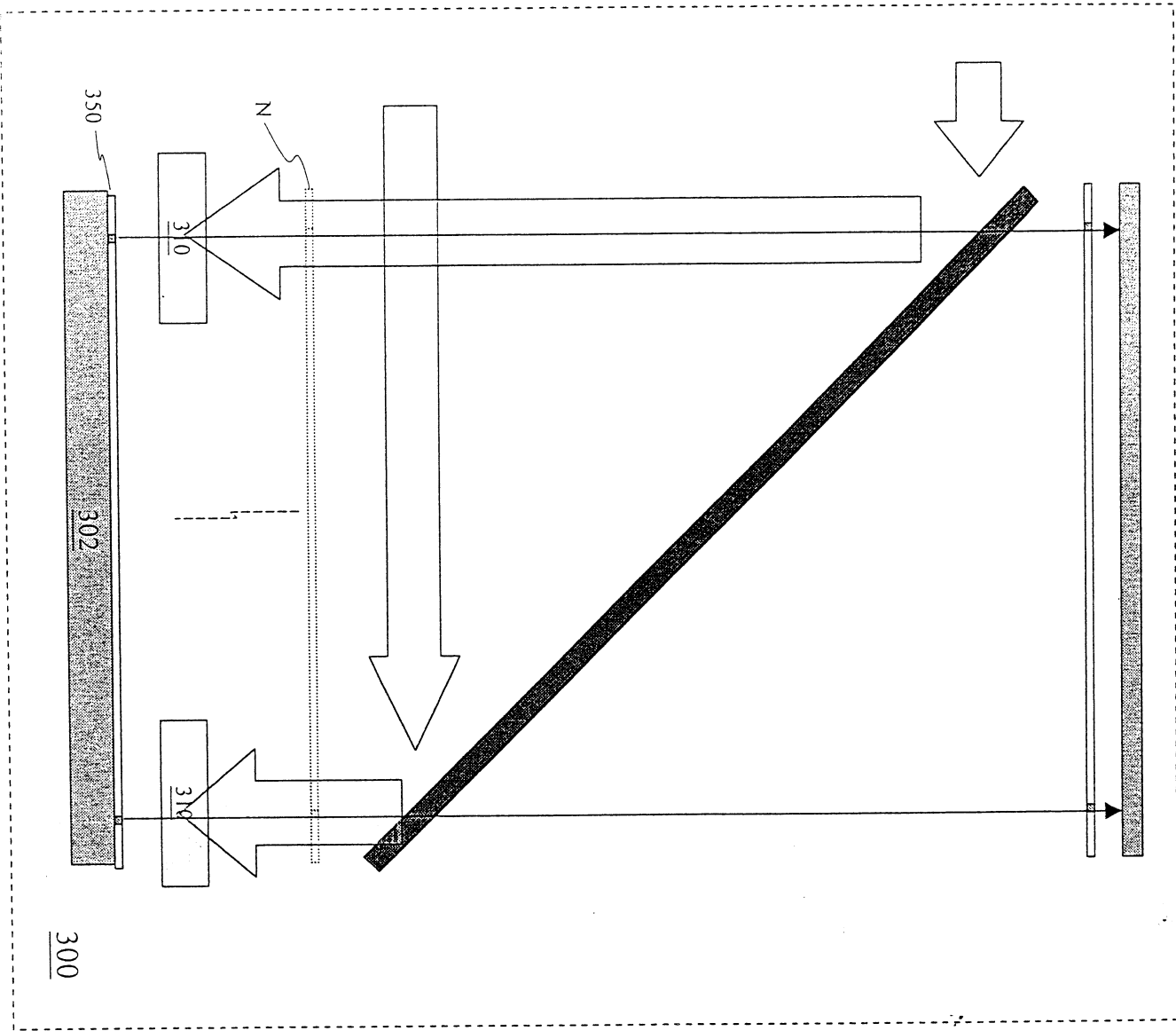
第 71 圖



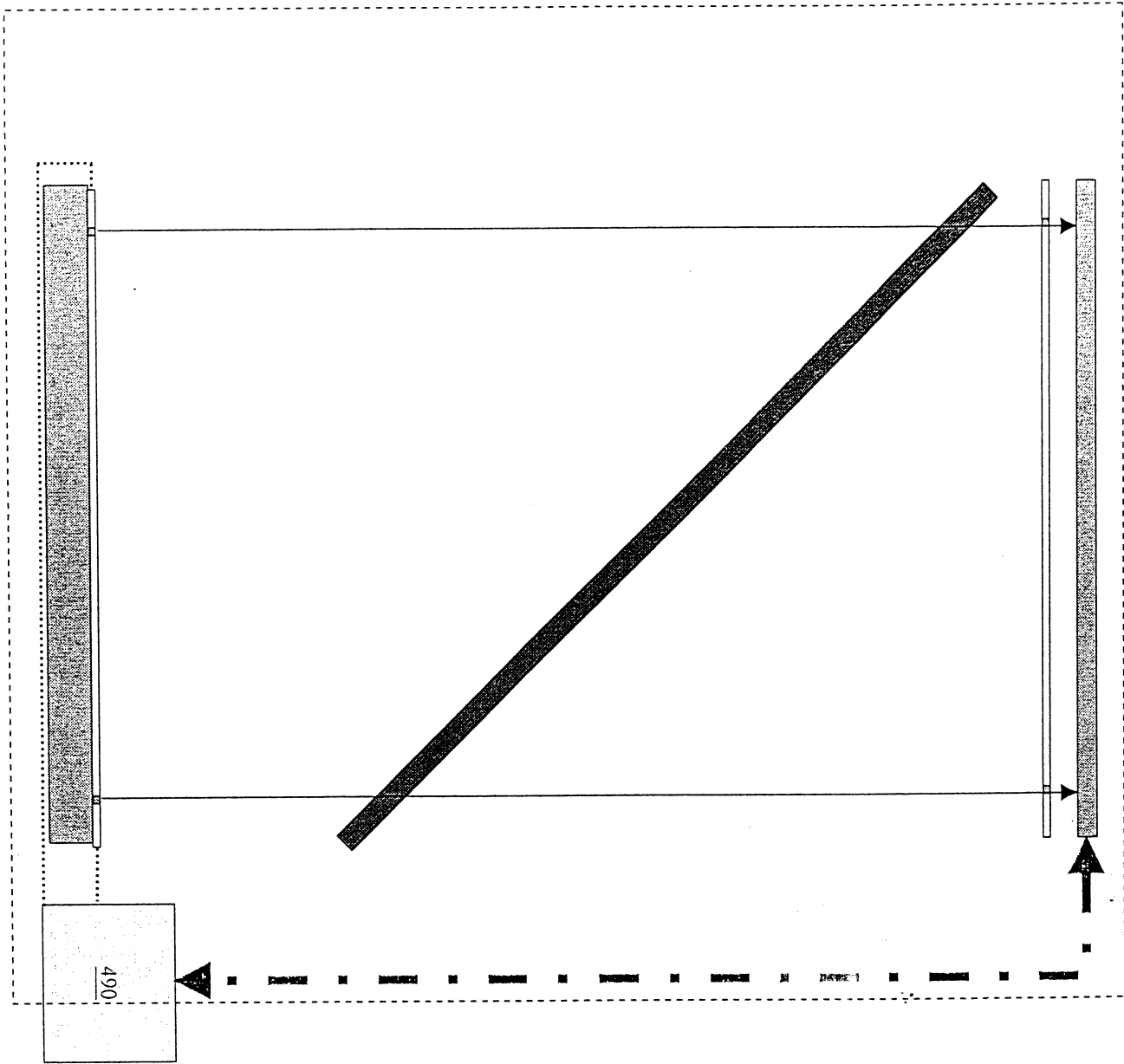
第 72 圖



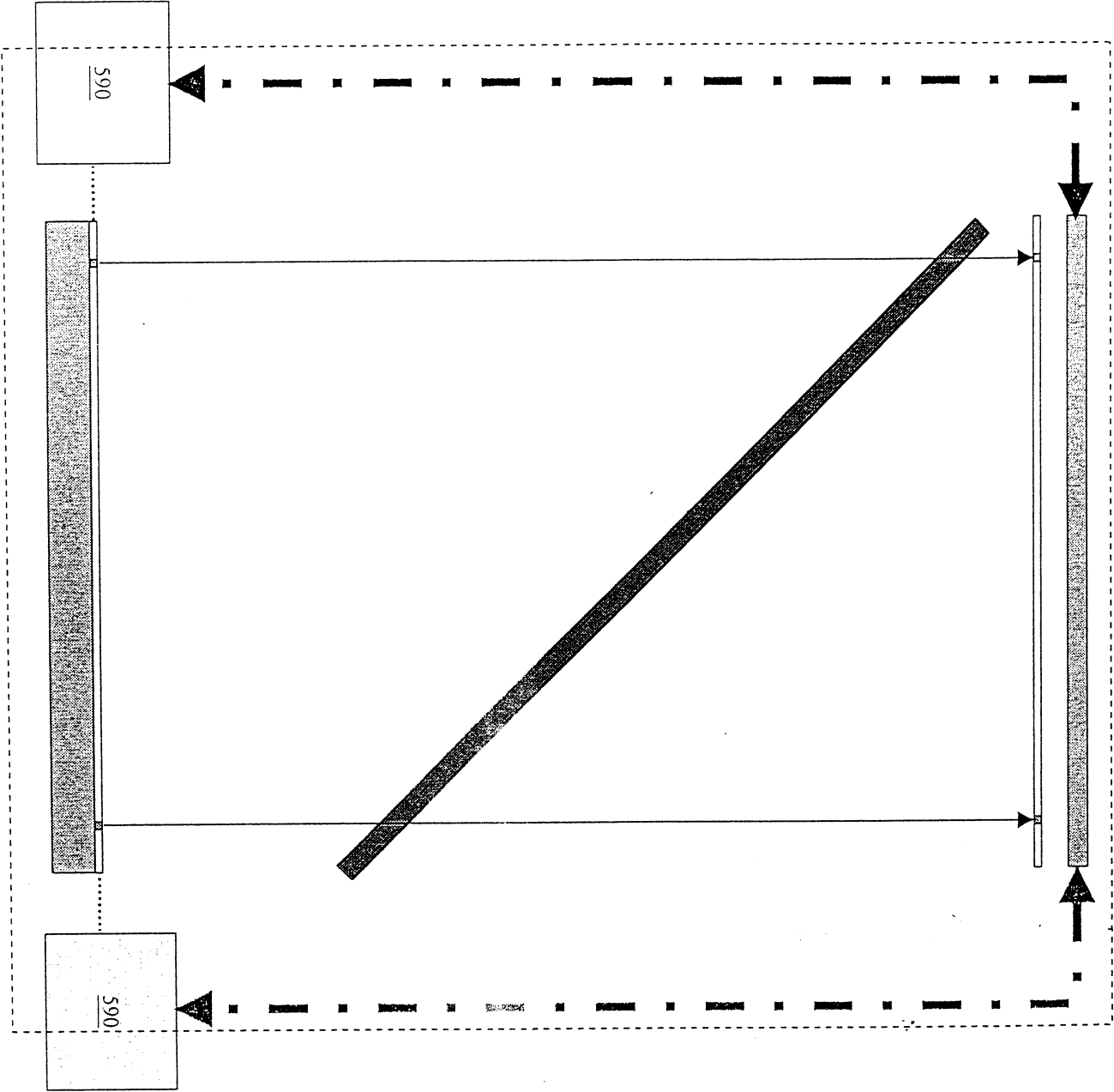
第 73 圖



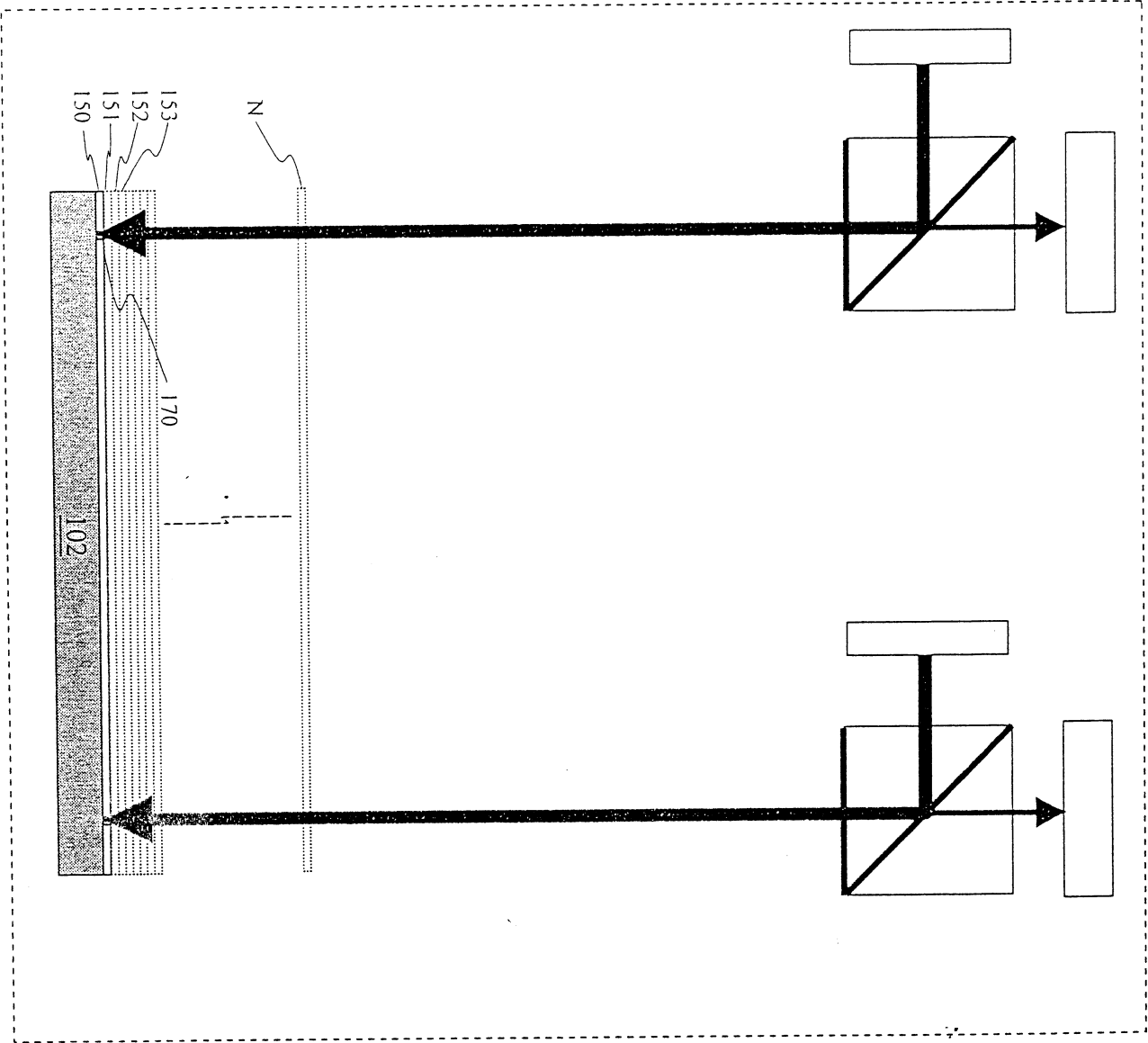
第 74 圖



第 75 圖

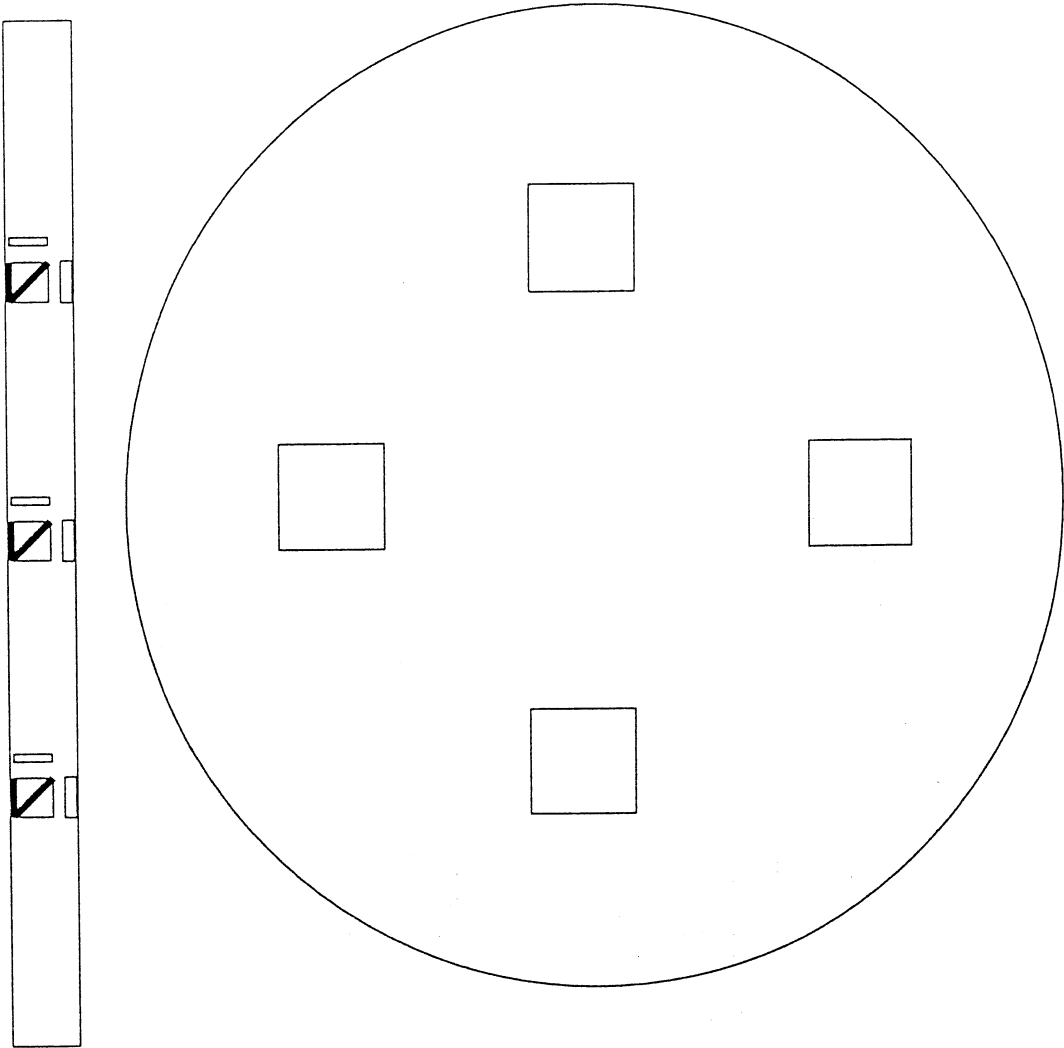


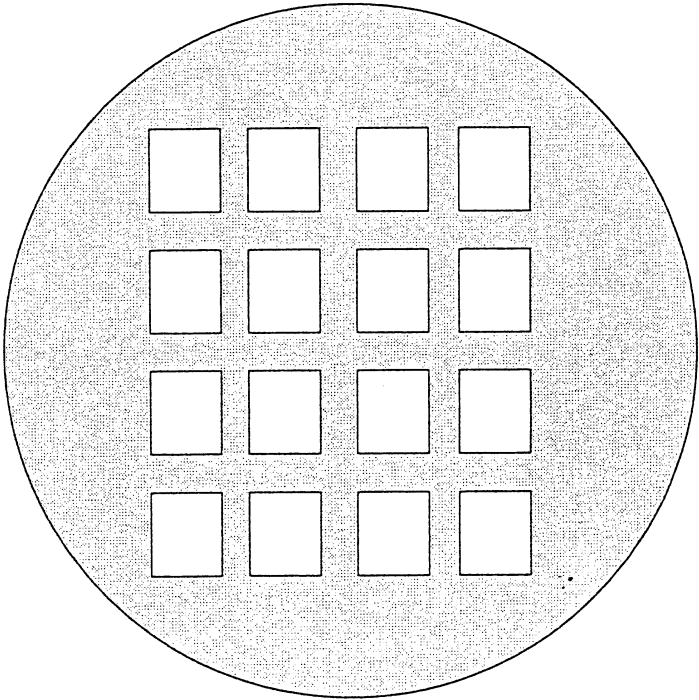
第 76 圖



第 77 圖

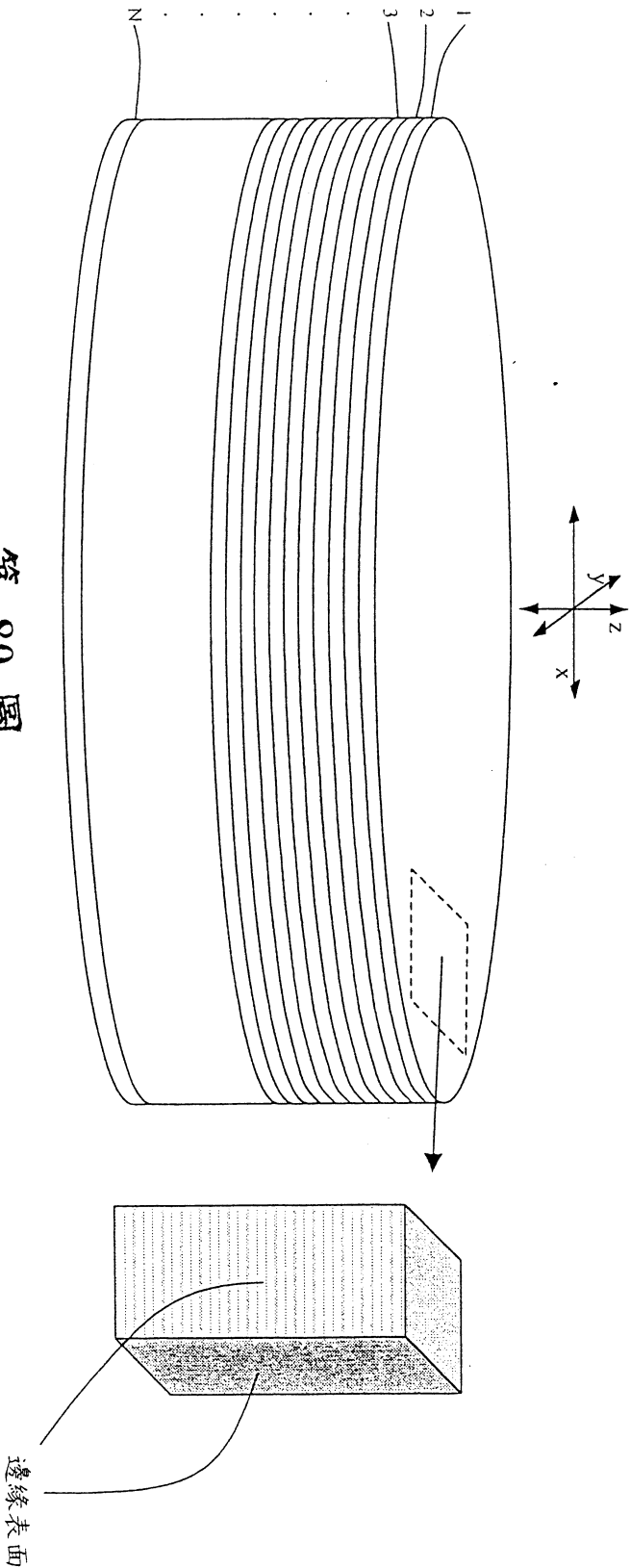
第 78 圖



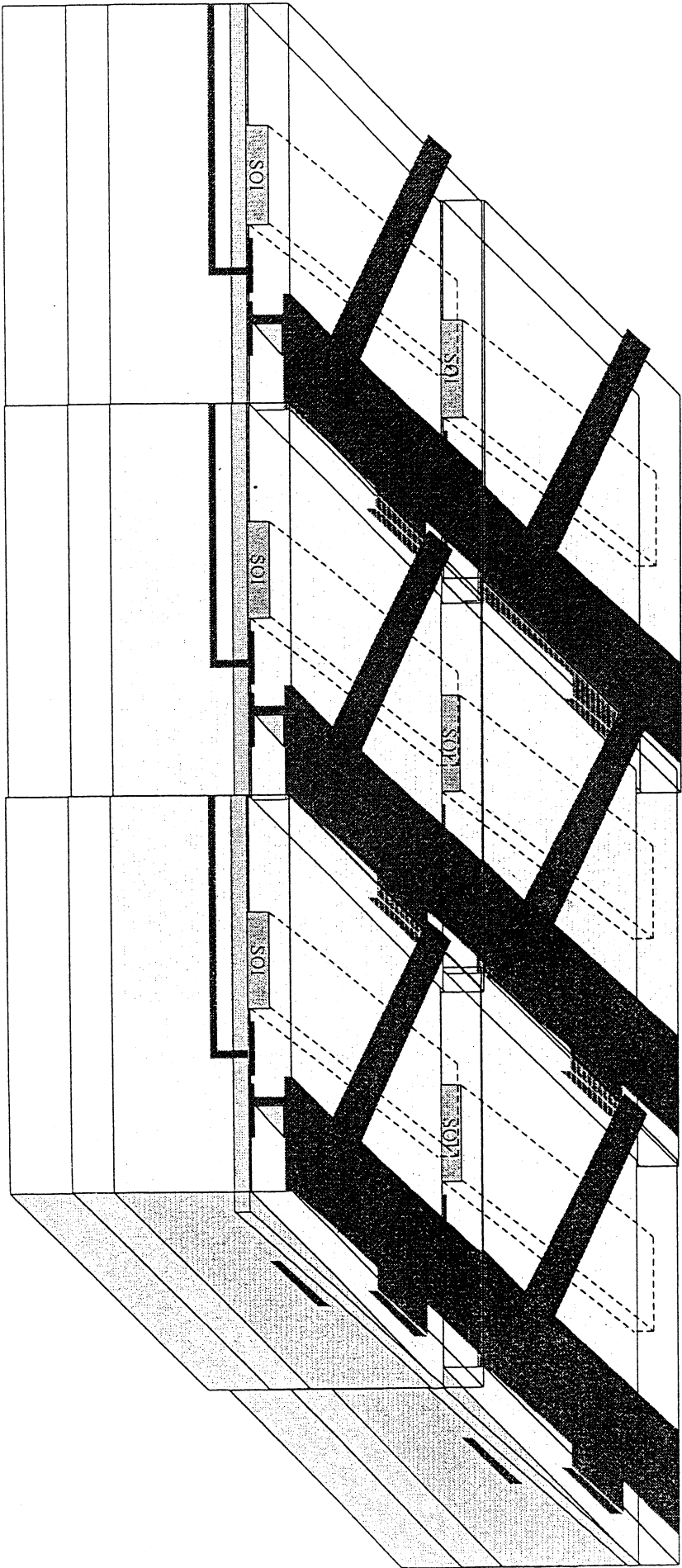
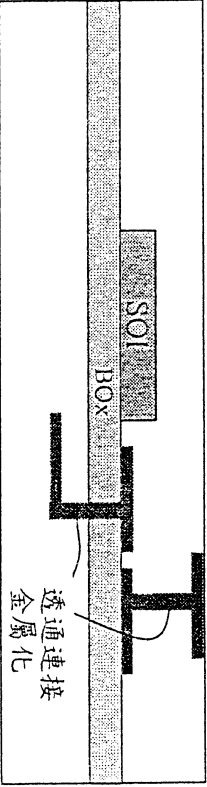


第 79 圖

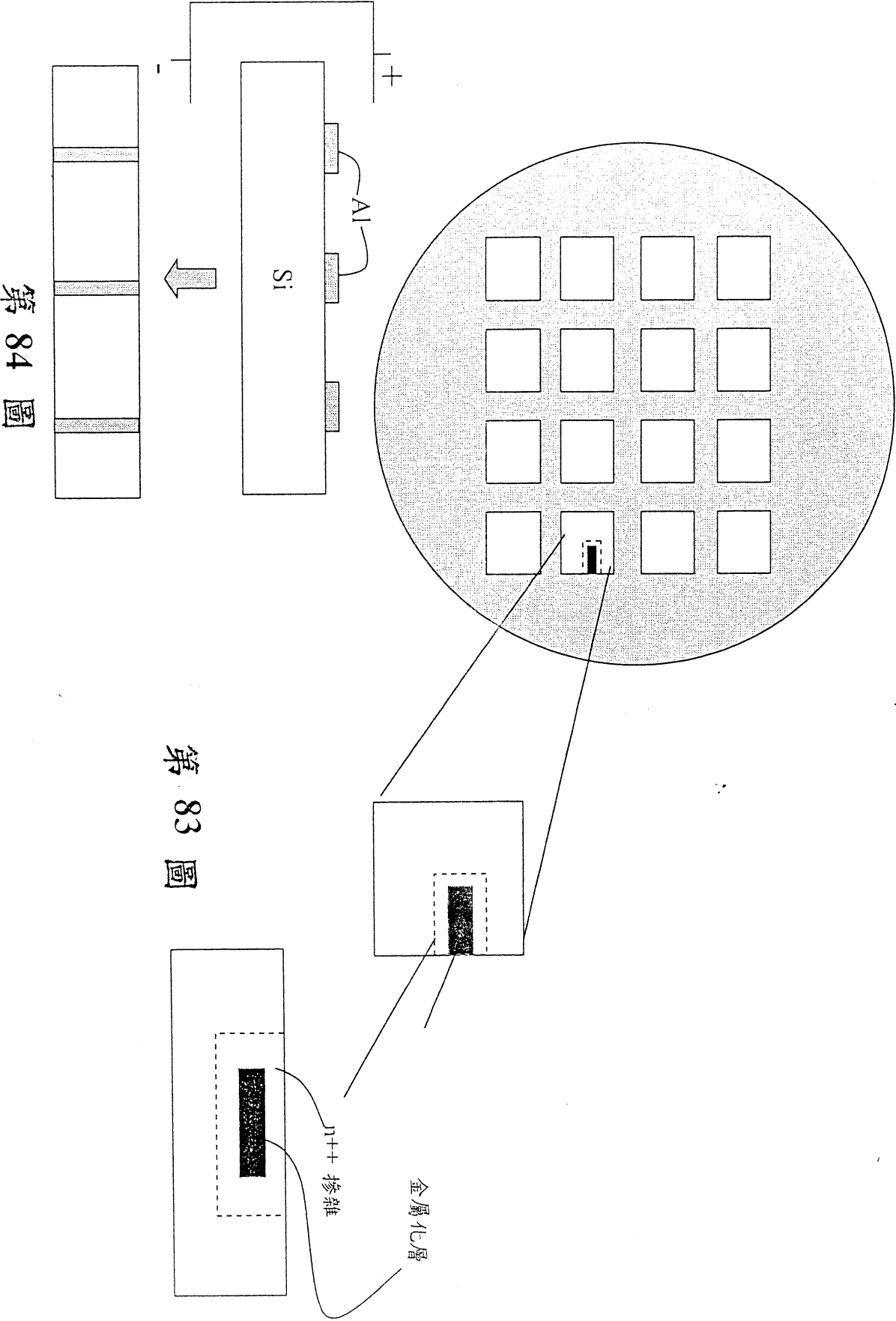
第 80 圖

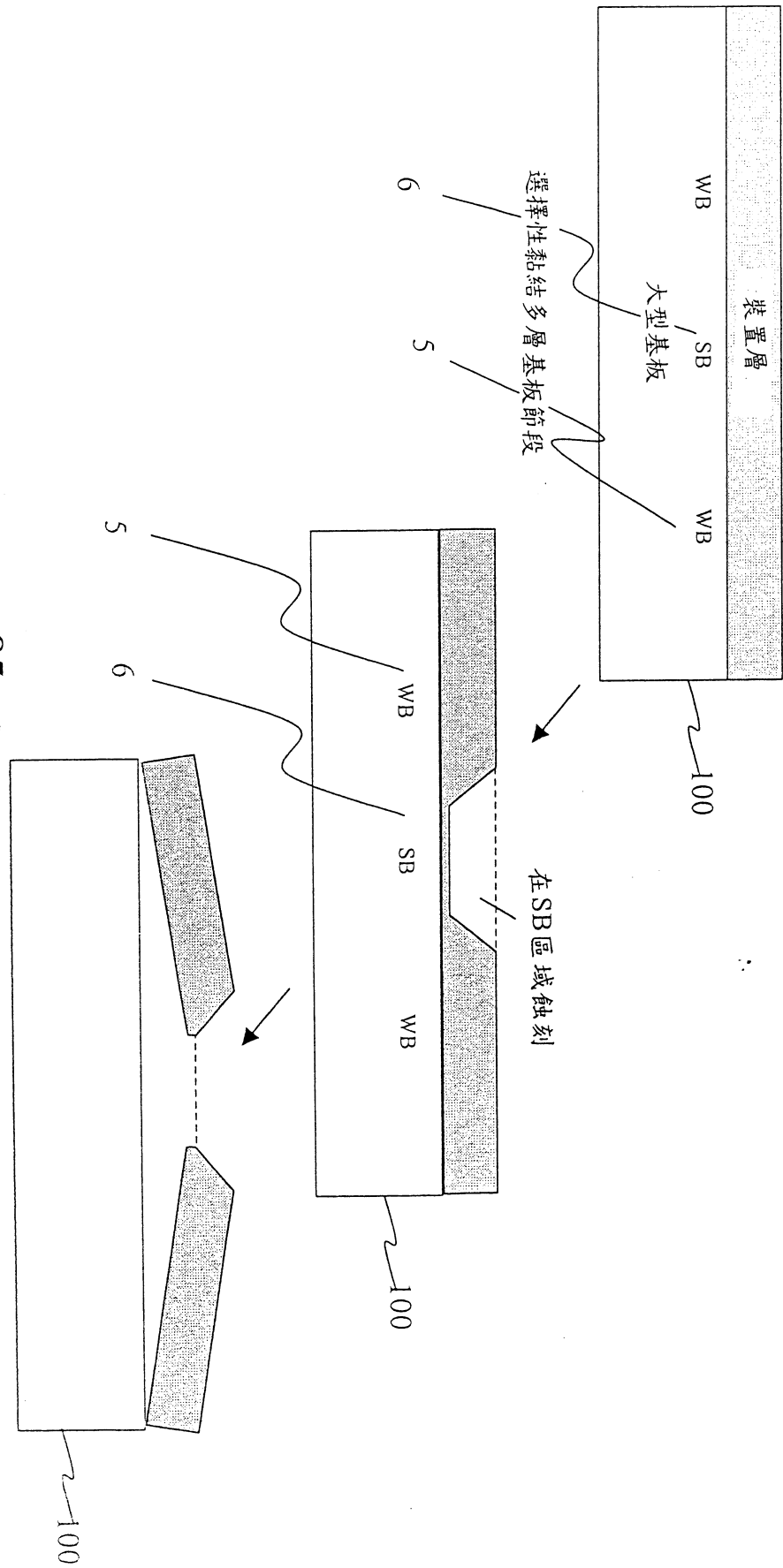


第 82 圖

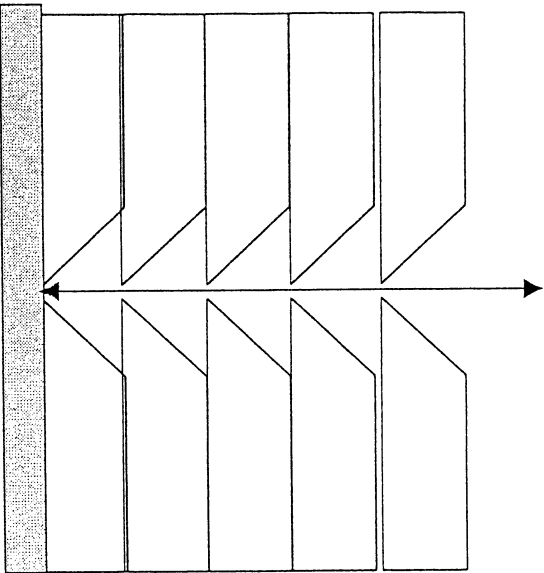
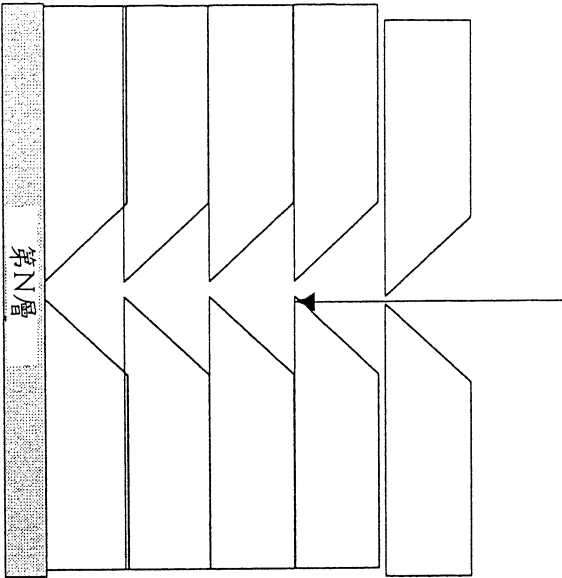


第 81 圖

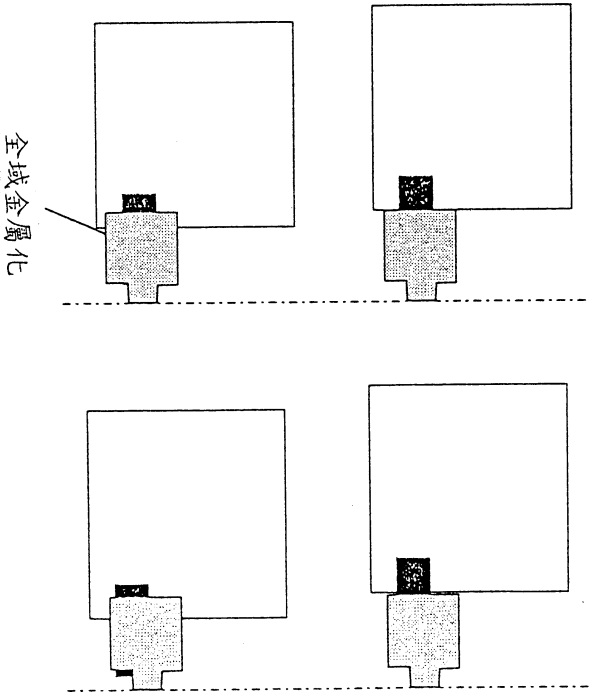
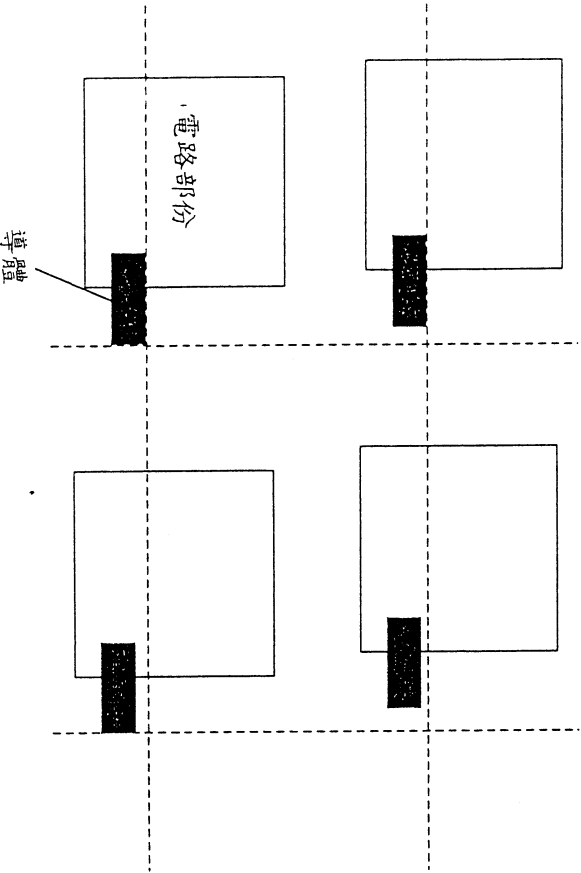




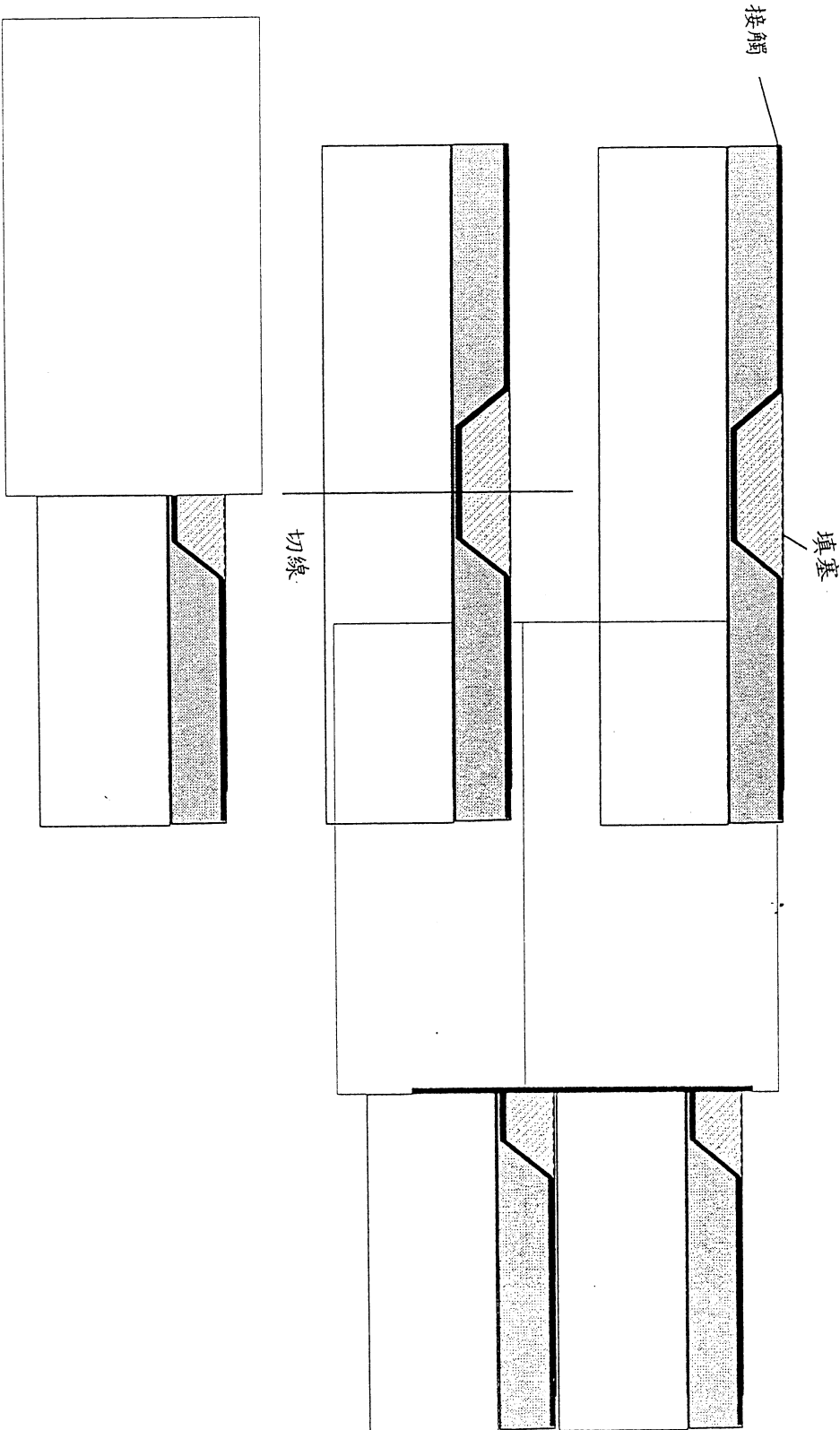
第 85 圖



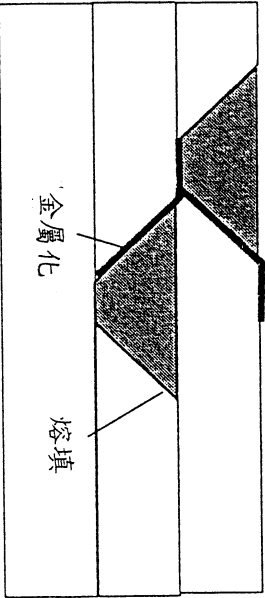
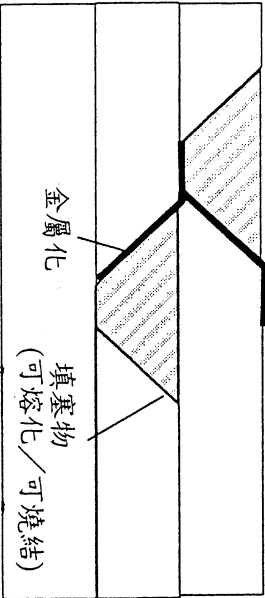
第 86 圖



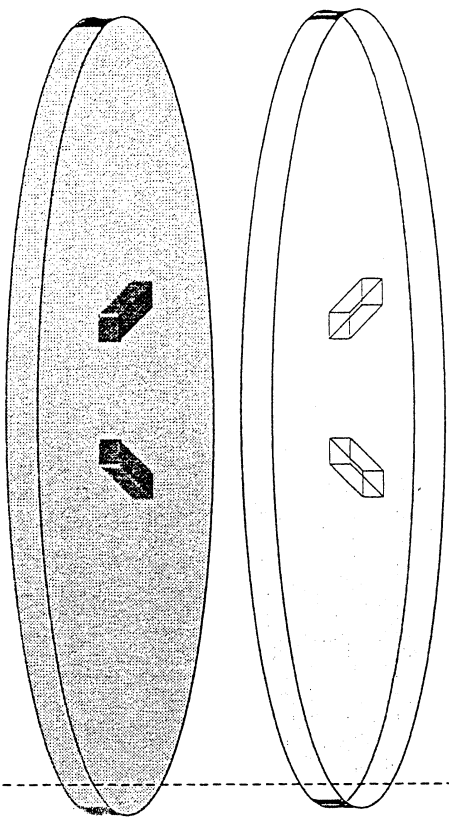
第 87 圖



第 88 圖



第 89 圖

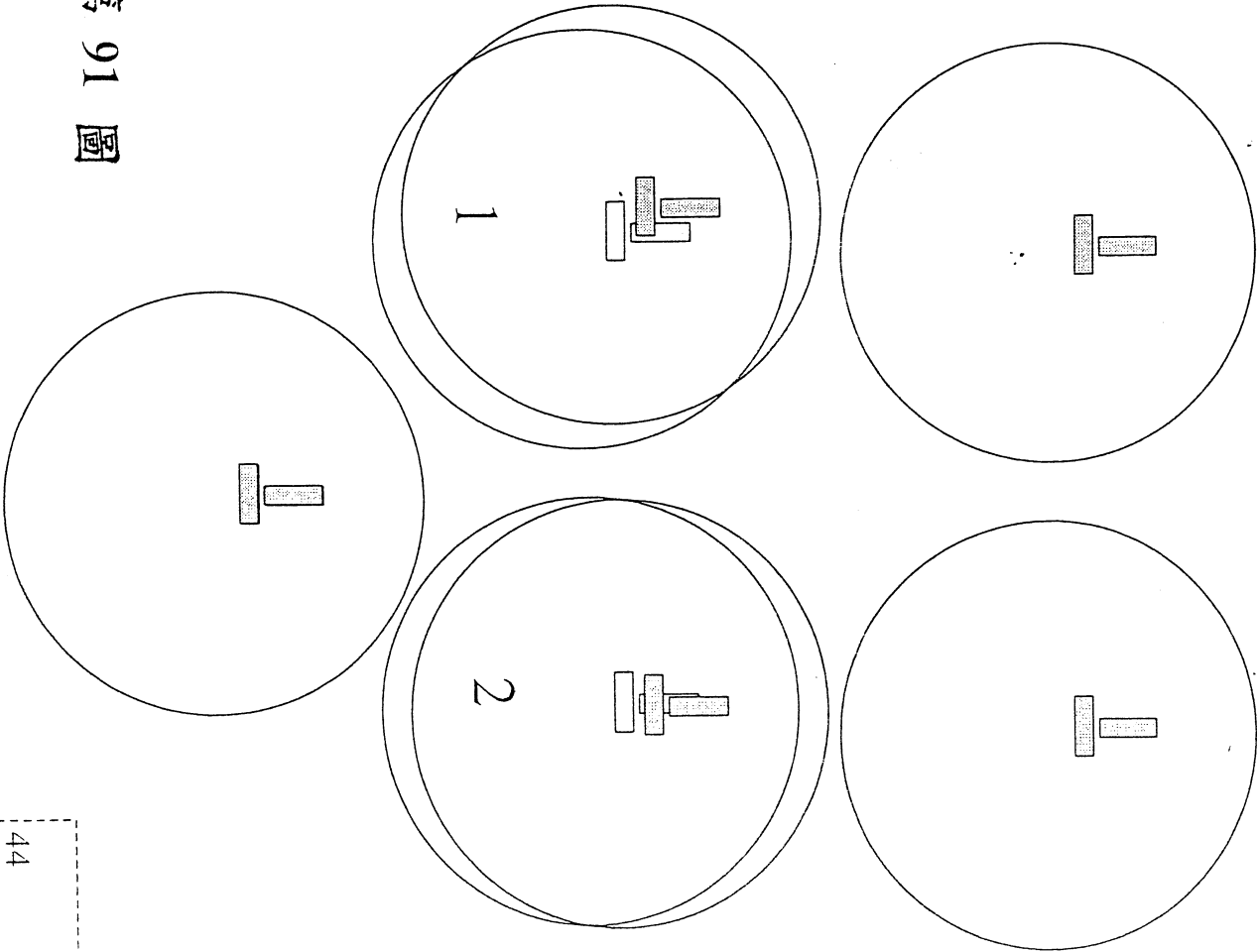


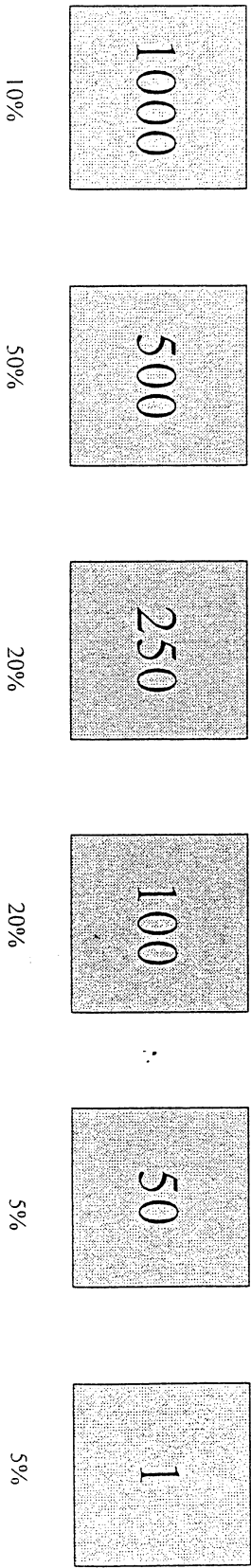
第 90 圖

第一次嘗試 ::
第二次嘗試 ::
校列 ::

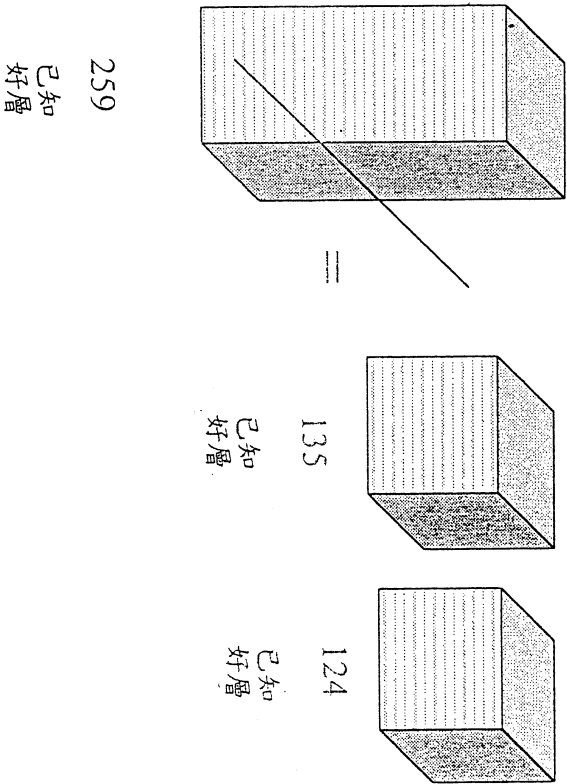


第 91 圖

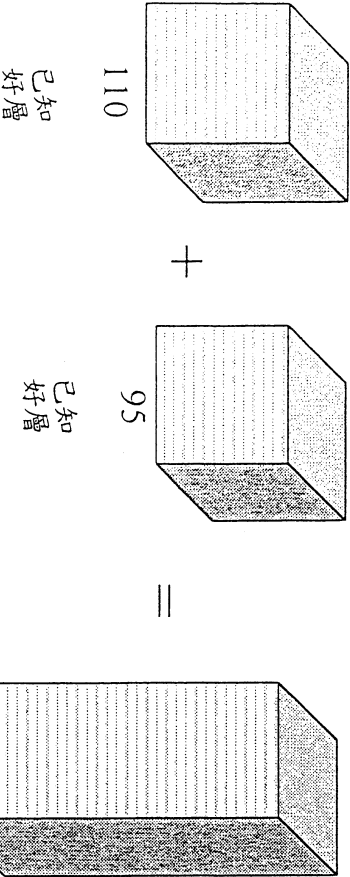




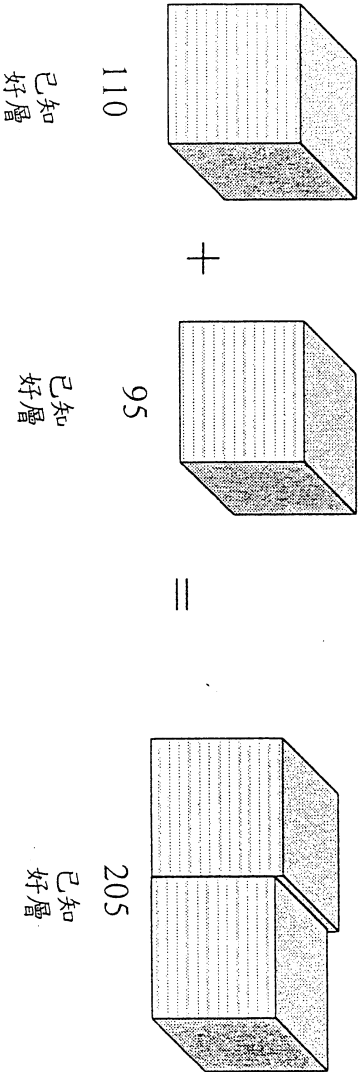
第 92 圖



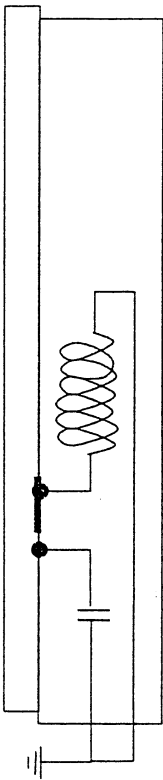
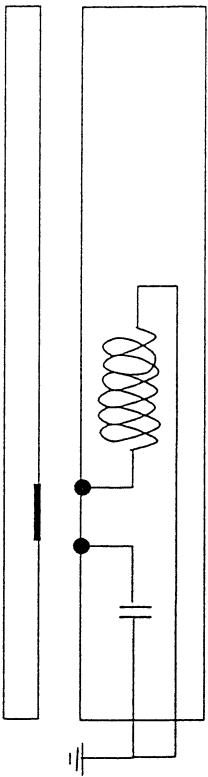
第 93 圖



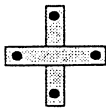
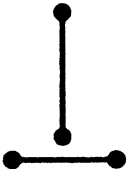
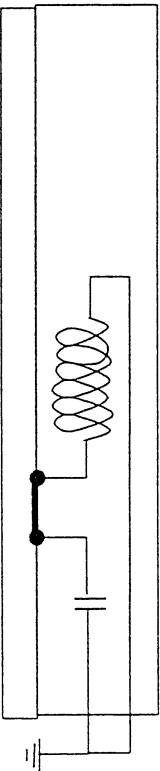
第 94 圖



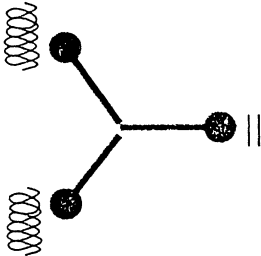
第 95 圖

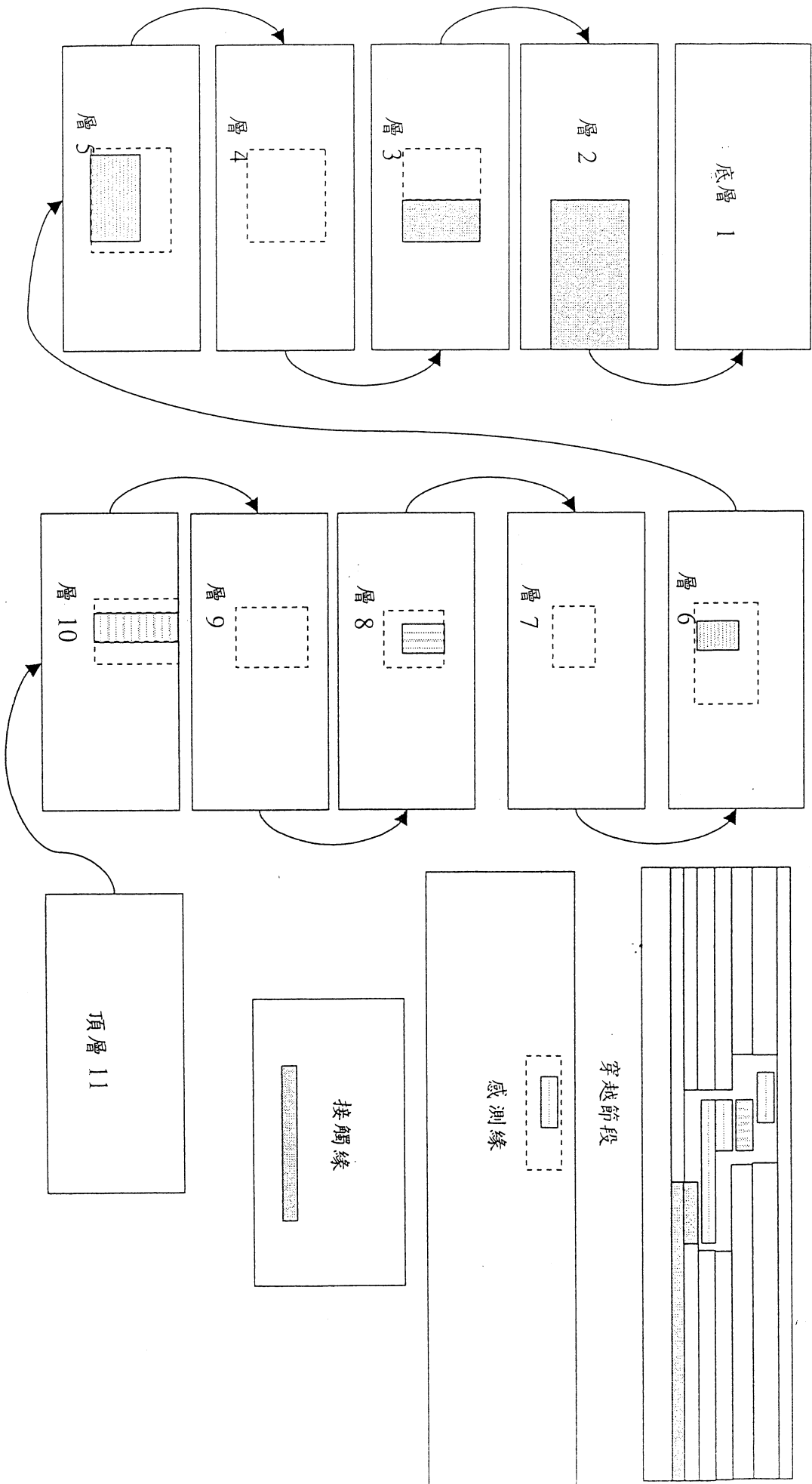


第 96 圖

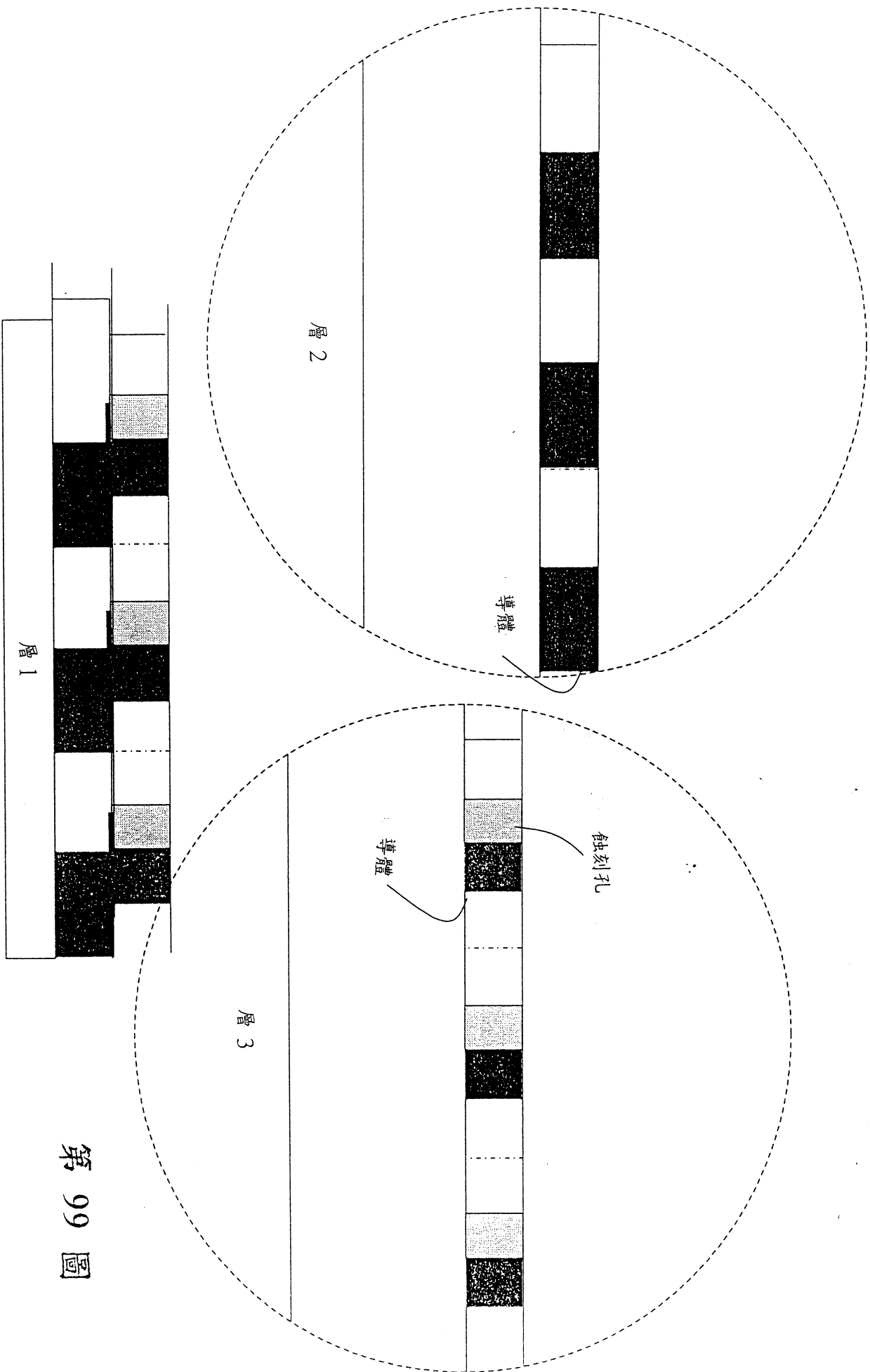


第 97 圖

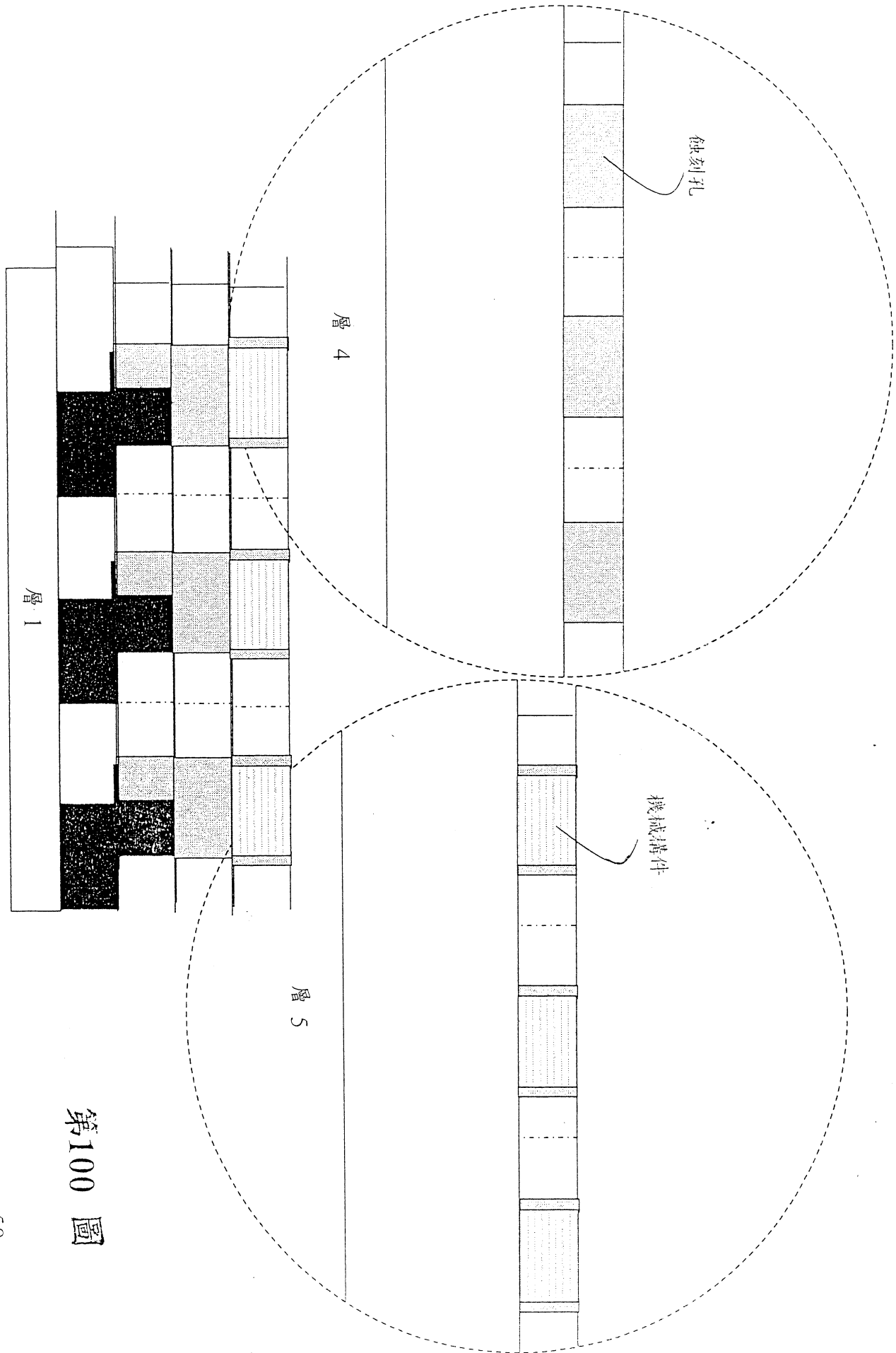




第 98 圖



第 99 圖



第100 圖

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- 1……層體
- 1A……表面
- 2A……表面
- 2B……表面
- 2……層體
- 3……區域
- 4……強黏結區域
- 5……弱黏結區域
- 6……強黏結區域
- 100……多層基板

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：