(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4452964号
(P4452964)

(45)発行日　平成22年4月21日(2010.4.21)　(24)登録日　平成22年2月12日(2010.2.12)

(51)Int.Cl.		F I		
H01L 23/12	(2006.01)	H01L	23/12	501W
H01L 23/28	(2006.01)	H01L	23/12	F
		H01L	23/28	Z

請求項の数 9　(全 8 頁)

(21)出願番号　特願2000-370865 (P2000-370865)
(22)出願日　平成12年12月6日 (2000.12.6)
(65)公開番号　特開2002-176124 (P2002-176124A)
(43)公開日　平成14年6月21日 (2002.6.21)
審査請求日　平成19年11月28日 (2007.11.28)

(73)特許権者　000004455
日立化成工業株式会社
東京都新宿区西新宿２丁目１番１号
(72)発明者　井上　文男
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内
(72)発明者　中村　英博
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内
(72)発明者　阿波野　康彦
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内
(72)発明者　榎本　哲也
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内

最終頁に続く

(54)【発明の名称】半導体搭載用基板の製造法並びに半導体パッケージの製造法

(57)【特許請求の範囲】

【請求項１】

金属箔の一方の面に、接続端子になる箇所と穴になる箇所に突起を有し、前記金属箔の前記突起を有する面に、前記突起の間を埋めるように絶縁層を形成し、前記突起が前記絶縁層から露出した状態で前記穴になる箇所の突起のみを除去すると共に、前記金属箔の不要な箇所をエッチング除去して導体パターンを形成する工程からなる半導体搭載用基板の製造法。

【請求項２】

絶縁層が突起よりも高く、穴になる箇所の突起を除去する前に、前記絶縁層を前記突起の先端が露出するように除去する工程を有する請求項１に記載の半導体搭載用基板の製造法。

【請求項３】

絶縁層が突起よりも低く、接続端子及び穴になる箇所の突起が露出するように形成する工程を有する請求項１に記載の半導体搭載用基板の製造法。

【請求項４】

接続端子になる箇所の突起が除去されないように被覆する工程を有する請求項２または３に記載の半導体搭載用基板の製造法。

【請求項５】

穴になる箇所の突起を除去する工程と、金属箔の不要な箇所をエッチング除去して導体パターンを形成する工程とを、同時に行うことを特徴とする請求項１～４のいずれかに記

載の半導体搭載用基板の製造法。
【請求項６】
請求項１～５のいずれかに記載の方法で製造された半導体搭載用基板に、半導体チップの裏面に形成された半導体チップ搭載用絶縁性接着剤と導体パターンの間に空間が形成されるように前記半導体チップを搭載する工程を有する半導体パッケージの製造法。
【請求項７】
半導体搭載用基板にダイボンドフィルムを接着した後、半導体チップを搭載する工程を有する請求項６に記載の半導体パッケージの製造法。
【請求項８】
半導体チップの裏面にダイボンドフィルムを接着した後、前記ダイボンドフィルムを用いて半導体搭載用基板に前記半導体チップを搭載する工程を有する請求項６に記載の半導体パッケージの製造法。
【請求項９】
半導体チップを搭載した半導体搭載用基板の、少なくとも前記半導体チップを搭載した側を樹脂封止する工程を有する請求項６～８のいずれかに記載の半導体パッケージの製造法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体搭載用基板とそれを用いた半導体パッケージ及び半導体搭載用基板の製造法並びに半導体パッケージの製造法に関する。
【０００２】
【従来の技術】
半導体の集積度が向上するに従い、入出力端子数が増加しており、多くの入出力端子数を有する半導体パッケージが必要とされるようになってきた。一般に、入出力端子はパッケージの周辺に一列配置するタイプと、周辺だけでなく内部まで多列に配置するタイプがある。前者は、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）が代表的である。これを多端子化する場合は、端子ピッチを縮小することが必要であるが、０．５ｍｍピッチ以下の領域では、配線板との接続に高度な技術が必要になる。後者のアレイタイプは、比較的大きなピッチで端子配列が可能なため、多ピン化に適している。従来、アレイタイプは接続ピンを有するＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）が一般的であるが、配線板との接続は挿入型となり、表面実装には適していない。このため、表面実装可能なＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）と称するパッケージが開発されている。
【０００３】
一方、電子機器の小型化に伴って、パッケージサイズの更なる小型化の要求が強くなってきた。この小型化に対応するものとして、半導体チップとほぼ同等サイズの、いわゆるチップサイズパッケージ（ＣＳＰ）が提案されている。
これは、半導体チップの周辺部でなく、実装領域内に外部配線基板との接続部を有するパッケージである。具体例としては、バンプ付きポリイミドフィルムを半導体チップの表面に接着し、チップと金リード線により電気的接続を図った後、エポキシ樹脂等をポッティングして封止したもの（ＮＩＫＫＥＩ　ＭＡＴＥＲＩＡＬＳ　＆　ＴＥＣＨＮＯＬＯＧＹ　９４．４、Ｎｏ．１４０、Ｐ１８－１９）や、仮基板上に半導体チップ及び外部配線基板との接続部に相当する位置に金属バンプを形成し、半導体チップをフェースダウンボンディング後、仮基板上でトランスファーモールドしたもの（Ｓｍａｌｌｓｔ　Ｆｌｉｐ－Ｃｈｉｐ－Ｌｉｋｅ　Ｐａｃｋａｇｅ　ＣＳＰ；Ｔｈｅ　Ｓｅｃｏｎｄ　ＶＬＳＩ　Ｐａｃｋａｇｉｎｇ　Ｗｏｒｋｓｈｏｐ　ｏｆ　Ｊａｐａｎ、ｐ４６－５０、１９９４）等がある。
【０００４】
【発明が解決しようとする課題】
各種提案されているＣＳＰの中に、絶縁性基材と、少なくとも絶縁性基材の一方の面に複

数の導体パターンを有し、絶縁性基材の他方の面には導体パターンと接続された接続端子があり、かつ、その導体パターンの上に半導体チップが搭載されたときに、半導体チップの裏面に形成された絶縁性接着剤と導体パターン間で形成される空間を、絶縁性基材の反対面に通じさせる穴を有するものがあり、その穴は、ベントホールと呼ばれている。このベントホールは、接続端子にはんだボールを搭載したり、はんだボールのついた状態でプリント配線板に搭載するときの熱によって、半導体パッケージ内部に残る蒸発成分が膨張しても、ガスを外部に逃がすことができ、半導体パッケージが破損するのを防ぐことができるものである。
ところが、近年の電子機器の発達により、配線密度の増加が望まれているが、ベントホールの面積を小さくできず、配線の収容量が増加できないという課題がある。

【０００５】
本発明は、ベントホールの直径を小さくでき、かつ低価格の半導体搭載用基板とそれを用いた半導体パッケージ及び半導体搭載用基板の製造法並びに半導体パッケージの製造法を提供することを目的とする。

【０００６】
【課題を解決するための手段】
本発明は以下のことを特徴とする。
（１）金属箔の一方の面に、接続端子になる箇所と穴になる箇所に突起を有し、前記金属箔の前記突起を有する面に、前記突起の間を埋めるように絶縁層を形成し、前記突起が前記絶縁層から露出した状態で前記穴になる箇所の突起のみを除去すると共に、前記金属箔の不要な箇所をエッチング除去して導体パターンを形成する工程からなる半導体搭載用基板の製造法。
（２）絶縁層が突起よりも高く、穴になる箇所の突起を除去する前に、前記絶縁層を前記突起の先端が露出するように除去する工程を有する（１）に記載の半導体搭載用基板の製造法。
（３）絶縁層が突起よりも低く、接続端子及び穴になる箇所の突起が露出するように形成する（１）に記載の半導体搭載用基板の製造法。
（４）接続端子になる箇所の突起が除去されないように被覆する工程を有する（２）または（３）に記載の半導体搭載用基板の製造法。
（５）穴になる箇所の突起を除去する工程と、金属箔の不要な箇所をエッチング除去して導体パターンを形成する工程とを、同時に行うことを特徴とする（１）～（４）のいずれかに記載の半導体搭載用基板の製造法。
（６）（１）～（５）のいずれかに記載の方法で製造された半導体搭載用基板に、半導体チップの裏面に形成された半導体チップ搭載用絶縁性接着剤と導体パターンの間に空間が形成されるように前記半導体チップを搭載する工程を有する半導体パッケージの製造法。
（７）半導体搭載用基板にダイボンドフィルムを接着した後、前記ダイボンドフィルムを用いて半導体チップを搭載する工程を有する（６）に記載の半導体パッケージの製造法。
（８）半導体チップの裏面にダイボンドフィルムを接着した後、前記ダイボンドフィルムを用いて半導体搭載用基板に前記半導体チップを搭載する工程を有する（６）に記載の半導体パッケージの製造法。
（９）半導体チップを搭載した半導体搭載用基板の、少なくとも前記半導体チップを搭載した側を樹脂封止する工程を有する（６）～（８）のいずれかに記載の半導体パッケージの製造法。

【０００７】
【発明の実施の形態】
本発明の基材には、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコーン結合を少なくとも１つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂のいずれかを用いたプラスチックフィルム、または、これらの樹脂をガラス不織布等に含浸・硬化したもの、さらにこれらの樹脂に無機フィラーを含有させたもの等が使用できる。

【０００８】
基材を貫通する接続端子には、銅、ニッケル等の金属バンプ、導電性ペーストをバンプ状に硬化させたもの、または樹脂バンプに金属めっきを施したもの等が使用できる。
【０００９】
少なくとも基材の一方の面に有する複数の導体パターンは、銅箔等の金属箔を基材と接着した後エッチングで形成する方法、予め別のキャリア材表面に形成した導体パターンを基材に転写する方法等がある。金属箔や導体パターン付きキャリアの接着方法としては、プレスやラミネートといった熱加圧方法や、ワニス状の樹脂を塗布し乾燥するキャスティング法等がある。
【００１０】
その導体パターンに接続された接続端子は、金属箔の所定の位置に、エッチングやめっき等で金属バンプを形成する方法、導電性ペーストを印刷等でバンプ状に形成し硬化させる方法、または、樹脂バンプを形成した後に表面に金属めっきを施す方法等で作製できる。接続端子に接続された導体パターンが、接続端子を構成する導体と連続した導体であるようにするには、金属箔の所定の位置にめっき等で同一金属のバンプを形成する方法、または、厚めの金属箔の不要な部分をハーフエッチングでバンプを形成する方法等がある。
【００１１】
導体パターン上に半導体チップが搭載されたときに、半導体チップの裏面に形成された半導体チップ搭載用絶縁性接着剤と導体パターンの間で形成される空間を基材の反対面に通じさせる穴は、ドリル加工やパンチング等の機械加工、エキシマレーザや炭酸ガスレーザ等のレーザ加工、薬液で溶解させるエッチング加工、及びプラズマ等を用いたドライエッチング加工等により行うことができる。また、基材にバンプ等の突起を貫通させ、その後突起を除去する方法等もある。この穴径は、半導体搭載用基板を設計する上では小径であることが好ましく、直径０．１５ｍｍ以下が好ましく、直径０．１ｍｍ以下がより好ましい。小径の穴を形成するには、レーザ加工、薬液によるエッチング加工、ドライエッチング加工、突起を除去する方法が好ましい。
【００１２】
このような構造の半導体搭載用基板は、金属箔の一方の面に、接続端子となる箇所と穴になる箇所に突起を有する金属箔を用い、この突起を有する面に、突起の間を埋めるように絶縁層を形成し、穴になる箇所の突起のみを除去し、さらに金属箔の不要な箇所をエッチング除去することによって製造することができる。
【００１３】
一方の面に接続端子となる箇所と穴になる箇所に突起を有する金属箔は、金属箔の所定の位置に、エッチングやめっき等で金属バンプを形成する方法、導電性ペーストを印刷等でバンプ状に形成し硬化させる方法、または、樹脂バンプを形成した後に表面に金属めっきを施す方法等で作製できる。
【００１４】
その面に形成する絶縁層は、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコーン結合を少なくとも１つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂等を用いた絶縁ワニスを塗布し、加熱硬化して形成するか、あるいは、イミド基、アミド基、フェノール基、フェニレン基、エステル基、エーテル基、サルホン基、カーボネート基、カルボニル基、シリコーン結合を少なくとも１つ以上含む樹脂、または液晶ポリマ、含フッ素樹脂、エポキシ樹脂等の絶縁フィルムを重ね、加熱・加圧して積層一体化することによって可能である。
絶縁ワニスを塗布するには、キスコータ、ロールコータ、コンマコータ等を用い、加熱条件は１２０～３５０℃で２０～１８０分間位であり、使用する樹脂によってそれぞれのものに適切な条件で行うことが好ましい。
【００１５】
絶縁層を突起よりも高く形成したときには、穴になる箇所の突起を除去する前に、絶縁層

を突起の先端が露出するように除去する工程を有することが好ましく、この除去には、機械研磨や化学研磨、またはレーザ等を用いることができ、絶縁層の表面が平滑になるように除去することが好ましい。
エポキシ樹脂を用いた場合には、機械研磨を用いるのが好ましく、ポリイミド樹脂を用いた場合には、機械研磨または化学研磨を用いるのが好ましい。これらは、絶縁層に用いる樹脂の種類によって、それぞれのものに適切な条件で行うことが好ましい。

【００１６】

また、形成する絶縁層が、突起よりも低く、接続端子及び穴になる箇所の突起が露出するように形成すれば、上記のような研磨工程を用いることなく穴になる箇所の突起を除去することができ、好ましい。

【００１７】

この、穴になる箇所の突起を除去するときに、接続端子となる突起が除去されないよう被覆する工程を有することが好ましく、例えば、保護フィルムで部分的に被覆するか、あるいは、感光性ドライフィルムを用いて、接続端子の箇所が部分的に被覆できるように、露光・現像することによって、保護することができる。

【００１８】

また、穴となる箇所の突起を除去する工程と、金属箔の不要な箇所をエッチング除去する工程とを、同時に行うことができ、いずれも、化学エッチングによる方法で行うことができるので、効率的である。そのためには、突起と金属箔は同一の金属であることがより好ましい。

【００１９】

このようにして製造された半導体搭載用基板に、ダイボンドフィルムを用いて、半導体チップを搭載することができる。このときに、半導体搭載用基板にダイボンドフィルムを加圧あるいは、加圧・加熱して接着して、その上に半導体チップを搭載するか、あるいは、半導体チップの裏面に予めダイボンドフィルムをその大きさに合わせて切断したものを仮接着しておき、それを半導体搭載用基板に重ねて、加圧あるいは、加圧・加熱して接着することができる。このとき、ダイボンドフィルムは導体パターンに接着させ、ダイボンドフィルムと導体パターン間に、穴に通じた空間を形成する。
このときの接着条件は、使用するダイボンドフィルムによって異なるが、例えばＤＦ－１００（日立化成工業株式会社製）を用いた場合は、２４０℃、２００ｇ、５秒であり、導体パターンと十分な接着力が得られる条件であることが好ましい。

【００２０】

さらに半導体チップを樹脂封止して、半導体パッケージとすることができ、封止樹脂に、フェノール樹脂、メラミン樹脂、エポキシ樹脂、あるいはポリエステル樹脂等の熱硬化性樹脂を用いることができる。封止方法としては、半導体チップを包み込むように樹脂ワニスで固めるポッティングや、コンパウンドによるトランスファモールド等を用いることが好ましい。

【００２１】

【実施例】

実施例１

金属箔には、厚さ１８μｍの銅箔を使用し、一方の面に、接続端子となる箇所と穴（ベントホール）になる箇所に、それぞれ直径０．４ｍｍ及び直径０．１ｍｍの銅バンプをめっきにより形成したものを用いた（図１（ａ））。

【００２２】

その面に形成する絶縁層には、ポリイミド樹脂を用いた絶縁ワニスを塗布し、３００℃、６０分の条件で、加熱して形成した（図１（ｂ））。
絶縁ワニスを塗布するには、コンマコータを用いた。

【００２３】

絶縁層は、突起よりも５μｍ高く形成し、穴になる箇所の突起を除去する前に、絶縁層を突起の先端が露出するように除去する工程として、機械研磨（ポリッシング）を用いた（

図１（ｃ））。このときに、絶縁層は１０μｍ研磨することができた。

【００２４】

この、穴になる箇所の突起を除去するときに、接続端子となる突起が除去されないように被覆する工程として、感光性ドライフィルムであるＭＣＰ２２５（ニチゴーモートン株式会社製）をラミネートし、接続端子の箇所が部分的に被覆できるように、露光・現像することによって、エッチングレジストを形成する。反対面には、形成する回路の形状に、エッチングレジストを形成し、両面から、化学エッチング液である塩化第二銅溶液を、スプレー噴霧し、穴となる箇所の突起を除去する工程と、銅箔の不要な箇所をエッチング除去する工程とを同時に行った。さらに、導体パッケージと接続端子の表面に、無電解ニッケル及び無電解金めっきを順次施した（図１（ｄ））。

【００２５】

このようにして製造された半導体搭載用基板に、ダイボンドフィルムであるＤＦ－１００（日立化成工業株式会社製）を半導体チップの大きさに切断して仮固定し、その上に半導体チップを重ね、２４０℃、２００ｇｆ、５秒の条件で、加圧・加熱して接着した（図１（ｅ））。

【００２６】

さらに、金ワイヤを用いて半導体チップと半導体搭載用基板を電気的に接続し（図１（ｆ））、封止樹脂である。ＣＥＬ－９２００（日立化成工業株式会社製）を用いてトランスファモールドによって半導体チップを封止した。最後に接続端子にはんだボールを溶融させ、半導体パッケージとすることができた（図１（ｇ））。

【００２７】

実施例２

絶縁層に、Ｂステージ状の絶縁フィルムであるエポキシ系接着フィルムＭＣＦ－６０００（日立化成工業株式会社製）を用いて、１８０℃、３ＭＰａ、４０分の条件で、加熱・加圧して積層一体化した以外は、実施例１と同様にして半導体パッケージを作製した。

【００２８】

実施例３

形成する絶縁層を、突起よりも５μｍ低く、少なくとも穴になる箇所の突起が露出するように形成し、上記のような研磨工程を用いることなく穴になる箇所の突起を除去した以外は、実施例１と同様にして半導体パッケージを作製した。

【００２９】

比較例

比較例として、実施例２と同じ絶縁層であるエポキシ系接着フィルムＭＣＦ－６０００（日立化成工業株式会社製）に、接続端子となる箇所とベントホールとなる箇所に穴をあけ、１８μｍの銅箔と重ねて、１８０℃、３ＭＰａ、４０分の条件で加熱・加圧して積層一体化し、銅箔の不要な箇所を実施例１と同じ方法で、エッチング除去し、回路を形成したものに、実施例１と同様にして、半導体チップを搭載し、樹脂封止して、半導体パッケージとした。

しかし、ベントホールの穴径を、実施例１と同じ０．１ｍｍにすると、積層接着したときにつぶれてしまい、ベントホールとして有効に使用できなかった。

ベントホールとして有効に用いるには、穴径を０．２ｍｍ以上にしなければならず、予め基材にその穴径の穴を形成すると、不要な銅箔をエッチング除去したときに、必要な回路部分がベントホール部分に露出してしまい、絶縁被覆ができなかった。

【００３０】

【発明の効果】

以上に説明したとおり、本発明によって、ベントホールの直径を小さくでき、かつ低価格の半導体搭載用基板とそれを用いた半導体パッケージ及び半導体搭載用基板の製造法並びに半導体パッケージの製造法を提供することができる。

【図面の簡単な説明】

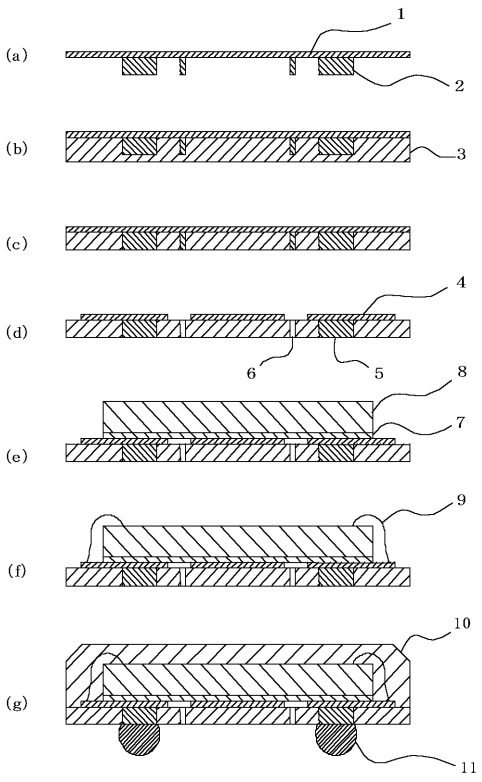
【図１】本発明の一実施例を説明するための、半導体搭載用基板及び半導体パッケージの

製造工程を示す断面図である。

【符号の説明】

１．銅箔
２．めっき銅バンプ
３．絶縁層
４．導体パターン
５．接続端子
６．穴（ベントホール）
７．ダイボンドフィルム
８．半導体チップ
９．金ワイヤ
１０．封止樹脂
１１．はんだボール

【図１】



フロントページの続き

(72)発明者　山口　玲子
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内
(72)発明者　森池　教夫
茨城県つくば市和台４８　日立化成工業株式会社　総合研究所内
(72)発明者　遠藤　俊博
茨城県下館市大字小川１５００番地　日立化成工業株式会社　下館事業所内
(72)発明者　坪松　良明
茨城県下館市大字小川１５００番地　日立化成工業株式会社　下館事業所内

審査官　山本　雄一

(56)参考文献　特開平１０－１６３２５６（ＪＰ，Ａ）
特開平１１－１１１７６５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　23/12
H01L　23/50
H01L　23/28