

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum

27. Juni 2013 (27.06.2013)



W I P O I P C T



(10) Internationale Veröffentlichungsnummer

WO 2013/092004 AI

(51) Internationale Patentklassifikation:

H01L 33/36 (2010.01) H01L 21/321 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP20 12/072403

(22) Internationales Anmeldedatum:
12. November 2012 (12. 11.2012)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 201 1 056 993.6

23. Dezember 2011 (23. 12.2011) DE

10 2012 101 409.4

22. Februar 2012 (22.02.2012) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: RODE, Patrick; Amberger Str. 40, 93059
Regensburg (DE). HÖPPEL, Lutz; Lessingstr. 1, 93087
Alteglofsheim (DE). VON MALM, Norwin; Stockloher
Str. 8, 93152 Nittendorf - Thumhausen (DE). ILLEK,
Stefan; Bayerwaldstr. 45, 93093 Donaustauf (DE).
KIESLICH, Albrecht; Emil-Högg-Str. 9, 01445 Radebeul

(DE). HERRMANN, Siegfried; Hauptstr. 24, 94362
Neukirchen (DE).

(74) Anwalt: EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH;
Ridlerstraße 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN,
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

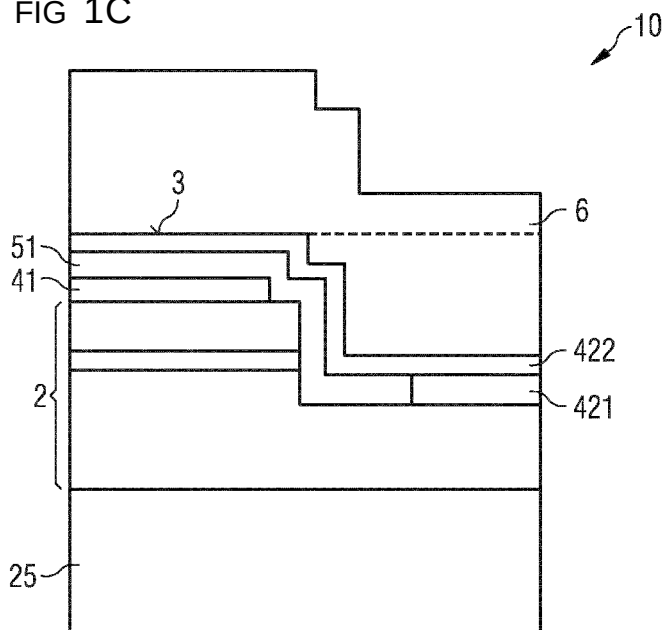
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A PLURALITY OF OPTOELECTRONIC SEMICONDUCTOR CHIPS, AND
OPTOELECTRONIC SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINER MEHRZAHL VON OPTOELEKTRONISCHEN
HALBLEITERCHIPS UND OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 1C



(57) Abstract: A method for producing a plurality of
optoelectronic semiconductor chips (1) is specified, wherein
a layer composite assembly (10) having a principal plane (3),
which delimits the layer composite assembly (10) in a
vertical direction, and having a semiconductor layer
sequence (2) having an active region (20) provided for
generating and/or detecting radiation is provided, wherein a
plurality of cutouts (31) extending from the principal plane
(3) in the direction of the active region (20) are formed in the
layer composite assembly (10). A planarization layer is
formed on the principal plane (3), such that the cutouts are at
least partly filled with material of the planarization layer (6).
Material of the planarization layer (6) is removed at least in
regions for the purpose of levelling the planarization layer.
The semiconductor chips (1) are completed, wherein at least
one semiconductor body (200) emerges from the
semiconductor layer sequence (2) for the semiconductor chip
(1). Furthermore, an optoelectronic semiconductor chip is
specified.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2013/092004 A1

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SJ, SM, TR), OAPI, CF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). — mit internationalem Recherchenbericht (Artikel 21 Absatz 2)

Es wird ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips (1) angegeben, wobei ein Schichtverbund (10) mit einer Hauptebene (3), die den Schichtverbund (10) in einer vertikalen Richtung begrenzt, und mit einer Halbleiterschichtenfolge (2) mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich (20) bereitgestellt wird, wobei in dem Schichtverbund (10) eine Mehrzahl von Ausnehmungen (31) ausgebildet ist, die sich von der Hauptebene (3) in Richtung des aktiven Bereichs (20) erstrecken. Auf der Hauptebene (3) wird eine Planarisierungsschicht ausgebildet, sodass die Ausnehmungen zumindest teilweise mit Material der Planarisierungsschicht (6) befüllt werden. Material der Planarisierungsschicht (6) wird zumindest bereichsweise zum Einebenen der Planarisierungsschicht entfernt. Die Halbleiterchips (1) werden fertiggestellt, wobei für den Halbleiterchip (1) aus der Halbleiterschichtenfolge (2) zumindest ein Halbleiterkörper (200) hervorgeht. Weiterhin wird ein optoelektronischer Halbleiterchip angegeben.

Beschreibung

Verfahren zur Herstellung einer Mehrzahl von
optoelektronischen Halbleiterchips und optoelektronischer
5 Halbleiterchip

Die vorliegende Anmeldung betrifft ein Verfahren zum
Herstellen einer Mehrzahl von optoelektronischen
Halbleiterchips sowie einen optoelektronischen
10 Halbleiterchip.

Für optoelektronische Halbleiterbauelementen wie
beispielsweise Lumineszenzdiodechips sind oftmals mehrere
Lagen übereinander angeordneter und strukturierter Schichten
15 erforderlich, beispielsweise für die elektrische
Kontaktierung der Bauelemente. Die Strukturierung der
Schichten kann dazu führen, dass vergleichsweise steile
Stufen oder Kanten durch nachfolgende Schichten überformt
werden müssen. An solchen Stellen besteht die Gefahr, dass
20 diese beim Abscheiden der Schicht nicht an jeder Stelle
ausreichend beschichtet werden, was beispielsweise zu einem
elektrischen Kurzschluss zwischen zwei elektrisch voneinander
zu isolierenden Schichten führen kann.

25 Eine Aufgabe ist es, ein Verfahren zum Herstellen von
optoelektronischen Halbleiterchips anzugeben, mit dem die
Halbleiterchips auf einfache und zuverlässige Weise
hergestellt werden können. Weiterhin soll ein
optoelektronischer Halbleiterchip mit einer hohen
30 Zuverlässigkeit angegeben werden.

Diese Aufgabe wird durch ein Verfahren beziehungsweise einen
optoelektronischen Halbleiterchip gemäß den unabhängigen

Patentansprüchen gelöst. Ausgestaltungen und Weiterbildungen sind Gegenstand der abhängigen Patentansprüche.

Gemäß einer Ausführungsform wird bei einem Verfahren zum
5 Herstellen einer Mehrzahl von optoelektronischen
Halbleiterchips ein Schichtverbund mit einer Hauptebene
bereitgestellt, die den Schichtverbund in einer vertikalen
Richtung begrenzt. Der Schichtverbund weist weiterhin eine
Halbleiterschichtenfolge mit einem zur Erzeugung und/oder
10 Detektion von Strahlung vorgesehenen aktiven Bereich auf. Im
Schichtverbund ist eine Mehrzahl von Ausnehmungen
ausgebildet, die sich von der Hauptebene in Richtung des
aktiven Bereichs erstrecken. Eine Planarisierungsschicht wird
auf der Hauptebene ausgebildet, sodass die Ausnehmungen
15 zumindest teilweise mit Material der Planarisierungsschicht
befüllt werden. Zum Einebnen der Planarisierungsschicht wird
zumindest bereichsweise Material der Planarisierungsschicht
entfernt. Die Halbleiterchips werden fertig gestellt, wobei
für jeden Halbleiterchip aus der Halbleiterschichtenfolge ein
20 Halbleiterkörper hervorgeht. Das Fertigstellen umfasst
beispielsweise das Vereinzeln des Schichtverbunds in
Halbleiterchips .

Unter einer vertikalen Richtung wird eine senkrecht zu einer
25 Haupterstreckungsebene der Halbleiterschichten der
Halbleiterschichtenfolge verlaufende Richtung verstanden.

Unter der Hauptebene wird insbesondere diejenige Ebene
verstanden, die unmittelbar vor der Abscheidung des Materials
30 der Planarisierungsschicht den Schichtverbund in vertikaler
Richtung begrenzt. Das heißt, der Schichtverbund ragt an
keiner Stelle über die Hauptebene hinaus. Mit anderen Worten
weist der Schichtverbund ausgehend von der Hauptebene

Vertiefungen in Form der Ausnehmungen auf, jedoch keine Erhebungen, die sich in vertikaler Richtung über die Hauptebene hinaus erstrecken.

- 5 Die Hauptebene stellt weiterhin eine mathematische Ebene dar. Das heißt, die Hauptebene kann beispielsweise durch einen Aufpunkt und zwei die Ebene aufspannende Vektoren definiert werden. Vorzugsweise verläuft die Hauptebene parallel zur Haupterstreckungsebene der Halbleiterschichten der
- 10 Halbleiterschichtenfolge.

Die Halbleiterschichtenfolge erstreckt sich vorzugsweise in vertikaler Richtung zwischen einer ersten Hauptfläche und einer zweiten Hauptfläche. Die zweite Hauptfläche ist auf der

15 der Hauptebene abgewandten Seite des aktiven Bereichs ausgebildet .

Die Halbleiterschichtenfolge weist bevorzugt eine erste Halbleiterschicht und eine zweite Halbleiterschicht auf,

20 wobei der aktive Bereich zwischen der ersten Halbleiterschicht und der zweiten Halbleiterschicht angeordnet ist. Die erste Halbleiterschicht und die zweite Halbleiterschicht weisen zweckmäßigerweise einen voneinander verschiedenen Leitungstyp auf. Weiterhin können die erste

25 Halbleiterschicht und die zweite Halbleiterschicht auch mehrschichtig ausgebildet sein. Die erste Halbleiterschicht kann die erste Hauptfläche bilden, die zweite Halbleiterschicht kann die zweite Hauptfläche bilden.

- 30 Die Hauptebene kann mittels der ersten Hauptfläche der Halbleiterschichtenfolge oder mittels einer auf der ersten Hauptfläche angeordneten Schicht gebildet sein.

In einer Ausgestaltungsvariante erstrecken sich die Ausnehmungen in die Halbleiterschichtenfolge hinein. Insbesondere können sich die Ausnehmungen durch den aktiven Bereich hindurch erstrecken. Beispielsweise können sich die Ausnehmungen durch die erste Halbleiterschicht und durch den aktiven Bereich hindurch in die zweite Halbleiterschicht hinein erstrecken. Im Bereich der Ausnehmungen kann in diesem Fall eine elektrische Kontaktierung der zweiten Halbleiterschicht erfolgen.

10

In einer alternativen Ausgestaltungsvariante erstrecken sich die Ausnehmungen nicht in die Halbleiterschichtenfolge hinein. In diesem Fall kann die Planarisierungsschicht beispielsweise dafür vorgesehen sein, Ausnehmungen in einer auf der ersten Hauptfläche der Halbleiterschichtenfolge aufgetragenen elektrischen Anschlussschicht oder einer elektrischen Isolationsschicht einzuebnen.

15

Vorzugsweise sind die Ausnehmungen nach dem Ausbilden der Planarisierungsschicht vollständig befüllt. Nach dem Einebnen bildet die Planarisierungsschicht auf der der zweiten Hauptfläche abgewandten Seite des aktiven Bereichs eine Planarisierungsfläche, die besonders bevorzugt eben ausgebildet ist. Unter eben wird in diesem Zusammenhang insbesondere verstanden, dass die Planarisierungsschicht abgesehen von einer Oberflächenrauigkeit frei von Vertiefungen ist, die sich in Richtung des aktiven Bereichs erstrecken. Davon abweichend ist auch denkbar, dass die Planarisierungsfläche im Bereich der Ausnehmungen Vertiefungen aufweist. In diesem Fall ist die Tiefe der Vertiefungen, also die vertikale Ausdehnung der Vertiefungen, jedoch vorzugsweise höchstens halb so groß wie die Tiefe der Ausnehmungen vor dem Ausbilden der Planarisierungsschicht. In

20

25

30

diesem Fall dient die Planarisierungsschicht also einer Verringerung der Tiefe der Ausnehmungen, ohne diese vollständig einzuebnen.

- 5 Die Planarisierungsfläche kann als Ausgangspunkt für weitere Herstellungsschritte, beispielsweise für die Abscheidung von elektrisch leitfähigen und/oder elektrisch leitenden Schichten oder für eine weitere Mikrostrukturierung dienen.
- 10 In einer bevorzugten Ausgestaltung wird die Planarisierungsschicht zum Einebnen mechanisch und/oder chemisch poliert. Besonders bevorzugt findet ein chemisch-mechanisches Polierverfahren (chemical mechanical polishing, CMP) Anwendung. Mit einem solchen Verfahren können auf
- 15 einfache und zuverlässige Weise ebene Planarisierungsflächen hergestellt werden.

- In einer bevorzugt Ausgestaltung wird die Halbleiterschichtenfolge mittels einer stoffschlüssigen
- 20 Verbindung an einem Träger befestigt.

- Die Verbindung mit dem Träger kann elektrisch leitend oder elektrisch isolierend ausgebildet sein. Die Verbindung erfolgt vorzugsweise nach dem Einebnen der
- 25 Planarisierungsschicht und weiterhin bevorzugt vor dem Vereinzeln in Halbleiterchips.

- Bei einer stoffschlüssigen Verbindung werden die, bevorzugt vorgefertigten, Verbindungspartner mittels atomarer und/oder
- 30 molekularer Kräfte zusammengehalten. Eine stoffschlüssige Verbindung kann beispielsweise mittels einer Verbindungsschicht, etwa einer Klebeschicht oder einer Lotschicht, erzielt werden. In der Regel geht eine Trennung

der Verbindung mit der Zerstörung der Verbindungsschicht und/oder zumindest eines der Verbindungspartner einher.

Mittels der Planarisierungsschicht kann der Schichtverbund
5 derart eingeebnet werden, dass für die Stoffschlüssige
Verbindung an dem Träger eine ebene Fläche bereitsteht. Bei
einer stoffschlüssigen Verbindung mittels einer
Verbindungsschicht kann die Verbindungsschicht also in
lateralen Richtung eine gleichmäßige Dicke aufweisen. Mit
10 anderen Worten muss die Verbindungsschicht keine Vertiefungen
des Schichtverbunds kompensieren.

In einer Weiterbildung wird die Halbleiterschichtenfolge
mittels einer direkten Bondverbindung an dem Träger
15 befestigt. Bei einer direkten Bondverbindung kann die
mechanische Verbindung durch Wasserstoffbrücken und/oder Van-
der-Waals-Wechselwirkungen erzielt werden. Für eine direkte
Bondverbindung als Stoffschlüssige Verbindung müssen die zu
verbindenden Flächen besonders eben sein. Mittels der
20 Planarisierungsschicht kann dies vereinfacht erzielt werden.
Eine direkte Bondverbindung erfolgt vorzugsweise mittels
zumindest einer dielektrischen Schicht, besonders bevorzugt
zwischen zwei dielektrischen Schichten. Die dielektrische
Schicht enthält vorzugsweise ein Oxid, beispielsweise
25 Siliziumoxid. Besonders bevorzugt erfolgt die direkte
Bondverbindung zwischen zwei Siliziumoxid-Schichten. Die
Herstellung der direkten Bondverbindung wird bevorzugt nur
durch Druck erzielt.

30 In einer Ausgestaltungsvariante des Verfahrens wird die
Planarisierungsschicht beim Einebnen nur so weit gedünnt,
dass die Planarisierungsschicht die Hauptebene nach dem
Dünnen vollständig bedeckt. Die Planarisierungsschicht bildet

also auf der dem aktiven Bereich abgewandten Seite eine durchgängige Planarisierungsfläche .

In einer alternativen Ausgestaltungsvariante des Verfahrens
5 wird die Hauptebene beim Einebnen bereichsweise freigelegt.
In einer Weiterbildung dieser Ausgestaltungsvariante wird vor
dem Ausbilden der Planarisierungsschicht auf der
Halbleiterschichtenfolge eine Stoppschicht ausgebildet, die
die Hauptebene bildet. Beim Einebnen wird die Stoppschicht
10 bereichsweise freigelegt. Die Stoppschicht ist
zweckmäßigerweise so ausgebildet, dass sie beim Einebnen der
Planarisierungsschicht mit einer niedrigeren Abtragsrate
abgetragen wird als das Material der Planarisierungsschicht.
Mittels der Stoppschicht kann vereinfacht vorgegeben werden,
15 an welcher Stelle in vertikaler Richtung der
Einebnungsschritt stoppt.

Für eine vollständige Bedeckung der Hauptebene kann nach dem
Freilegen der Hauptebene weiteres Material der
20 Planarisierungsschicht abgeschieden werden. Mittels eines
solchen zweistufigen Aufbringens von Material der
Planarisierungsschicht kann die Dicke der
Planarisierungsschicht bei der Abscheidung des weiteren
Materials eingestellt werden, beispielsweise über die Dauer
25 der Abscheidung bei einer vorgegebenen Abscheiderate.

In einer bevorzugten Ausgestaltung wird nach dem Einebnen in
der Planarisierungsschicht im Bereich der Ausnehmungen eine
Öffnung ausgebildet. Die Öffnung kann sich in vertikaler
30 Richtung vollständig durch die Planarisierungsschicht
hindurch erstrecken. Die Öffnung kann dafür vorgesehen sein,
eine elektrisch leitende Verbindung zur
Halbleiterschichtenfolge herzustellen. Beispielsweise kann im

Bereich der Öffnung eine elektrisch leitende Verbindung zur zweiten Halbleiterschicht hergestellt werden, wenn sich die Öffnung durch den aktiven Bereich hindurch erstreckt.

- 5 Nachfolgend kann die Öffnung zumindest bereichsweise gefüllt werden, insbesondere mittels einer weiteren Planarisierungsschicht .

10 In diesem Fall kann die Planarisierungsfläche der Planarisierungsschicht oder eine darauf angeordnete Schicht eine weitere Hauptebene bilden, wobei die Öffnungen mittels der weiteren Planarisierungsschicht vollständig befüllt werden können. Die weitere Planarisierungsschicht kann wie im Zusammenhang mit der Planarisierungsschicht beschrieben
15 ausgebildet und eingeebnet werden.

In einer bevorzugten Weiterbildung ist die Planarisierungsschicht elektrisch isolierend und die weitere Planarisierungsschicht elektrisch leitend. Insbesondere kann
20 die weitere Planarisierungsschicht dafür vorgesehen sein, die Halbleiterschichtenfolge, insbesondere die zweite Halbleiterschicht, elektrisch zu kontaktieren, während die Planarisierungsschicht die weitere Planarisierungsschicht von der Halbleiterschichtenfolge und/oder einer auf der
25 Halbleiterschichtenfolge aufgetragenen elektrisch leitfähigen Schicht elektrisch isoliert. Mittels einer als Planarisierungsschicht ausgeführten Isolationsschicht wird die Gefahr einer unzureichenden Bedeckung der Seitenwände der Ausnehmungen vermieden oder zumindest vermindert.

30

In einer weiteren bevorzugten Ausgestaltung sind die erste Halbleiterschicht mittels eines ersten Anschlussbereichs und die zweite Halbleiterschicht mittels eines zweiten

Anschlussbereichs jeweils von der ersten Hauptfläche her elektrisch kontaktiert, wobei sich die Ausnehmungen von der ersten Hauptfläche her durch den aktiven Bereich hindurch in die zweite Halbleiterschicht hinein erstrecken. Der zweite Anschlussbereich oder eine elektrische Isolationsschicht zwischen dem zweiten Anschlussbereich und der ersten Halbleiterschicht wird mittels der Planarisierungsschicht gebildet .

- 10 Die Planarisierungsschicht dient also dem Einebnen der für die elektrische Kontaktierung der zweiten Halbleiterschicht vorgesehenen Ausnehmungen.

Ein optoelektronischer Halbleiterchip weist gemäß einer Ausführungsform einen Schichtverbund mit einer Hauptebene, die den Schichtverbund vorzugsweise in einer vertikalen Richtung begrenzt, auf. Weiterhin umfasst der Schichtverbund einen Halbleiterkörper mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich, wobei in dem Schichtverbund zumindest eine Ausnehmung ausgebildet ist, die sich von der Hauptebene in Richtung des aktiven Bereichs erstreckt. Der Halbleiterchip weist eine Planarisierungsschicht auf, die im Bereich der Ausnehmung eine größere vertikale Ausdehnung aufweist als in einem lateral von der Ausnehmung beabstandeten Bereich. Im Extremfall kann die Planarisierungsschicht nur im Bereich der Ausnehmung vorhanden sein. In diesem Fall beträgt die vertikale Ausdehnung der Planarisierungsschicht in lateraler Richtung neben der Ausnehmung 0. Bei einer von 0 verschiedenen vertikalen Ausdehnung grenzt die Planarisierungsschicht zweckmäßigerweise unmittelbar an die Hauptebene an. Weiterhin kann die Planarisierungsschicht auf

- 10 -

dem Schichtverbund, insbesondere auf dem Halbleiterkörper, ausgebildet sein.

Mittels der Planarisierungsschicht können im Bereich der
5 Ausnehmungen auftretende Kanten im Vergleich zu einem
herkömmlichen Überformen mittels Abscheidens ohne
nachfolgendes Einebnen vereinfacht überformt werden.

Insbesondere kann die Dicke der Planarisierungsschicht
bezogen auf eine senkrecht zu einer Seitenfläche der

10 Ausnehmung verlaufenden Richtung auch größer sein als die
vertikale Ausdehnung der Planarisierungsschicht in dem
lateral neben der Ausnehmung angeordneten Bereich. Die Gefahr
eines Eindringens von Feuchte oder negative durch
Elektromigration verursachte Effekte aufgrund einer

15 unzureichenden Kantenüberformung können so vermieden werden.
Ein solcher optoelektronischer Halbleiterchip kann daher ein
verbessertes Alterungsverhalten aufweisen und zeichnet sich
somit durch eine erhöhte Zuverlässigkeit aus.

20 Das weiter oben beschriebene Verfahren ist zur Herstellung
eines solchen optoelektronischen Halbleiterchips besonders
geeignet. Im Zusammenhang mit dem Verfahren beschriebene
Merkmale können daher auch für den optoelektronischen
Halbleiterchip herangezogen werden und umgekehrt.

25 Weitere Merkmale, Ausgestaltungen und Zweckmäßigkeiten
ergeben sich aus der folgenden Beschreibung der
Ausführungsbeispiele in Verbindung mit den Figuren.

30 Gleiche, gleichartige oder gleich wirkende Elemente sind in
den Figuren mit denselben Bezugszeichen versehen.

Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

Die Figuren 1A bis 1F ein erstes Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips anhand von jeweils in schematischer Schnittansicht dargestellten Zwischenschritten;

die Figuren 2A bis 2D ein zweites Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips anhand von jeweils in schematischer Schnittansicht dargestellten Zwischenschritten,.

die Figuren 3A bis 3F ein drittes Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips anhand von jeweils in schematischer Schnittansicht dargestellten Zwischenschritten; und

Figur 4 ein Ausführungsbeispiel für einen Halbleiterchip in schematischer Schnittansicht.

Anhand der Figuren 1A bis 1F wird schematisch ein erstes Ausführungsbeispiel für ein Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips beschrieben, wobei zur vereinfachten Darstellung jeweils nur ein

Ausschnitt gezeigt ist, der bei einem fertig gestellten Halbleiterchip einen Teilbereich des Halbleiterchips darstellt. Das Ausführungsbeispiel wird hier exemplarisch anhand der Herstellung eines Dünnsfilm-Halbleiterchips, beispielsweise eines Dünnsfilm-Leuchtdiodenchips beschrieben. Bei einem Dünnsfilm-Halbleiterchip wird ein Aufwachssubstrat für die epitaktische Abscheidung einer Halbleiterschichtenfolge entfernt .

Wie in Figur 1A dargestellt, wird eine Halbleiterschichtenfolge 2 bereitgestellt, die sich in einer vertikalen Richtung, also einer senkrecht zu einer Haupterstreckungsebene der Halbleiterschichten der Halbleiterschichtenfolge 2 verlaufenden Richtung zwischen einer ersten Hauptfläche 210 und einer zweiten Hauptfläche 220 erstreckt. Die Halbleiterschichtenfolge weist einen zur Erzeugung von Strahlung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich 20 auf, der zwischen einer ersten Halbleiterschicht 21 eines ersten Leitungstyps und einer zweiten Halbleiterschicht 22 eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet ist. Beispielsweise kann die erste Halbleiterschicht p-leitend und die zweite Halbleiterschicht n-leitend ausgeführt sein oder umgekehrt.

Der aktive Bereich 20, die erste Halbleiterschicht 21 und die zweite Halbleiterschicht 22 können jeweils einschichtig oder mehrschichtig ausgebildet sein. Insbesondere kann der aktive Bereich eine Quantenstruktur, beispielsweise eine Mehrfachquantenstruktur (multiple quantum well structure, MQW structure) aufweisen.

In dem gezeigten Ausführungsbeispiel wird die Halbleiterschichtenfolge 2 auf einem Aufwachssubstrat 25 für die epitaktische Abscheidung der Halbleiterschichtenfolge 2 bereitgestellt. Die Halbleiterschichtenfolge, insbesondere der aktive Bereich 20, enthält vorzugsweise ein III-V-Verbindungs-Halbleitermaterial .

III-V-Verbindungs-Halbleitermaterialien sind zur Strahlungserzeugung im ultravioletten (nitridisches Verbindungs-Halbleitermaterial, etwa $\text{Al}_x \text{In}_y \text{Ga}_{1-x-y} \text{N}$) über den sichtbaren (nitridisches Verbindungs-Halbleitermaterial, etwa $\text{Al}_x \text{In}_y \text{Ga}_{1-x-y} \text{N}$, insbesondere für blaue bis grüne Strahlung, oder phosphidisches Verbindungs-Halbleitermaterial, etwa $\text{Al}_x \text{In}_y \text{Ga}_{1-x-y} \text{P}$, insbesondere für gelbe bis rote Strahlung) bis in den infraroten (arsenidisches Verbindungs-Halbleitermaterial, etwa $\text{Al}_x \text{In}_y \text{Ga}_{1-x-y} \text{As}$) Spektralbereich besonders geeignet. Hierbei gilt jeweils $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$, insbesondere mit $x \neq 1$, $y \neq 1$, $x \neq 0$ und/oder $y \neq 0$. Mit III-V-Halbleitermaterialien, insbesondere aus den genannten Materialsystemen, können weiterhin bei der Strahlungserzeugung hohe interne Quanteneffizienzen erzielt werden .

Für nitridisches Verbindungs-Halbleitermaterial eignet sich als Aufwachssubstrat beispielsweise Saphir, Silizium oder Siliziumkarbid. Für arsenidisches oder phosphidisches Verbindungs-Halbleitermaterial kann beispielsweise Galliumarsenid Anwendung finden.

Auf der ersten Hauptfläche 210 ist ein erster Anschlussbereich 41 ausgebildet, der für die elektrische Kontaktierung der ersten Halbleiterschicht 21 vorgesehen ist.

Wie in Figur 1B dargestellt, wird auf der ersten Hauptfläche 210 eine Isolationsschicht 51 aufgebracht. Weiterhin wird in einem Bereich, in dem die zweite Halbleiterschicht 22 freigelegt ist, eine erste Schicht 421 eines zweiten Anschlussbereichs 42 abgeschieden. Die erste Schicht ist für eine elektrisch leitende Verbindung mit der zweiten Halbleiterschicht 22 vorgesehen und bezüglich des Materials im Hinblick auf einen niedrigen Kontaktwiderstand ausgewählt.

Als Material für die Anschlussbereiche 41, 42 oder Schichten davon eignet sich insbesondere ein Metall, beispielsweise Silber, Aluminium, Palladium, Rhodium, Nickel oder Gold oder eine metallische Legierung mit zumindest einem der genannten Materialien, oder ein TCO (transparent conductive oxide) - Material, beispielsweise Indiumzinnoxid (ITO) oder Zinkoxid. Die Schichten können auf der vorgefertigten Halbleiterschichtenfolge beispielsweise mittels Aufdampfens oder Sputterns aufgebracht werden.

Auf der ersten Schicht 421 wird eine zweite Schicht 422 des zweiten Anschlussbereichs 42 abgeschieden. Die zweite Schicht weist vorzugsweise für die im aktiven Bereich 20 zu empfangende oder zu erzeugende Strahlung eine hohe Reflektivität auf. Im sichtbaren und ultravioletten Spektralbereich zeichnet sich insbesondere Silber oder eine Silber enthaltende Legierung, im infraroten insbesondere Gold durch eine hohe Reflektivität aus. Es kann aber auch ein anderes der vorstehend im Zusammenhang mit den Anschlussbereichen genanntes Metall Anwendung finden.

Die Halbleiterschichtenfolge 2 und die auf der Halbleiterschichtenfolge angeordneten Schichten bilden einen

Schichtverbund 10. In vertikaler Richtung ist der Schichtverbund durch eine Hauptebene 3 begrenzt.

In diesem Ausführungsbeispiel bildet die zweite Schicht 422 des zweiten Anschlussbereichs 42 die Hauptebene 3. Von der Hauptebene erstreckt sich in Richtung des aktiven Bereichs 20 eine Ausnehmung 31. Die Ausnehmung 31 erstreckt sich im gezeigten Ausführungsbeispiel auch in die Halbleiterschichtenfolge 2 hinein. Davon abweichend kann die Halbleiterschichtenfolge aber auch eben ausgebildet sein, so dass sich die Ausnehmung nur durch die auf der Halbleiterschichtenfolge angeordneten Schichten hindurch erstreckt .

Unmittelbar auf die Hauptebene 3 wird eine Planarisierungsschicht 6 aufgebracht (Figur 1c) . Die Planarisierungsschicht ist so dick ausgeführt, dass sie die Hauptebene 3 an jeder Stelle des Schichtverbunds 10 überragt oder zumindest erreicht.

Nachfolgend wird, wie in Figur 1D dargestellt, Material der Planarisierungsschicht 6 bereichsweise entfernt, um so den Schichtverbund 10 einzuebnen. Eine vom aktiven Bereich 20 abgewandte Seite der Planarisierungsschicht 6 bildet eine Planarisierungsfläche 60, die eben verläuft. Das heißt, die Planarisierungsfläche weist abgesehen von Oberflächenrauigkeiten keine Vertiefungen, insbesondere keine durch eine Mikrostrukturierung einer darunter liegenden Schicht verursachten Vertiefungen, mehr auf.

Das Entfernen des Materials erfolgt vorzugsweise mittels eines chemisch-mechanischen Polierverfahrens. Mit diesem Verfahren können besonders ebene Oberflächen hergestellt

werden. Es kann aber auch ein rein chemisches oder ein rein mechanisches Verfahren Anwendung finden.

In dem gezeigten Ausführungsbeispiel wird die

5 Planarisierungsschicht 6 beim Einebnen nur so weit gedünnt, dass die Planarisierungsfläche 60 der Planarisierungsschicht 6 eine durchgehende vertikale Begrenzung des Schichtverbunds 10 darstellt.

10 In diesem Ausführungsbeispiel bildet die Planarisierungsschicht 6 eine dritte Schicht 423 des zweiten Anschlussbereichs 42. In diesem Fall ist die Planarisierungsschicht zweckmäßigerweise elektrisch leitfähig ausgebildet. Beispielsweise kann die Planarisierungsschicht
15 Wolfram, Aluminium oder Kupfer enthalten oder aus einem solchen Material bestehen.

Nachfolgend kann der Schichtverbund 10 (wie in Figur IE dargestellt) mit einem Träger 26 verbunden werden. Die
20 Stoffschlüssige Verbindung mit dem Träger kann beispielsweise mittels einer Verbindungsschicht 27, etwa einer Lotschicht oder einer elektrisch leitenden oder elektrisch isolierenden Klebeschicht, erfolgen. Die Verbindungsschicht kann beispielsweise Au, Sn, Ni oder In oder eine metallische
25 Legierung mit zumindest einem der genannten Metalle enthalten oder aus einem solchen Material bestehen.

Mittels der Planarisierungsschicht 6 weist der Schichtverbund 10 für die Verbindung mit dem Träger 26 eine ebene Oberfläche
30 auf. Die Verbindungsschicht 27 kann daher eine gleichmäßige Dicke aufweisen und muss nicht Unebenheiten in der Topografie des Schichtverbunds ausgleichen. Die Gefahr von Lunkern in der Verbindungsschicht wird so verringert. Weiterhin wird der

Bedarf an Edelmetall im Vergleich zu einem Verfahren, bei dem Ausnehmungen mit flüssigem Lot, beispielsweise einem Goldhaltigen Lot wie AuSn, befüllt werden, verringert. Die Verbindung zwischen dem Träger und dem Schichtverbund 10 kann
5 also edelmetallfrei oder mit reduziertem Edelmetallbedarf erfolgen. Weiterhin kann die Planarisierungsschicht 6 zugleich die Funktion einer Lotsperre erfüllen.

Insbesondere kann mittels der Planarisierungsschicht 6
10 seitens des Schichtverbunds 10 eine derart ebene Oberfläche für die Verbindung mit dem Träger 26 bereitgestellt werden, dass die Stoffschlüssige Verbindung auch mittels direkten Bondens hergestellt werden kann. Hierfür können
beispielsweise auf dem Schichtverbund 10 und dem Träger 26
15 jeweils Teilschichten der Verbindungsschicht 27 in Form einer dielektrischen Schicht, beispielsweise einer Siliziumoxidschicht, aufgebracht werden. Abhängig vom Material des Trägers 26 und dem Material der Planarisierungsschicht 6 kann eine direkte Bondverbindung
20 auch ohne eine Verbindungsschicht oder mit nur einer Verbindungsschicht erfolgen.

Für den Träger 26 eignet sich beispielsweise ein Halbleitermaterial, etwa Silizium oder Germanium, eine
25 Keramik, beispielsweise Siliziumnitrid, Aluminiumnitrid oder Bornitrid, oder ein Metall, beispielsweise Molybdän, Wolfram, Kupfer oder eine metallische Legierung, beispielsweise mit einem der genannten Materialien.

30 Der Träger 26 dient insbesondere der mechanischen Stabilisierung der Halbleiterschichtenfolge 2. Das Aufwachssubstrat 25 ist hierfür nicht mehr erforderlich und kann entfernt werden, wie in Figur 1F dargestellt. Das

Entfernen des Aufwachssubstrats kann beispielsweise mittels eines Laser-Lift-Off -Verfahrens , mechanisch, etwa mittels Schleifens, Lämpens oder Polierens, und/oder chemisch, etwa mittels Ätzens, erfolgen.

5

Das beschriebene Verfahren zur Einebnung der Topografie des Schichtverbunds 10 kann grundsätzlich bei der Herstellung von optoelektronischen Halbleiterchips, beispielsweise Lumineszenzdioden, Laserdioden oder Strahlungsdetektoren Anwendung finden. Selbstverständlich eignet sich das Verfahren auch für die Einebnung eines Schichtverbunds, bei dem die Halbleiterschichtenfolge nicht auf einem Aufwachssubstrat , sondern auf einem vom Aufwachssubstrat verschiedenen Träger, bereitgestellt wird.

15

Weiterhin muss die Planarisierungsschicht nicht notwendigerweise der elektrischen Kontaktierung von Halbleiterschichtenfolgen dienen. In diesem Fall kann die Planarisierungsschicht auch elektrisch isolierend ausgebildet sein. Beispielsweise eignet sich für eine elektrisch isolierende Planarisierungsschicht ein Oxid, etwa Siliziumoxid, ein Nitrid, etwa Siliziumnitrid, oder ein Oxinitrid, etwa Siliziumoxinitrid. Auch Al_2O_3 , $\text{Y}_x\text{Al}_y\text{O}_3$, TiO_2 oder HfO_2 kann Anwendung finden.

25

Zur Fertigstellung der Halbleiterchips kann der Träger 26 mit dem darauf angeordneten Schichtverbund 10 vereinzelt werden, beispielsweise mechanisch, etwa mittels Sägens, Brechens, Spaltens, chemisch, etwa mittels Ätzens, oder mittels eines Lasertrennverfahrens (nicht explizit dargestellt) . Durch das Vereinzeln geht für jeden Halbleiterchip aus dem Schichtverbund ein Halbleiterkörper hervor, der jeweils auf einem Teil des Trägers 26 angeordnet ist.

30

Ein zweites Ausführungsbeispiel für ein Herstellungsverfahren ist in den Figuren 2A bis 2D schematisch in Schnittansicht dargestellt. Dieses zweite Ausführungsbeispiel entspricht im Wesentlichen dem im Zusammenhang mit den Figuren 1A bis 1F beschriebenen ersten Ausführungsbeispiel. Im Unterschied hierzu bildet eine Stoppschicht 7, die auf die Halbleiterschichtenfolge 2 aufgebracht wird, die Hauptebene 3. Nachfolgend wird, wie in Figur 2B dargestellt, eine Planarisierungsschicht 6 aufgebracht, sodass die Ausnehmung 31 vollständig mit Material der Planarisierungsschicht befüllt ist und die Planarisierungsschicht 6 an jeder Stelle des Schichtverbunds in vertikaler Richtung über die Hauptebene 3 hinausragt.

Das Entfernen des Materials der Planarisierungsschicht 6 erfolgt in diesem Ausführungsbeispiel derart, dass das Verfahren beim Erreichen der Stoppschicht 7 stoppt. In diesem Fall ist die Planarisierungsfläche 60 bereichsweise durch die Stoppschicht 7 und bereichsweise durch die Planarisierungsschicht 6 gebildet (Figur 2C).

Die Stoppschicht 7 bildet in diesem Ausführungsbeispiel eine vierte Schicht 424 des zweiten Anschlussbereichs 42.

Optional kann, wie in Figur 2D dargestellt, weiteres Material 61 der Planarisierungsschicht 6 aufgebracht werden, sodass die Halbleiterschichtenfolge 2 vollständig mit Material der Planarisierungsschicht 6 bedeckt ist.

Zweckmäßigerweise ist die Stoppschicht 7 mittels eines Materials gebildet, das beim Einebnen eine geringere Abtragsrate aufweist als das Material der

Planarisierungsschicht 6. In dem gezeigten Ausführungsbeispiel ist die Stoppschicht 7 zweckmäßigerweise elektrisch leitfähig ausgebildet. Wenn die Stoppschicht im fertig gestellten Element nicht der elektrischen

5 Kontaktierung dient, kann auch ein elektrisch isolierendes Material Anwendung finden. Beispielsweise kann von dem gezeigten Ausführungsbeispiel abweichend eine elektrisch isolierende Stoppschicht 7 auch nur bereichsweise auf die Halbleiterschichtenfolge 2 aufgebracht werden, sodass die
10 Stoppschicht im Bereich der Ausnehmungen 31 die Halbleiterschichtenfolge 2 nicht oder nur teilweise bedeckt. In einem nicht von der elektrisch isolierenden Stoppschicht bedeckten Bereich ist die zweite Halbleiterschicht elektrisch kontaktierbar. Weiterhin kann die Stoppschicht 7 abhängig vom
15 Aufbau des Halbleiterchips für die im Betrieb erzeugte oder zu empfangende Strahlung strahlungsdurchlässig, etwa mit einer Transmission von mindestens 60%, oder reflektierend, etwa mit einer Reflektivität von mindestens 60%, ausgebildet sein.

20 Die nachfolgenden Schritte zur Fertigstellung der Halbleiterchips können wie im Zusammenhang mit den Figuren 1D und 1F beschrieben erfolgen.

25 Ein drittes Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips ist in den Figuren 3A bis 3F schematisch dargestellt. Dieses Ausführungsbeispiel entspricht im Wesentlichen dem im Zusammenhang mit den Figuren 1A bis 1F
30 beschriebenen ersten Ausführungsbeispiel. Im Unterschied hierzu dient die Planarisierungsschicht 6 nicht dem Ausbilden eines elektrischen Anschlussbereichs für die Halbleiterschichtenfolge 2. Wie in Figur 3A dargestellt,

bildet der erste Anschlussbereich 41 die Hauptebene 3 des Schichtverbunds 10. Die Planarisierungsschicht 6 wird derart aufgebracht, dass die Ausnehmung 31 vollständig mit Material der Planarisierungsschicht befüllt wird (Figur 3B) .

5

Das Einebnen der Planarisierungsschicht kann wie im Zusammenhang mit den vorangegangenen Ausführungsbeispielen beschrieben durchgeführt werden, wobei das Einebnen in diesem Ausführungsbeispiel derart erfolgt, dass die

10

Planarisierungsschicht 6 nach dem Einebnen bündig mit dem ersten Anschlussbereich 41 abschließt. Der erste Anschlussbereich 41 und die Planarisierungsschicht 6 bilden also die Planarisierungsfläche 60 (Figur 3C) .

15

Nachfolgend kann, wie in Figur 3D dargestellt, weiteres Material 61 der Planarisierungsschicht aufgebracht werden, sodass der erste Anschlussbereich 41 vollständig mit Material der Planarisierungsschicht bedeckt ist. Die so mittels einer zweistufigen Abscheidung und einer zwischen den beiden

20

Abscheidungsschritten durchgeführten Einebnung hergestellte Planarisierungsschicht 6 bildet eine Isolationsschicht 51. Mit dem beschriebenen Verfahren kann die Schichtdicke der Isolationsschicht 51 im Bereich über dem ersten

25

Material 61 der Planarisierungsschicht eingestellt werden. Die Schichtdicke ist also unabhängig von der Durchführung des Einebnens der Planarisierungsschicht. Selbstverständlich kann davon abweichend auch die Einebnung bereits gestoppt werden, bevor der erste Anschlussbereich 41 erreicht wird (vgl. Fig.

30

1D) . In diesem Fall ist das Ausbilden des weiteren Materials 61 der Planarisierungsschicht nicht erforderlich.

Zur elektrischen Kontaktierung der zweiten Halbleiterschicht 22 wird im Bereich der Ausnehmung 31 eine Öffnung 32 ausgebildet, die sich vollständig durch die Planarisierungsschicht 6 hindurch erstreckt. Nachfolgend werden zur Ausbildung des zweiten Anschlussbereichs 42 eine erste Schicht 421 und eine zweite Schicht 422 aufgebracht.

Die zweite Schicht 422 bildet eine weitere Hauptebene 35 für einen weiteren Planarisierungsschritt. Auf die weitere Hauptebene wird eine weitere Planarisierungsschicht 65 aufgebracht, sodass die Öffnung 32 vollständig befüllt wird (Figur 3E). Nachfolgend wird die weitere Planarisierungsschicht 65 eingeebnet, sodass die weitere Planarisierungsschicht 65 eine durchgängige weitere Planarisierungsfläche 650 bildet (Figur 3F).

In dem gezeigten Ausführungsbeispiel werden also zwei Planarisierungsschritte durchgeführt, wobei mittels der ersten Planarisierungsschicht eine elektrische Isolationsschicht und mittels der weiteren Planarisierungsschicht 65 eine Teilschicht des zweiten Anschlussbereichs 42 ausgebildet werden. Selbstverständlich können abhängig vom Aufbau des herzustellenden Halbleiterchips auch zwei elektrisch isolierende Planarisierungsschichten oder zwei elektrisch leitfähige Planarisierungsschichten zweckmäßig sein.

Als Material für eine elektrisch leitfähige Planarisierungsschicht eignet sich beispielsweise ein Metall, etwa Ag, Au, Cu, Cr, Ni, Mo, W, Ti, V, Pd, Pt oder Sn, eine metallische Legierung mit zumindest einem der genannten Metalle oder ein transparentes leitfähiges Oxid, beispielsweise ZnO, ITO (Indiumzinnoxid) oder IZO (Indiumzinkoxid).

Die Fertigstellung der Halbleiterchips kann wiederum wie im Zusammenhang mit den Figuren 1E bis 1F beschrieben erfolgen.

5 Ein Ausführungsbeispiel für einen optoelektronischen Halbleiterchip 1 ist in Figur 4 schematisch in Schnittansicht dargestellt. Ein solcher Halbleiterchip kann wie im Zusammenhang mit den Figuren 3A bis 3F beschrieben hergestellt werden. Ein Ausschnitt 15 entspricht hierbei im
10 Wesentlichen dem in Figur 3F dargestellten Ausschnitt des Schichtverbunds 10.

Der Halbleiterchip 1 weist einen Halbleiterkörper 200 auf, der bei der Herstellung aus der Halbleiterschichtenfolge 2
15 hervorgeht und einen aktiven Bereich 20 aufweist, der zwischen einer ersten Halbleiterschicht 21 und einer zweiten Halbleiterschicht 22 angeordnet ist. Der Halbleiterkörper 2 ist mittels einer Verbindungsschicht 27 mit dem Träger 26 verbunden. Der Halbleiterchip 1 weist eine erste
20 Kontaktfläche 410, die mittels eines ersten Anschlussbereichs 41 gebildet ist, und eine zweite externe Kontaktfläche 420, die mittels eines zweiten Anschlussbereichs 42 gebildet ist, auf .

25 Der Halbleiterkörper 2 weist lediglich zur vereinfachten Darstellung nur eine Ausnehmung 31 auf, die sich von einer ersten Hauptfläche 210 her durch die erste Halbleiterschicht 21 und den aktiven Bereich 20 hindurch in die zweite Halbleiterschicht 22 hinein erstreckt. Für eine in lateraler
30 Richtung gleichmäßige Ladungsträgerinjektion über die zweite Halbleiterschicht in den aktiven Bereich 20 kann, insbesondere abhängig von der Querleitfähigkeit der zweiten

Halbleiterschicht 22, auch eine Mehrzahl solcher Ausnehmungen zweckmäßig sein.

5 Durch Anlegen einer elektrischen Spannung zwischen den externen Kontaktflächen 410, 420 können Ladungsträger von gegenüberliegenden Seiten in den aktiven Bereich injiziert werden und dort unter Emission von Strahlung rekombinieren. Bei einem als Strahlungsempfänger ausgebildeten Halbleiterchip 1 kann ein elektrisches Signal an den externen
10 Kontaktflächen 410, 420 abgegriffen werden.

In dem gezeigten Ausführungsbeispiel ist der Halbleiterchip 1 von der dem Halbleiterkörper 200 zugewandten Seite des Trägers 26 her elektrisch kontaktierbar. Die elektrische
15 Kontaktierung des Halbleiterchips erfolgt also unabhängig von der Verbindungsschicht 27 und dem Träger 26, sodass hierfür auch elektrisch isolierende Materialien Anwendung finden können. Davon abweichend können auch eine Kontaktfläche oder zwei Kontaktflächen auf der dem Halbleiterkörper 2
20 abgewandten Seite des Trägers 26 angeordnet sein.

Beispielsweise kann die zweite externe Kontaktfläche 420 auf der dem Halbleiterkörper 2 abgewandten Seite des Trägers 26 angeordnet sein, sodass die zweite Halbleiterschicht 22 über den zweiten Anschlussbereich 42, die Verbindungsschicht 27
25 und den Träger 26 hindurch elektrisch kontaktiert ist. In diesem Fall ist der Träger 26 vorzugsweise elektrisch leitfähig ausgebildet. Davon abweichend kann aber auch ein elektrisch isolierender Träger Anwendung finden, bei dem eine elektrische Kontaktierung durch den Träger hindurch über
30 Durchkontaktierungen im Träger erfolgt.

Eine dem Halbleiterkörper 200 abgewandte Oberfläche des ersten Anschlussbereichs 41 bildet eine Hauptebene 3, von der

aus sich die Ausnehmung 31 in den Halbleiterkörper hinein erstreckt. Eine Planarisierungsschicht 6 bildet eine Isolationsschicht 51. Im Bereich der Ausnehmung 31 weist die Planarisierungsschicht eine größere vertikale Ausdehnung auf als in einem in einer lateralen Richtung, also in einer entlang einer Haupterstreckungsebene der Halbleiterschichten der Halbleiterschichtenfolge verlaufenden Richtung, von der Ausnehmung beabstandeten Bereich. Weiterhin kann die Dicke der Planarisierungsschicht in einer senkrecht zu einer Seitenfläche 310 verlaufenden Richtung größer sein als die vertikale Ausdehnung der Planarisierungsschicht in einem lateral von der Ausnehmung beabstandeten Bereich. Eine zuverlässige Bedeckung der Seitenfläche 310 der Ausnehmung mit isolierendem Material ist so vereinfacht erzielbar.

Eine dem Halbleiterkörper 200 abgewandte Oberfläche einer dritten Schicht 423 des zweiten Anschlussbereichs 42 bildet eine weitere Hauptebene 35. An die weitere Hauptebene 35 grenzt eine weitere Planarisierungsschicht 65 an, die eine dritte Schicht des zweiten Anschlussbereichs 42 bildet. Die weitere Planarisierungsschicht bildet auf der dem Halbleiterkörper abgewandten Seite eine ebene weitere Planarisierungsfläche 65. Die Verbindungsschicht 27 kann so über die gesamte laterale Ausdehnung des Halbleiterchips eine konstante Dicke aufweisen.

Von dem beschriebenen Ausführungsbeispiel abweichend, kann der Halbleiterchip 1 auch eine Mehrzahl von Halbleiterkörpern 2 aufweisen, die über die Anschlussbereiche 41, 42 elektrisch leitend miteinander verbunden sind. Beispielsweise kann mittels der Anschlussbereiche 41, 42 die erste Halbleiterschicht 21 eines ersten Halbleiterkörpers mit der zweiten Halbleiterschicht 22 eines zweiten Halbleiterkörpers

elektrisch leitend verbunden sein, sodass die Halbleiterkörper elektrisch zueinander in Serie verschaltet sein können. Durch eine Serienschaltung einer Vielzahl von optoelektronischen Halbleiterchips kann der Halbleiterchip 1 mit erhöhten Betriebsspannungen, beispielsweise mit einer Netzspannung von 110 V oder 220 V, betrieben werden.

Die Ausnehmung kann von dem gezeigten Ausführungsbeispiel abweichend auch wie im Zusammenhang mit den Figuren 1A bis 1F und 2A bis 2D beschrieben ausgebildet sein.

Das Verfahren eignet sich ganz allgemein für eine verbesserte Überformung von Stufen oder Kanten einer Bauelement-Topografie. Mit dem beschriebenen Verfahren können insbesondere sowohl elektrisch isolierende Schichten als auch elektrisch leitende Schichten auf besonders einfache und zuverlässige Weise so ausgebildet werden, dass zu überformende Kanten zuverlässig mit einer ausreichenden Dicke beschichtet werden. So kann beispielsweise ein elektrischer Kurzschluss zwischen zwei elektrisch voneinander zu trennenden Schichten vermieden werden kann. Bei der Herstellung von Dünnschichtchips, bei denen der Halbleiterkörper an einem von einem Aufwuchssubstrat verschiedenen Träger befestigt wird, wird weiterhin die Herstellung einer stoffschlüssigen Verbindung vereinfacht.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldungen 10 2011 056 993.6 und 10 2012 101 409.4, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die

Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den

5 Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips (1) mit den Schritten:

- 5 a) Bereitstellen eines Schichtverbunds (10) mit einer Hauptebene (3), die den Schichtverbund (10) in einer vertikalen Richtung begrenzt, und mit einer Halbleiterschichtenfolge (2) mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich (20),
10 wobei in dem Schichtverbund eine Mehrzahl von Ausnehmungen (31) ausgebildet ist, die sich von der Hauptebene in Richtung des aktiven Bereichs erstrecken;
- b) Ausbilden einer Planarisierungsschicht (6) auf der Hauptebene (3), so dass die Ausnehmungen (31) zumindest
15 teilweise mit Material der Planarisierungsschicht befüllt werden;
- c) zumindest bereichsweises Entfernen von Material der Planarisierungsschicht (6) zum Einebnen der Planarisierungsschicht (6); und
20 d) Fertigstellen der Halbleiterchips (1), wobei für jeden Halbleiterchip aus der Halbleiterschichtenfolge (2) zumindest ein Halbleiterkörper (200) hervorgeht.

2. Verfahren nach Anspruch 1,
25 wobei die Planarisierungsschicht in Schritt c) mechanisch und/oder chemisch poliert wird.

3. Verfahren nach Anspruch 1,
wobei sich die Ausnehmungen durch den aktiven Bereich
30 hindurch erstrecken.

4. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Halbleiterschichtenfolge mittels einer

Stoffschlüssigen Verbindung an einem Träger (26) befestigt wird.

5. Verfahren nach Anspruch 4,

5 wobei die Halbleiterschichtenfolge mittels einer direkten Bondverbindung an dem Träger befestigt wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Planarisierungsschicht in Schritt c) nur soweit

10 gedünnt wird, dass die Planarisierungsschicht die Hauptebene nach dem Dünnen vollständig bedeckt.

7. Verfahren nach einem der Ansprüche 1 bis 5,

15 wobei die Hauptebene in Schritt c) bereichsweise freigelegt wird.

8. Verfahren nach Anspruch 7,

20 wobei vor Schritt b) auf der Halbleiterschichtenfolge eine Stoppschicht (7) ausgebildet wird, die die Hauptebene bildet, und wobei die Stoppschicht in Schritt c) bereichsweise freigelegt wird.

9. Verfahren nach Anspruch 8,

25 wobei nach Schritt c) weiteres Material (61) der Planarisierungsschicht abgeschieden wird.

10. Verfahren nach einem der vorhergehenden Ansprüche,

30 wobei nach Schritt c) in der Planarisierungsschicht im Bereich der Ausnehmungen eine Öffnung (32) ausgebildet wird.

11. Verfahren nach Anspruch 10,

wobei die Öffnung zumindest bereichsweise mittels einer weiteren Planarisierungsschicht (65) gefüllt wird.

12. Verfahren nach Anspruch 11,
wobei die Planarisierungsschicht elektrisch isolierend und
die weitere Planarisierungsschicht elektrisch leitend ist.

- 5 13. Verfahren nach Anspruch 1,
wobei
- sich die Halbleiterschichtenfolge in vertikaler Richtung
zwischen einer ersten Hauptfläche (210) und einer zweiten
Hauptfläche (220) erstreckt;
 - 10 - der aktive Bereich zwischen einer ersten Halbleiterschicht
(21) und einer zweiten Halbleiterschicht (22) angeordnet ist;
- die Ausnehmungen sich von der ersten Hauptfläche durch den
aktiven Bereich hindurch in die zweite Halbleiterschicht
hineinerstrecken;
 - 15 - die erste Halbleiterschicht von der ersten Hauptfläche her
mittels eines ersten Anschlussbereichs (41) elektrisch
kontaktiert ist;
- die zweite Halbleiterschicht von der ersten Hauptfläche her
mittels eines zweiten Anschlussbereichs (42) elektrisch
20 kontaktiert ist; und
- der zweite Anschlussbereich oder eine elektrische
Isolationsschicht zwischen dem zweiten Anschlussbereich und
der ersten Halbleiterschicht mittels der
Planarisierungsschicht gebildet wird.
- 25
14. Optoelektronischer Halbleiterchip (1) mit einem
Schichtverbund (10) mit einer Hauptebene (3) und mit einem
Halbleiterkörper (200) mit einem zur Erzeugung und/oder
Detektion von Strahlung vorgesehenen aktiven Bereich (20),
30 wobei in dem Schichtverbund (10) zumindest eine Ausnehmung
(31) ausgebildet ist, die sich von der Hauptebene (3) in
Richtung des aktiven Bereichs (20) erstreckt, wobei der
Halbleiterchip eine Planarisierungsschicht (6) aufweist, die

im Bereich der Ausnehmung (31) eine größere vertikale Ausdehnung aufweist als in einem lateral von der Ausnehmung beabstandeten Bereich.

- 5 15. Optoelektronischer Halbleiterchip nach Anspruch 14, der nach einem Verfahren gemäß einem der Ansprüche 1 bis 13 hergestellt ist.

FIG 1A

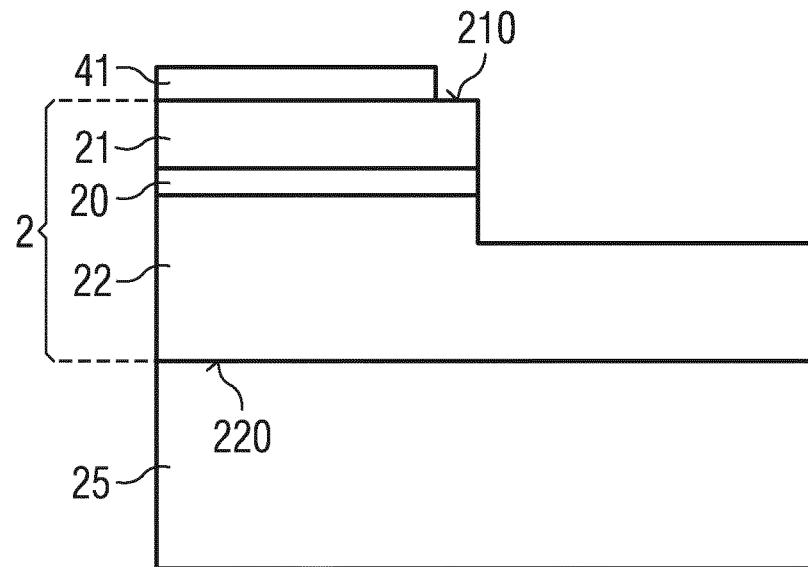


FIG 1B

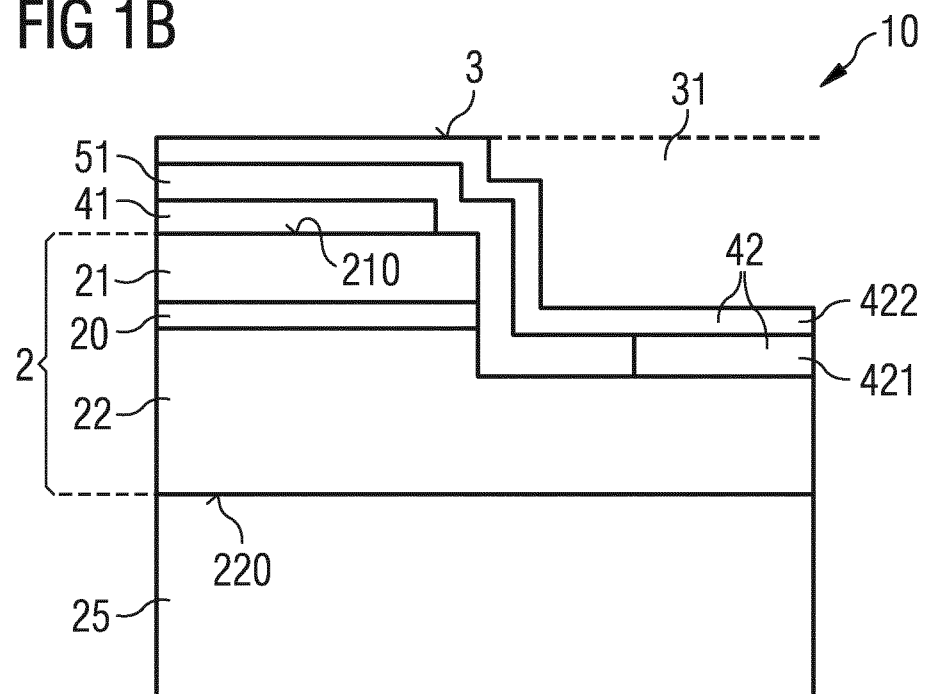


FIG 1C

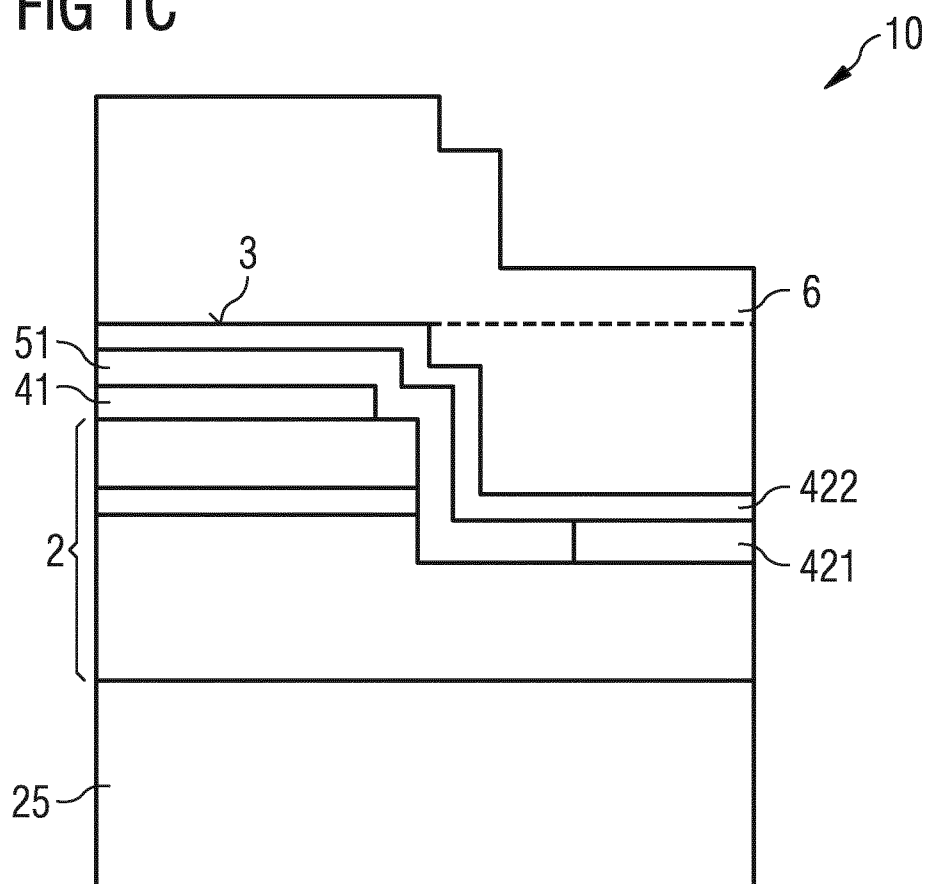


FIG 1D

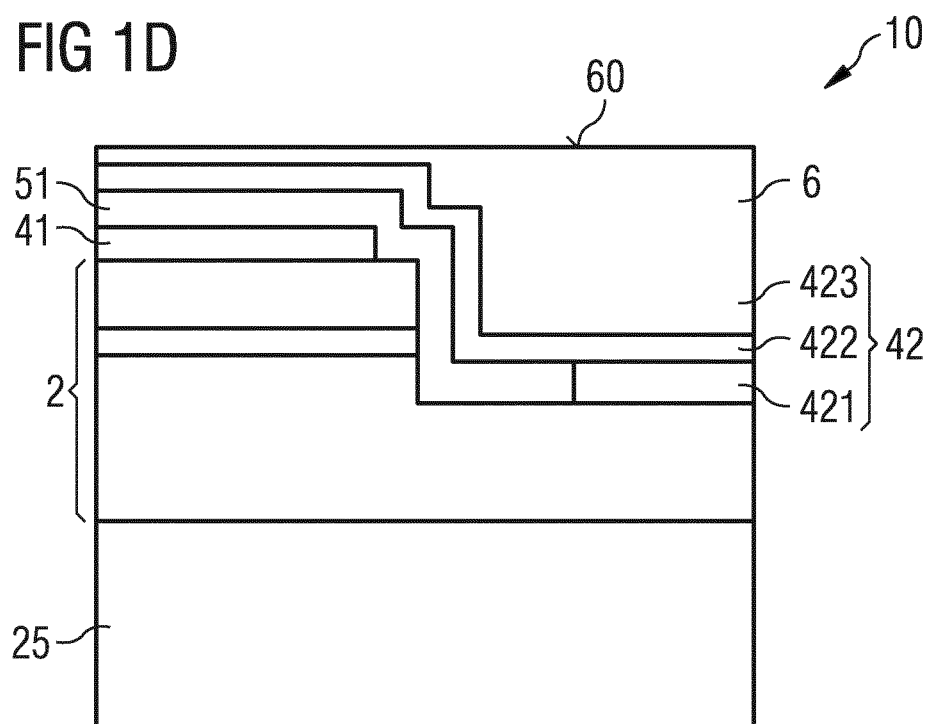


FIG 1E

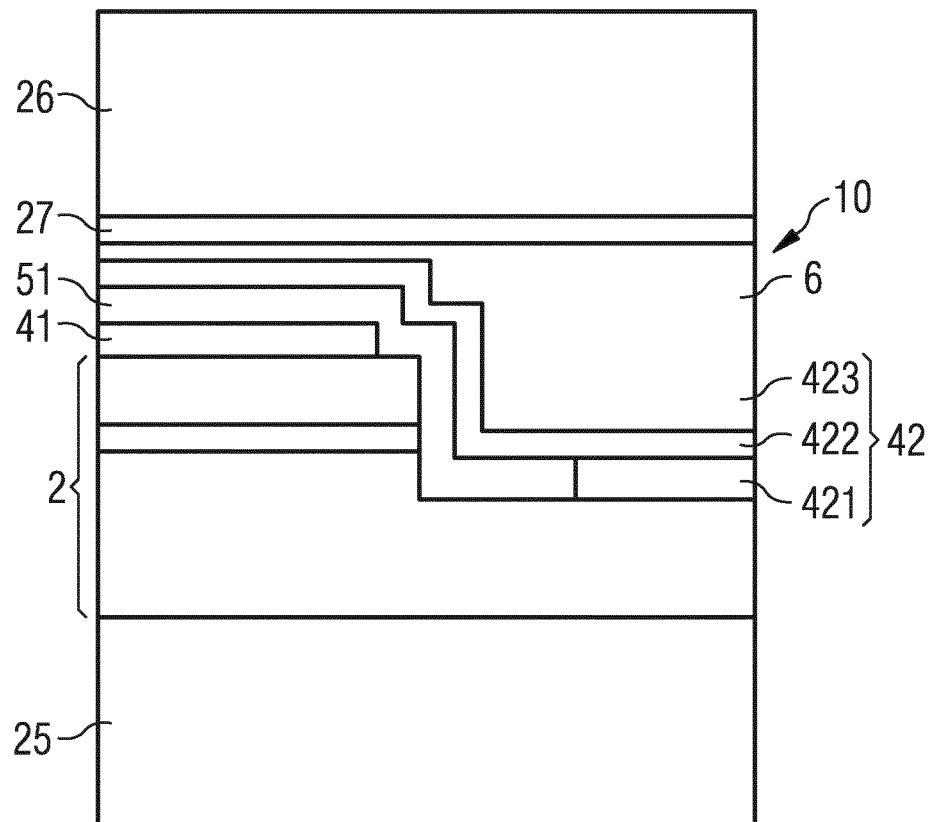


FIG 1F

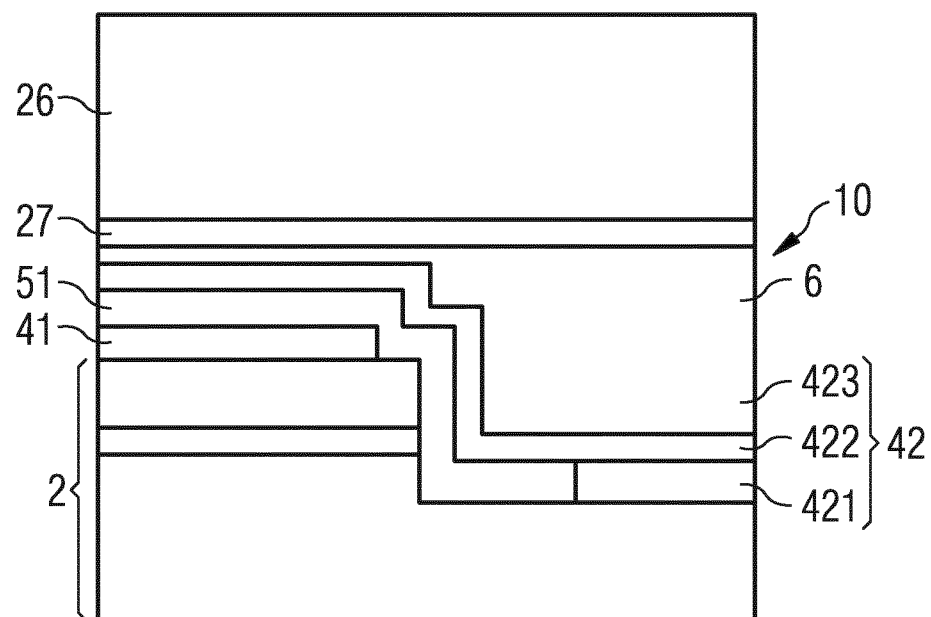


FIG 2A

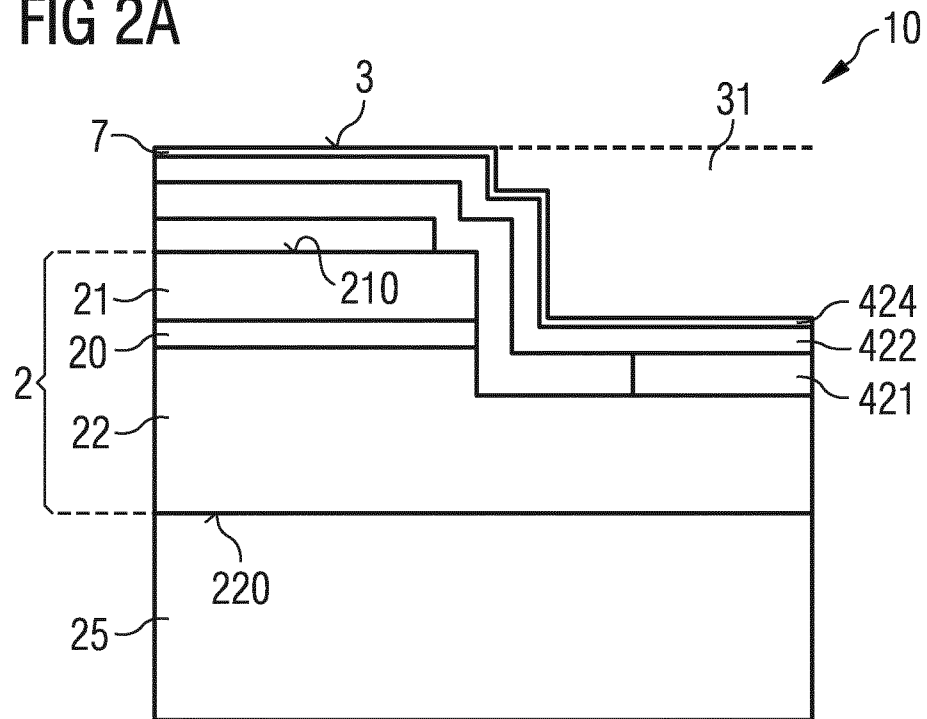


FIG 2B

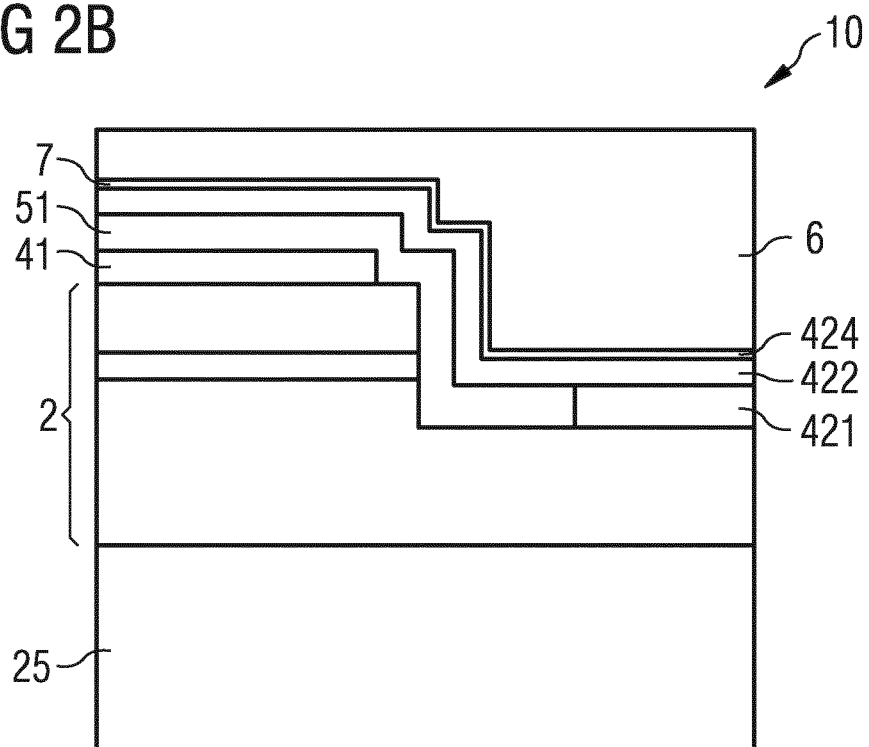


FIG 2C

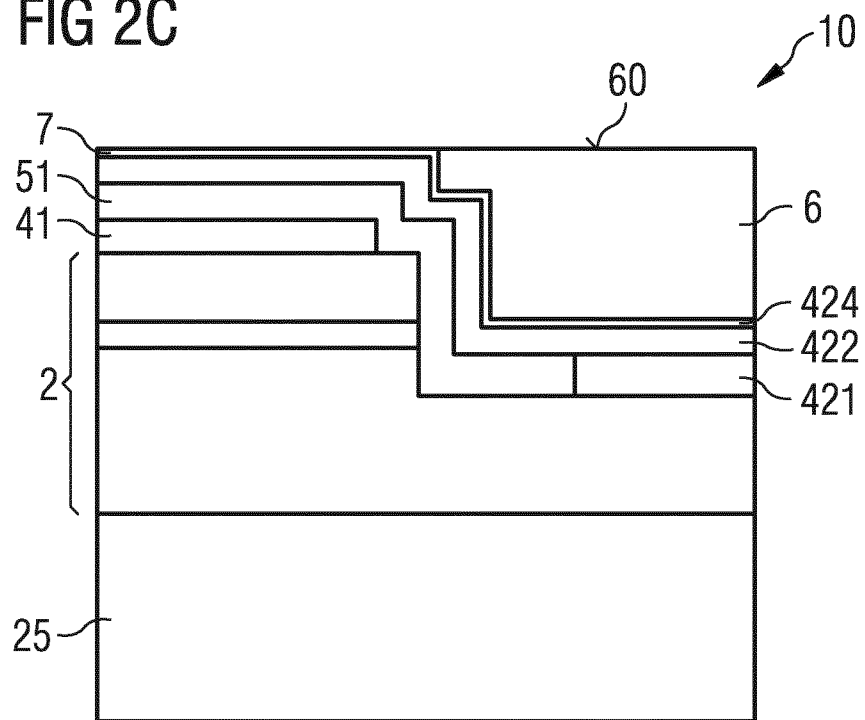


FIG 2D

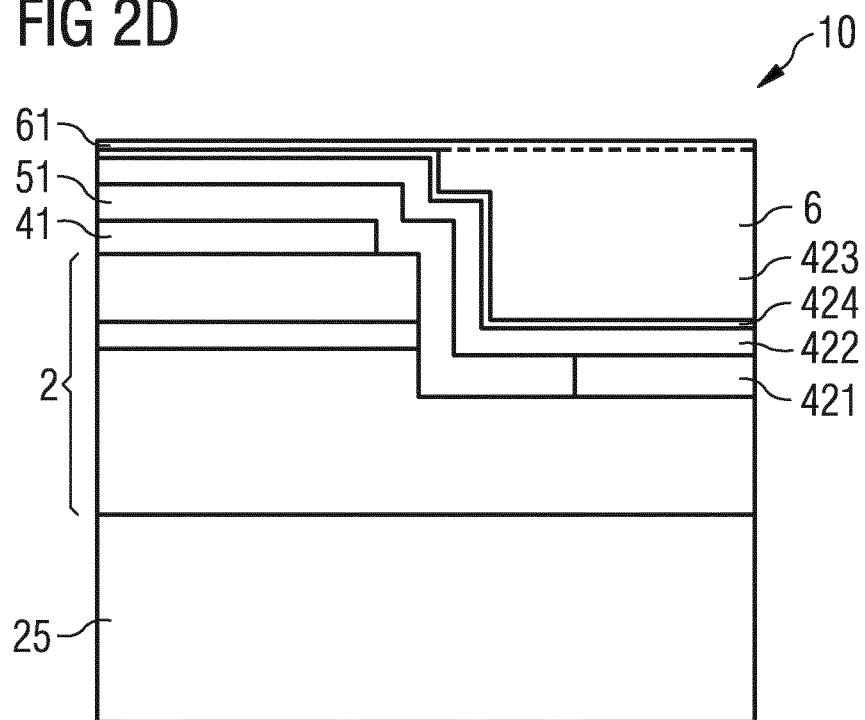


FIG 3A

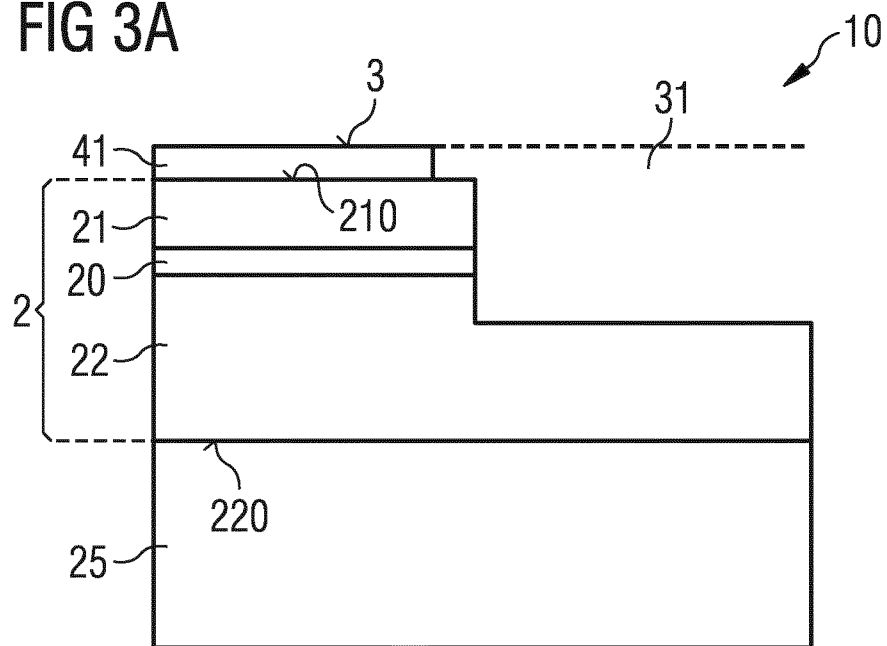


FIG 3B

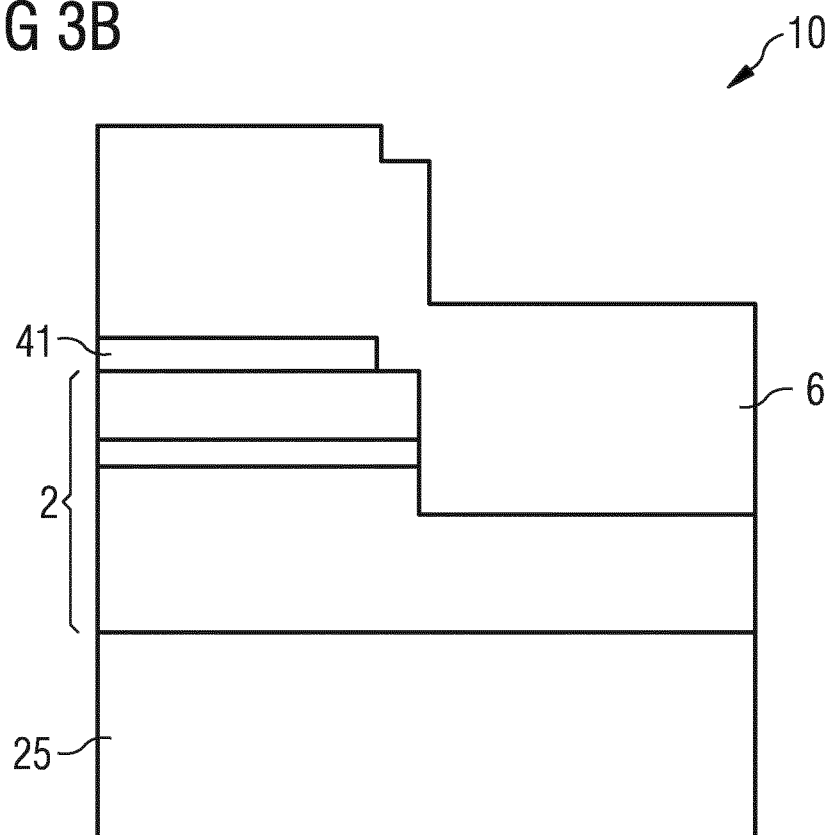


FIG 3C

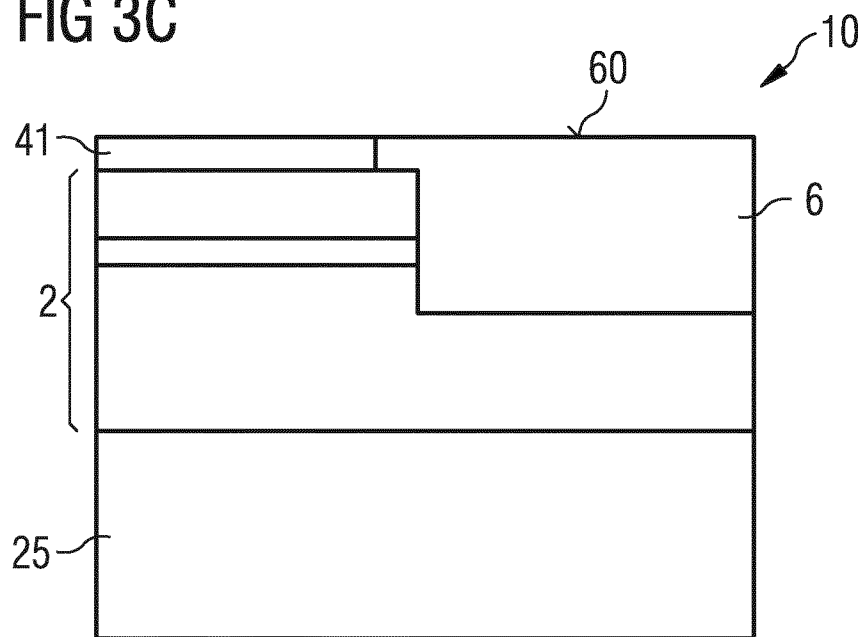


FIG 3D

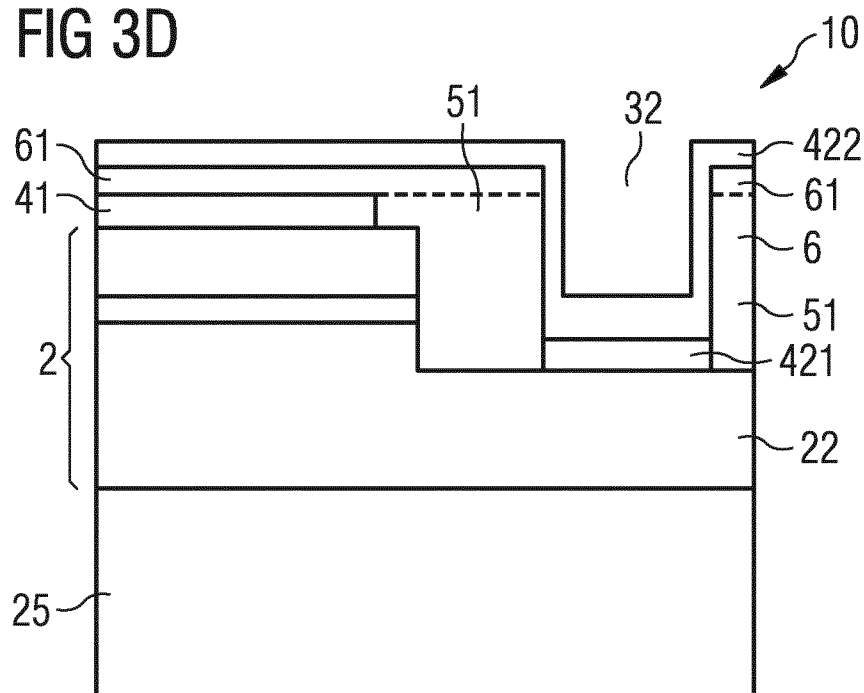


FIG 3E

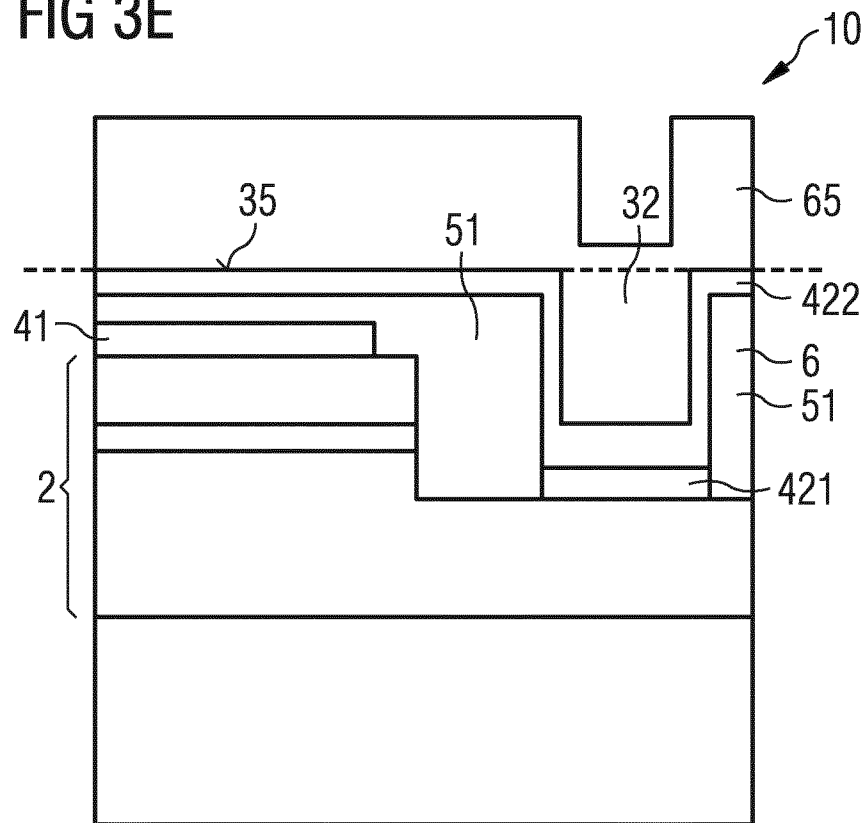


FIG 3F

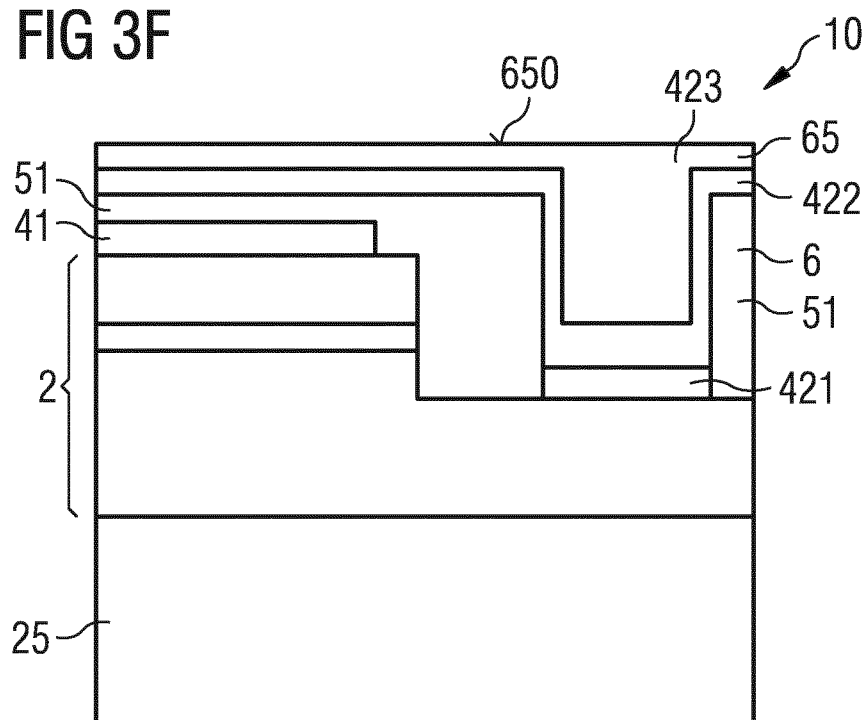
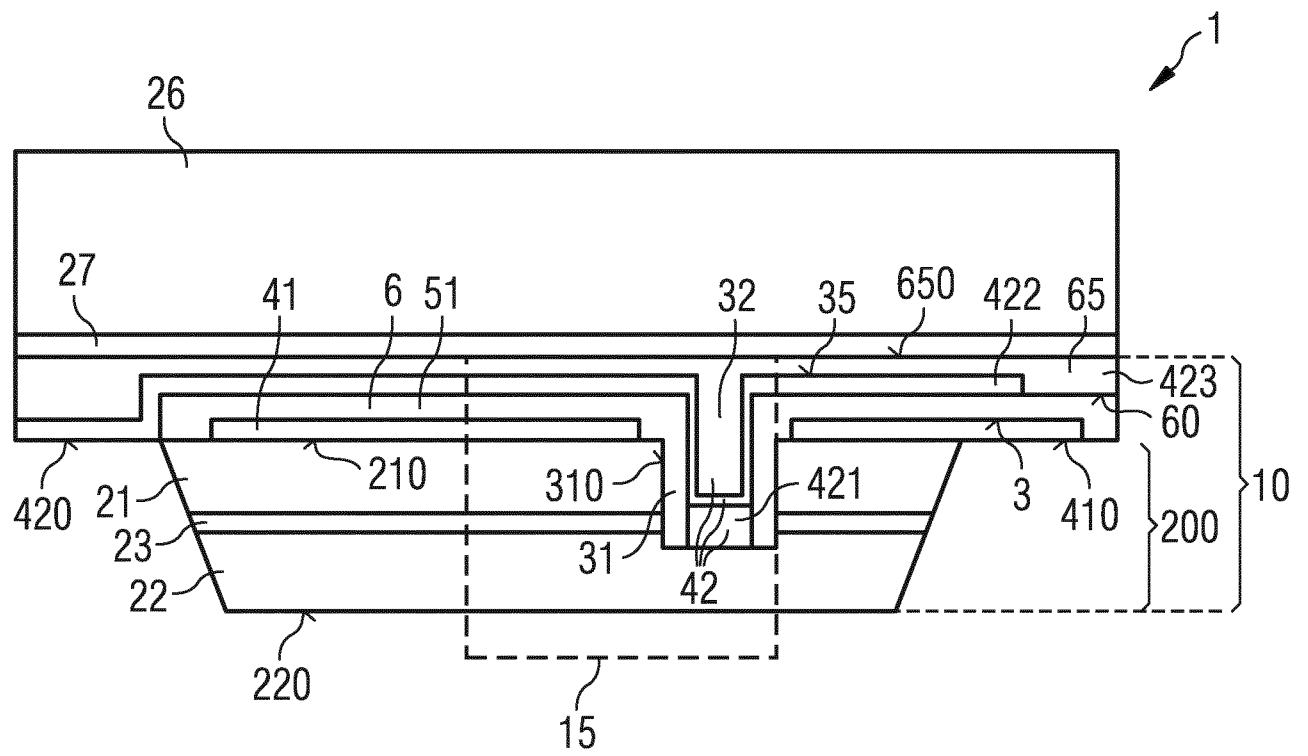


FIG 4



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2012/072403

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H01L33/36 H01L21/321
 ADD.

According to International Patent Classification (IPC) onto both national Classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (Classification System followed by Classification Symbols)
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal , INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
X Y	US 2010/072489 AI (MCLAURIN MELVIN B [US] ET AL) 25 March 2010 (2010-03-25) paragraphs [0014] , [0043] - [0045] , [0047] figures 1,6-8 -----	I - 6,8,9 , 14, 15 II- 13
X Y	EP 2 393 133 AI (TOSHIBA KK [JP]) 7 December 2011 (2011-12-07) paragraphs [0011] - [0013] figures 3-5 -----	1, 7, 10, 14, 15 11-13
X	US 2011/284906 AI (LIN LIMIN [HK] ET AL) 24 November 2011 (2011-11-24) paragraphs [0019] - [0022] figures 1A-1C ----- -/- .	1, 14, 15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general State of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

24 January 2013

Date of mailing of the international search report

31/01/2013

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer

Adams , Ri chard

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/072403

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
X	EP 1 434 271 A2 (OKI DATA KK [JP]) 30 June 2004 (2004-06-30) Paragraph [0019] figures 5A, 5B -----	1, 14, 15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/072403

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010072489	AI	25-03-2010	
		CN 102165609 A	24-08-2011
		EP 2329536 AI	08-06-2011
		JP 2012503861 A	09-02-2012
		KR 20110055745 A	25-05-2011
		RU 2011116095 A	27-10-2012
		TW 201019513 A	16-05-2010
		US 2010072489 AI	25-03-2010
		Wo 2010035211 AI	01-04-2010

EP 2393133	AI	07-12-2011	
		EP 2393133 AI	07-12-2011
		EP 2423988 AI	29-02-2012
		JP 2011254033 A	15-12-2011
		TW 201145602 A	16-12-2011
		US 2011297969 AI	08-12-2011

US 2011284906	AI	24-11-2011	
		NONE	

EP 1434271	A2	30-06-2004	
		EP 1434271 A2	30-06-2004
		JP 4179866 B2	12-11-2008
		JP 2004207323 A	22-07-2004
		US 2004135157 AI	15-07-2004
		US 2010096748 AI	22-04-2010

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/36 H01L21/321
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal , INSPEC, IBM-TDB, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2010/072489 AI (MCLAURIN MELVIN B [US] ET AL) 25. März 2010 (2010-03-25)	I - 6,8,9 , 14, 15
Y	Absätze [0014] , [0043] - [0045] , [0047] Abbildungen 1,6-8	II- 13

X	EP 2 393 133 AI (TOSHIBA KK [JP]) 7. Dezember 2011 (2011-12-07)	1, 7, 10, 14, 15
Y	Absätze [0011] - [0013] Abbildungen 3-5	11-13

X	US 2011/284906 AI (LIN LIMIN [HK] ET AL) 24. November 2011 (2011-11-24)	1, 14, 15
	Absätze [0019] - [0022] Abbildungen 1A-1C	

X	EP 1 434 271 A2 (OKI DATA KK [JP]) 30. Juni 2004 (2004-06-30)	1, 14, 15
	Absatz [0019] Abbildungen 5A,5B	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. Januar 2013

Absendedatum des internationalen Recherchenberichts

31/01/2013

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Adams , Ri chard

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/072403

Im Recherchenbericht angeführtes Patentdokument			Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung	
US 2010072489	AI	25-03-2010	CN	102165609	A		24-08-2011	
			EP	2329536	AI		08-06-2011	
			JP	2012503861	A		09-02-2012	
			KR	20110055745	A		25-05-2011	
			RU	2011116095	A		27-10-2012	
			TW	201019513	A		16-05-2010	
			US	2010072489	AI		25-03-2010	
			WO	2010035211	AI		01-04-2010	

EP 2393133	AI	07-12-2011	EP	2393133	AI		07-12-2011	
			EP	2423988	AI		29-02-2012	
			JP	2011254033	A		15-12-2011	
			TW	201145602	A		16-12-2011	
			US	2011297969	AI		08-12-2011	

US 2011284906	AI	24-11-2011	KEINE					

EP 1434271	A2	30-06-2004	EP	1434271	A2		30-06-2004	
			JP	4179866	B2		12-11-2008	
			JP	2004207323	A		22-07-2004	
			US	2004135157	AI		15-07-2004	
			US	2010096748	AI		22-04-2010	
