

1. 一种非易失性电阻存储器件,包括:
开关器件;以及
存储节点,其与该开关器件耦接,该存储节点包括:
第一电极;
第二电极;
数据存储层,其设置在该第一电极与该第二电极之间且包括过渡金属氧化物或铝氧化物,该数据存储层根据施加到该数据存储层的电压水平而变为具有不同的电阻值的重置态或设置态;以及
至少一个接触层,其设置在该数据存储层之上或之下并与该数据存储层接触且由导电金属氧化物形成从而改善该数据存储层与该第一电极之间或该数据存储层与该第二电极之间的界面特性。
2. 如权利要求 1 所述的非易失性电阻存储器件,其中该导电金属氧化物是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的一种。
3. 如权利要求 2 所述的非易失性电阻存储器件,其中所述至少一个接触层具有从约 $10\text{\AA}$ 至约 $500\text{\AA}$ 范围的厚度。
4. 如权利要求 1 所述的非易失性电阻存储器件,其中所述过渡金属氧化物是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu、以及 Cr 的组的金属的氧化物。
5. 如权利要求 1 所述的非易失性电阻存储器件,其中所述第一电极和所述第二电极中的每个由选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的材料形成。
6. 如权利要求 1 所述的非易失性电阻存储器件,其中所述开关器件包括晶体管或二极管。
7. 一种制造非易失性电阻存储器件的方法,包括:
制备开关器件;
形成与该开关器件耦接的第一电极;
在该第一电极之上形成第一接触层,该第一接触层包括导电金属氧化物;
形成数据存储层,其形成在该第一接触层之上并接触该第一接触层,该数据存储层包括过渡金属氧化物或者铝氧化物,该数据存储层根据施加到该数据存储层的电压水平而变为具有不同的电阻值的重置态或设置态;以及
在该数据存储层之上形成第二电极。
8. 如权利要求 7 所述的方法,其中该导电金属氧化物是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的一种。
9. 如权利要求 8 所述的方法,其中该第一接触层形成至从约 $10\text{\AA}$ 到约 $500\text{\AA}$ 范围的厚度。
10. 如权利要求 7 所述的方法,其中所述过渡金属氧化物是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu、以及 Cr 的组的金属的氧化物。
11. 如权利要求 7 所述的方法,其中所述第一电极和所述第二电极中的每个由选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的材料形成。
12. 如权利要求 7 所述的方法,其中所述开关器件包括晶体管或二极管。
13. 如权利要求 7 所述的方法,还包括在所述数据存储层的形成与所述第二电极的形

成之间利用导电金属氧化物在所述数据存储层上形成第二接触层。

14. 如权利要求 13 所述的方法,其中该导电金属氧化物是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的一种。

15. 如权利要求 14 所述的方法,其中该第一接触层和该第二接触层中的每个形成至从约 $10\text{\AA}$ 到约 $500\text{\AA}$ 范围的厚度。

16. 如权利要求 14 所述的方法,其中所述过渡金属氧化物是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu、以及 Cr 的组的金属的氧化物。

17. 如权利要求 14 所述的方法,其中所述第一电极和所述第二电极中的每个由选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的材料形成。

18. 一种制造非易失性电阻存储器件的方法,包括:

制备开关器件;

形成与该开关器件耦接的第一电极;

形成数据存储层,其形成在该第一电极之上,该数据存储层包括过渡金属氧化物或者铝氧化物,该数据存储层根据施加到该数据存储层的电压水平而变为具有不同的电阻值的重置态或设置态;

在该数据存储层之上形成接触层,该接触层接触该数据存储层,且该接触层包括导电金属氧化物;以及

在该接触层之上形成第二电极。

19. 如权利要求 18 所述的方法,其中该导电金属氧化物是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的一种。

20. 如权利要求 19 所述的方法,其中该接触层形成至从约 $10\text{\AA}$ 到约 $500\text{\AA}$ 范围的厚度。

21. 如权利要求 18 所述的方法,其中所述过渡金属氧化物是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu、以及 Cr 的组的金属的氧化物。

22. 如权利要求 18 所述的方法,其中所述第一电极和所述第二电极中的每个由选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的材料形成。

23. 如权利要求 18 所述的方法,其中所述开关器件包括晶体管或二极管。

非易失性存储器件及其制造方法

技术领域

[0001] 本发明涉及利用电阻材料的非易失性存储器件,更特别地,涉及存储节点中具有改进的结构从而具有稳定的存储开关特性的非易失性存储器件及其制造方法。

背景技术

[0002] 铁电随机存取存储器 (FRAM)、磁致电阻 RAM (MRAM) 和相变 RAM (PRAM) 已被开发作为利用传统电阻材料的非易失性存储器件。虽然动态 RAM (DRAM) 和闪存 (flash memory) 利用电荷存储二进制信息,而 FRAM、MRAM 和 PRAM 分别利用铁电材料的极化特性、磁隧道结 (MTJ) 根据强磁材料的磁化状态的电阻变化、以及由于相变而导致的电阻变化来存储二进制信息。特别地,这些 FRAM、MRAM 和 PRAM 能像 DRAM 一样大规模集成且像闪存一样还是非易失的。因此,FRAM、MRAM 和 PRAM 作为未来的存储器已被广为关注,其能取代传统易失性或非易失性存储器。

[0003] 下面,将描述 PRAM 作为示例性非易失性存储器件。PRAM 利用相变材料例如 GeSbTe (GST) 的特定特性取回二进制信息。该示例的相变材料通过当电脉冲应用到该相变材料时局部产生的热将其相改变为结晶或非晶状态。在 PRAM 中,存储二进制信息的存储单元包括相变层、电阻器和开关晶体管。相变层是 GST 基材料且经常被称为硫族化物 (chalcogenide)。电阻器被用来加热相变层。取决于加热的程度,电阻值因为相变层将其相改变为结晶或非晶状态而变化。另外,流到电阻器中的电流导致电压水平变化,该可变的电压水平使得 PRAM 可以存储和读取二进制信息。

[0004] 图 1 是横截面图,简要示出传统非易失性存储器件。图 2 是曲线图,示出图 1 所示的存储节点的开关特性。图 3A 是曲线图,示出应用到图 1 所示的存储节点的设置 (set) 和重置 (reset) 电压值的分布。图 3B 是曲线图,示出存储节点根据开启 (on) 或关闭 (off) 状态的电阻值的分布。

[0005] 参照图 1,使用薄 NiO 层的传统非易失性存储器件包括晶体管 20 和与晶体管 20 耦接的存储节点 28。晶体管 20 包括源极 12S、漏极 12D、沟道 12C、以及栅极电极 14。存储节点 28 包括上电极 26、下电极 24、以及设置在它们之间的薄 NiO 层 25。绝缘层 30 设置在存储节点 28 和晶体管 20 之间。存储节点 28 通过导电接触塞 (plug) 22 与晶体管 20 耦接,平板电极 32 形成在上电极 26 之上。

[0006] 传统非易失性存储器件的存储节点 28 具有 M-I-M 存储单元结构。这里,‘M’表示金属基上和下电极,‘I’表示 NiO 层,其是电阻材料。在具有 M-I-M 存储单元结构的传统电阻材料实现的存储器件中,在重复开关期间应用到存储节点的设置电压值 V_{set} 和重置电压值 V_{reset} 可分布为具有大的偏差 (deviation)。在重复开关的情况下,存储节点根据开启或关闭状态会具有不一致的电阻值 R_{on} 和 R_{off} 。

[0007] 结果,在传统非易失性存储器件中不能实现稳定的存储开关特性。因此,传统存储节点结构需要被改进。

发明内容

[0008] 本发明提供存储节点中具有改进的结构从而具有稳定的存储开关特性的非易失性存储器件及其制造方法。

[0009] 根据本发明的一个方面,提供一种非易失性存储器件,包括:开关器件;以及与该开关器件耦接的存储节点,该存储节点包括:第一电极;第二电极;数据存储层,其设置在该第一电极与该第二电极之间且包括过渡金属氧化物或铝氧化物;以及至少一个接触层,其设置在该数据存储层的上面或下面且包括导电金属氧化物从而改进该数据存储层与该第一电极之间以及该数据存储层与该第二电极之间的界面特性。

[0010] 该导电金属氧化物可以是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及铟锡氧化物(ITO)的组的一种。所述至少一个接触层可具有从约 10_ 至约 500_ 范围的厚度。该过渡金属氧化物可以是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu 和 Cr 的组的金属的氧化物。该第一电极和该第二电极中的每个可由选自包括 Ir、Pt、Ru、W、TiN 和多晶硅的组的材料形成。所述开关器件可以是晶体管或二极管。

[0011] 根据本发明的另一方面,提供一种制造非易失性存储器件的方法,该方法包括:制备开关器件;形成与该开关器件耦接的第一电极;在该第一电极之上形成第一接触层,该第一接触层包括导电金属氧化物;形成数据存储层,其形成在该第一接触层之上,该数据存储层包括过渡金属氧化物或铝氧化物;以及在该数据存储层之上形成第二电极。

[0012] 上述方法还可包括在该数据存储层的形成和该第二电极的形成之间利用导电金属氧化物在该数据存储层上形成第二接触层。

[0013] 根据本发明的另一方面,提供一种制造非易失性存储器件的方法,该方法包括:制备开关器件;形成与该开关器件耦接的第一电极;形成数据存储层,其形成在该第一电极之上,该数据存储层包括过渡金属氧化物或铝氧化物;在该数据存储层之上形成接触层,该接触层包括导电金属氧化物;以及在该接触层之上形成第二电极。

[0014] 该导电金属氧化物可以是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO(铟锡氧化物)的组的一种。该接触层可形成至从约 10_ 到约 500_ 范围的厚度。该过渡金属氧化物可以是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu 和 Cr 的组的金属的氧化物。该第一电极和该第二电极中的每个可由选自包括 Ir、Pt、Ru、W、TiN 和多晶硅的组的材料形成。所述开关器件可以是晶体管或二极管。

[0015] 根据本发明的示例性实施例,该非易失性存储器件以改进的结构实现,其提供存储节点中稳定的开关特性。

附图说明

[0016] 通过参照附图详细描述其示例性实施例,本发明的上述和其它特征和优点将变得更加明显,附图中:

[0017] 图 1 是横截面图,简要示出传统非易失性存储器件;

[0018] 图 2 是曲线图,示出图 1 所示的存储节点的开关特性;

[0019] 图 3A 是曲线图,示出应用到图 1 所示的存储节点的设置和重置电压值的分布;

[0020] 图 3B 是曲线图,示出存储节点根据开启或关闭状态的电阻值的分布;

[0021] 图 4 是横截面图,简要示出根据本发明实施例的非易失性存储器件;

- [0022] 图 5 是曲线图,展现图 4 所示的存储节点的开关特性 ;
- [0023] 图 6A 是曲线图,示出应用到图 4 所示的存储节点的设置和重置电压值的分布 ;
- [0024] 图 6B 是图 6A 所示的设置和重置电压值的柱状图 ;
- [0025] 图 7A 是曲线图,示出存储节点根据开启或关闭状态的电阻值的分布 ;
- [0026] 图 7B 是图 7A 所示的存储节点的电阻值的柱状图 ;以及
- [0027] 图 8A 至 8E 是横截面图,示出根据本发明的实施例制造非易失性存储器件的方法。

具体实施方式

[0028] 现在将参照附图更充分地说明本发明,附图中示出本发明的示例性实施例。图中,为了清楚起见,层和区域的厚度被放大。

[0029] 图 4 是横截面图,简要示出根据本发明实施例的非易失性存储器件。图 5 是曲线图,示出图 4 所示的存储节点的开关特性。

[0030] 参照图 4 和 5,非易失性存储器件包括晶体管 120 和存储节点 128。晶体管 120 是开关器件,存储节点 128 与晶体管 120 耦接。绝缘层 130 设置在存储节点 128 与晶体管 120 之间,导电接触塞 122 将存储节点 128 与晶体管 120 耦接。平板电极 132 设置在存储节点 128 之上且与存储节点 128 耦接。晶体管 120 包括源极 112S、漏极 112D、沟道 112C、以及栅极电极 114。因为晶体管 120 的结构及其制造方法是本领域公知的,所以其详细说明将被省略。另外,代替晶体管 120,其它开关器件例如二极管可被使用。二极管结构及其制造方法也是本领域公知的,其详细说明将被省略。下面,将基于晶体管详细描述本发明的示例性实施例。

[0031] 存储节点 128 包括第一电极 123、第二电极 127、设置在第一电极 123 与第二电极 127 之间的数据存储层 125、以及至少在数据存储层 125 之下或之上设置的第一和第二接触层 124 和 126。

[0032] 数据存储层 125 根据施加到数据存储层 125 的电压水平而变为重置态或设置态(参见图 5)。因为对于每个态数据存储层 125 具有不同的电阻值,所以二进制信息可基于电阻值之间的差异而被存储和读取。数据存储层 125 可包括过渡金属氧化物或者铝氧化物。过渡金属氧化物是选自包括镍(Ni)、铌(Nb)、钛(Ti)、锆(Zr)、铪(Hf)、钴(Co)、铁(Fe)、铜(Cu)和铬(Cr)的组的金属的氧化物。第一电极 123 和第二电极 127 包括选自包括铱(Ir)、铂(Pt)、钌(Ru)、钨(W)、钛氮化物(TiN)和多晶硅的组的一种。

[0033] 第一和第二接触层 124 和 126 包括导电金属氧化物,因为第一和第二接触层 124 和 126 至少形成在数据存储层 125 之下或之上,所以第一和第二接触层 124 和 126 可改进数据存储层 125 与下电极 123 之间以及数据存储层 125 与上电极 127 之间的界面特性。导电金属氧化物是选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及铟锡氧化物(ITO)的组的一种。第一和第二接触层 124 和 126 具有从约 10_ 到约 500_ 范围的厚度。

[0034] 与传统 M-I-M 存储单元结构比较,根据本发明的非易失性存储器件的存储节点 128 可具有 M-B-I-B-M、M-B-I-M 或 M-I-B-M 存储单元结构。这里,‘M’表示第一电极 123 和第二电极 127,两者都包括金属或导电材料。另外,‘I’和‘B’分别表示数据存储层 125 以及第一和第二接触层 124 和 126。

[0035] 具有 M-I-M 存储单元结构的基于传统电阻材料的存储器件常具有限制,该限制在

于在重复开关期间应用到存储节点的设置和重置电压值 V_{set} 和 V_{reset} 分布为具有大的偏差且存储节点根据开启或关闭状态的电阻值 R_{on} 和 R_{off} 不均匀分布。但是,根据本发明,这些限制可通过改进数据存储层 125 与第一电极 123 之间以及数据存储层 125 与上电极 127 之间的界面特性而被改善。更详细地,在重复开关的情况下,与基于传统电阻材料的存储器件比较,存储节点 128 的电阻值由于改进的界面特性而分布为具有减小的偏差水平。因此,存储节点 128 能具有稳定的存储开关特性。图 6A 至 7B 示出根据本发明实施例的非易失性存储器件中的改进的存储开关特性。

[0036] 图 6A 是曲线图,示出施加到图 4 所示的存储节点的设置和重置电压值的分布,图 6B 是图 6A 所示的设置和重置电压值的柱状图。图 7A 是曲线图,示出存储节点根据开启或关闭状态的电阻值的分布,图 7B 是图 7A 所示的存储节点的电阻值的柱状图。

[0037] 参照图 6A 和 6B,设置和重置电压值 V_{set} 和 V_{reset} 相关于开关循环的分布将被严密检测。根据本实施例的存储节点 128 具有减小了标准偏差的设置和重置电压值 V_{set} 和 V_{reset} 。下面的表 1 示出从测量传统 M-I-M 存储单元结构和 M-B-I-B-M 存储单元结构的设置和重置电压值 V_{set} 和 V_{reset} 且然后彼此比较所测量的设置电压值 V_{set} 和重置电压值 V_{reset} 的平均值、标准偏差值、最大值和最小值所获得的数据。这里,设置电压值 V_{set} 和重置电压值 V_{reset} 以伏特测量。

[0038] 表 1

[0039]

	V_{set} 平均 (标准偏差)	V_{set} 最大 / 最小	V_{reset} 平均 (标准偏差)	V_{reset} 最大最小
Pt/NiO/Pt	1.78 (0.66)	4.55/1.00	0.51 (0.11)	0.75/0.35
Pt/IrO ₂ /NiO/IrO ₂ /Pt (IrO ₂ : 100_)	1.44 (0.14)	1.80/1.15	0.39 (0.02)	0.40/0.35

[0040] 参照图 7A 和 7B,存储节点 128 的电阻值 R_{on} 和 R_{off} 相关于开关循环的分布将被严密检测。根据本实施例的存储节点 128 具有减小了标准偏差的电阻值 R_{on} 和 R_{off} 。下面的表 2 示出从测量传统 M-I-M 存储单元结构和 M-B-I-B-M 存储单元结构的电阻值 R_{on} 和 R_{off} 且然后彼此比较所测量的电阻值 R_{on} 和 R_{off} 的平均值、标准偏差值、最大值和最小值所获得的数据。这里,电阻值 R_{on} 和 R_{off} 以欧姆测量。

[0041] 表 2

[0042]

	Ron 平均 (标准偏差)	Ron 最大 / 最小	Roff 平均 (标准偏差)	Roff 最大最小
Pt/NiO/Pt	151 (66)	367/28	481k (311k)	951k/21k
Pt/IrO ₂ /NiO/IrO ₂ /Pt (IrO ₂ : 100_)	105 (12)	172/94	14. 6k (1. 3k)	16. 6K/10. 3k

[0043] 下面的表 3 示出用于在测量设置和重置电压值 V_{set} 和 V_{reset} 以及电阻值 R_{on} 和 R_{off} 中使用的存储节点的详细结构以及用于沉积 IrO₂ 接触层的溅射沉积条件的数据。

[0044] 表 3

[0045]

样品	结构	NiO 厚度	IrO ₂ 厚度	溅射工艺
1	Pt/NiO/Pt	500_		参考样品
2	Pt/IrO ₂ /NiO/Pt	500_	30_	310℃, 300W, 15 秒
3	Pt/IrO ₂ /NiO/Pt	500_	100_	310℃, 300W, 5 秒
4	Pt/IrO ₂ /NiO/ IrO ₂ /Pt	500_	100_	310℃, 300W, 15 秒
6	Pt/IrO ₂ /NiO/ IrO ₂ /Pt	500_	200_	310℃, 300W, 30 秒
7	Pt/IrO ₂ /NiO/ IrO ₂ /Pt	500_	500_	310℃, 300W, 70 秒

[0046] 图 8A 至 8E 是横截面图,示出根据本发明实施例制造非易失性存储器件的方法。这里,通常的真空沉积方法例如化学气相沉积 (CVD) 方法或者物理气相沉积 (PVD) 方法可用来沉积目标层。PVD 方法包括溅射方法。根据本实施例的非易失性存储器件包括晶体管 120,其是开关器件,以及与晶体管 120 耦接的存储节点 128。代替晶体管 120,其它开关器件例如二极管也可被使用。因为二极管结构及其制造方法是本领域公知的,所以其详细说明将被省略。下面,将基于晶体管详细描述关于这样的非易失性存储器件的制造方法的本实施例。

[0047] 参照图 8A,设置晶体管 120,其包括源极 112S、漏极 112D、沟道 112C、以及栅极电极 114。绝缘层 130 形成在晶体管 120 之上。因为晶体管 120 的结构及其制造方法是本领域公知的,所以其详细描述将被省略。

[0048] 接触孔形成在绝缘层 130 中。接触孔暴露源极 112S 或漏极 112D。然后导电材料填充到接触孔中从而形成接触塞 122。第一电极 123 形成在部分绝缘层 130 上,使得第一电极 123 接触接触塞 122。第一电极 123 包括选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的一种。

[0049] 参照图 8B,第一接触层 124 形成在第一电极 123 之上。第一接触层 124 包括选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的导电金属氧化物。第一接触层 124 具有约 10_ 至约 500_ 的厚度。

[0050] 参照图 8C 至 8D,数据存储层 125 形成在第一接触层 124 之上。数据存储层 125 包括过渡金属氧化物或铝氧化物。过渡金属氧化物是选自包括 Ni、Nb、Ti、Zr、Hf、Co、Fe、Cu、以及 Cr 的组的金属的氧化物。第二接触层 126 形成在数据存储层 125 之上。第二接触层 126 包括选自包括 IrO_2 、 RuO_2 、 SrRuO_3 、 MoO_2 、 OsO_2 、 ReO_2 、 RhO_2 、 WO_2 、以及 ITO 的组的过渡金属氧化物。第二接触层 126 具有约 10_ 至约 500_ 的厚度。第二电极 127 形成在第二接触层 126 之上。第二电极 127 是选自包括 Ir、Pt、Ru、W、TiN、以及多晶硅的组的一种。

[0051] 参照图 8E,绝缘层 130 再形成在上述所得结构 (参照图 8D) 之上直到绝缘层 130 掩埋存储节点 128。暴露第二电极 127 的另一接触孔形成在绝缘层 130 中,板电极 (plate electrode) 132 形成在绝缘层 130 之上以及所述另一接触孔中。通过上述序贯工艺,可制造存储节点中具有稳定的存储开关特性的非易失性存储器件。尽管根据本实施例的存储节点 128 包括第一接触层 124 和第二接触层 126,但是本发明另一实施例中的存储节点 128 可包括第一接触层 124 和第二接触层 126 之一。

[0052] 根据本发明的示例性实施例,非易失性存储器件可在存储节点中具有稳定的存储开关特性。利用导电金属氧化物例如 IrO_2 形成的接触层能改善数据存储层与第一电极之间以及数据存储层与第二电极之间的界面特性。与传统非易失性存储器件比较,改善的界面特性降低存储节点根据开启或关闭状态的电阻值的偏差、以及施加到存储节点的设置和重置电压值的偏差。因此,能获得稳定的存储开关特性。

[0053] 尽管参照其示例性实施例特别显示和描述了本发明,但是本领域普通技术人员将理解,在不偏离所附权利要求定义的本发明的思想和范围的情况下,能进行形式和细节上的各种变化。

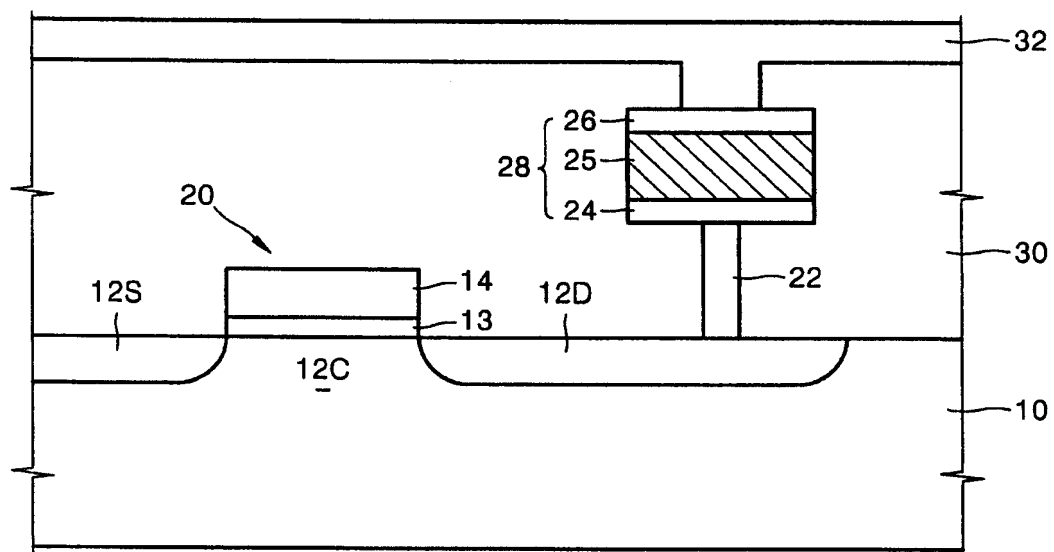


图 1

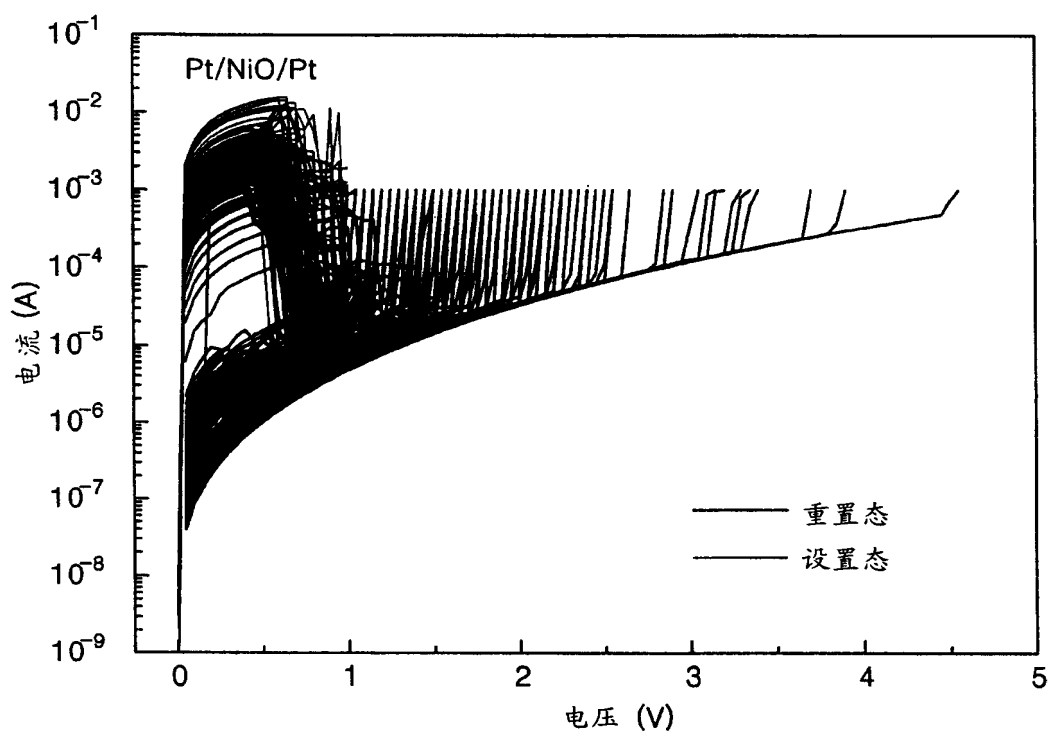


图 2

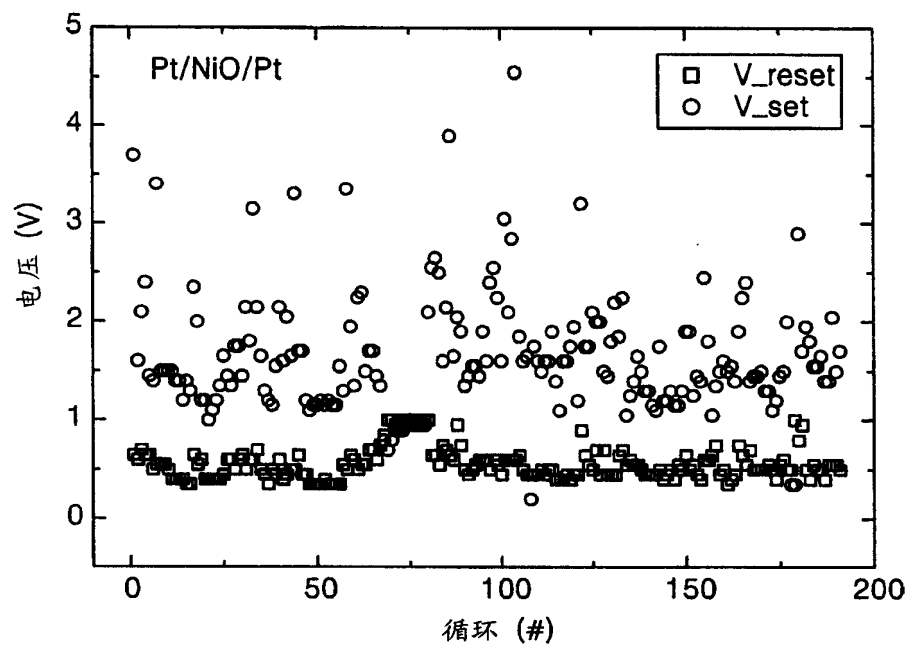


图 3A

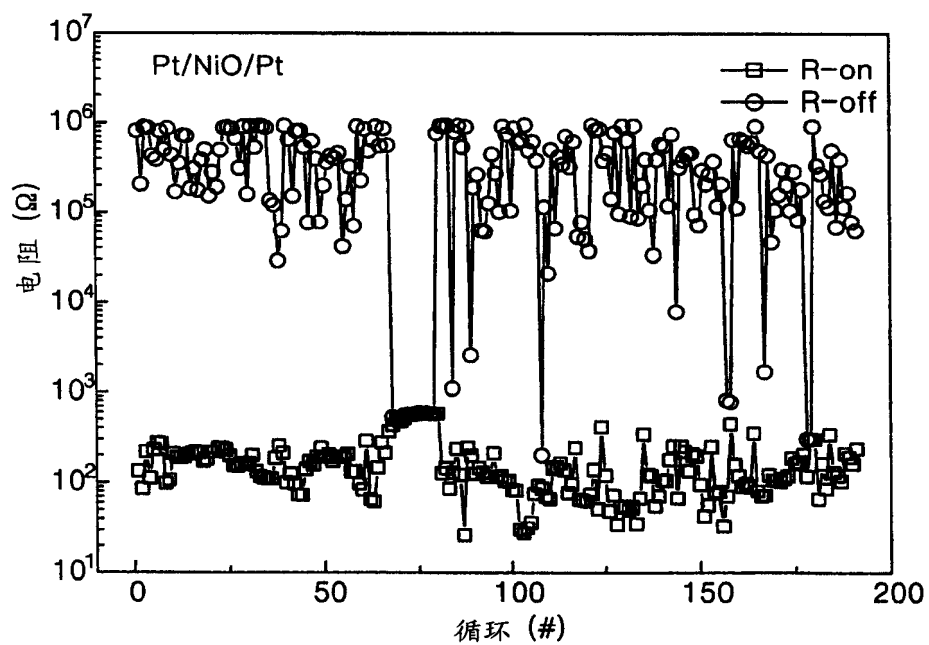


图 3B

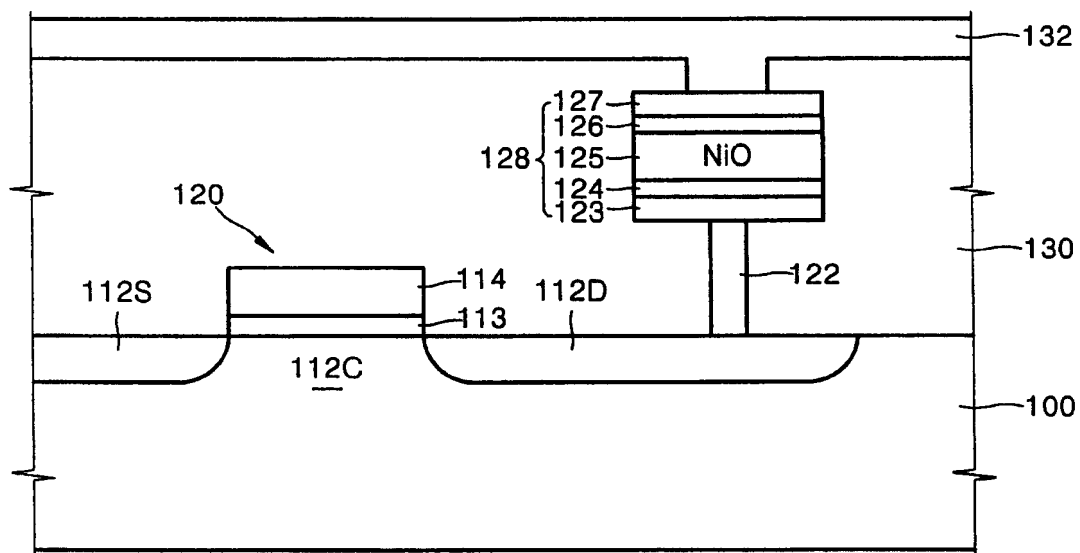


图 4

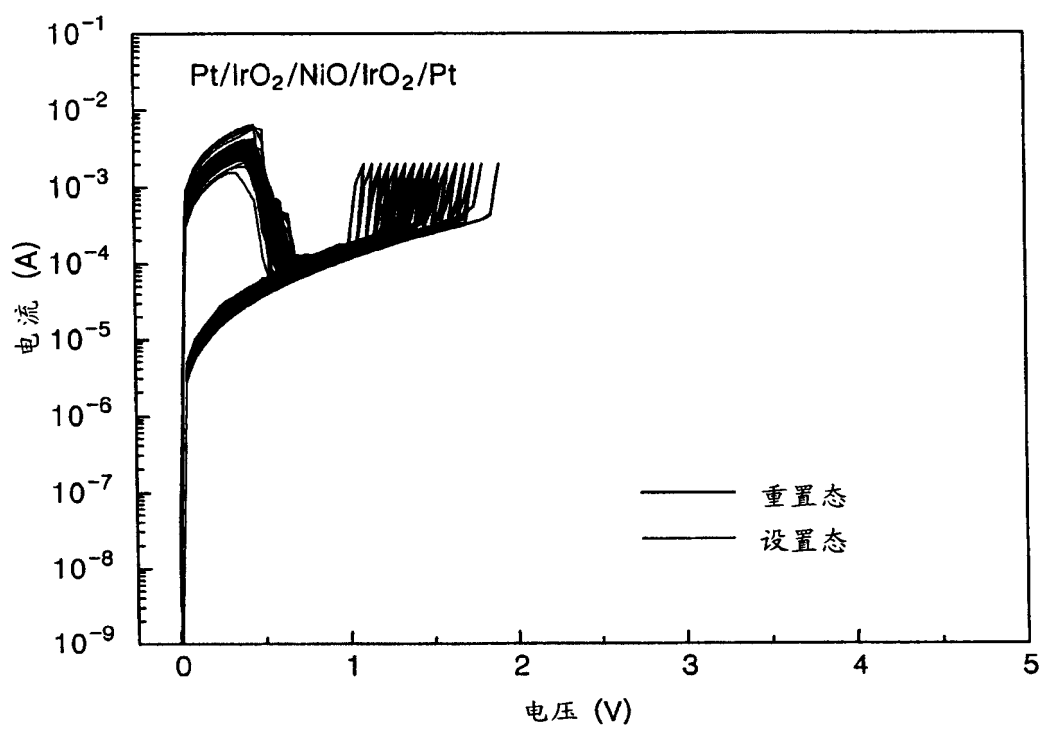


图 5

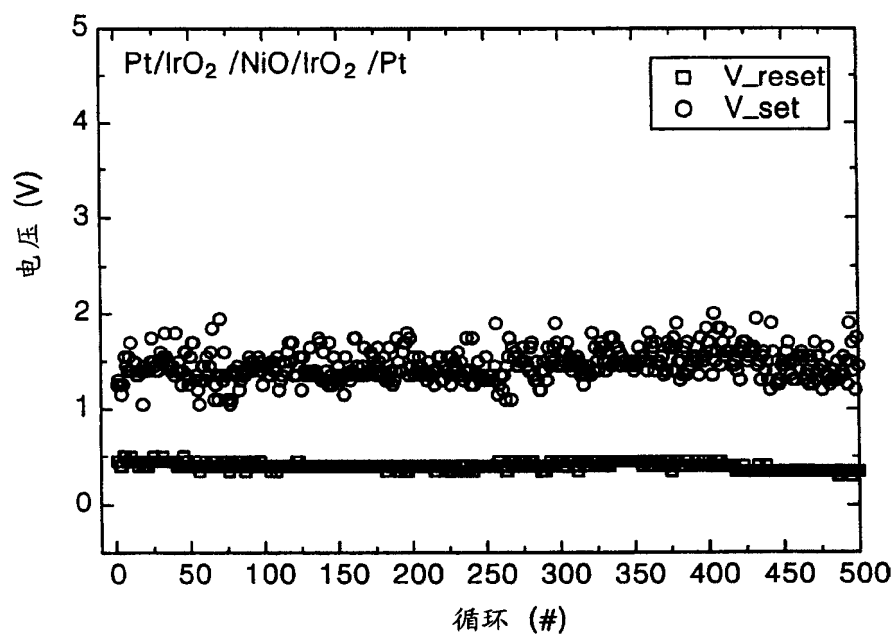


图 6A

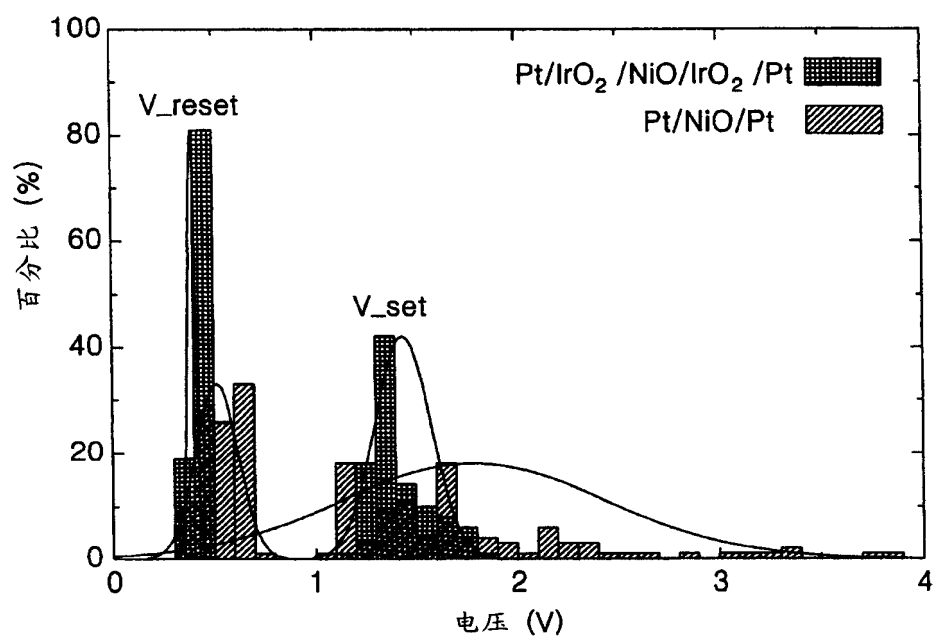


图 6B

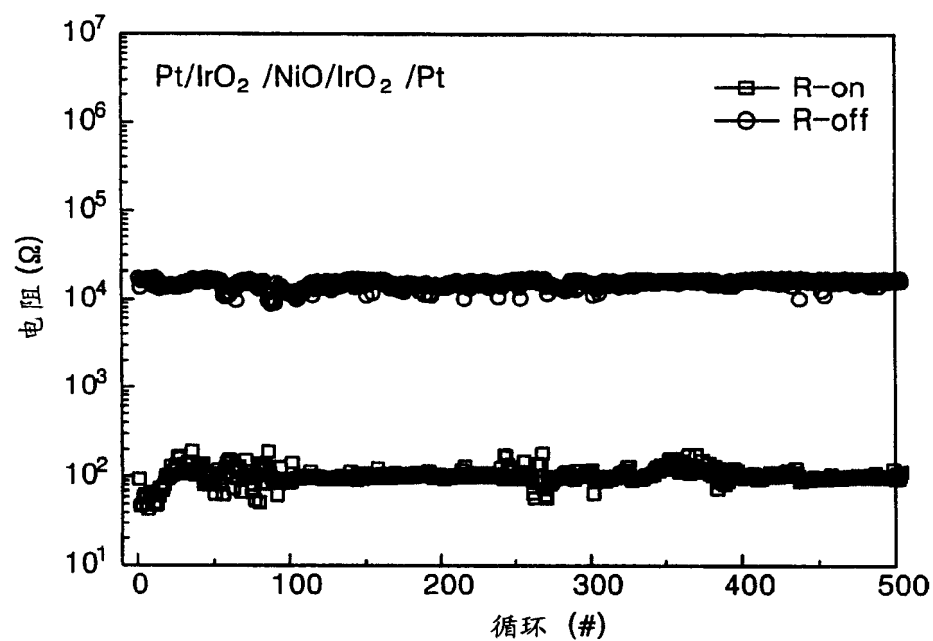


图 7A

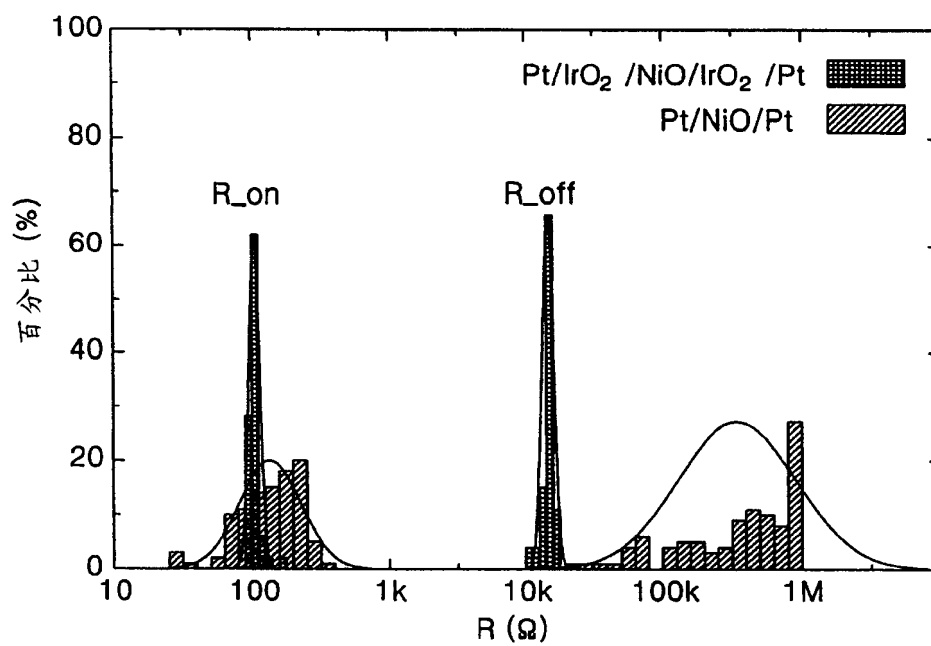


图 7B

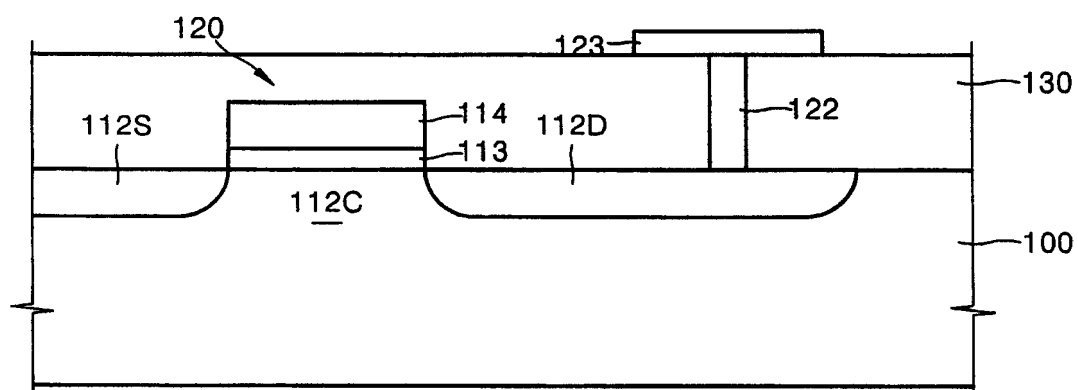


图 8A

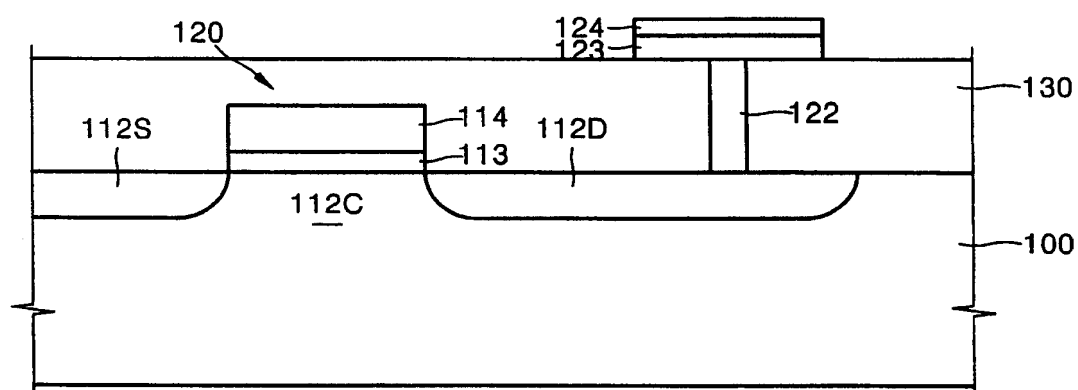


图 8B

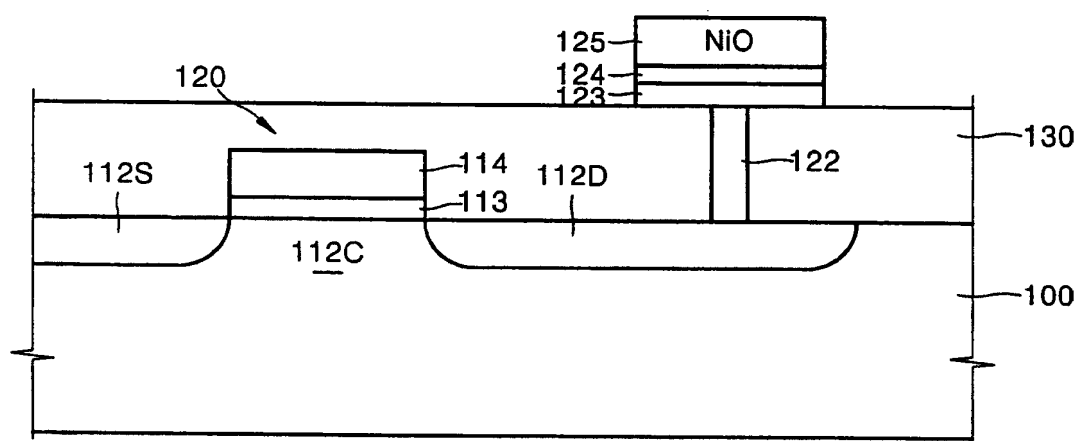


图 8C

