(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7601240号
(P7601240)

(45)発行日　令和6年12月17日(2024.12.17)

(24)登録日　令和6年12月9日(2024.12.9)

(51)国際特許分類

Ｈ０１Ｌ　29/78　(2006.01)	Ｈ０１Ｌ	29/78	６５２Ｇ
Ｈ０１Ｌ　29/12　(2006.01)	Ｈ０１Ｌ	29/78	６５２Ｔ
Ｈ０１Ｌ　29/06　(2006.01)	Ｈ０１Ｌ	29/78	６５３Ａ
	Ｈ０１Ｌ	29/06	３０１Ｄ
	Ｈ０１Ｌ	29/06	３０１Ｖ

ＦＩ

請求項の数　15　（全19頁）

(21)出願番号　特願2023-545122(P2023-545122)
(86)(22)出願日　令和4年6月30日(2022.6.30)
(86)国際出願番号　PCT/JP2022/026398
(87)国際公開番号　WO2023/032455
(87)国際公開日　令和5年3月9日(2023.3.9)
審査請求日　令和5年8月30日(2023.8.30)
(31)優先権主張番号　特願2021-144110(P2021-144110)
(32)優先日　令和3年9月3日(2021.9.3)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田１番１号
(74)代理人　100104190
弁理士　酒井 昭徳
(72)発明者　内海 誠
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内
(72)発明者　宮里 真樹
神奈川県川崎市川崎区田辺新田１番１号
富士電機株式会社内
審査官　岩本 勉

最終頁に続く

(54)【発明の名称】　炭化珪素半導体装置および炭化珪素半導体基板

(57)【特許請求の範囲】

【請求項１】

炭化珪素からなる出発基板にエピタキシャル層をエピタキシャル成長させた半導体基板の主面に垂直な方向に電流が流れる炭化珪素半導体装置であって、

前記エピタキシャル層の内部に設けられた第１導電型の第１半導体領域と、

前記エピタキシャル層の内部において前記第１半導体領域と前記出発基板との間に、前記出発基板に接して設けられた、前記第１半導体領域よりも不純物濃度が高く、かつ前記出発基板よりも不純物濃度が低い第１導電型の第２半導体領域と、

前記エピタキシャル層の内部において前記第１半導体領域と前記第２半導体領域との間に、前記第１半導体領域および前記第２半導体領域に接して設けられた、前記第２半導体領域よりも不純物濃度が高い第１導電型の第３半導体領域と、

を備え、

前記第３半導体領域の不純物濃度は、

前記第３半導体領域と前記第１半導体領域との第１界面に相対的に近い所定の第１深さ位置から、前記第２半導体領域と前記第３半導体領域との第２界面に相対的に近い所定の第２深さ位置へ向かうにしたがって第１不純物濃度勾配で連続的に増加し、前記第２深さ位置で最大不純物濃度となっており、

前記第１深さ位置から前記第１界面へ向かうにしたがって第２不純物濃度勾配で連続的に減少しており、

前記第２深さ位置から前記第２界面へ向かうにしたがって第３不純物濃度勾配で連続的

に減少しており、
かつ前記出発基板の不純物濃度よりも低く、
前記第２不純物濃度勾配は、前記第３不純物濃度勾配よりも小さいことを特徴とする炭化珪素半導体装置。
【請求項２】
前記第１不純物濃度勾配の絶対値は、前記第２不純物濃度勾配の絶対値および前記第３不純物濃度勾配の絶対値よりも小さいことを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項３】
前記第３半導体領域の不純物濃度は、前記出発基板の不純物濃度の１／２以下であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項４】
前記第３半導体領域の不純物濃度は、$1.0\times10^{18}/cm^3$以上$5.0\times10^{18}/cm^3$以下の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項５】
前記第３半導体領域の不純物濃度は、$3.0\times10^{18}/cm^3$以上の範囲内であることを特徴とする請求項４に記載の炭化珪素半導体装置。
【請求項６】
前記出発基板の不純物濃度は、$1.0\times10^{18}/cm^3$以上$1.0\times10^{19}/cm^3$以下の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項７】
前記第２半導体領域の不純物濃度は、$0.5\times10^{18}/cm^3$以上$1.5\times10^{18}/cm^3$以下の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項８】
前記第３半導体領域の厚さは、１μｍよりも厚く７μｍ未満の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項９】
前記第２半導体領域の厚さは、１μｍよりも厚く４μｍ以下の範囲内であることを特徴とする請求項８に記載の炭化珪素半導体装置。
【請求項１０】
前記第２半導体領域の厚さは、１μｍ以下であることを特徴とする請求項８に記載の炭化珪素半導体装置。
【請求項１１】
前記第２半導体領域の厚さは、１μｍよりも厚く４μｍ以下の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項１２】
前記第３半導体領域の厚さは、１μｍ以下であることを特徴とする請求項１１に記載の炭化珪素半導体装置。
【請求項１３】
前記第２半導体領域と前記第３半導体領域との総厚さは、２μｍ以上８μｍ以下の範囲内であることを特徴とする請求項１に記載の炭化珪素半導体装置。
【請求項１４】
前記エピタキシャル層の内部において前記半導体基板の第１主面と前記第１半導体領域との間に設けられた第２導電型の第４半導体領域と、
前記エピタキシャル層の内部において前記半導体基板の第１主面と前記第４半導体領域との間に選択的に設けられた第１導電型の第５半導体領域と、
前記第４半導体領域の、前記第１半導体領域と前記第５半導体領域の間の領域に接して設けられたゲート絶縁膜と、
前記ゲート絶縁膜を挟んで前記第４半導体領域の反対側に設けられたゲート電極と、
前記半導体基板の前記エピタキシャル層で形成される第１主面に設けられ、前記第４半

導体領域および前記第５半導体領域に電気的に接続された第１電極と、
　前記半導体基板の前記出発基板で形成される第２主面に設けられ、前記出発基板に電気的に接続された第２電極と、
　を備えることを特徴とする請求項１～１３のいずれか一つに記載の炭化珪素半導体装置。
【請求項１５】
　炭化珪素からなる出発基板にエピタキシャル層をエピタキシャル成長させた炭化珪素半導体基板であって、
　前記エピタキシャル層の内部に設けられた第１導電型の第１半導体領域と、
　前記エピタキシャル層の内部において前記第１半導体領域と前記出発基板との間に、前記出発基板に接して設けられた、前記第１半導体領域よりも不純物濃度が高く、かつ前記出発基板よりも不純物濃度が低い第１導電型の第２半導体領域と、
　前記エピタキシャル層の内部において前記第１半導体領域と前記第２半導体領域との間に、前記第１半導体領域および前記第２半導体領域に接して設けられた、前記第２半導体領域よりも不純物濃度が高い第１導電型の第３半導体領域と、
　を備え、
　前記第３半導体領域の不純物濃度は、
　前記第３半導体領域と前記第１半導体領域との第１界面に相対的に近い所定の第１深さ位置から、前記第２半導体領域と前記第３半導体領域との第２界面に相対的に近い所定の第２深さ位置へ向かうにしたがって第１不純物濃度勾配で連続的に増加し、前記第２深さ位置で最大不純物濃度となっており、
　前記第１深さ位置から前記第１界面へ向かうにしたがって第２不純物濃度勾配で連続的に減少しており、
　前記第２深さ位置から前記第２界面へ向かうにしたがって第３不純物濃度勾配で連続的に減少しており、
　かつ前記出発基板の不純物濃度よりも低く、
　前記第２不純物濃度勾配は、前記第３不純物濃度勾配よりも小さいことを特徴とする炭化珪素半導体基板。
【発明の詳細な説明】
【技術分野】
【０００１】
　この発明は、炭化珪素半導体装置および炭化珪素半導体基板に関する。
【背景技術】
【０００２】
　従来、炭化珪素（ＳｉＣ）を半導体材料としたＳｉＣ－ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ：金属－酸化膜－半導体の３層構造からなる絶縁ゲートを備えたＭＯＳ型電界効果トランジスタ）では、炭化珪素からなるｎ$^{+}$型の出発基板上にｎ$^{-}$型ドリフト領域およびｐ型ベース領域となる各エピタキシャル層を順にエピタキシャル成長させた半導体チップが用いられる。半導体チップのエピタキシャル層の内部には、エピタキシャル成長中に出発基板からの伝搬やプロセスダメージによる基底面転位（ＢＰＤ：Ｂａｓａｌ Ｐｌａｎｅ Ｄｉｓｌｏｃａｔｉｏｎ）が発生する。
【０００３】
　エピタキシャル層内に形成されたｐ型ベース領域とｎ$^{-}$型ドリフト領域とのｐｎ接合で形成される寄生ダイオード（ボディダイオード）が導通すると、エピタキシャル層内に積層欠陥が成長（拡張）して高抵抗層となり、電流が流れにくくなることでＭＯＳＦＥＴのオン電圧が上昇する。積層欠陥が発生する原因は、ボディダイオードのバイポーラ動作によりｎ$^{-}$型ドリフト領域に注入された少数キャリア（正孔）が積層欠陥の起点となるＢＰＤ付近で電子と再結合することであると推測されている。そこで、出発基板とｎ$^{-}$型ドリフト領域との間にｎ型バッファ領域（エピタキシャル層）を配置することで、ｐｎ接合からＢＰＤに到達する正孔を減らして、積層欠陥の成長を抑制している。

【０００４】
従来のＳｉＣ－ＭＯＳＦＥＴとして、バッファ領域を不純物濃度および厚さがそれぞれ異なる２層構造とした装置が提案されている（例えば、下記特許文献１～３参照。）。下記特許文献１～３では、ｎ型のバッファ領域をｎ$^-$型ドリフト領域側よりもｎ$^+$型出発基板側で低不純物濃度かつ薄い厚さとした２層構造とすることで、ｎ$^-$型ドリフト領域側のｎ$^+$型バッファ領域（第２バッファ領域）の不純物濃度をｎ$^+$型出発基板の不純物濃度と略同じにして積層欠陥の成長を抑制する効果を高めるとともに、第２バッファ領域とｎ$^+$型出発基板側のｎ型バッファ領域（第１バッファ領域）との界面での赤外線の反射光を利用して、フーリエ変換による第２バッファ領域の厚さ測定を可能にしている。

【０００５】
また、下記特許文献１～３には、ｎ$^+$型出発基板の不純物濃度が１×１０^{18}／ｃｍ^{3}以上２×１０^{19}／ｃｍ^{3}以下であり、第１バッファ領域の不純物濃度がｎ$^+$型出発基板または第２バッファ領域の不純物濃度の１／３以下であって好ましくは１×１０^{17}／ｃｍ^{3}以上１×１０^{18}／ｃｍ^{3}以下であり、第１バッファ領域の厚さが０．１μｍ以上５μｍ以下であって好ましくは１μｍ以上であり、第２バッファ領域の不純物濃度が第１バッファ領域の不純物濃度の３倍以上であってｎ$^+$型出発基板の不純物濃度と同程度であり、第２バッファ領域の厚さが３μｍ以上であり、ｎ$^-$型ドリフト領域の不純物濃度が第１，２バッファ領域の不純物濃度よりも低いことが開示されている。

【０００６】
また、従来の別の炭化珪素半導体装置として、バッファ領域を不純物濃度の異なる２層以上の積層構造とした装置が提案されている（例えば、下記特許文献４，５参照。）。下記特許文献４では、ｎ$^+$型出発基板側の第１バッファ領域の不純物濃度をｎ$^+$型出発基板の不純物濃度よりも低くすることで、ｎ$^+$型出発基板から伝播してきたＢＰＤが第１バッファ領域内で貫通刃状転位（ＴＥＤ：Ｔｈｒｅａｄｉｎｇ Ｅｄｇｅ Ｄｉｓｌｏｃａｔｉｏｎ）に転換される確率を相対的に高くしている。第２バッファ領域の不純物濃度をｎ$^+$型出発基板、第１バッファ領域およびｎ$^-$型ドリフト領域の不純物濃度よりも高くすることで、ｎ$^-$型ドリフト領域内での新たな結晶欠陥の発生をさせないようにしている。

【０００７】
下記特許文献４には、ｎ$^+$型出発基板の不純物濃度が５×１０^{17}／ｃｍ^{3}以上１×１０^{19}／ｃｍ^{3}以下であり、第１バッファ領域の不純物濃度がｎ$^+$型出発基板の不純物濃度よりも低く５×１０^{16}／ｃｍ^{3}以上１×１０^{19}／ｃｍ^{3}以下であり、第１バッファ領域の厚さが５００ｎｍであり、第２バッファ領域の不純物濃度がｎ$^+$型出発基板の不純物濃度よりも高く５×１０^{18}／ｃｍ^{3}以上２×１０^{19}／ｃｍ^{3}以下であり、第２バッファ領域の厚さが１μｍであり、ｎ$^-$型ドリフト領域の不純物濃度が第１バッファ領域の不純物濃度よりも低く１×１０^{14}／ｃｍ^{3}以上５×１０^{16}／ｃｍ^{3}以下であり、ｎ$^-$型ドリフト領域の厚さが１０μｍであることが開示されている。

【０００８】
また、下記特許文献４では、ｎ$^+$型出発基板と第１バッファ領域との間、第１バッファ領域と第２バッファ領域との間、および第２バッファ領域とｎ$^-$型ドリフト領域との間の各々に深さ方向に不純物濃度が連続的に変化するバッファ領域を配置して、各界面での不純物濃度変化が急峻とならないようにすることで、結晶欠陥の発生をさらに抑制している。第２バッファ領域とｎ$^-$型ドリフト領域との間に、第２バッファ領域との界面からｎ$^-$型ドリフト領域との界面に向かって厚さ１μｍあたり不純物濃度を２×１０^{18}／ｃｍ^{3}程度で減少させた厚さ１０μｍ程度のバッファ領域を配置することで、当該バッファ領域とｎ$^-$型ドリフト領域との界面で不純物濃度が急峻にならないことが開示されている。

【０００９】
下記特許文献５では、ｎ$^+$型出発基板側の第１バッファ領域の不純物濃度をｎ$^+$型出発基板の不純物濃度よりも低くすることで、ｎ$^+$型出発基板から伝播してきたＢＰＤが第１バッファ領域内でＴＥＤに転換される確率を相対的に高くしている。第２バッファ領域の不純物濃度を第１バッファ領域の不純物濃度よりも高くすることで、ｐ型ベース領域とｎ$^-$型ド

リフト領域とのｐｎ接合から広がる空乏層を第２バッファ領域で止めている。また、n^+型出発基板と第１バッファ領域との間に、n^+型出発基板との界面から第１バッファ領域との界面に向かって不純物濃度が連続的に増加するバッファ領域を配置して、当該バッファ領域と第１バッファ領域との界面でＢＰＤがＴＥＤに転換されやすくしている。

【００１０】

下記特許文献５には、n^+型出発基板の不純物濃度が１×１０^{18}／$ｃｍ^3$より大きく、１×１０^{19}／$ｃｍ^3$以下であり、第１バッファ領域の不純物濃度が１×１０^{16}／$ｃｍ^3$より大きく、１×１０^{17}／$ｃｍ^3$以下であり、第１バッファ領域の厚さが数百ｎｍであり、第２バッファ領域の不純物濃度が１×１０^{17}／$ｃｍ^3$以上１×１０^{19}／$ｃｍ^3$未満であり、第２バッファ領域の厚さが０．５μｍ～８μｍであり、n^-型ドリフト領域の不純物濃度が１×１０^{14}／$ｃｍ^3$以上５×１０^{16}／$ｃｍ^3$未満であり、n^-型ドリフト領域の厚さが３μｍ～８０μｍであり、常に、第１バッファ領域の不純物濃度がn^+型出発基板および第２バッファ領域のいずれの不純物濃度よりも低く、かつn^-型ドリフト領域の不純物濃度よりも高いことが開示されている。

【先行技術文献】

【特許文献】

【００１１】

【文献】国際公開第２０１７／１０４７５１号

【文献】特許第６６２７９３８号公報

【文献】特許第６７２９７５７号公報

【文献】特許第６３５１８７４号公報

【文献】特許第６７９１２７４号公報

【発明の概要】

【発明が解決しようとする課題】

【００１２】

しかしながら、従来の炭化珪素半導体基板では、第２バッファ領域（n^-型ドリフト領域側のバッファ領域）の不純物濃度を相対的に高くすることで、第２バッファ領域とn^-型ドリフト領域との不純物濃度差が大きくなるため、第２バッファ領域とn^-型ドリフト領域との界面付近で格子欠陥が発生しやすくなり、炭化珪素半導体基板の信頼性が低下する。また、第２バッファ領域の不純物濃度が高くなるほど、第２バッファ領域のエピタキシャル成長の不純物濃度制御性が悪くなり、第２バッファ領域の不純物濃度の深さ方向のばらつきが大きくなるため、炭化珪素半導体基板のオン電圧が変動し、信頼性が低下する。

【００１３】

この発明は、上述した従来技術による課題を解消するため、信頼性を向上させることができる炭化珪素半導体装置および炭化珪素半導体基板を提供することを目的とする。

【課題を解決するための手段】

【００１４】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置は、炭化珪素からなる出発基板にエピタキシャル層をエピタキシャル成長させた半導体基板の主面に垂直な方向に電流が流れる炭化珪素半導体装置であって、次の特徴を有する。前記エピタキシャル層の内部に、第１導電型の第１半導体領域が設けられている。前記エピタキシャル層の内部において前記第１半導体領域と前記出発基板との間に、前記出発基板に接して、第１導電型の第２半導体領域が設けられている。前記第２半導体領域は、前記第１半導体領域よりも不純物濃度が高く、かつ前記出発基板よりも不純物濃度が低い。前記エピタキシャル層の内部において前記第１半導体領域と前記第２半導体領域との間に、前記第１半導体領域および前記第２半導体領域に接して、第１導電型の第３半導体領域が設けられている。

【００１５】

前記第３半導体領域は、前記第２半導体領域よりも不純物濃度が高い。前記第３半導体領域の不純物濃度は、前記第３半導体領域と前記第１半導体領域との第１界面に相対的に

近い所定の第１深さ位置から、前記第２半導体領域と前記第３半導体領域との第２界面に相対的に近い所定の第２深さ位置へ向かうにしたがって第１不純物濃度勾配で連続的に増加し、前記第２深さ位置で最大不純物濃度となっている。前記第３半導体領域の不純物濃度は、前記第１深さ位置から前記第１界面へ向かうにしたがって第２不純物濃度勾配で連続的に減少している。前記第３半導体領域の不純物濃度は、前記第２深さ位置から前記第２界面へ向かうにしたがって第３不純物濃度勾配で連続的に減少している。前記第２不純物濃度勾配は、前記第３不純物濃度勾配よりも小さい。

【００１６】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第１不純物濃度勾配の絶対値は、前記第２不純物濃度勾配の絶対値および前記第３不純物濃度勾配の絶対値よりも小さいことを特徴とする。

【００１７】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第３半導体領域の不純物濃度は、前記出発基板の不純物濃度の１／２以下であることを特徴とする。

【００１８】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第３半導体領域の不純物濃度は、１．０×10^{18}／ｃm^3以上５．０×10^{18}／ｃm^3以下の範囲内であることを特徴とする。

【００１９】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第３半導体領域の不純物濃度は、３．０×10^{18}／ｃm^3以上の範囲内であることを特徴とする。

【００２０】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記出発基板の不純物濃度は、１．０×10^{18}／ｃm^3以上１．０×10^{19}／ｃm^3以下の範囲内であることを特徴とする。

【００２１】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第２半導体領域の不純物濃度は、０．５×10^{18}／ｃm^3以上１．５×10^{18}／ｃm^3以下の範囲内であることを特徴とする。

【００２２】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第３半導体領域の厚さは、１μｍよりも厚く７μｍ未満の範囲内であることを特徴とする。

【００２３】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第２半導体領域の厚さは、１μｍよりも厚く４μｍ以下の範囲内であることを特徴とする。

【００２４】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第２半導体領域の厚さは、１μｍ以下であることを特徴とする。

【００２５】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第３半導体領域の厚さは、１μｍ以下であることを特徴とする。

【００２６】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、前記第２半導体領域と前記第３半導体領域との総厚さは、２μｍ以上８μｍ以下の範囲内であることを特徴とする。

【００２７】

また、この発明にかかる炭化珪素半導体装置は、上述した発明において、第２導電型の第４半導体領域、第１導電型の第５半導体領域、ゲート絶縁膜、ゲート電極、第１電極および第２電極を備える。前記第４半導体領域は、前記エピタキシャル層の内部において前記半導体基板の第１主面と前記第１半導体領域との間に設けられている。前記第５半導体

領域は、前記エピタキシャル層の内部において前記半導体基板の第１主面と前記第４半導体領域との間に選択的に設けられている。前記ゲート絶縁膜は、前記第４半導体領域の、前記第１半導体領域と前記第５半導体領域の間の領域に接して設けられている。前記ゲート電極は、前記ゲート絶縁膜を挟んで前記第４半導体領域の反対側に設けられている。前記第１電極は、前記半導体基板の前記エピタキシャル層で形成される第１主面に設けられ、前記第４半導体領域および前記第５半導体領域に電気的に接続されている。前記第２電極は、前記半導体基板の前記出発基板で形成される第２主面に設けられ、前記出発基板に電気的に接続されていることを特徴とする。

【００２８】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体基板は、炭化珪素からなる出発基板にエピタキシャル層をエピタキシャル成長させた炭化珪素半導体基板であって、次の特徴を有する。前記エピタキシャル層の内部に、第１導電型の第１半導体領域が設けられている。前記エピタキシャル層の内部において前記第１半導体領域と前記出発基板との間に、前記出発基板に接して、第１導電型の第２半導体領域が設けられている。前記第２半導体領域は、前記第１半導体領域よりも不純物濃度が高く、かつ前記出発基板よりも不純物濃度が低い。前記エピタキシャル層の内部において前記第１半導体領域と前記第２半導体領域との間に、前記第１半導体領域および前記第２半導体領域に接して、第１導電型の第３半導体領域が設けられている。

【００２９】

前記第３半導体領域は、前記第２半導体領域よりも不純物濃度が高い。前記第３半導体領域の不純物濃度は、前記第３半導体領域と前記第１半導体領域との第１界面に相対的に近い所定の第１深さ位置から、前記第２半導体領域と前記第３半導体領域との第２界面に相対的に近い所定の第２深さ位置へ向かうにしたがって第１不純物濃度勾配で連続的に増加し、前記第２深さ位置で最大不純物濃度となっている。前記第３半導体領域の不純物濃度は、前記第１深さ位置から前記第１界面へ向かうにしたがって第２不純物濃度勾配で連続的に減少している。前記第３半導体領域の不純物濃度は、前記第２深さ位置から前記第２界面へ向かうにしたがって第３不純物濃度勾配で連続的に減少している。前記第２不純物濃度勾配は、前記第３不純物濃度勾配よりも小さい。

【００３０】

上述した発明によれば、第３半導体領域を設けることで、経時的な積層欠陥の発生を抑制することができる。第３半導体領域の不純物濃度分布に第１～３不純物濃度勾配が形成されていることで、第３半導体領域の第１半導体領域側での不純物濃度の減少率（第２不純物濃度勾配）が緩やかになり、第３半導体領域と第１半導体領域との不純物濃度差によって半導体基板内に生じる応力を小さくすることができる。このため、第３半導体領域と第１半導体領域との第１界面付近での格子欠陥の発生を抑制することができる。

【発明の効果】

【００３１】

本発明にかかる炭化珪素半導体装置および炭化珪素半導体基板によれば、信頼性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【００３２】

【図１】図１は、実施の形態１にかかる炭化珪素半導体基板の構造を示す断面図である。

【図２】図２は、実施の形態１にかかる炭化珪素半導体装置の構造を示す断面図である。

【図３】図３は、図１の第１，２バッファ領域の不純物濃度分布を示す特性図である。

【図４】図４は、実験例の第１，２バッファ領域の不純物濃度および厚さとオン電圧Ｖｏｎとの関係を示す図表である。

【発明を実施するための形態】

【００３３】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置および炭化珪素半導体基板の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎま

たはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋および－は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【００３４】

（実施の形態）

実施の形態にかかる炭化珪素半導体装置の構造について説明する。図１，２は、それぞれ、実施の形態にかかる炭化珪素半導体基板および炭化珪素半導体装置の構造を示す断面図である。図３は、図１の第１，２バッファ領域の不純物濃度分布を示す特性図である。図３には、第１バッファ領域１１の狙いの厚さｔ１を１μｍとし、第２バッファ領域１２の狙いの厚さｔ２を７μｍとした場合を示している。また、図３には、炭化珪素半導体基板２０の両主面付近の不純物濃度分布を図示省略しており、n^+型出発基板２１およびn^-型ドリフト領域２はそれぞれ一部（第１，２バッファ領域１１，１２との界面２５，２７付近）のみを図示している。

【００３５】

図１に示す実施の形態にかかる炭化珪素半導体基板２０は、炭化珪素（ＳｉＣ）を半導体材料として用いたn^+型出発基板２１のおもて面上に、例えば窒素（Ｎ）等のｎ型不純物がドープされた不純物濃度の異なる複数のｎ型のエピタキシャル層２２～２４をこの順に積層してなるエピタキシャル基板であり、例えばＳｉＣ－ＭＯＳＦＥＴ（図２）やｐｉｎ（ｐ－ｉｎｔｒｉｎｓｉｃ－ｎ）ダイオード（不図示）など半導体基板（半導体チップ）の主面に垂直な方向に電流が流れる縦型の炭化珪素半導体装置の作製（製造）に適している。炭化珪素半導体基板２０を用いてＳｉＣ－ＭＯＳＦＥＴを作製する場合、n^+型出発基板２１はn^+型ドレイン領域１となる。炭化珪素半導体基板２０を用いてｐｉｎダイオードを作製する場合、n^+型出発基板２１はn^+型カソード領域となる。

【００３６】

n^+型出発基板２１の不純物濃度は、例えば1.0×10^{18}／cm^3以上1.0×10^{19}／cm^3以下程度の範囲内である。エピタキシャル層２２～２４は、それぞれ第１バッファ領域（ｎ型バッファ領域：第２半導体領域）１１、第２バッファ領域（n^+型バッファ領域：第３半導体領域）１２およびn^-型ドリフト領域（第１半導体領域）２となる。ｎ型エピタキシャル層２２（第１バッファ領域１１）の不純物濃度は、n^+型出発基板２１およびn^+型エピタキシャル層２３（第２バッファ領域１２）の不純物濃度よりも低く、n^-型エピタキシャル層２４（n^-型ドリフト領域２）の不純物濃度よりも高い。第１バッファ領域１１の不純物濃度は、例えば0.5×10^{18}／cm^3以上1.5×10^{18}／cm^3以下程度の範囲内である。

【００３７】

第１バッファ領域１１の厚さｔ１は、例えば１μｍよりも厚く４μｍ以下程度の範囲内であることが好ましい。第２バッファ領域１２の厚さｔ２が１μｍを超える場合には、第１バッファ領域１１の厚さｔ１を１μｍ以下程度にしてもよい。第１バッファ領域１１は、エピタキシャル層２２～２４や後述するエピタキシャル層３１，３２（図２参照）のエピタキシャル成長時にn^+型出発基板２１から伝播してきたＢＰＤをＴＥＤに転換する機能を有する。また、第１バッファ領域１１の表面（界面２５，２６）で反射する赤外線の反射光を利用してフーリエ変換による第２バッファ領域１２の厚さ測定（上記特許文献１～３参照）が可能である。

【００３８】

第２バッファ領域１２は、主接合となるｐｎ接合（例えば後述するｐ型ベース領域４およびp^+型領域１３，１４とｎ型電流拡散領域３およびn^-型ドリフト領域２とのｐｎ接合３３：図２）に順方向に電流が流れたときに当該ｐｎ接合の界面で発生した少数キャリア（正孔）を捕獲して多数キャリア（電子）との再結合により消滅させ、第２バッファ領域１２よりもn^+型出発基板２１側に存在するＢＰＤに到達する正孔を減らす機能を有する。このため、n^-型ドリフト領域２とn^+型出発基板２１との間に第２バッファ領域１２を設

けることで、ＳｉＣ－ＭＯＳＦＥＴの使用による経時的な積層欠陥の成長を抑制することができる。

【００３９】

第２バッファ領域１２の不純物濃度は、n^+型出発基板２１の不純物濃度よりも低く、n^+型出発基板２１の不純物濃度の１／２以下程度である。具体的には、第２バッファ領域１２の不純物濃度は、例えば$1.0\times10^{18}/cm^3$以上$5.0\times10^{18}/cm^3$以下程度の範囲内であり、好ましくは$3.0\times10^{18}/cm^3$以上程度の範囲内であることがよい。第２バッファ領域１２の不純物濃度を上記範囲内とすることで、第２バッファ領域１２の不純物濃度を狙いの不純物濃度に対して±１０％程度に制御可能となる。このため、第２バッファ領域の不純物濃度が上記範囲の上限値を超える従来構造と比べて、第２バッファ領域１２のエピタキシャル成長の不純物濃度制御性が向上する。

【００４０】

また、第２バッファ領域１２の不純物濃度は、第２バッファ領域１２の厚さｔ２の大半を占める所定深さ範囲の第１部分２３ａで、第２バッファ領域１２のn^-型ドリフト領域２側の第２部分２３ｂおよびn^+型出発基板２１側（第１バッファ領域１１側）の第３部分２３ｃよりも高くなっている。第２バッファ領域１２の略中央の不純物濃度が相対的に高い所定深さ範囲の第１部分２３ａは、第２バッファ領域１２とn^-型ドリフト領域２との界面（第１界面）２７に相対的に近い所定深さ位置（以下、勾配変化点とする：第１深さ位置）４１ａから、第１バッファ領域１１と第２バッファ領域１２との界面（第２界面）２６に相対的に近い所定深さ位置（勾配変化点：第２深さ位置）４１ｂまでの深さ範囲の部分である（図３）。

【００４１】

第２バッファ領域１２の深さ方向の不純物濃度分布は、不純物濃度が相対的に高い略中央の所定深さ範囲の第１部分２３ａ（勾配変化点４１ａ，４１ｂ間の部分）を頂点部とし、この頂点部からn^-型ドリフト領域２側およびn^+型出発基板２１側へそれぞれ向かうにしたがって不純物濃度が連続的に減少する山型をなす。第２バッファ領域１２の深さ方向の不純物濃度分布には、n^-型ドリフト領域２側の勾配変化点４１ａからn^+型出発基板２１側の勾配変化点４１ｂまでの第１部分２３ａと、n^-型ドリフト領域２側の勾配変化点４１ａから第２バッファ領域１２とn^-型ドリフト領域２との界面２７までの第２部分２３ｂと、n^+型出発基板２１側の勾配変化点４１ｂから第１バッファ領域１１と第２バッファ領域１２との界面２６までの第３部分２３ｃと、にそれぞれ異なる第１～３不純物濃度勾配４１～４３が形成される。

【００４２】

具体的には、第２バッファ領域１２の不純物濃度を上記範囲内とすることで、第２バッファ領域１２の不純物濃度は、n^-型ドリフト領域２側の勾配変化点４１ａからn^+型出発基板２１側の勾配変化点４１ｂへ向かうにしたがって連続的に増加し、勾配変化点４１ｂで最大不純物濃度となる。第２バッファ領域１２の深さ方向の不純物濃度分布において、n^-型ドリフト領域２側の勾配変化点４１ａからn^+型出発基板２１側の勾配変化点４１ｂへ向かうにしたがって不純物濃度が連続的に増加する第１不純物濃度勾配４１（増加率：図３に近似直線の傾きを最も細かい破線で示す）の絶対値は、勾配変化点４１ａからn^-型ドリフト領域２へ向かうにしたがって不純物濃度が連続的に減少する第２不純物濃度勾配４２（減少率）の絶対値、および、勾配変化点４１ｂから第１バッファ領域１１へ向かうにしたがって不純物濃度が連続的に減少する第３不純物濃度勾配４３（減少率）の絶対値と比べて非常に小さい。

【００４３】

仮に、第２バッファ領域１２の不純物濃度をn^-型ドリフト領域２の不純物濃度以下程度に低くした場合、第２バッファ領域１２の不純物濃度は深さ方向に一様となり、第２バッファ領域１２の不純物濃度を上記範囲の上限値を超えて高くした場合、第２バッファ領域１２の不純物濃度はn^-型ドリフト領域２側からn^+型出発基板２１側へ向かうにしたがって所定の不純物濃度勾配で連続的に減少することが発明者により確認されている。また、

第２バッファ領域１２の不純物濃度が上記範囲の上限値を超えると、第２バッファ領域１２とｎ⁻型ドリフト領域２との不純物濃度差が大きくなることで半導体基板３０内に応力等が生じ、積層欠陥以外の結晶欠陥（格子欠陥等）が発生することが発明者により確認されている。

【００４４】

実施の形態においては、第２バッファ領域１２の不純物濃度を上記範囲内とすることで、第２バッファ領域１２の深さ方向の不純物濃度分布に、ｎ⁻型ドリフト領域２側の勾配変化点４１ａからｎ⁺型出発基板２１側の勾配変化点４１ｂへ向かうにしたがって不純物濃度が連続的に増加する第１不純物濃度勾配４１が形成される。第２バッファ領域１２の深さ方向の不純物濃度分布に第１不純物濃度勾配４１が形成されることで、第２バッファ領域１２の深さ方向の不純物濃度分布において、ｎ⁻型ドリフト領域２側の第２不純物濃度勾配４２がｎ⁺型出発基板２１側の第３不純物濃度勾配４３よりも小さくなる。これによって、第２バッファ領域１２とｎ⁻型ドリフト領域２との不純物濃度差によって生じる応力が小さくなり、第２バッファ領域１２とｎ⁻型ドリフト領域２との界面２７で結晶格子同士が結合しやすくなるため、格子欠陥を生じにくくすることができる。

【００４５】

また、第２バッファ領域１２の深さ方向の不純物濃度分布において、ｎ⁻型ドリフト領域２側の第２不純物濃度勾配４２は、第２バッファ領域１２内のｎ⁻型ドリフト領域２側の勾配変化点４１ａ付近で高不純物濃度側に凸（上に凸）の放物線状に不純物濃度が減少している。ｎ⁺型出発基板２１側の第３不純物濃度勾配４３は、第２バッファ領域１２内のｎ⁺型出発基板２１側の勾配変化点４１ｂ付近で高不純物濃度側に凸の放物線状に不純物濃度が減少している。第２バッファ領域１２の深さ方向の不純物濃度分布において、ｎ⁻型ドリフト領域２側の第２不純物濃度勾配４２の勾配変化点４１ａ付近の放物線状の不純物濃度分布は、ｎ⁺型出発基板２１側の第３不純物濃度勾配４３の勾配変化点４１ｂ付近の放物線状の不純物濃度分布と比べて、曲率が小さく、不純物濃度の減少が緩やかである。

【００４６】

第２バッファ領域１２の不純物濃度分布の第２不純物濃度勾配４２の一方の起点は第２バッファ領域１２内のｎ⁻型ドリフト領域２側の勾配変化点４１ａであり、他方の起点はｎ⁻型ドリフト領域２内の所定深さ位置（勾配変化点）４２ａである。このため、ｎ⁻型ドリフト領域２の不純物濃度分布は、第２バッファ領域１２の不純物濃度分布の第２不純物濃度勾配４２と同じ不純物濃度勾配で、第２バッファ領域１２とｎ⁻型ドリフト領域２との界面２７からｎ⁻型ドリフト領域２内の勾配変化点４２ａへ向かって連続的に減少し、当該勾配変化点４２ａでｎ⁻型ドリフト領域２の最小不純物濃度となる。ｎ⁻型ドリフト領域２の不純物濃度は、第２バッファ領域１２から離れた部分（勾配変化点４２ａよりも左側の部分）で深さ方向に一様にｎ⁻型ドリフト領域２の最小不純物濃度となっている。

【００４７】

第２バッファ領域１２の不純物濃度分布の第３不純物濃度勾配４３の一方の起点は第２バッファ領域１２内のｎ⁺型出発基板２１側の勾配変化点４１ｂであり、他方の起点は第１バッファ領域１１内の所定深さ位置（勾配変化点）４３ａである。このため、第１バッファ領域１１の不純物濃度分布は、第２バッファ領域１２の不純物濃度分布の第３不純物濃度勾配４３と同じ不純物濃度勾配で、第１バッファ領域１１と第２バッファ領域１２との界面２６から第１バッファ領域１１内の勾配変化点４３ａへ向かって連続的に減少し、当該勾配変化点４３ａの１点で第１バッファ領域１１の最小不純物濃度となり、かつ当該勾配変化点４３ａからｎ⁺型出発基板２１へ向かって所定の第４不純物濃度勾配４４で連続的に増加している。

【００４８】

第１バッファ領域１１の不純物濃度分布の第４不純物濃度勾配４４の一方の起点は第１バッファ領域１１内の勾配変化点４３ａであり、他方の起点はｎ⁺型出発基板２１内の所定深さ位置（勾配変化点）４４ａである。このため、ｎ⁺型出発基板２１の不純物濃度分布は、第１バッファ領域１１の不純物濃度分布の第４不純物濃度勾配４４と同じ不純物濃度勾

配で、n^+型出発基板２１と第１バッファ領域１１との界面２５から勾配変化点４４ａへ向かって連続的に増加し、当該勾配変化点４４ａでn^+型出発基板２１の最大不純物濃度となる。n^+型出発基板２１の不純物濃度は、第１バッファ領域１１から離れた部分（勾配変化点４４ａよりも右側の部分）で深さ方向に一様にn^+型出発基板２１の最大不純物濃度となっている。

【００４９】

第２バッファ領域１２とn^-型ドリフト領域２との界面２７は、第２バッファ領域１２内のn^-型ドリフト領域２側の勾配変化点４１ａとn^-型ドリフト領域２内の勾配変化点４２ａとの中間（第２不純物濃度勾配４２の中間）の深さ位置である。第１バッファ領域１１と第２バッファ領域１２との界面２６は、第２バッファ領域１２内のn^+型出発基板２１側の勾配変化点４１ｂと第１バッファ領域１１内の勾配変化点４３ａとの中間（第３不純物濃度勾配４３の中間）の深さ位置である。n^+型出発基板２１と第１バッファ領域１１との界面２５は、第１バッファ領域１１内の勾配変化点４３ａを基準として、第１バッファ領域１１と第２バッファ領域１２との界面２６と線対称となる深さ位置である。

【００５０】

第２バッファ領域１２の厚さｔ２は、例えば１μｍよりも厚く７μｍ未満程度の範囲内であることが好ましい。第１バッファ領域１１の厚さｔ１が１μｍを超える場合には、第２バッファ領域１２の厚さｔ２を１μｍ以下程度にしてもよい。第１バッファ領域１１と第２バッファ領域１２との総厚さｔ１０（＝ｔ１＋ｔ２）は例えば２μｍ以上８μｍ以下程度の範囲内であり、可能な限り薄いことが好ましい。第１バッファ領域１１と第２バッファ領域１２との総厚さｔ１０を薄くするほど（特に相対的に不純物濃度の高い第２バッファ領域１２の厚さｔ２を薄くするほど）、材料コストを低減することができ、かつ炭化珪素半導体基板２０（さらに後述する半導体基板３０）の反りを低減することができる。第１バッファ領域１１と第２バッファ領域１２との総厚さｔ１０が上記範囲の上限値を超えて厚くなると、炭化珪素半導体基板２０の表面の粗さ（凹凸）が大きくなって絶縁膜の被覆性が悪くなったり、例えばＳｉＣ－ＭＯＳＦＥＴのゲート・ソース間のリーク電流が増加したりするため、好ましくない。

【００５１】

n^-型ドリフト領域２の不純物濃度は、例えば1.0×10^{15}／cm^3以上2.0×10^{16}／cm^3以下程度の範囲内である。n^-型ドリフト領域２の厚さｔ３は、例えば５μｍ以上３５μｍ以下程度の範囲内である。n^-型ドリフト領域２（炭化珪素半導体基板２０のn^-型エピタキシャル層２４）上にｐ型ベース領域４（図２参照）やｐ型アノード領域となるｐ型エピタキシャル層をエピタキシャル成長させるか、またはｎ型エピタキシャル層を介してｐ型エピタキシャル層をエピタキシャル成長させることで、ＳｉＣ－ＭＯＳＦＥＴ（図２）やｐｉｎダイオード（不図示）の主接合となるｐｎ接合（例えば図２のＳｉＣ－ＭＯＳＦＥＴではｐｎ接合３３に相当）を形成することができる。

【００５２】

炭化珪素半導体基板２０を用いて作製されたＳｉＣ－ＭＯＳＦＥＴについて図２を参照して説明する。図２に示す実施の形態にかかる炭化珪素半導体装置１０は、ＳｉＣを半導体材料として用いた半導体基板（半導体チップ）３０のおもて面側にトレンチゲート構造を備えた縦型ＳｉＣ－ＭＯＳＦＥＴである。半導体基板３０は、上述した図１の炭化珪素半導体基板２０のn^-型エピタキシャル層２４上にさらにエピタキシャル層３１，３２をこの順に積層してなるエピタキシャル基板である。半導体基板３０は、ｐ型エピタキシャル層３２側の主面をおもて面（第１主面）とし、n^+型出発基板２１側の主面を裏面とする。n^+型出発基板２１は、n^+型ドレイン領域１となる。

【００５３】

上述したようにエピタキシャル層２２～２４は、それぞれ第１，２バッファ領域１１，１２およびn^-型ドリフト領域２となる。第１，２バッファ領域１１，１２は、n^-型ドリフト領域２とn^+型出発基板２１との間に設けられている。第１バッファ領域１１は、n^+型出発基板２１に隣接する。第２バッファ領域１２は、n^-型ドリフト領域２に隣接する。

ｎ⁻型エピタキシャル層３１は、内部にｎ型電流拡散領域３およびｐ⁺型領域１３，１４がそれぞれ選択的に形成されるか（図２）、またはｎ⁻型ドリフト領域２となる（不図示）。ｐ型エピタキシャル層３２は、ｐ型ベース領域４となる。ｐ型ベース領域４は、半導体基板３０のおもて面とｎ⁻型ドリフト領域２との間に設けられている。

【００５４】

トレンチゲート構造は、ｐ型ベース領域（第４半導体領域）４、ｎ⁺型ソース領域（第５半導体領域）５、ｐ⁺⁺型コンタクト領域６、トレンチ７、ゲート絶縁膜８およびゲート電極９で構成される。ｐ型ベース領域４とｎ⁻型ドリフト領域２との間において、トレンチ７の底面よりもｎ⁺型ドレイン領域１側に深い位置に、ｎ型電流拡散領域３およびｐ⁺型領域１３，１４がそれぞれ選択的に設けられている。ｎ型電流拡散領域３およびｐ⁺型領域１３，１４は、イオン注入によりｎ⁻型エピタキシャル層３１の内部に形成された拡散領域である。ｎ⁻型エピタキシャル層３１の、ｎ型電流拡散領域３およびｐ⁺型領域１３，１４を除く部分は、ｎ⁻型エピタキシャル層２４とともにｎ⁻型ドリフト領域２となる。

【００５５】

ｎ型電流拡散領域３は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層（ＣＳＬ：Ｃｕｒｒｅｎｔ　Ｓｐｒｅａｄｉｎｇ　Ｌａｙｅｒ）である。ｎ型電流拡散領域３は、互いに隣り合うトレンチ７間において深さ方向にｐ型ベース領域４およびｎ⁻型ドリフト領域２に接するとともに、半導体基板３０のおもて面に平行な方向にトレンチ７まで達して、ゲート絶縁膜８に接する。ｎ型電流拡散領域３は設けられていなくてもよい。ｎ型電流拡散領域３を設けない場合、ｎ型電流拡散領域３に代えて、ｎ⁻型ドリフト領域２がｎ⁺型ドレイン領域１側からｐ型ベース領域４まで達するとともに、半導体基板３０のおもて面に平行な方向にトレンチ７まで達してゲート絶縁膜８に接する。

【００５６】

ｐ⁺型領域１３，１４は、後述するソース電極（第１電極）１６の電位に固定されており、ＳｉＣ－ＭＯＳＦＥＴ（炭化珪素半導体装置１０）のオフ時に空乏化して（もしくはｎ型電流拡散領域３を空乏化させて、またはその両方）、トレンチ７の底面のゲート絶縁膜８にかかる電界を緩和させる機能を有する。ｐ⁺型領域１３は、ｐ型ベース領域４と離れて設けられ、深さ方向にトレンチ７の底面に対向する。ｐ⁺型領域１３は、図示省略する部分でｐ⁺型領域１４に部分的に連結されるか、または他のｐ型領域に連結されることで、ソース電極１６に電気的に接続されている。ｐ⁺型領域１３は、トレンチ７の底面でゲート絶縁膜８に接してもよいし、トレンチ７の底面から離れていてもよい。

【００５７】

ｐ⁺型領域１４は、互いに隣り合うトレンチ７間に、トレンチ７およびｐ⁺型領域１３と離れて設けられている。ｐ⁺型領域１４は、ｎ⁺型ソース領域５側の面でｐ型ベース領域４に接し、ｐ型ベース領域４を介してソース電極１６に電気的に接続されている。トレンチ７は、深さ方向に半導体基板３０のおもて面からｐ型エピタキシャル層３２を貫通してｎ型電流拡散領域３（ｎ型電流拡散領域３を設けない場合はｎ⁻型ドリフト領域２）に達する。互いに隣り合うトレンチ７間において、半導体基板３０のおもて面とｐ型ベース領域４との間に、ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６がそれぞれ選択的に設けられている。

【００５８】

ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６は、イオン注入によりｐ型エピタキシャル層３２の内部に形成された拡散領域である。ｐ型エピタキシャル層３２の、ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６を除く部分がｐ型ベース領域４である。ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６は、半導体基板３０のおもて面に達する。ｎ⁺型ソース領域５は、ｐ⁺⁺型コンタクト領域６よりもトレンチ７側に設けられ、トレンチ７の側壁でゲート絶縁膜８に接する。ｐ⁺⁺型コンタクト領域６は設けられていなくてもよい。ｐ⁺⁺型コンタクト領域６を設けない場合、ｐ⁺⁺型コンタクト領域６に代えて、ｐ型ベース領域４が半導体基板３０のおもて面に達する。

【００５９】

トレンチ７の内部においてゲート絶縁膜８上に、トレンチ７を埋め込むようにゲート電極９が設けられている。ゲート絶縁膜８は、トレンチ７の内壁でｎ$^{+}$型ソース領域５、ｐ型ベース領域４およびｎ型電流拡散領域３（ｎ型電流拡散領域３を設けない場合はｎ$^{-}$型ドリフト領域２）に接する。トレンチ７の内部には、ゲート絶縁膜８を介してゲート電極９が設けられている。図２には、ＭＯＳＦＥＴの１つの単位セル（素子の構成単位）のみを図示するが、半導体基板３０には同一のトレンチゲート構造の複数の単位セルが隣接して配置される。層間絶縁膜１５は、半導体基板３０のおもて面に設けられ、ゲート電極９を覆う。

【００６０】

層間絶縁膜１５のコンタクトホールには、ｎ$^{+}$型ソース領域５およびｐ$^{++}$型コンタクト領域６（ｐ$^{++}$型コンタクト領域６を設けない場合はｐ型ベース領域４）が露出されている。ソース電極１６は、層間絶縁膜１５のコンタクトホールにおいて半導体基板３０のおもて面にオーミック接触して、ｎ$^{+}$型ソース領域５、ｐ$^{++}$型コンタクト領域６およびｐ型ベース領域４に電気的に接続されている。半導体基板３０の裏面（ｎ$^{+}$型出発基板２１の裏面）の全面にドレイン電極（第２電極）１７が設けられている。ドレイン電極１７は、ｎ$^{+}$型ドレイン領域１（ｎ$^{+}$型出発基板２１）に接して、ｎ$^{+}$型ドレイン領域１に電気的に接続されている。

【００６１】

実施の形態にかかる炭化珪素半導体装置１０の動作について説明する。ソース電極１６に対して正の電圧（順方向電圧）がドレイン電極１７に印加された状態で、ゲート電極９にゲート閾値電圧以上の電圧が印加されると、ｐ型ベース領域４のトレンチ７の側壁に沿った部分にチャネル（ｎ型の反転層）が形成される。それによって、ｎ$^{+}$型ドレイン領域１からチャネルを通ってｎ$^{+}$型ソース領域５へ向かって電流が流れ、ＳｉＣ－ＭＯＳＦＥＴ（炭化珪素半導体装置１０）がオンする。

【００６２】

一方、ソース・ドレイン間に順方向電圧が印加された状態で、ゲート電極９にゲート閾値電圧未満の電圧が印加されたときに、ｐ$^{+}$型領域１３，１４およびｐ型ベース領域４と、ｎ型電流拡散領域３およびｎ$^{-}$型ドリフト領域２と、のｐｎ接合（主接合）３３が逆バイアスされることで、電流が流れなくなり、ＳｉＣ－ＭＯＳＦＥＴはオフ状態を維持する。また、当該ｐｎ接合３３からｐ$^{+}$型領域１３，１４に空乏層が広がることで、トレンチ７の底面のゲート絶縁膜８にかかる電界が緩和される。

【００６３】

また、ＳｉＣ－ＭＯＳＦＥＴのオフ時、ソース電極１６に対して負の電圧をドレイン電極１７に印加することで、ｐ型ベース領域４およびｐ$^{+}$型領域１３，１４と、ｎ型電流拡散領域３およびｎ$^{-}$型ドリフト領域２と、のｐｎ接合３３で形成される寄生ダイオード（ボディダイオード）に順方向に電流を流すことができる。例えば、ＳｉＣ－ＭＯＳＦＥＴ自身を保護するための還流ダイオードとして、この半導体基板３０の内部に内蔵される寄生ダイオードを使用可能である。

【００６４】

ボディダイオードのバイポーラ動作によりｎ$^{-}$型ドリフト領域２に注入された少数キャリア（正孔）は、ｎ$^{-}$型ドリフト領域２とｎ$^{+}$型出発基板２１との間に配置された第２バッファ領域１２内で電子と再結合されて消滅する。これにより、第２バッファ領域１２よりもｎ$^{+}$型出発基板２１側に存在するＢＰＤに到達する正孔を減らすことができ、エピタキシャル層２２～２４，３１，３２内での積層欠陥の成長を抑制することができる。このため、ＳｉＣ－ＭＯＳＦＥＴのオン電圧Ｖｏｎの上昇を抑制することができる。

【００６５】

次に、実施の形態にかかる炭化珪素半導体装置１０の製造方法について説明する。まず、炭化珪素を半導体材料としたｎ$^{+}$型出発基板（出発ウェハ）２１を用意する。次に、ｎ$^{+}$型出発基板２１のおもて面に、第１，２バッファ領域１１，１２およびｎ$^{-}$型ドリフト領域２となる各エピタキシャル層２２～２４，３１をこの順にエピタキシャル成長させる。ｎ$^{+}$

型出発基板２１およびエピタキシャル層２２～２４により図１の炭化珪素半導体基板（半導体ウェハ）２０が作製される。第１，２バッファ領域１１，１２およびｎ⁻型ドリフト領域２の条件（不純物濃度および厚さｔ１～ｔ３）は上述した通りである。ｎ⁻型エピタキシャル層３１の不純物濃度は、例えばｎ⁻型ドリフト領域２の不純物濃度と同じである。

【００６６】

ｎ⁺型出発基板２１内には５００個／ｃｍ^2～１０００個／ｃｍ^{2}程度のＢＰＤが存在するが、エピタキシャル成長時にｎ⁺型出発基板２１からエピタキシャル層２２～２４，３１へ伝播されるＢＰＤはｎ⁺型出発基板２１上に最初にエピタキシャル成長される第１バッファ領域１１（ｎ型エピタキシャル層２２）内でＴＥＤに転換されやすい。これによって、ｎ⁺型出発基板２１からｎ型エピタキシャル層２２を超えてエピタキシャル層２３，２４，３１に達するＢＰＤの個数を少なくすることができる。このため、ＳｉＣ－ＭＯＳＦＥＴ（炭化珪素半導体装置１０）のボディダイオード導通時にｎ⁻型ドリフト領域２に注入された少数キャリア（正孔）の再結合によりＢＰＤを起点としてエピタキシャル層２２～２４，３１，３２内に積層欠陥が成長することを抑制することができる。

【００６７】

次に、フォトリソグラフィおよびｐ型不純物のイオン注入により、ｎ⁻型エピタキシャル層３１の表面領域に、互いに離れて交互に繰り返し配置されるように、ｐ⁺型領域１３と、ｐ⁺型領域１４の下部（ｎ⁺型ドレイン領域１側の部分）と、をそれぞれ選択的に形成する。また、フォトリソグラフィおよびｎ型不純物のイオン注入により、ｎ⁻型エピタキシャル層３１の表面領域において、互いに隣り合うｐ⁺型領域１３とｐ⁺型領域１４との間に、ｎ型電流拡散領域３の下部を形成する。ｎ⁻型エピタキシャル層３１の、ｐ⁺型領域１３，１４およびｎ型電流拡散領域３よりもｎ⁺型出発基板２１側の部分はｎ⁻型ドリフト領域２となる。

【００６８】

次に、さらにエピタキシャル成長させてｎ⁻型エピタキシャル層３１を所定厚さまで厚くする。次に、フォトリソグラフィおよびｐ型不純物のイオン注入により、ｎ⁻型エピタキシャル層３１の厚さを増した部分に、ｐ⁺型領域１４の上部（ｎ⁺型ソース領域５側の部分）を選択的に形成する。また、フォトリソグラフィおよびｎ型不純物のイオン注入により、ｎ⁻型エピタキシャル層３１の厚さを増した部分に、ｎ型電流拡散領域３の上部を形成する。ｐ⁺型領域１４の上部およびｎ型電流拡散領域３の上部は、それぞれ深さ方向にｐ⁺型領域１４の下部およびｎ型電流拡散領域３の下部と対向する位置に形成し、それぞれｐ⁺型領域１４の下部およびｎ型電流拡散領域３の下部と連結させる。

【００６９】

次に、ｎ⁻型エピタキシャル層３１上に、ｐ型ベース領域４となるｐ型エピタキシャル層３２をエピタキシャル成長（堆積）させる。ここまでの工程により、ｎ⁺型出発基板２１のおもて面上にエピタキシャル層２２～２４，３１，３２を順に積層した半導体基板（半導体ウエハ）３０が作製される。次に、フォトリソグラフィおよびイオン注入を異なる条件で繰り返し行い、ｐ型エピタキシャル層３２の表面領域に、ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６をそれぞれ選択的に形成する。ｐ型エピタキシャル層３２の、ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６よりもｎ⁻型エピタキシャル層３１側の部分がｐ型ベース領域４となる。

【００７０】

次に、イオン注入で形成したすべての拡散領域（ｐ⁺型領域１３，１４、ｎ型電流拡散領域３、ｎ⁺型ソース領域５およびｐ⁺⁺型コンタクト領域６）に不純物活性化のための熱処理を行う。この熱処理は、イオン注入により拡散領域を形成するごとに行ってもよい。次に、フォトリソグラフィおよびエッチングにより、ｎ⁺型ソース領域５およびｐ型ベース領域４を貫通してｎ型電流拡散領域３に達するトレンチ７を形成する。次に、一般的な方法により、ゲート絶縁膜８、ゲート電極９、層間絶縁膜１５、ソース電極１６およびドレイン電極１７を形成する。その後、半導体ウェハ（半導体基板３０）をダイシング（切断）して個々のチップ状に個片化することで、図２の炭化珪素半導体装置１０が完成する。

【００７１】
以上、説明したように、実施の形態によれば、炭化珪素半導体基板は、n^+型出発基板上に第１，２バッファ領域およびn^-型ドリフト領域となる各エピタキシャル層をこの順にエピタキシャル成長させてなる。第１バッファ領域の不純物濃度は、n^-型ドリフト領域の不純物濃度よりも高く、かつn^+型出発基板の不純物濃度よりも低い。第２バッファ領域の不純物濃度は、第１バッファ領域の不純物濃度よりも高い。n^+型出発基板上に第１バッファ領域となるｎ型エピタキシャル層を最初にエピタキシャル成長させることで、エピタキシャル成長時にn^+型出発基板からエピタキシャル層に伝播してきたＢＰＤがＴＥＤに転換される比率を高くすることができるため、ＢＰＤを起点とする積層欠陥の成長を抑制することができる。

【００７２】
第２バッファ領域の不純物濃度は、第２バッファ領域とn^-型ドリフト領域との第１界面に相対的に近い所定の第１深さ位置から、第１バッファ領域と第２バッファ領域との第２界面に相対的に近い所定の第２深さ位置へ向かうにしたがって第１不純物濃度勾配で連続的に増加し、第２深さ位置で最大不純物濃度となっており、第１深さ位置から第１界面へ向かうにしたがって第２不純物濃度勾配で連続的に減少しており、第２深さ位置から第２界面へ向かうにしたがって第３不純物濃度勾配で連続的に減少している。第２バッファ領域の不純物濃度分布において、n^-型ドリフト領域側での不純物濃度の減少率（第２不純物濃度勾配）は第１バッファ領域側（n^+型出発基板側）での不純物濃度の減少率（第３不純物濃度勾配）よりも小さい。

【００７３】
n^-型ドリフト領域とn^+型出発基板との間に第２バッファ領域を設けることで、炭化珪素半導体装置の使用による経時的な積層欠陥の発生を抑制することができる。第２バッファ領域を設けたことでn^-型ドリフト領域とn^+型出発基板との間でｎ型不純物濃度が相対的に高くなったとしても、第２バッファ領域の不純物濃度分布に上述した第１～３不純物濃度勾配が形成されていることで、第２バッファ領域のn^-型ドリフト領域側での不純物濃度の減少率（第２不純物濃度勾配）が緩やかになり、第２バッファ領域とn^-型ドリフト領域との不純物濃度差によって半導体基板内に生じる応力を小さくすることができる。このため、第２バッファ領域とn^-型ドリフト領域との第１界面付近での格子欠陥の発生を抑制することができる。

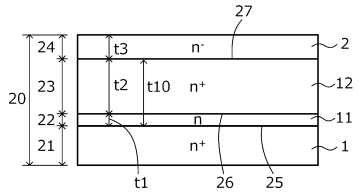
【００７４】
第２バッファ領域の不純物濃度分布の第１～３不純物濃度勾配は、第２バッファ領域の不純物濃度を$1.0\times10^{18}/cm^3$以上$5.0\times10^{18}/cm^3$以下程度の範囲内と低くすることで形成される。また、第２バッファ領域の不純物濃度を当該範囲内に低くすることで、第２バッファ領域のエピタキシャル成長の不純物濃度制御性が向上し、第２バッファ領域の不純物濃度の深さ方向のばらつきが抑制されるため、オン電圧の変動を抑制することができる。したがって、第２バッファ領域を設けることで経時的な積層欠陥の発生を抑制することができるとともに、第２バッファ領域の不純物濃度を上記範囲内とすることで、相対的に不純物濃度の高い第２バッファ領域を設けたことによる格子欠陥の発生やＶｏｎ変動を抑制することができるため、信頼性を向上させることができる。

【００７５】
（実験例）
第１，２バッファ領域１１，１２の不純物濃度および厚さｔ１，ｔ２とオン電圧Ｖｏｎとの関係について検証した。図４は、実験例の第１，２バッファ領域の不純物濃度および厚さとオン電圧Ｖｏｎとの関係を示す図表である。上述した実施の形態にかかる炭化珪素半導体装置１０にしたがって、第１，２バッファ領域１１，１２の不純物濃度および厚さｔ１，ｔ２をそれぞれ異なる設計条件（１６条件：以下、試料Ｎｏ．１～Ｎｏ．１６とする）とした各試料（ＳｉＣ－ＭＯＳＦＥＴ）をそれぞれ所定個数ずつ作製した（以下、実験例とする）。これらすべての試料のボディダイオードに同条件（$1000A/cm^2$）で順方向電流を流した後に、ＳｉＣ－ＭＯＳＦＥＴのオン電圧Ｖｏｎを測定した。

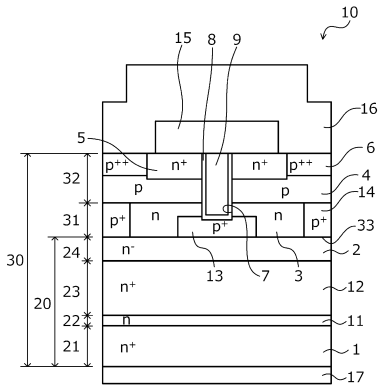
【００７６】
これら複数条件の各試料について、オン電圧Ｖｏｎの設計値（試料各々の設計条件で見込めるオン電圧Ｖｏｎ）からの変動率（以下、Ｖｏｎ変動率とする）を検証した結果を図４に示す。図４において、同一条件のすべての試料でＶｏｎ変動率が１％未満である場合をオン電圧Ｖｏｎの変動を抑制する効果（以下、Ｖｏｎ変動抑制効果とする）が高い（○印）とした。同一条件のすべての試料でＶｏｎ変動率が５％未満である場合をオン電圧変動抑制効果がある（△印）とした。Ｖｏｎ変動率が５％以上となる試料が１つでも存在する設計条件をＶｏｎ変動抑制効果が低い（×印）とした。Ｖｏｎ変動抑制効果が○印および△印となる試料の設計条件で実使用可能な範囲内にＶｏｎ変動を抑制可能である。
【００７７】
図４に示す結果から、第２バッファ領域１２を設けていないＮｏ．１の試料（第２バッファ領域１２の厚さｔ２＝０μｍ）と、上述した実施の形態の第１，２バッファ領域１１，１２の不純物濃度および厚さｔ１，ｔ２の範囲を満たさないＮｏ．６、Ｎｏ．１０、Ｎｏ．１３およびＮｏ．１６の試料と、でＶｏｎ変動抑制効果が低くなる（×印）ことが確認された。一方、上述した実施の形態の第１，２バッファ領域１１，１２の不純物濃度および厚さｔ１，ｔ２の範囲を満たすＮｏ．２～Ｎｏ．５、Ｎｏ．７～Ｎｏ．９、Ｎｏ．１１、Ｎｏ．１２、Ｎｏ．１４およびＮｏ．１５の試料は、実使用可能な範囲内にＶｏｎ変動を抑制可能（○印、△印）であることが確認された。
【００７８】
このように、上述した実施の形態の第１，２バッファ領域１１，１２の不純物濃度および厚さｔ１，ｔ２の範囲を満たすことで、Ｖｏｎ変動を抑制することができることが確認された。特に上述した実施の形態の第２バッファ領域１２の不純物濃度の範囲を満たすことで、第２バッファ領域１２のエピタキシャル成長の不純物濃度制御性が向上し、第２バッファ領域１２の不純物濃度の深さ方向のばらつきが小さくなるため、Ｖｏｎ変動抑制効果が高くなる。したがって、上述した実施の形態の第２バッファ領域１２の不純物濃度の範囲を満たすことで、第２バッファ領域１２のｎ$^{-}$型ドリフト領域２側での不純物濃度の減少率（第２不純物濃度勾配４２：図３参照）を緩やかにして格子欠陥の発生を抑制することができるとともに、Ｖｏｎ変動を抑制することができる。
【００７９】
以上において本発明は、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、ショットキーバリアダイオード（ＳＢＤ：Ｓｃｈｏｔｔｋｙ　Ｂａｒｒｉｅｒ　Ｄｉｏｄｅ）や、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ：絶縁ゲート型バイポーラトランジスタ）に本発明を適用してもよい。ＳＢＤに本発明を適用する場合、図１の炭化珪素半導体基板のｎ$^{-}$型エピタキシャル層にショットキー接触する電極を形成すればよい。ＩＧＢＴに本発明を適用する場合、ｎ$^{+}$型出発基板に代えて、ｐ$^{+}$型出発基板を用いればよい。また、トレンチゲート構造に代えて、プレーナゲート構造としてもよい。また、本発明は、第１導電型をｎ型、第２導電型をｐ型として説明したが、導電型はこれに限るものではなく、導電型（ｎ型、ｐ型）を反転させても同様に成り立つ。
【産業上の利用可能性】
【００８０】
以上のように、本発明にかかる炭化珪素半導体装置および炭化珪素半導体基板は、電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用であり、特にＳｉＣ－ＭＯＳＦＥＴやｐｉｎダイオードに適している。
【符号の説明】
【００８１】
１　ｎ$^{+}$型ドレイン領域
２　ｎ$^{-}$型ドリフト領域
３　ｎ型電流拡散領域
４　ｐ型ベース領域

５　ｎ$^{+}$型ソース領域
６　ｐ$^{++}$型コンタクト領域
７　トレンチ
８　ゲート絶縁膜
９　ゲート電極
１０　炭化珪素半導体装置
１１　第１バッファ領域（ｎ型バッファ領域）
１２　第２バッファ領域（ｎ$^{+}$型バッファ領域）
１３，１４　ｐ$^{+}$型領域
１５　層間絶縁膜
１６　ソース電極
１７　ドレイン電極
２０　炭化珪素半導体基板
２１　ｎ$^{+}$型出発基板
２２～２４，３１，３２　エピタキシャル層
２５　ｎ$^{+}$型出発基板と第１バッファ領域との界面
２６　第１バッファ領域と第２バッファ領域との界面
２７　第２バッファ領域とｎ$^{-}$型ドリフト領域との界面
３０　半導体基板
３３　ｐｎ接合
４１～４４　不純物濃度勾配
４１ａ，４１ｂ，４２ａ，４３ａ，４４ａ　不純物濃度分布の勾配変化点
ｔ１　第１バッファ領域の厚さ
ｔ２　第２バッファ領域の厚さ
ｔ３　ｎ$^{-}$型ドリフト領域の厚さ
ｔ１０　第１バッファ領域と第２バッファ領域との総厚さ

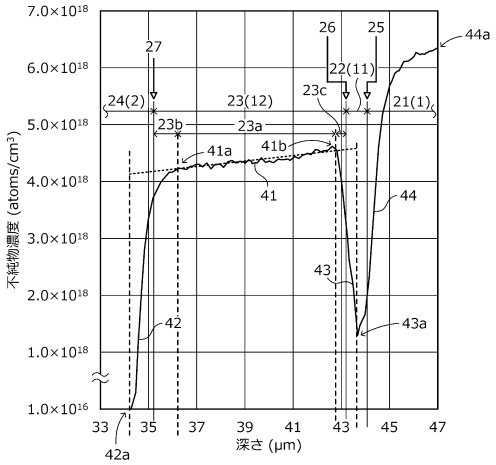
【図面】
【図１】



【図２】



【図３】



【図４】

試料No.	第1バッファ領域		第2バッファ領域		Von変動抑制効果
	不純物濃度 (×10¹⁸/cm³)	厚さt1 (μm)	不純物濃度 (×10¹⁸/cm³)	厚さt2 (μm)	
1	1	1	3	0	×
2	1	1	3	1	△
3	1	1	3	2	○
4	1	1	3	4	○
5	1	1	3	6	○
6	1	1	0.5	2	×
7	1	1	1	2	△
8	1	1	2	2	△
9	1	1	5	2	○
10	1	1	8	2	×
11	0.5	1	2	2	△
12	1.5	1	2	2	○
13	4	1	2	2	×
14	1	2	2	1	△
15	1	4	2	1	○
16	1	6	2	1	×

フロントページの続き

(56)参考文献 国際公開第２０１７／０９４７６４（WO，Ａ１）
特開２０１９－１０２４９３（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２９／７８
Ｈ０１Ｌ ２９／１２
Ｈ０１Ｌ ２９／０６